

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/052277

発行日 平成25年3月14日(2013.3.14)

(43) 国際公開日 平成23年5月5日(2011.5.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 680G	2H193
G02F 1/1368 (2006.01)	G09G 3/20 680H	5C006
G02F 1/133 (2006.01)	G09G 3/20 622Q	5C080
	G09G 3/20 623U	
審査請求 有 予備審査請求 未請求 (全 72 頁) 最終頁に続く		

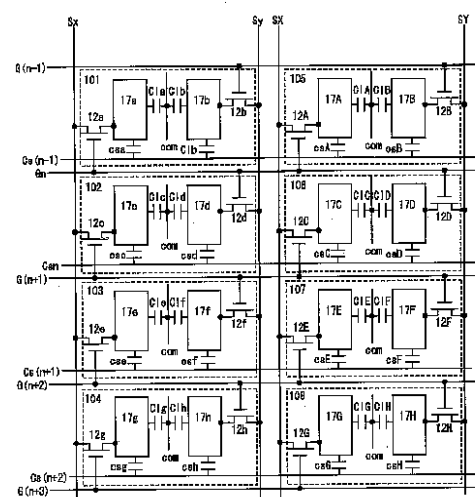
出願番号	特願2011-538288 (P2011-538288)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/063427		シャープ株式会社
(22) 国際出願日	平成22年8月6日(2010.8.6)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-247785 (P2009-247785)	(74) 代理人	110000338
(32) 優先日	平成21年10月28日(2009.10.28)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国(JP)	(72) 発明者	津幡 俊英
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		Fターム(参考)	2H092 GA13 JA24 JB04 JB05 JB22 JB31 JB46 NA05 PA06 2H193 ZA04 ZA07 ZA08 ZB14 ZC03 ZC06 ZC20 ZC35 ZD23 ZD24 ZD27 ZE04 ZF12 ZF32
		最終頁に続く	

(54) 【発明の名称】 アクティブマトリクス基板、液晶パネル、液晶表示装置、液晶表示ユニット、テレビジョン受像機

(57) 【要約】

本アクティブマトリクス基板では、各画素領域に2つの画素電極(17a・17b)が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線(Sx・Sy)が設けられ、上記画素領域列に含まれる画素領域の1つの画素電極(17a)が、走査信号線(Gn)に接続されたトランジスタ(12a)を介して上記2本のデータ信号線の一方(Sx)に接続され、該画素領域の別の画素電極(17b)が、別の走査信号線(Gn-1)に接続されたトランジスタ(12b)を介して上記2本のデータ信号線の他方(Sy)に接続され、上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つ(17a)と他方に含まれる画素電極の1つ(17d)とが、それぞれトランジスタ(12a・12d)を介して同一の走査信号線(Gn)に接続されている。こうすれば、本アクティブマトリクス基板を備えた個別書き込み型の液晶表示装置の画素充電時間を延ばすことができる。

【図1】



【特許請求の範囲】

【請求項 1】

複数のデータ信号線と複数の走査信号線とを備え、

各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、

上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、

上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されていることを特徴とするアクティブマトリクス基板。

10

【請求項 2】

各画素領域には、2つの画素電極が行方向に沿って並べられていることを特徴とする請求項1記載のアクティブマトリクス基板。

【請求項 3】

同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されていることを特徴とする請求項2記載のアクティブマトリクス基板。

【請求項 4】

各画素領域には、2つの画素電極が列方向に沿って並べられていることを特徴とする請求項1記載のアクティブマトリクス基板。

20

【請求項 5】

同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、別の1つの画素電極を挟むように配されていることを特徴とする請求項4記載のアクティブマトリクス基板。

【請求項 6】

同一の画素領域行に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されていることを特徴とする請求項4または5記載のアクティブマトリクス基板。

30

【請求項 7】

請求項1～6のいずれか1項に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。

【請求項 8】

請求項1～6のいずれか1項に記載のアクティブマトリクス基板を備えることを特徴とする液晶表示装置。

【請求項 9】

走査信号線を2本ずつ順次選択していくことを特徴とする請求項8記載の液晶表示装置。

【請求項 10】

一水平走査期間には、走査信号線が2本同時選択される2本選択期間と、該2本選択期間に続き、走査信号線が1本のみ選択される1本選択期間とが含まれることを特徴とする請求項9記載の液晶表示装置。

40

【請求項 11】

中間調表示時には、2本選択期間に相対的に低階調のデータ信号が各データ信号線に供給され、1本選択期間に相対的に高階調のデータ信号が各データ信号線に供給されることを特徴とする請求項10記載の液晶表示装置。

【請求項 12】

中間調表示時には、2本選択期間に相対的に高階調のデータ信号が各データ信号線に供給され、1本選択期間に相対的に低階調のデータ信号が各データ信号線に供給されること

50

を特徴とする請求項 10 記載の液晶表示装置。

【請求項 13】

1 本選択期間に選択される走査信号線にトランジスタを介して接続される画素電極は、1 本選択期間に選択されない走査信号線にトランジスタを介して接続される画素電極よりも面積が大きいことを特徴とする請求項 12 記載の液晶表示装置。

【請求項 14】

1 つの画素領域列に対応する 2 本のデータ信号線に、逆極性のデータ信号が供給されることを特徴とする請求項 8 記載の液晶表示装置。

【請求項 15】

各データ信号線には、一水平走査期間ごとに極性が反転するデータ信号が供給されることを特徴とする請求項 8 記載の液晶表示装置。

10

【請求項 16】

各データ信号線には、一垂直走査期間ごとに極性が反転するデータ信号が供給されることを特徴とする請求項 8 記載の液晶表示装置。

【請求項 17】

それぞれが異なる画素領域列に対応し、互いに隣り合うデータ信号線に、逆極性のデータ信号が供給されることを特徴とする請求項 8 記載の液晶表示装置。

【請求項 18】

それぞれが異なる画素領域列に対応し、互いに隣り合うデータ信号線に、同極性のデータ信号が供給されることを特徴とする請求項 8 記載の液晶表示装置。

20

【請求項 19】

シフトレジスタを含む走査信号線駆動回路を備え、

同時選択される各走査信号線に供給される走査信号が、上記シフトレジスタの同一段の出力を用いて生成されていることを特徴とする請求項 10 記載の液晶表示装置。

【請求項 20】

1 本選択期間に選択される走査信号線に接続するトランジスタのチャネルサイズは、1 本選択期間に選択されない走査信号線に接続するトランジスタのそれよりも小さいことを特徴とする請求項 10 記載の液晶表示装置。

【請求項 21】

上記 2 つの画素電極の間隙と重なるように列方向に延伸する保持容量配線が、各データ信号線と同層に形成されていることを特徴とする請求項 2 記載のアクティブマトリクス基板。

30

【請求項 22】

請求項 7 記載の液晶パネルとドライバとを備えることを特徴とする液晶表示ユニット。

【請求項 23】

請求項 8～20 のいずれか 1 項に記載の液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とするテレビジョン受像機。

【請求項 24】

複数のデータ信号線と複数の走査信号線とを備え、各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1 つの画素領域列に対応して 2 本のデータ信号線が設けられ、上記画素領域列に含まれる画素領域の 1 つの画素電極が、走査信号線に接続されたトランジスタを介して上記 2 本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記 2 本のデータ信号線の他方に接続され、上記画素領域列の隣接する 2 つの画素領域について、その一方に含まれる画素電極の 1 つと他方に含まれる画素電極の 1 つとが、それぞれトランジスタを介して同一の走査信号線に接続されている液晶パネルに対して、走査信号線を 2 本ずつ順次選択していくことを特徴とする液晶パネルの駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、画素分割方式のアクティブマトリクス基板や液晶パネルに関するものである。

【背景技術】

【0002】

液晶表示装置の視野角特性を高めるための技術として、1画素に2つの画素電極（明副画素に対応する明画素電極と暗副画素に対応する暗画素電極）を設ける画素分割方式が知られている。図36は画素分割方式の液晶パネルの一例である。この液晶パネルは、1画素に対応して2本のデータ信号線を備え、中間調表示時に明・暗画素電極それぞれに異なるデータ信号を書き込む個別書き込み型である。この個別書き込み型は、1つの画素に容量結合された2つの画素電極を設け、それらの一方のみにデータ信号を書き込む容量結合型と比較して、電氣的にフローティングとなる画素電極がなく、信頼性が高い、また、明・暗副画素の輝度を正確に制御することができるといったメリットがある。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】日本国公開特許公報「特開2006-209135号公報（公開日：2006年5月13日）」

【発明の概要】

【発明が解決しようとする課題】

【0004】

20

しかしながら、図36の構成では、1画素行ずつ書き込みを行うため、例えば大型高精細の液晶表示装置や高速駆動（例えば、2倍速・3倍速駆動）の液晶表示装置に適用した場合に画素充電時間が足りず、表示品位が低下するという問題があった。

【0005】

本発明では、個別書き込み型の液晶表示装置の画素充電時間を延ばすことを目的とする。

【課題を解決するための手段】

【0006】

本アクティブマトリクス基板は、複数のデータ信号線と複数の走査信号線とを備え、各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されていることを特徴とする。

30

【0007】

本アクティブマトリクス基板を備えた液晶表示装置では、走査信号線を2本ずつ選択しながら、1画素領域に設けられた複数の画素電極に個別書き込みを行うことができ、個別書き込み型の液晶表示装置の画素充電時間を延ばすことができる。

40

【発明の効果】

【0008】

本発明によれば、個別書き込み型の液晶表示装置の画素充電時間を延ばすことができる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1にかかる液晶パネルの構成を示す回路図である。

【図2】水平走査期間H1の状態を説明する模式図である。

【図3】水平走査期間H2の状態を説明する模式図である。

50

- 【図 4】水平走査期間 H 3 の状態を説明する模式図である。
 【図 5】図 1 の液晶パネルの駆動方法を示すタイミングチャートである。
 【図 6】図 1 の液晶パネルの具体的構成を示す平面図である。
 【図 7】図 5 の矢視断面図である。
 【図 8】図 1 に示す液晶パネルの他の駆動方法を示すタイミングチャートである。
 【図 9】図 8 の H 1 の状態を説明する模式図である。
 【図 10】図 8 の H 2 の状態を説明する模式図である。
 【図 11】図 8 の H 3 の状態を説明する模式図である。
 【図 12】図 1 に示す液晶パネルの他の具体的構成を示す平面図である。
 【図 13】図 1 に示す液晶パネルのさらに他の駆動方法を示すタイミングチャートである

10

。

- 【図 14】図 13 の h 1 の状態を説明する模式図である。
 【図 15】図 13 の h 2 の状態を説明する模式図である。
 【図 16】図 13 の h 3 の状態を説明する模式図である。
 【図 17】実施の形態 2 にかかる液晶パネルの構成を示す回路図である。
 【図 18】水平走査期間 H 1 の状態を説明する模式図である。
 【図 19】水平走査期間 H 2 の状態を説明する模式図である。
 【図 20】水平走査期間 H 3 の状態を説明する模式図である。
 【図 21】図 17 の液晶パネルの駆動方法を示すタイミングチャートである。
 【図 22】図 17 の液晶パネルの具体的構成を示す平面図である。
 【図 23】実施の形態 2 にかかる液晶パネルの他の構成を示す回路図である。
 【図 24】水平走査期間 H 1 の状態を説明する模式図である。
 【図 25】水平走査期間 H 2 の状態を説明する模式図である。
 【図 26】水平走査期間 H 3 の状態を説明する模式図である。
 【図 27】図 23 に示す液晶パネルの駆動方法を示すタイミングチャートである。
 【図 28】液晶表示装置のゲートドライバの構成例を示す模式図である。
 【図 29】(a) は本液晶表示ユニットの構成を示す模式図であり、(b) は本液晶表示装置の構成を示す模式図である。

20

- 【図 30】本液晶表示装置の全体構成を説明するブロック図である。
 【図 31】本液晶表示装置の機能を説明するブロック図である。
 【図 32】本テレビジョン受像機の機能を説明するブロック図である。
 【図 33】本テレビジョン受像機の構成を示す分解斜視図である。
 【図 34】図 6 の変形例を示す平面図である。
 【図 35】本液晶表示装置のゲートドライバの構成を示す模式図である。
 【図 36】従来の液晶パネルの構成を示す模式図である。

30

【発明を実施するための形態】

【0010】

本発明にかかる実施の形態の例を、図 1 ～ 35 を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下ではデータ信号線の延伸方向を列方向、走査信号線の延伸方向を行方向とする。ただし、本液晶表示装置（あるいはこれに用いられる液晶パネルやアクティブマトリクス基板）の利用（視聴）状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。また、アクティブマトリクス基板の 1 つの画素領域は、液晶パネルや液晶表示装置の 1 つの画素に対応している。

40

【0011】

〔実施の形態 1〕

図 1 は本液晶パネル 5 a の一部を示す等価回路図である。液晶パネル 5 a では、各画素に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1 つの画素列に対応して 2 本のデータ信号線が設けられ、上記画素列に含まれる画素の 1 つの画素電極が、走査信号線に接続されたトランジスタを介して上記 2 本のデータ信号線の一方に接続

50

され、該画素の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素列の隣接する2つの画素について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されている。また、各画素には、2つの画素電極が行方向に沿って並べられ、同一の画素列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されている。

【0012】

例えば、列方向に並べられた画素101～104を含む画素列に対応して2本のデータ信号線 $S_x \cdot S_y$ が設けられ、行方向に並べられた画素101・105を含む画素行とその走査方向上流側の画素行との間隙に対応して走査信号線 $G(n-1)$ が設けられ、行方向に並べられた画素102・106を含む画素行と画素101・105を含む画素行との間隙に対応して走査信号線 G_n が設けられ、行方向に並べられた画素103・107を含む画素行と画素102・106を含む画素行との間隙に対応して走査信号線 $G(n+1)$ が設けられ、行方向に並べられた画素104・108を含む画素行と画素103・107を含む画素行との間隙に対応して走査信号線 $G(n+2)$ が設けられ、画素104・108を含む画素行とその走査方向下流側の画素行との間隙に対応して走査信号線 $G(n+3)$ が設けられ、列方向に並べられた画素105～108を含む画素列に対応して2本のデータ信号線 $S_X \cdot S_Y$ が設けられている。また、画素101・105を含む画素行、画素102・106を含む画素行、画素103・107を含む画素行、画素104・108を含む画素行それぞれに対応して、保持容量配線 $C_s(n-1)$ 、保持容量配線 C_{sn} 、保持容量配線 $C_s(n+1)$ 、保持容量配線 $C_s(n+2)$ が設けられている。

【0013】

ここで、画素101には、2つの画素電極17a・17bが行方向に沿ってこの順に並べられ、走査信号線 G_n に接続するトランジスタ12aのドレイン電極が画素電極17aに接続されるとともに、走査信号線 $G(n-1)$ に接続するトランジスタ12bのドレイン電極が画素電極17bに接続され、かつトランジスタ12aのソース電極がデータ信号線 S_x に接続され、トランジスタ12bのソース電極がデータ信号線 S_y に接続されている。なお、画素電極17aと共通電極（対向電極）comとの間に液晶容量 C_{1a} が形成されるとともに、画素電極17bと共通電極（対向電極）comとの間に液晶容量 C_{1b} が形成され、画素電極17aと保持容量配線 $C_s(n-1)$ との間に保持容量 c_{sa} が形成されるとともに、画素電極17aと保持容量配線 $C_s(n-1)$ との間に保持容量 c_{sb} が形成される。

【0014】

また、画素101と列方向に隣接する画素102には、2つの画素電極17c・17dが行方向に沿ってこの順に並べられ、走査信号線 $G(n+1)$ に接続するトランジスタ12cのドレイン電極が画素電極17cに接続されるとともに、走査信号線 G_n に接続するトランジスタ12dのドレイン電極が画素電極17dに接続され、かつトランジスタ12cのソース電極がデータ信号線 S_x に接続され、トランジスタ12dのソース電極がデータ信号線 S_y に接続されている。なお、画素電極17cと共通電極（対向電極）comとの間に液晶容量 C_{1c} が形成されるとともに、画素電極17dと共通電極（対向電極）comとの間に液晶容量 C_{1d} が形成され、画素電極17cと保持容量配線 C_{sn} との間に保持容量 c_{sc} が形成されるとともに、画素電極17dと保持容量配線 C_{sn} との間に保持容量 c_{sd} が形成される。

【0015】

また、画素102と列方向に隣接する画素103には、2つの画素電極17e・17fが行方向に沿ってこの順に並べられ、走査信号線 $G(n+2)$ に接続するトランジスタ12eのドレイン電極が画素電極17eに接続されるとともに、走査信号線 $G(n+1)$ に接続するトランジスタ12fのドレイン電極が画素電極17fに接続され、かつトランジスタ12eのソース電極がデータ信号線 S_x に接続され、トランジスタ12fのソース電極がデータ信号線 S_y に接続されている。なお、画素電極17eと共通電極（対向電極）

c o mとの間に液晶容量C l eが形成されるとともに、画素電極1 7 fと共通電極（対向電極）c o mとの間に液晶容量C l fが形成され、画素電極1 7 eと保持容量配線C s（n+1）との間に保持容量c s eが形成されるとともに、画素電極1 7 fと保持容量配線C s（n+1）との間に保持容量c s fが形成される。

【0016】

また、画素1 0 3と列方向に隣接する画素1 0 4には、2つの画素電極1 7 g・1 7 hが行方向に沿ってこの順に並べられ、走査信号線G（n+3）に接続するトランジスタ1 2 gのドレイン電極が画素電極1 7 gに接続されるとともに、走査信号線G（n+2）に接続するトランジスタ1 2 hのドレイン電極が画素電極1 7 hに接続され、かつトランジスタ1 2 gのソース電極がデータ信号線S xに接続され、トランジスタ1 2 hのソース電極がデータ信号線S yに接続されている。なお、画素電極1 7 gと共通電極（対向電極）c o mとの間に液晶容量C l gが形成されるとともに、画素電極1 7 hと共通電極（対向電極）c o mとの間に液晶容量C l hが形成され、画素電極1 7 gと保持容量配線C s（n+2）との間に保持容量c s gが形成されるとともに、画素電極1 7 hと保持容量配線C s（n+2）との間に保持容量c s hが形成される。

【0017】

また、画素1 0 1と行方向に隣接する画素1 0 5には、2つの画素電極1 7 A・1 7 Bが行方向に沿ってこの順に並べられ、走査信号線G nに接続するトランジスタ1 2 Aのドレイン電極が画素電極1 7 Aに接続されるとともに、走査信号線G（n-1）に接続するトランジスタ1 2 Bのドレイン電極が画素電極1 7 Bに接続され、かつトランジスタ1 2 Aのソース電極がデータ信号線S Xに接続され、トランジスタ1 2 Bのソース電極がデータ信号線S Yに接続されている。なお、画素電極1 7 Aと共通電極（対向電極）c o mとの間に液晶容量C l Aが形成されるとともに、画素電極1 7 Bと共通電極（対向電極）c o mとの間に液晶容量C l Bが形成され、画素電極1 7 Aと保持容量配線C s（n-1）との間に保持容量C s Aが形成されるとともに、画素電極1 7 Aと保持容量配線C s（n-1）との間に保持容量C s Bが形成される。

【0018】

また、画素1 0 2と行方向に隣接する画素1 0 6には、2つの画素電極1 7 C・1 7 Dが行方向に沿ってこの順に並べられ、走査信号線G（n+1）に接続するトランジスタ1 2 Cのドレイン電極が画素電極1 7 Cに接続されるとともに、走査信号線G nに接続するトランジスタ1 2 Dのドレイン電極が画素電極1 7 Dに接続され、かつトランジスタ1 2 Cのソース電極がデータ信号線S Xに接続され、トランジスタ1 2 Dのソース電極がデータ信号線S Yに接続されている。なお、画素電極1 7 Cと共通電極（対向電極）c o mとの間に液晶容量C l Cが形成されるとともに、画素電極1 7 Dと共通電極（対向電極）C o mとの間に液晶容量C l Dが形成され、画素電極1 7 Cと保持容量配線C s nとの間に保持容量c s Cが形成されるとともに、画素電極1 7 Dと保持容量配線C s nとの間に保持容量c s Dが形成される。

【0019】

また、画素1 0 3と行方向に隣接する画素1 0 7には、2つの画素電極1 7 E・1 7 Fが行方向に沿ってこの順に並べられ、走査信号線G（n+2）に接続するトランジスタ1 2 Eのドレイン電極が画素電極1 7 Eに接続されるとともに、走査信号線G（n+1）に接続するトランジスタ1 2 Fのドレイン電極が画素電極1 7 Fに接続され、かつトランジスタ1 2 Eのソース電極がデータ信号線S Xに接続され、トランジスタ1 2 Fのソース電極がデータ信号線S Yに接続されている。なお、画素電極1 7 Eと共通電極（対向電極）c o mとの間に液晶容量C l Eが形成されるとともに、画素電極1 7 Fと共通電極（対向電極）c o mとの間に液晶容量C l Fが形成され、画素電極1 7 Eと保持容量配線C s（n+1）との間に保持容量c s Eが形成されるとともに、画素電極1 7 Fと保持容量配線C s（n+1）との間に保持容量c s Fが形成される。

【0020】

また、画素1 0 4と行方向に隣接する画素1 0 8には、2つの画素電極1 7 G・1 7 H

が行方向に沿ってこの順に並べられ、走査信号線 $G(n+3)$ に接続するトランジスタ 12G のドレイン電極が画素電極 17G に接続されるとともに、走査信号線 $G(n+2)$ に接続するトランジスタ 12H のドレイン電極が画素電極 17H に接続され、かつトランジスタ 12G のソース電極がデータ信号線 SX に接続され、トランジスタ 12H のソース電極がデータ信号線 SY に接続されている。なお、画素電極 17G と共通電極（対向電極）com との間に液晶容量 C1G が形成されるとともに、画素電極 17H と共通電極（対向電極）com との間に液晶容量 C1H が形成され、画素電極 17G と保持容量配線 Cs($n+2$) との間に保持容量 csG が形成されるとともに、画素電極 17H と保持容量配線 Cs($n+2$) との間に保持容量 csH が形成される。

【0021】

図2～図4は、液晶パネル5aの一部（図1の4画素行を含む7画素行）に中間調表示を行う場合の駆動方法を、1水平走査期間ごとに連続する3水平走査期間分（H1～H3）示す模式図である。なお、図2はH1の2本選択期間および1本選択期間を示し、図3はH2の2本選択期間および1本選択期間を示し、図4はH3の2本選択期間および1本選択期間を示している。また、図5は液晶パネル5aの一部に中間調表示を行う場合の駆動方法を示すタイミングチャート（2フレーム分）であり、図5のSx・Sy・SX・SYは、図2～5のデータ信号線Sx・Sy・SX・SYに供給されるデータ信号を示し、図5のGn～G($n+5$)は、図2～5の走査信号線Gn～G($n+5$)に供給される走査信号（アクティブHigh）を示し、図5の17a～17fは、図1の画素電極17a～17fの電位を示している。

【0022】

図2～5に示す駆動方法では、走査信号線を2本ずつ順次選択していき、一水平走査期間には、2本の走査信号線が同時選択される2本選択期間と、該2本選択期間に続き、該2本の走査信号線の一方が非選択とされる1本選択期間とが含まれる。また、中間調表示時には、2本選択期間に低階調データ信号が各データ信号線に供給され、1本選択期間に高階調データ信号が各データ信号線に供給される。また、1つの画素列に対応する2本のデータ信号線に、逆極性のデータ信号が供給される。また、それぞれが異なる画素列に対応する、互いに隣り合う2本のデータ信号線（例えばSy・SX）には同極性のデータ信号を供給する。なお、各データ信号線に供給されるデータ信号の極性は一水平走査期間（1H）ごとに反転する。

【0023】

例えば、連続する3つの水平走査期間H1～H3において、H1の2本選択期間では、2本の走査信号線Gn・G($n+1$)を選択する（アクティブとする）。これにより、図1・2・5に示すように、トランジスタを介して走査信号線Gnおよびデータ信号線Sxに接続する画素電極17aにはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線Gnおよびデータ信号線Syに接続する画素電極17dにはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線G($n+1$)およびデータ信号線Sxに接続する画素電極17cにはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線G($n+1$)およびデータ信号線Syに接続する画素電極17fにはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線Gnおよびデータ信号線SXに接続する画素電極17Aにはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線Gnおよびデータ信号線SYに接続する画素電極17Dにはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線G($n+1$)およびデータ信号線SXに接続する画素電極17Cにはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線G($n+1$)およびデータ信号線SYに接続する画素電極17Fにはプラスの低階調データ信号が書き込まれる。

【0024】

次いで、H1の1本選択期間では、走査信号線G($n+1$)を非選択とし、走査信号線Gnのみを選択するとする。これにより、図1・2・5に示すように、トランジスタを介

10

20

30

40

50

して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極 17a にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極 17d にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_X に接続する画素電極 17A にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_Y に接続する画素電極 17D にはプラスの高階調データ信号が書き込まれる。

【0025】

以上から、画素電極 17a・17c・17d・17f・17A・17C・17D・17F それぞれに対応する副画素は、明副画素(+)・暗副画素(+)・明副画素(-)・暗副画素(-)・明副画素(-)・暗副画素(-)・明副画素(+)・暗副画素(+)となる。

10

【0026】

また、H2の2本選択期間では、2本の走査信号線 $G(n+2)$ ・ $G(n+3)$ を選択する(アクティブとする)。これにより、図1・3・5に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17e にはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17h にはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_x に接続する画素電極 17g にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_y に接続する画素電極 17i にはプラスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17E にはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17H にはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_X に接続する画素電極 17G にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_Y に接続する画素電極 17J にはマイナスの低階調データ信号が書き込まれる。

20

【0027】

次いで、H2の1本選択期間では、走査信号線 $G(n+3)$ を非選択とし、走査信号線 $G(n+2)$ のみを選択するとする。これにより、図1・3・5に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17e にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17h にはプラスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17E にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17H にはマイナスの高階調データ信号が書き込まれる。

30

【0028】

以上から、画素電極 17e・17g・17h・17E・17G・17H それぞれに対応する副画素は、明副画素(-)・暗副画素(-)・明副画素(+)・明副画素(+)・暗副画素(+)・明副画素(-)となる。

40

【0029】

また、H3の2本選択期間では、2本の走査信号線 $G(n+4)$ ・ $G(n+5)$ を選択し、次いでH3の1本選択期間では、走査信号線 $G(n+5)$ を非選択とし、走査信号線 $G(n+4)$ のみを選択する。H3の状態については図4のとおりである。

【0030】

液晶パネル 5a を備えた液晶表示装置は、個別書き込み型の画素分割方式であるため、視野角特性が良好であるとともに、容量結合型と比較して、電氣的にフローティングとな

50

る画素電極がなく、信頼性が高い、また、明・暗副画素の輝度を正確に制御することができるといったメリットがある。

【0031】

そして、走査信号線を2本ずつ選択していき、偶数番目の走査信号線($G_n \cdot G(n+2) \cdots$)に接続する明副画素には2本選択期間でプリチャージした後に1本選択期間でデータ信号を書き込むことができるため、通常駆動であれば、明副画素の充電時間を実質的に2倍に延ばすことができる。また、奇数番目の走査信号線($G(n+1) \cdot G(n+3) \cdots$)に接続する暗副画素にデータ信号を書き込む2本選択期間が、1本選択期間よりも長く設定されているため、通常駆動であれば、暗副画素の充電時間も延ばすことができる。これにより、大型高精細の液晶表示装置や高速駆動(60Hz以上の駆動)の液晶表示装置に好適となる。

10

【0032】

さらに、中間調を表示する時には、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並び(明・暗副画素が市松配置され)、ライン状のムラが視認されにくくなるという効果もある。

【0033】

加えて、画面に書き込まれたデータ信号の極性が、行方向および列方向それぞれについて2副画素単位で反転するため、画面のチラツキも抑制することができる。

【0034】

図6は、図1に示す液晶パネル5aの一部の構成例を示す平面図である。図6に示すように、液晶パネル5aには、行方向に延伸する、走査信号線 $G(n-1)$ ・走査信号線 G_n ・走査信号線 $G(n+1)$ が走査方向に沿ってこの順に配されるとともに、列方向に延伸するデータ信号線 $S_x \cdot S_y \cdot S_X \cdot S_Y$ がこの順に並べられ、平面的に視ると、走査信号線 $G(n-1)$ および走査信号線 G_n 並びにデータ信号線 $S_x \cdot S_y$ で画される領域に画素電極17a・17bが行方向に沿ってこの順に並べられるとともに、走査信号線 $G(n-1)$ および走査信号線 G_n 並びにデータ信号線 $S_X \cdot S_Y$ で画される領域に画素電極17A・17Bが行方向に沿ってこの順に並べられ、かつ走査信号線 G_n および走査信号線 $G(n+1)$ 並びにデータ信号線 $S_x \cdot S_y$ で画される領域に画素電極17c・17dが行方向に沿ってこの順に並べられるとともに、走査信号線 G_n および走査信号線 $G(n+1)$ 並びにデータ信号線 $S_X \cdot S_Y$ で画される領域に画素電極17C・17Dが行方向に沿ってこの順に並べられている。また、走査信号線 $G(n-1)$ および走査信号線 G_n 間に保持容量配線 $C_s(n-1)$ が配されるとともに、走査信号線 G_n および走査信号線 $G(n+1)$ 間に保持容量配線 C_{sn} が配されている。

20

30

【0035】

なお、走査信号線 $G(n-1)$ はトランジスタ12b・12Bのゲート電極として、走査信号線 G_n はトランジスタ12a・12Aのゲート電極として、走査信号線 $G(n+1)$ はトランジスタ12c・12Cのゲート電極として機能する。また、トランジスタ12a・12cのソース電極はデータ信号線 S_x に接続されるとともに、トランジスタ12b・12dのソース電極はデータ信号線 S_y に接続され、トランジスタ12A・12Cのソース電極はデータ信号線 S_X に接続されるとともに、トランジスタ12B・12Dのソース電極はデータ信号線 S_Y に接続されている。

40

【0036】

また、トランジスタ12aのドレイン電極がコンタクトホール11aを介して画素電極17aに接続され、トランジスタ12bのドレイン電極がコンタクトホール11bを介して画素電極17bに接続され、保持容量配線 $C_s(n-1)$ に重なる容量電極67aと画素電極17aとがコンタクトホール91aを介して接続され、保持容量配線 $C_s(n-1)$ に重なる容量電極67bと画素電極17bとがコンタクトホール91bを介して接続されている。同様に、トランジスタ12Aのドレイン電極がコンタクトホール11Aを介して画素電極17Aに接続され、トランジスタ12Bのドレイン電極がコンタクトホール11Bを介して画素電極17Bに接続され、保持容量配線 $C_s(n-1)$ に重なる容量電極

50

67Aと画素電極17Aとがコンタクトホール91Aを介して接続され、保持容量配線Cs(n-1)に重なる容量電極67Bと画素電極17Bとがコンタクトホール91Bを介して接続されている。

【0037】

ここでは、保持容量配線Cs(n-1)および容量電極67aの重なり部分、保持容量配線Cs(n-1)および容量電極67bの重なり部分、保持容量配線Cs(n-1)および容量電極67Aの重なり部分、および保持容量配線Cs(n-1)および容量電極67Bの重なり部分にそれぞれ、保持容量 $c_{sa} \cdot c_{sb} \cdot c_{sA} \cdot c_{sB}$ (図1参照)の大半が形成されている。

【0038】

また、トランジスタ12cのドレイン電極がコンタクトホール11cを介して画素電極17cに接続され、トランジスタ12dのドレイン電極がコンタクトホール11dを介して画素電極17dに接続され、保持容量配線Cs_nに重なる容量電極67cと画素電極17cとがコンタクトホール91cを介して接続され、保持容量配線Cs_nに重なる容量電極67dと画素電極17dとがコンタクトホール91dを介して接続されている。同様に、トランジスタ12Cのドレイン電極がコンタクトホール11Cを介して画素電極17Cに接続され、トランジスタ12Dのドレイン電極がコンタクトホール11Dを介して画素電極17Dに接続され、保持容量配線Cs_nに重なる容量電極67Cと画素電極17Cとがコンタクトホール91Cを介して接続され、保持容量配線Cs_nに重なる容量電極67Dと画素電極17Dとがコンタクトホール91Dを介して接続されている。

【0039】

ここでは、保持容量配線Cs_nおよび容量電極67Aの重なり部分、保持容量配線Cs_nおよび容量電極67Bの重なり部分、保持容量配線Cs_nおよび容量電極67Cの重なり部分、および保持容量配線Cs_nおよび容量電極67Dの重なり部分にそれぞれ、保持容量 $c_{sc} \cdot c_{sd} \cdot c_{sC} \cdot c_{sD}$ (図1参照)の大半が形成されている。

【0040】

なお、図6では、トランジスタ12a・12d・12A・12Dのチャネルサイズ(W/L)とトランジスタ12b・12c・12B・12Cのチャネルサイズ(W/L)とを等しくしているがこれに限定されない。充電時間を長くとれる明画素電極に接続するトランジスタ12a・12d・12A・12Dのチャネルサイズを、暗画素電極に接続するトランジスタ12b・12c・12B・12Cよりも小さくすることもできる。こうすれば、開口率を高めることができる。

【0041】

図7は図6の矢視断面図である。同図に示すように、液晶パネル5aは、アクティブマトリクス基板3と、これに対向するカラーフィルタ基板30と、両基板(3・30)間に配される液晶層40とを備える。

【0042】

アクティブマトリクス基板3では、ガラス基板31上に走査信号線G_nおよび保持容量配線Cs(n-1)が形成され、これらを覆うようにゲート絶縁膜22が形成されている。ゲート絶縁膜22上には、半導体層(i層およびn+層)、n+層に接するソース電極、およびドレイン電極(断面には含まれない)並びに容量電極67aが形成され、これらを覆うように無機層間絶縁膜25が形成されている。無機層間絶縁膜25上には、これよりも厚い有機層間絶縁膜26が形成され、有機層間絶縁膜26上に画素電極17aが形成される。なお、図示しないが、アクティブマトリクス基板3の表面を覆うように配向膜が形成されている。ここで、コンタクトホール91aでは、無機層間絶縁膜25および有機層間絶縁膜26が削り貫かれ、これによって、画素電極17aと容量電極67aとが接続される。容量電極67aはゲート絶縁膜22を介して保持容量配線Cs(n-1)と重なっており、この重なり部分に保持容量 c_{sa} (図1参照)の大半が形成される。

【0043】

一方、カラーフィルタ基板30では、ガラス基板32上にブラックマトリクス13およ

10

20

30

40

50

び着色層 14 が形成され、その上層に共通電極 (com) 28 が形成され、さらにカラーフィルタ基板 30 の表面を覆うように配向膜が形成されている (図示せず)。

【0044】

以下に、本液晶パネルの製造方法について説明する。液晶パネルの製造方法には、アクティブマトリクス基板製造工程と、カラーフィルタ基板製造工程と、両基板を貼り合わせて液晶を充填する組み立て工程とが含まれる。

【0045】

まず、ガラス、プラスチックなどの基板上に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜 (厚さ $1000\text{ \AA} \sim 3000\text{ \AA}$) をスパッタリング法により成膜し、その後、フォトリソグラフィ技術 (Photo Engraving Process、以下、「PEP 技術」と称し、これにはエッチング工程が含まれるものとする) によりパターニングを行い、フォトレジストを除去することにより、走査信号線 (各トランジスタのゲート電極) および保持容量配線を形成する。

【0046】

次いで、走査信号線が形成された基板全体に、CVD (Chemical Vapor Deposition) 法により窒化シリコンや酸化シリコンなどの無機絶縁膜 (厚さ $3000\text{ \AA} \sim 5000\text{ \AA}$ 程度) を成膜し、ゲート絶縁膜を形成する。

【0047】

続いて、ゲート絶縁膜上 (基板全体) に、CVD 法により真性アモルファスシリコン膜 (厚さ $1000\text{ \AA} \sim 3000\text{ \AA}$) と、リンがドーブされた n+アモルファスシリコン膜 (厚さ $400\text{ \AA} \sim 700\text{ \AA}$) とを連続して成膜し、その後、PEP 技術によってパターニングを行い、フォトレジストを除去することにより、ゲート電極上に、真性アモルファスシリコン層と n+アモルファスシリコン層とからなるシリコン積層体を島状に形成する。

【0048】

続いて、シリコン積層体が形成された基板全体に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜 (厚さ $1000\text{ \AA} \sim 3000\text{ \AA}$) をスパッタリング法により成膜し、その後、PEP 技術によりパターニングを行い、データ信号線、トランジスタのソース電極・ドレイン電極、および容量電極を形成する (メタル層の形成)。ここでは必要に応じてレジストを除去する。

【0049】

さらに、上記メタル配線形成時のフォトレジスト、またはソース電極およびドレイン電極をマスクとして、シリコン積層体を構成する n+アモルファスシリコン層をエッチング除去し、フォトレジストを除去することにより、トランジスタのチャンネルを形成する。ここで、半導体層は、上記のようにアモルファスシリコン膜により形成させてもよいが、ポリシリコン膜を成膜させてもよく、また、アモルファスシリコン膜およびポリシリコン膜にレーザアニール処理を行って結晶性を向上させてもよい。これにより、半導体層内の電子の移動速度が速くなり、トランジスタ (TFT) の特性を向上させることができる。

【0050】

次いで、データ信号線などが形成された基板全体に層間絶縁膜を形成する。具体的には、 SiH_4 ガスと NH_3 ガスと N_2 ガスとの混合ガスを用い、基板全面を覆うように、厚さ約 $3000\text{ \AA}$ の SiN_x からなる無機層間絶縁膜 25 (パッシベーション膜) を CVD にて形成する。その後、厚さ約 $3\text{ }\mu\text{m}$ のポジ型感光性アクリル樹脂からなる有機層間絶縁膜 26 をスピコートやダイコートにて形成する。

【0051】

続いて、PEP 技術により有機層間絶縁膜 26 にコンタクト用パターンを形成し、さらに、パターニングされた有機層間絶縁膜 26 をマスクとし、 CF_4 ガスと O_2 ガスとの混合ガスを用いて、無機層間絶縁膜 25 をドライエッチングする。なお、有機層間絶縁膜 26 は、例えば、SOG (スピノンガラス) 材料からなる絶縁膜であってもよく、また、

10

20

30

40

50

有機層間絶縁膜 26 に、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも 1 つが含まれていてもよい。

【0052】

続いて、コンタクトホールが形成された層間絶縁膜上の基板全体に、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、酸化亜鉛、酸化スズなどからなる透明導電膜 (厚さ $1000 \text{ \AA} \sim 2000 \text{ \AA}$) をスパッタリング法により成膜し、その後、PEP 技術によりパターンニングを行い、レジストを除去して各画素電極を形成する。

【0053】

最後に、画素電極上の基板全体に、ポリイミド樹脂を厚さ $500 \text{ \AA} \sim 1000 \text{ \AA}$ で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。以上のようにして、アクティブマトリクス基板製造される。

10

【0054】

以下に、カラーフィルタ基板製造工程について説明する。

【0055】

まず、ガラス、プラスチックなどの基板上 (基板全体) に、クロム薄膜、または黒色顔料を含有する樹脂を成膜した後に PEP 技術によってパターンニングを行い、ブラックマトリクスを形成する。次いで、ブラックマトリクスの間隙に、顔料分散法などを用いて、赤、緑および青のカラーフィルタ層 (厚さ $2 \mu\text{m}$ 程度) をパターン形成する。

【0056】

続いて、カラーフィルタ層上の基板全体に、ITO、IZO、酸化亜鉛、酸化スズなどからなる透明導電膜 (厚さ $1000 \text{ \AA}$ 程度) を成膜し、共通電極 (com) を形成する。

20

【0057】

最後に、共通電極上の基板全体に、ポリイミド樹脂を厚さ $500 \text{ \AA} \sim 1000 \text{ \AA}$ で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。上記のようにして、カラーフィルタ基板を製造することができる。

【0058】

以下に、組み立て工程について、説明する。

【0059】

まず、アクティブマトリクス基板およびカラーフィルタ基板の一方に、スクリーン印刷により、熱硬化性エポキシ樹脂などからなるシール材料を液晶注入口の部分に欠いた枠状パターンに塗布し、他方の基板に液晶層の厚さに相当する直径を持ち、プラスチックまたはシリカからなる球状のスペーサーを散布する。なお、スペーサーを散布する代わりに、PEP 技術により CF 基板の BM 上あるいはアクティブマトリクス基板のメタル配線の上にスペーサーを形成してもよい。

30

【0060】

次いで、アクティブマトリクス基板とカラーフィルタ基板とを貼り合わせ、シール材料を硬化させる。

【0061】

最後に、アクティブマトリクス基板およびカラーフィルタ基板並びにシール材料で囲まれる空間に、減圧法により液晶材料を注入した後、液晶注入口に UV 硬化樹脂を塗布し、UV 照射によって液晶材料を封止することで液晶層を形成する。以上のようにして、液晶パネルが製造される。

40

【0062】

なお、MVA (マルチドメインバーティカルアライメント) 方式の液晶パネルでは、例えば、アクティブマトリクス基板の各画素電極に配向規制用のスリットが設けられるとともに、カラーフィルタ基板に配向規制用のリブ (線状突起) が設けられる。なお、リブの代わりに、カラーフィルタ基板の共通電極に配向規制用のスリットを設けることもできる。また、紫外線等の照射によって液晶の配向を決定する、光配向液晶を用いることもできる。この場合、リブやスリットの構造体を設けることなく高視野角化を実現でき、開口率を大幅に向上させることができる。

50

【0063】

なお、図6・7の構成においては、互いに隣り合い、かつそれぞれが別々の画素列に対応して設けられた2本のデータ信号線の間隙（データ信号線と同層）あるいは間隙上（画素電極と同層）に、データ信号とは別の信号が供給される間在配線を設けてもよい。例えば、データ信号線 S_y ・ S_x の間隙に間在配線を設ける。こうすれば、例えば、データ信号線 S_x と画素電極17aのクロストーク、およびデータ信号線 S_y と画素電極17Aのクロストークを低減することができる。さらに、図6・7では各保持容量配線が走査信号線と同層に形成され、行方向に（図中横方向）延伸しているが、これに限定されない。各保持容量配線をデータ信号線と同層（メタル層）に形成し、列方向（図中縦方向）に延伸させてもよい。

10

【0064】

例えば図34では、列方向に延伸する保持容量配線 C_{sz} が、画素電極17a・17bの間隙および画素電極17c・17dの間隙と重なるようにメタル層に設けられ、保持容量配線 C_{sz} と画素電極17a・17b・17c・17dそれぞれとの重なり部分に保持容量が形成され、また、列方向に延伸する保持容量配線 C_Z が、画素電極17A・17Bの間隙および画素電極17C・17Dの間隙と重なるようにメタル層に設けられ、保持容量配線 C_Z と画素電極17A・17B・17C・17Dそれぞれとの重なり部分に保持容量が形成されている。このような構成にすることで、画素電極間の液晶の配向乱れや光漏れを効率よく隠すことができる。そうすると、画素電極間に対応してカラーフィルタ基板側に設けられるブラックマトリクスを細くしたり、省いたりすることができるため、開口率を高めることができる。なお、図34のような構成では、保持容量を確保するために、チャンネル保護膜（層間絶縁膜）を無機絶縁膜のみで形成することもできる。

20

【0065】

図5に示す液晶パネル5aの駆動方法では2本選択期間に低階調データ信号が各データ信号線に供給され、1本選択期間に高階調データ信号が各データ信号線に供給されるが、これに限定されない。図8に示すように、2本選択期間に高階調データ信号を各データ信号線に供給し、1本選択期間に低階調データ信号を各データ信号線に供給してもよい。

【0066】

この場合、図9に示すように、連続する3つの水平走査期間 $H_1 \sim H_3$ において、 H_1 の2本選択期間では、2本の走査信号線 $G_n \cdot G_{(n+1)}$ を選択する（アクティブとする）。これにより、図1・8・9に示すように、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17aにはプラスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17dにはマイナスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 $G_{(n+1)}$ およびデータ信号線 S_x に接続する画素電極17cにはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G_{(n+1)}$ およびデータ信号線 S_y に接続する画素電極17fにはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17Aにはマイナスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17Dにはプラスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 $G_{(n+1)}$ およびデータ信号線 S_x に接続する画素電極17Cにはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G_{(n+1)}$ およびデータ信号線 S_y に接続する画素電極17Fにはプラスの高階調データ信号が書き込まれる。

30

40

【0067】

次いで、 H_1 の1本選択期間では、走査信号線 $G_{(n+1)}$ を非選択とし、走査信号線 G_n のみを選択とする。これにより、図1・8・9に示すように、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17aにはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17dにはマイナスの低階調データ信号が書き込まれる。また、ト

50

ランジスタを介して走査信号線 G_n およびデータ信号線 S_X に接続する画素電極 17 A にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_Y に接続する画素電極 17 D にはプラスの低階調データ信号が書き込まれる。

【0068】

以上から、画素電極 17 a・17 c・17 d・17 f・17 A・17 C・17 D・17 F それぞれに対応する副画素は、暗副画素(+)・明副画素(+)・暗副画素(-)・明副画素(-)・暗副画素(-)・明副画素(-)・暗副画素(+)・明副画素(+)となる。

【0069】

10

また、H2の2本選択期間では、2本の走査信号線 $G(n+2)$ ・ $G(n+3)$ を選択する(アクティブとする)。これにより、図1・8・10に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17 e にはマイナスのプリチャージ信号(高階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17 h にはプラスのプリチャージ信号(高階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_x に接続する画素電極 17 g にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_y に接続する画素電極にはプラスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17 E にはプラスのプリチャージ信号(高階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17 H にはマイナスのプリチャージ信号(高階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_X に接続する画素電極 17 G にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_Y に接続する画素電極にはマイナスの高階調データ信号が書き込まれる。

20

【0070】

次いで、H2の1本選択期間では、走査信号線 $G(n+3)$ を非選択とし、走査信号線 $G(n+2)$ のみを選択するとする。これにより、図1・8・10に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17 e にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17 h にはプラスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17 E にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17 H にはマイナスの低階調データ信号が書き込まれる。

30

【0071】

以上から、画素電極 17 e・17 g・17 h・17 E・17 G・17 H それぞれに対応する副画素は、暗副画素(-)・明副画素(-)・暗副画素(+)・暗副画素(+)・明副画素(+)・暗副画素(-)となる。

40

【0072】

また、H3の2本選択期間では、2本の走査信号線 $G(n+4)$ ・ $G(n+5)$ を選択し、次いでH3の1本選択期間では、走査信号線 $G(n+5)$ を非選択とし、走査信号線 $G(n+4)$ のみを選択する。H3の状態については図11のとおりである。

【0073】

図8の駆動方法では、走査信号線を2本ずつ選択していき、偶数番目の走査信号線(G_n ・ $G(n+2)$ ・...)に接続する暗副画素には2本選択期間でプリチャージした後に1本選択期間でデータ信号を書き込むことができるため、通常駆動であれば、暗副画素の充電時間を実質的に2倍に延ばすことができる。また、奇数番目の走査信号線($G(n+1)$ ・ $G(n+3)$ ・...)に接続する明副画素にデータ信号を書き込む2本選択期間が

50

、1本選択期間よりも長く設定されているため、通常駆動であれば、明副画素の充電時間も延ばすことができる。これにより、大型高精細の液晶表示装置や高速駆動（60Hz以上の駆動）の液晶表示装置に好適となる。図8の駆動方法は、特に図12に示すような、偶数番目の走査信号線（ $G_n \cdot G(n+2) \cdot \dots$ ）に接続する画素電極17a・17d・17A・17D（暗画素電極）が、奇数番目の走査信号線（ $G(n+1) \cdot G(n+3) \cdot \dots$ ）に接続する画素電極17b・17c・17B・17C（明画素電極）よりも面積が大きい場合に好適である。これは、面積の大きな（充電し難い）暗画素電極の充電時間を2倍（通常駆動時）延ばせ、また、高階調データ信号でプリチャージした後に低階調データ信号を書き込むことによるオーバーシュート効果も期待できるからである。なお、暗画素電極の面積は、明画素電極の面積を1として、1～4が好ましい。

10

【0074】

図5に示す液晶パネル5aの駆動方法では、それぞれが異なる画素列に対応する、互いに隣り合う2本のデータ信号線（例えば $S_y \cdot S_x$ ）に同極性のデータ信号が供給され、各データ信号線に供給されるデータ信号の極性が一水平走査期間（1H）ごとに反転するが、これに限定されない。図13に示すように、それぞれが異なる画素列に対応する、互いに隣り合う2本のデータ信号線（例えば $S_y \cdot S_x$ ）に逆極性のデータ信号を供給し、各データ信号線に供給されるデータ信号の極性を一垂直走査期間（1フレーム期間）ごとに反転させてもよい。なお、1つの画素列に対応する2本のデータ信号線には逆極性のデータ信号を供給する。

【0075】

20

例えば、連続する3つの水平走査期間 $h_1 \sim h_3$ において、 h_1 の2本選択期間では、2本の走査信号線 $G_n \cdot G(n+1)$ を選択する（図13・14参照）。これにより、図1・13・14に示すように、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17aにはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17dにはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 S_x に接続する画素電極17cにはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 S_y に接続する画素電極17fにはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17Aにはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17Dにはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 S_x に接続する画素電極17Cにはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 S_y に接続する画素電極17Fにはプラスの低階調データ信号が書き込まれる。

30

【0076】

次いで、 h_1 の1本選択期間では、走査信号線 $G(n+1)$ を非選択とし、走査信号線 G_n のみを選択するとする。これにより、図1・13・14に示すように、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17aにはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17dにはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17Aにはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17Dにはプラスの高階調データ信号が書き込まれる。

40

【0077】

以上から、画素電極17a・17c・17d・17f・17A・17C・17D・17Fそれぞれに対応する副画素は、明副画素（+）・暗副画素（+）・明副画素（-）・暗副画素（-）・明副画素（-）・暗副画素（-）・明副画素（+）・暗副画素（+）とな

50

る。

【0078】

また、h 2 の 2 本選択期間では、2 本の走査信号線 $G(n+2) \cdot G(n+3)$ を選択する（図 13・15 参照）。これにより、図 1・13・15 に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17e にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17h にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_x に接続する画素電極 17g にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_y に接続する画素電極 10
にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17E にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17H にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_X に接続する画素電極 17G にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_Y に接続する画素電極にはマイナスの低階調データ信号が書き込まれる。

【0079】

次いで、h 2 の 1 本選択期間では、走査信号線 $G(n+3)$ を非選択とし、走査信号線 $G(n+2)$ のみを選択するとする。これにより、図 1・13・15 に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17e にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17h にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17E にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17H にはマイナスの高階調データ信号が書き込まれる。 20

【0080】

以上から、画素電極 17e・17g・17h・17E・17G・17H それぞれに対応する副画素は、明副画素（+）・暗副画素（+）・明副画素（-）・明副画素（+）・暗副画素（+）・明副画素（-）となる。 30

【0081】

また、h 3 の 2 本選択期間では、2 本の走査信号線 $G(n+4) \cdot G(n+5)$ を選択し、次いで h 3 の 1 本選択期間では、走査信号線 $G(n+5)$ を非選択とし、走査信号線 $G(n+4)$ のみを選択する。h 3 の状態については図 16 のとおりである。

【0082】

図 13～図 16 に示す駆動方法では、同一データ信号線に供給されるデータ信号の極性が 1 垂直走査期間中変わらないため、データ信号の極性が 1 水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。加えて、中間調を表示する時には、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並び（明・暗副画素が市松配置され）、ライン状のムラが視認されにくくなるという効果もある。 40

【0083】

〔実施の形態 2〕

図 17 は本液晶パネル 5b の一部を示す等価回路図である。液晶パネル 5b では、各画素に、2 つの画素電極が列方向に沿って並べられ、同一の画素列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する 2 つの画素電極が隣接している。これ以外は図 1 と同様である。

【0084】

10

20

30

40

50

例えば、画素101には、2つの画素電極17a・17bが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n-1)に接続するトランジスタ12aのドレイン電極が画素電極17aに接続されるとともに、走査信号線Gnに接続するトランジスタ12bのドレイン電極が画素電極17bに接続され、かつトランジスタ12aのソース電極がデータ信号線Syに接続され、トランジスタ12bのソース電極がデータ信号線Sxに接続されている。

【0085】

また、画素101と列方向に隣接する画素102には、2つの画素電極17c・17dが列方向（走査方向）に沿ってこの順に並べられ、走査信号線Gnに接続するトランジスタ12cのドレイン電極が画素電極17cに接続されるとともに、走査信号線G(n+1)に接続するトランジスタ12dのドレイン電極が画素電極17dに接続され、かつトランジスタ12cのソース電極がデータ信号線Syに接続され、トランジスタ12dのソース電極がデータ信号線Sxに接続されている。

【0086】

また、画素102と列方向に隣接する画素103には、2つの画素電極17e・17fが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n+1)に接続するトランジスタ12eのドレイン電極が画素電極17eに接続されるとともに、走査信号線G(n+2)に接続するトランジスタ12fのドレイン電極が画素電極17fに接続され、かつトランジスタ12eのソース電極がデータ信号線Syに接続され、トランジスタ12fのソース電極がデータ信号線Sxに接続されている。

【0087】

また、画素103と列方向に隣接する画素104には、2つの画素電極17g・17hが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n+2)に接続するトランジスタ12gのドレイン電極が画素電極17gに接続されるとともに、走査信号線G(n+3)に接続するトランジスタ12hのドレイン電極が画素電極17hに接続され、かつトランジスタ12gのソース電極がデータ信号線Syに接続され、トランジスタ12hのソース電極がデータ信号線Sxに接続されている。

【0088】

また、画素101と行方向に隣接する画素105には、2つの画素電極17A・17Bが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n-1)に接続するトランジスタ12Aのドレイン電極が画素電極17Aに接続されるとともに、走査信号線Gnに接続するトランジスタ12Bのドレイン電極が画素電極17Bに接続され、かつトランジスタ12Aのソース電極がデータ信号線SYに接続され、トランジスタ12Bのソース電極がデータ信号線SXに接続されている。

【0089】

また、画素102と行方向に隣接する画素106には、2つの画素電極17C・17Dが列方向（走査方向）に沿ってこの順に並べられ、走査信号線Gnに接続するトランジスタ12Cのドレイン電極が画素電極17Cに接続されるとともに、走査信号線G(n+1)に接続するトランジスタ12Dのドレイン電極が画素電極17Dに接続され、かつトランジスタ12Cのソース電極がデータ信号線SYに接続され、トランジスタ12Dのソース電極がデータ信号線SXに接続されている。

【0090】

また、画素103と行方向に隣接する画素107には、2つの画素電極17E・17Fが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n+1)に接続するトランジスタ12Eのドレイン電極が画素電極17Eに接続されるとともに、走査信号線G(n+2)に接続するトランジスタ12Fのドレイン電極が画素電極17Fに接続され、かつトランジスタ12Eのソース電極がデータ信号線SYに接続され、トランジスタ12Fのソース電極がデータ信号線SXに接続されている。

【0091】

また、画素104と行方向に隣接する画素108には、2つの画素電極17G・17H

10

20

30

40

50

が列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n+2)$ に接続するトランジスタ 12G のドレイン電極が画素電極 17G に接続されるとともに、走査信号線 $G(n+3)$ に接続するトランジスタ 12H のドレイン電極が画素電極 17H に接続され、かつトランジスタ 12G のソース電極がデータ信号線 SY に接続され、トランジスタ 12H のソース電極がデータ信号線 SX に接続されている。

【0092】

図 18～図 20 は、液晶パネル 5b の一部（図 17 の 4 画素行を含む 7 画素行）に中間調表示を行う場合の駆動方法を、1 水平走査期間ごとに連続する 3 水平走査期間分（H1～H3）示す模式図である。また、図 21 は液晶パネル 5b の一部に中間調表示を行う場合の駆動方法を示すタイミングチャート（2 フレーム分）である。

10

【0093】

図 18～21 に示す駆動方法では、走査信号線を 2 本ずつ順次選択していき、一水平走査期間には、2 本の走査信号線が同時選択される 2 本選択期間と、該 2 本選択期間に続き、該 2 本の走査信号線の一方が非選択とされる 1 本選択期間とが含まれる。また、中間調表示時には、2 本選択期間に低階調データ信号が各データ信号線に供給され、1 本選択期間に高階調データ信号が各データ信号線に供給される。また、1 つの画素列に対応する 2 本のデータ信号線に、逆極性のデータ信号が供給される。また、それぞれが異なる画素列に対応する、互いに隣り合う 2 本のデータ信号線（例えば Sy・SX）には同極性のデータ信号を供給する。なお、各データ信号線に供給されるデータ信号の極性は一垂直走査期間（1 フレーム）ごとに反転する。

20

【0094】

例えば、連続する 3 つの水平走査期間 H1～H3 において、H1 の 2 本選択期間では、2 本の走査信号線 $Gn \cdot G(n+1)$ を選択する（図 18・21 参照）。これにより、図 17・18・21 に示すように、トランジスタを介して走査信号線 Gn およびデータ信号線 Sx に接続する画素電極 17b にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 Gn およびデータ信号線 Sy に接続する画素電極 17c にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 Sx に接続する画素電極 17d にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 Sy に接続する画素電極 17e にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 Gn およびデータ信号線 SX に接続する画素電極 17B にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 Gn およびデータ信号線 SY に接続する画素電極 17C にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 SX に接続する画素電極 17D にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 SY に接続する画素電極 17E にはプラスの低階調データ信号が書き込まれる。

30

【0095】

次いで、H1 の 1 本選択期間では、走査信号線 $G(n+1)$ を非選択とし、走査信号線 Gn のみを選択するとする。これにより、図 17・18・21 に示すように、トランジスタを介して走査信号線 Gn およびデータ信号線 Sx に接続する画素電極 17b にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 Gn およびデータ信号線 Sy に接続する画素電極 17c にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 Gn およびデータ信号線 SX に接続する画素電極 17B にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 Gn およびデータ信号線 SY に接続する画素電極 17C にはプラスの高階調データ信号が書き込まれる。

40

【0096】

以上から、画素電極 17b・17c・17d・17e・17B・17C・17D・17E それぞれに対応する副画素は、明副画素（+）・明副画素（-）・暗副画素（+）・暗

50

副画素（－）・明副画素（－）・明副画素（＋）・暗副画素（－）・暗副画素（＋）となる。

【0097】

また、H2の2本選択期間では、2本の走査信号線G(n+2)・G(n+3)を選択する(図19・21参照)。これにより、図17・19・21に示すように、トランジスタを介して走査信号線G(n+2)およびデータ信号線Sxに接続する画素電極17fにはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線G(n+2)およびデータ信号線Syに接続する画素電極17gにはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線G(n+3)およびデータ信号線Sxに接続する画素電極17hにはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線G(n+3)およびデータ信号線Syに接続する画素電極にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線G(n+2)およびデータ信号線SXに接続する画素電極17Fにはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線G(n+2)およびデータ信号線SYに接続する画素電極17Gにはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線G(n+3)およびデータ信号線SXに接続する画素電極17Hにはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線G(n+3)およびデータ信号線SYに接続する画素電極にはプラスの低階調データ信号が書き込まれる。

【0098】

次いで、H2の1本選択期間では、走査信号線G(n+3)を非選択とし、走査信号線G(n+2)のみを選択するとする。これにより、図17・19・21に示すように、トランジスタを介して走査信号線G(n+2)およびデータ信号線Sxに接続する画素電極17fにはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線G(n+2)およびデータ信号線Syに接続する画素電極17gにはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線G(n+2)およびデータ信号線SXに接続する画素電極17Fにはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線G(n+2)およびデータ信号線SYに接続する画素電極17Gにはプラスの高階調データ信号が書き込まれる。

【0099】

以上から、画素電極17f・17g・17h・17F・17G・17Hそれぞれに対応する副画素は、明副画素(+)・明副画素(-)・暗副画素(+)・明副画素(-)・明副画素(+)・暗副画素(-)となる。

【0100】

また、H3の2本選択期間では、2本の走査信号線G(n+4)・G(n+5)を選択し、次いでH3の1本選択期間では、走査信号線G(n+5)を非選択とし、走査信号線G(n+4)のみを選択する。H3の状態については図20のとおりである。

【0101】

液晶パネル5bを備えた液晶表示装置は、個別書き込み型の画素分割方式であるため、視野角特性が良好であるとともに、容量結合型と比較して、電氣的にフローティングとなる画素電極がなく、信頼性が高い、また、明・暗副画素の輝度を正確に制御することができるといったメリットがある。

【0102】

そして、走査信号線を2本ずつ選択していき、偶数番目の走査信号線(Gn・G(n+2)・・・)に接続する明副画素には2本選択期間でプリチャージした後に1本選択期間でデータ信号を書き込むことができるため、通常駆動であれば、明副画素の充電時間を実質的に2倍に延ばすことができる。また、奇数番目の走査信号線(G(n+1)・G(n+3)・・・)に接続する暗副画素にデータ信号を書き込む2本選択期間が、1本選択期間よりも長く設定されているため、通常駆動であれば、暗副画素の充電時間も延ばすことができる。これにより、大型高精細の液晶表示装置や高速駆動(60Hz以上の駆動)の

10

20

30

40

50

液晶表示装置に好適となる。

【0103】

加えて、画面に書き込まれたデータ信号の極性が、行方向および列方向それぞれについて1副画素単位で反転するため、画面のチラツキも抑制することができる。

【0104】

図22は、図17に示す液晶パネル5bの一部の構成例を示す平面図である。図22に示すように、液晶パネル5bには、平面的に視て、走査信号線 $G(n-1)$ および走査信号線 Gn 並びにデータ信号線 $Sx \cdot Sy$ で画される領域に画素電極17a・17bが列方向（走査方向）に沿ってこの順に並べられるとともに、走査信号線 $G(n-1)$ および走査信号線 Gn 並びにデータ信号線 $SX \cdot SY$ で画される領域に画素電極17A・17Bが列方向（走査方向）に沿ってこの順に並べられ、かつ走査信号線 Gn および走査信号線 $G(n+1)$ 並びにデータ信号線 $Sx \cdot Sy$ で画される領域に画素電極17c・17dが列方向（走査方向）に沿ってこの順に並べられるとともに、走査信号線 Gn および走査信号線 $G(n+1)$ 並びにデータ信号線 $SX \cdot SY$ で画される領域に画素電極17C・17Dが列方向（走査方向）に沿ってこの順に並べられている。また、走査信号線 $G(n-1)$ および走査信号線 Gn 間に保持容量配線 $Cs(n-1)$ が配されるとともに、走査信号線 Gn および走査信号線 $G(n+1)$ 間に保持容量配線 Csn が配されている。

【0105】

なお、走査信号線 $G(n-1)$ はトランジスタ12b・12Bのゲート電極として、走査信号線 Gn はトランジスタ12a・12Aのゲート電極として、走査信号線 $G(n+1)$ はトランジスタ12c・12Cのゲート電極として機能する。また、トランジスタ12a・12cのソース電極はデータ信号線 Sx に接続されるとともに、トランジスタ12b・12dのソース電極はデータ信号線 Sy に接続され、トランジスタ12A・12Cのソース電極はデータ信号線 SX に接続されるとともに、トランジスタ12B・12Dのソース電極はデータ信号線 SY に接続されている。

【0106】

また、トランジスタ12aのドレイン電極がコンタクトホール11aを介して画素電極17aに接続され、トランジスタ12bのドレイン電極がコンタクトホール11bを介して画素電極17bに接続され、保持容量配線 $Cs(n-1)$ に重なる容量電極67aと画素電極17aとがコンタクトホール91aを介して接続され、保持容量配線 $Cs(n-1)$ に重なる容量電極67bと画素電極17bとがコンタクトホール91bを介して接続されている。同様に、トランジスタ12Aのドレイン電極がコンタクトホール11Aを介して画素電極17Aに接続され、トランジスタ12Bのドレイン電極がコンタクトホール11Bを介して画素電極17Bに接続され、保持容量配線 $Cs(n-1)$ に重なる容量電極67Aと画素電極17Aとがコンタクトホール91Aを介して接続され、保持容量配線 $Cs(n-1)$ に重なる容量電極67Bと画素電極17Bとがコンタクトホール91Bを介して接続されている。

【0107】

また、トランジスタ12cのドレイン電極がコンタクトホール11cを介して画素電極17cに接続され、トランジスタ12dのドレイン電極がコンタクトホール11dを介して画素電極17dに接続され、保持容量配線 Csn に重なる容量電極67cと画素電極17cとがコンタクトホール91cを介して接続され、保持容量配線 Csn に重なる容量電極67dと画素電極17dとがコンタクトホール91dを介して接続されている。同様に、トランジスタ12Cのドレイン電極がコンタクトホール11Cを介して画素電極17Cに接続され、トランジスタ12Dのドレイン電極がコンタクトホール11Dを介して画素電極17Dに接続され、保持容量配線 Csn に重なる容量電極67Cと画素電極17Cとがコンタクトホール91Cを介して接続され、保持容量配線 Csn に重なる容量電極67Dと画素電極17Dとがコンタクトホール91Dを介して接続されている。

【0108】

図17の液晶パネル5bを図23のように変形することもできる。図23の液晶パネル

5 cでは、同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、別の1つの画素電極を挟むように配されている。さらに、同一の画素領域行に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されている。

【0109】

例えば、画素101には、2つの画素電極17a・17bが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n-1)に接続するトランジスタ12aのドレイン電極が画素電極17aに接続されるとともに、走査信号線Gnに接続するトランジスタ12bのドレイン電極が画素電極17bに接続され、かつトランジスタ12aのソース電極がデータ信号線Syに接続され、トランジスタ12bのソース電極がデータ信号線Sxに接続されている。

10

【0110】

また、画素101と列方向に隣接する画素102には、2つの画素電極17c・17dが列方向（走査方向）に沿ってこの順に並べられ、走査信号線Gnに接続するトランジスタ12cのドレイン電極が画素電極17dに接続されるとともに、走査信号線G(n+1)に接続するトランジスタ12dのドレイン電極が画素電極17cに接続され、かつトランジスタ12cのソース電極がデータ信号線Syに接続され、トランジスタ12dのソース電極がデータ信号線Sxに接続されている。

【0111】

また、画素102と列方向に隣接する画素103には、2つの画素電極17e・17fが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n+1)に接続するトランジスタ12eのドレイン電極が画素電極17eに接続されるとともに、走査信号線G(n+2)に接続するトランジスタ12fのドレイン電極が画素電極17fに接続され、かつトランジスタ12eのソース電極がデータ信号線Syに接続され、トランジスタ12fのソース電極がデータ信号線Sxに接続されている。

20

【0112】

また、画素103と列方向に隣接する画素104には、2つの画素電極17g・17hが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n+2)に接続するトランジスタ12gのドレイン電極が画素電極17hに接続されるとともに、走査信号線G(n+3)に接続するトランジスタ12hのドレイン電極が画素電極17gに接続され、かつトランジスタ12gのソース電極がデータ信号線Syに接続され、トランジスタ12hのソース電極がデータ信号線Sxに接続されている。

30

【0113】

また、画素101と行方向に隣接する画素105には、2つの画素電極17A・17Bが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n-1)に接続するトランジスタ12Aのドレイン電極が画素電極17Bに接続されるとともに、走査信号線Gnに接続するトランジスタ12Bのドレイン電極が画素電極17Aに接続され、かつトランジスタ12Aのソース電極がデータ信号線SYに接続され、トランジスタ12Bのソース電極がデータ信号線SXに接続されている。

【0114】

また、画素102と行方向に隣接する画素106には、2つの画素電極17C・17Dが列方向（走査方向）に沿ってこの順に並べられ、走査信号線Gnに接続するトランジスタ12Cのドレイン電極が画素電極17Cに接続されるとともに、走査信号線G(n+1)に接続するトランジスタ12Dのドレイン電極が画素電極17Dに接続され、かつトランジスタ12Cのソース電極がデータ信号線SYに接続され、トランジスタ12Dのソース電極がデータ信号線SXに接続されている。

40

【0115】

また、画素103と行方向に隣接する画素107には、2つの画素電極17E・17Fが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G(n+1)に接続するトランジスタ12Eのドレイン電極が画素電極17Fに接続されるとともに、走査信号線G

50

($n+2$)に接続するトランジスタ12Fのドレイン電極が画素電極17Eに接続され、かつトランジスタ12Eのソース電極がデータ信号線SYに接続され、トランジスタ12Fのソース電極がデータ信号線SXに接続されている。

【0116】

また、画素104と行方向に隣接する画素108には、2つの画素電極17G・17Hが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G($n+2$)に接続するトランジスタ12Gのドレイン電極が画素電極17Gに接続されるとともに、走査信号線G($n+3$)に接続するトランジスタ12Hのドレイン電極が画素電極17Hに接続され、かつトランジスタ12Gのソース電極がデータ信号線SYに接続され、トランジスタ12Hのソース電極がデータ信号線SXに接続されている。

10

【0117】

図24～図26は、液晶パネル5cの一部（図23の4画素行を含む7画素行）に中間調表示を行う場合の駆動方法を、1水平走査期間ごとに連続する3水平走査期間分（H1～H3）示す模式図である。また、図27は液晶パネル5cの一部に中間調表示を行う場合の駆動方法を示すタイミングチャート（2フレーム分）である。

【0118】

図24～27に示す駆動方法では、走査信号線を2本ずつ順次選択していき、一水平走査期間には、2本の走査信号線が同時選択される2本選択期間と、該2本選択期間に続き、該2本の走査信号線の一方が非選択とされる1本選択期間とが含まれる。また、中間調表示時には、2本選択期間に低階調データ信号が各データ信号線に供給され、1本選択期間に高階調データ信号が各データ信号線に供給される。また、1つの画素列に対応する2本のデータ信号線に、逆極性のデータ信号が供給される。また、それぞれが異なる画素列に対応する、互いに隣り合う2本のデータ信号線（例えばSy・SX）には逆極性のデータ信号を供給する。なお、各データ信号線に供給されるデータ信号の極性は一垂直走査期間（1フレーム）ごとに反転する。

20

【0119】

例えば、連続する3つの水平走査期間H1～H3において、H1の2本選択期間では、2本の走査信号線Gn・G($n+1$)を選択する（図24・27参照）。これにより、図23・24・27に示すように、トランジスタを介して走査信号線Gnおよびデータ信号線Sxに接続する画素電極17bにはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線Gnおよびデータ信号線Syに接続する画素電極17dにはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線G($n+1$)およびデータ信号線Sxに接続する画素電極17cにはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線G($n+1$)およびデータ信号線Syに接続する画素電極17eにはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線Gnおよびデータ信号線SXに接続する画素電極17Aにはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線Gnおよびデータ信号線SYに接続する画素電極17Cにはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線G($n+1$)およびデータ信号線SXに接続する画素電極17Dにはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線G($n+1$)およびデータ信号線SYに接続する画素電極17Fにはマイナスの低階調データ信号が書き込まれる。

30

40

【0120】

次いで、H1の1本選択期間では、走査信号線G($n+1$)を非選択とし、走査信号線Gnのみを選択するとする。これにより、図23・24・27に示すように、トランジスタを介して走査信号線Gnおよびデータ信号線Sxに接続する画素電極17bにはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線Gnおよびデータ信号線Syに接続する画素電極17dにはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線Gnおよびデータ信号線SXに接続する画素電極17Aにはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線Gn

50

およびデータ信号線 S Y に接続する画素電極 17 C にはマイナスの高階調データ信号が書き込まれる。

【0121】

以上から、画素電極 17 b ・ 17 c ・ 17 d ・ 17 e ・ 17 A ・ 17 C ・ 17 D ・ 17 F それぞれに対応する副画素は、明副画素 (+) ・ 暗副画素 (+) ・ 明副画素 (-) ・ 暗副画素 (-) ・ 明副画素 (+) ・ 明副画素 (-) ・ 暗副画素 (+) ・ 暗副画素 (-) となる。

【0122】

また、H 2 の 2 本選択期間では、2 本の走査信号線 G (n + 2) ・ G (n + 3) を選択する (図 19 ・ 21 参照) 。これにより、図 23 ・ 25 ・ 27 に示すように、トランジスタを介して走査信号線 G (n + 2) およびデータ信号線 S x に接続する画素電極 17 f にはプラスのプリチャージ信号 (低階調) が書き込まれ、トランジスタを介して走査信号線 G (n + 2) およびデータ信号線 S y に接続する画素電極 17 h にはマイナスのプリチャージ信号 (低階調) が書き込まれ、トランジスタを介して走査信号線 G (n + 3) およびデータ信号線 S x に接続する画素電極 17 g にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 G (n + 3) およびデータ信号線 S y に接続する画素電極にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G (n + 2) およびデータ信号線 S X に接続する画素電極 17 E にはプラスのプリチャージ信号 (低階調) が書き込まれ、トランジスタを介して走査信号線 G (n + 2) およびデータ信号線 S Y に接続する画素電極 17 G にはマイナスのプリチャージ信号 (低階調) が書き込まれ、トランジスタを介して走査信号線 G (n + 3) およびデータ信号線 S X に接続する画素電極 17 H にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 G (n + 3) およびデータ信号線 S Y に接続する画素電極にはプラスの低階調データ信号が書き込まれる。

【0123】

次いで、H 2 の 1 本選択期間では、走査信号線 G (n + 3) を非選択とし、走査信号線 G (n + 2) のみを選択するとする。これにより、図 23 ・ 25 ・ 27 に示すように、トランジスタを介して走査信号線 G (n + 2) およびデータ信号線 S x に接続する画素電極 17 f にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G (n + 2) およびデータ信号線 S y に接続する画素電極 17 h にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G (n + 2) およびデータ信号線 S X に接続する画素電極 17 E にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G (n + 2) およびデータ信号線 S Y に接続する画素電極 17 G にはマイナスの高階調データ信号が書き込まれる。

【0124】

以上から、画素電極 17 f ・ 17 g ・ 17 h ・ 17 E ・ 17 G ・ 17 H それぞれに対応する副画素は、明副画素 (+) ・ 暗副画素 (+) ・ 明副画素 (-) ・ 明副画素 (+) ・ 明副画素 (-) ・ 暗副画素 (+) となる。

【0125】

また、H 3 の 2 本選択期間では、2 本の走査信号線 G (n + 4) ・ G (n + 5) を選択し、次いで H 3 の 1 本選択期間では、走査信号線 G (n + 5) を非選択とし、走査信号線 G (n + 4) のみを選択する。H 3 の状態については図 26 のとおりである。

【0126】

液晶パネル 5 c では、中間調を表示する時には、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並び (明 ・ 暗副画素が市松配置され) 、ライン状のムラが視認されにくくなるという効果がある。

【0127】

さらに、同一データ信号線に供給されるデータ信号の極性が 1 垂直走査期間中変わらないため、データ信号の極性が 1 水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。

10

20

30

40

50

【0128】

加えて、画面に書き込まれたデータ信号の極性が、行方向および列方向それぞれについて2副画素単位で反転するため、画面のチラツキも抑制することができる。

【0129】

図28は本液晶表示装置のゲートドライバの構成を示す回路図であり、図35は本ゲートドライバの駆動方法を示すタイミングチャートである。図28に示されるように、ゲートドライバGDはシフトレジスタ45、列方向に並ぶ複数のAND回路(66x~66z)、および出力回路46を備える。シフトレジスタ45には、ゲートスターとパルス信号GSPとゲートクロック信号GCKとが入力される。各AND回路(66x~66z)には、各水平走査期間の1本選択期間に「H」となるGOE信号(図35参照)の反転信号が入力される。そして、シフトレジスタ45の各段の出力は2系統に分かれ、その一方が出力回路46を経て走査信号となり、他方が1つのAND回路に入力され、このAND回路の出力が出力回路46を経て走査信号となる。

10

【0130】

例えば、シフトレジスタ45のある段からの出力が2系統(Q0・Q1)に分かれており、Q0が出力回路46を経て走査信号線Gnに供給される走査信号となり、Q1がAND回路66xに入力され、AND回路66xの出力が出力回路46を経て走査信号線G(n+1)に供給される走査信号となる。また、シフトレジスタ45の他の段からの出力が2系統(Q2・Q3)に分かれており、Q2が出力回路46を経て走査信号線G(n+2)に供給される走査信号となり、Q3がAND回路66yに入力され、AND回路66yの出力が出力回路46を経て走査信号線G(n+3)に供給される走査信号となる。

20

【0131】

図28・図35に示すように、本ゲートドライバでは、同時選択する2本の走査信号線それぞれに供給する走査信号を、1つのシフトレジスタの同一段からの出力を用いて生成することができ、ゲートドライバ構成を簡略化することができるというメリットがある。

【0132】

本実施の形態では、以下のようにして、本液晶表示ユニットおよび液晶表示装置を構成する。すなわち、液晶パネル(5a~5f)の両面に、2枚の偏光板A・Bを、偏光板Aの偏光軸と偏光板Bの偏光軸とが互いに直交するように貼り付ける。なお、偏光板には必要に応じて、光学補償シート等を積層してもよい。次に、図29(a)に示すように、ドライバ(ゲートドライバ202、ソースドライバ201)を接続する。ここでは、一例として、ドライバをTCP(Tape Carrier Package)方式による接続について説明する。まず、液晶パネルの端子部にACF(Anisotropic Conductive Film)を仮圧着する。ついで、ドライバが乗せられたTCPをキャリアテープから打ち抜き、パネル端子電極に位置合わせし、加熱、本圧着を行う。その後、ドライバTCP同士を連結するための回路基板203(PWB: Printed wiring board)とTCPの入力端子とをACFで接続する。これにより、液晶表示ユニット200が完成する。その後、図29(b)に示すように、液晶表示ユニットの各ドライバ(201・202)に、回路基板203を介して表示制御回路209を接続し、照明装置(バックライトユニット)204と一体化することで、液晶表示装置210となる。

30

40

【0133】

本願でいう「電位の極性」とは、基準となる電位以上(プラス)あるいは基準となる電位以下(マイナス)を意味する。ここで、基準となる電位は、共通電極(対向電極)の電位であるVcom(コモン電位)であってもその他任意の電位であってもよい。

【0134】

図30は、本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部(液晶パネル)と、ソースドライバ(SD)と、ゲートドライバ(GD)と、表示制御回路とを備えている。ソースドライバはデータ信号線を駆動し、ゲートドライバは走査信号線を駆動し、表示制御回路は、ソースドライバおよびゲートドライバを制御する。

50

【0135】

表示制御回路は、外部の信号源（例えばチューナー）から、表示すべき画像を表すデジタルビデオ信号D_vと、当該デジタルビデオ信号D_vに対応する水平同期信号H_SYおよび垂直同期信号V_SYと、表示動作を制御するための制御信号D_cとを受け取る。また、表示制御回路は、受け取ったこれらの信号D_v、H_SY、V_SY、D_cに基づき、そのデジタルビデオ信号D_vの表す画像を表示部に表示させるための信号として、データスタートパルス信号S_SPと、データクロック信号S_CKと、チャージシェア信号s_hと、表示すべき画像を表すデジタル画像信号D_A（ビデオ信号D_vに対応する信号）と、ゲートスタートパルス信号G_SPと、ゲートクロック信号G_CKと、ゲートドライバ出力制御信号（走査信号出力制御信号）G_OEとを生成し、これらを出力する。

10

【0136】

より詳しくは、ビデオ信号D_vを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号D_Aとして表示制御回路から出力し、そのデジタル画像信号D_Aの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号S_CKを生成し、水平同期信号H_SYに基づき1水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号S_SPを生成し、垂直同期信号V_SYに基づき1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号G_SPを生成し、水平同期信号H_SYに基づきゲートクロック信号G_CKを生成し、水平同期信号H_SYおよび制御信号D_cに基づきチャージシェア信号s_h、ならびにゲートドライバ出力制御信号G_OEを生成する。

20

【0137】

上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号D_A、チャージシェア信号s_h、信号電位（データ信号電位）の極性を制御する信号P_OL、データスタートパルス信号S_SP、およびデータクロック信号S_CKは、ソースドライバに入力され、ゲートスタートパルス信号G_SPとゲートクロック信号G_CKとゲートドライバ出力制御信号G_OEとは、ゲートドライバに入力される。

【0138】

ソースドライバは、デジタル画像信号D_A、データクロック信号S_CK、チャージシェア信号s_h、データスタートパルス信号S_SP、および極性反転信号P_OLに基づき、デジタル画像信号D_Aの表す画像の各走査信号線における画素値に相当するアナログ電位（信号電位）を1水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線（例えば、S_x・S_y）に出力する。

30

【0139】

ゲートドライバは、ゲートスタートパルス信号G_SPおよびゲートクロック信号G_CKと、ゲートドライバ出力制御信号G_OEとに基づき、ゲートオンパルス信号を生成し、これらを走査信号線に出力し、これによって走査信号線を2本ずつ順次選択していく。

【0140】

次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図31は、テレビジョン受信機用の液晶表示装置800の構成を示すブロック図である。液晶表示装置800は、液晶表示ユニット84と、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、バックライト駆動回路85と、バックライト86と、マイコン（マイクロコンピュータ）87と、階調回路88とを備えている。なお、液晶表示ユニット84は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

40

【0141】

上記構成の液晶表示装置800では、まず、テレビジョン信号としての複合カラー映像信号S_cvが外部からY/C分離回路80に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するアナログRGB信号に変換され、さらに、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ

50

83に入力される。また、Y/C分離回路80では、外部から入力された複合カラー映像信号Scvから水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介して液晶コントローラ83に入力される。

【0142】

液晶表示ユニット84には、液晶コントローラ83からデジタルRGB信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路88では、カラー表示の3原色R、G、Bそれぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット84に供給される。液晶表示ユニット84では、これらのRGB信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号＝信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット84によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある、この液晶表示装置800では、マイコン87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイコン87が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置800では、様々な映像信号に基づいた画像表示が可能である。

【0143】

液晶表示装置800でテレビジョン放送に基づく画像を表示する場合には、図32に示すように、液晶表示装置800にチューナー部90が接続され、これによって本テレビジョン受像機601が構成される。このチューナー部90は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号Scvを取り出す。この複合カラー映像信号Scvは、既述のように液晶表示装置800に入力され、この複合カラー映像信号Scvに基づく画像が該液晶表示装置800によって表示される。

【0144】

図33は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機601は、その構成要素として、液晶表示装置800の他に第1筐体801および第2筐体806を有しており、液晶表示装置800を第1筐体801と第2筐体806とで包み込むようにして挟持した構成となっている。第1筐体801には、液晶表示装置800で表示される画像を透過させる開口部801aが形成されている。また、第2筐体806は、液晶表示装置800の背面側を覆うものであり、当該表示装置800を操作するための操作用回路805が設けられると共に、下方に支持用部材808が取り付けられている。

【0145】

本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【0146】

以上のように、本アクティブマトリクス基板は、複数のデータ信号線と複数の走査信号線とを備え、各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続

されていることを特徴とする。

【0147】

本アクティブマトリクス基板を備えた液晶表示装置では、走査信号線を2本ずつ選択しながら、1画素領域に設けられた複数の画素電極に個別書き込みを行うことができ、個別書き込み型の液晶表示装置の画素充電時間を延ばすことができる。

【0148】

本液晶表示装置では、各画素領域には、2つの画素電極が行方向に沿って並べられている構成とすることもできる。

【0149】

本アクティブマトリクス基板では、同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されている構成とすることもできる。

10

【0150】

本アクティブマトリクス基板では、各画素領域には、2つの画素電極が列方向に沿って並べられている構成とすることもできる。

【0151】

本アクティブマトリクス基板では、同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、別の1つの画素電極を挟むように配されている構成とすることもできる。

【0152】

本アクティブマトリクス基板では、同一の画素領域行に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されている構成とすることもできる。

20

【0153】

本液晶パネルは上記アクティブマトリクス基板を備えることを特徴とする。

【0154】

本液晶表示装置は、上記アクティブマトリクス基板を備えることを特徴とする。

【0155】

本液晶表示装置では、走査信号線を2本ずつ順次選択していく構成とすることができる。

30

【0156】

本液晶表示装置では、一水平走査期間には、走査信号線が2本同時選択される2本選択期間と、該2本選択期間に続き、走査信号線が1本のみ選択される1本選択期間とが含まれる構成とすることもできる。

【0157】

本液晶表示装置では、中間調表示時には、2本選択期間に相対的に低階調のデータ信号が各データ信号線に供給され、1本選択期間に相対的に高階調のデータ信号が各データ信号線に供給される構成とすることもできる。

【0158】

本液晶表示装置では、中間調表示時には、2本選択期間に相対的に高階調のデータ信号が各データ信号線に供給され、1本選択期間に相対的に低階調のデータ信号が各データ信号線に供給される構成とすることもできる。

40

【0159】

本液晶表示装置では、1本選択期間に選択される走査信号線にトランジスタを介して接続される画素電極は、1本選択期間に選択されない走査信号線にトランジスタを介して接続される画素電極よりも面積が大きい構成とすることもできる。

【0160】

本液晶表示装置では、1つの画素領域列に対応する2本のデータ信号線に、逆極性のデータ信号が供給される構成とすることもできる。

【0161】

50

本液晶表示装置では、各データ信号線には、一水平走査期間ごとに極性が反転するデータ信号が供給される構成とすることもできる。

【0162】

本液晶表示装置では、各データ信号線には、一垂直走査期間ごとに極性が反転するデータ信号が供給される構成とすることもできる。

【0163】

本液晶表示装置では、それぞれが異なる画素領域列に対応し、互いに隣り合うデータ信号線に、逆極性のデータ信号が供給される構成とすることもできる。

【0164】

本液晶表示装置では、それぞれが異なる画素領域列に対応し、互いに隣り合うデータ信号線に、同極性のデータ信号が供給される構成とすることもできる。

10

【0165】

本液晶表示装置では、シフトレジスタを含む走査信号線駆動回路を備え、同時選択される各走査信号線に供給される走査信号が、上記シフトレジスタの同一段の出力を用いて生成されている構成とすることもできる。

【0166】

本液晶表示ユニットは、上記液晶パネルとドライバとを備えることを特徴とする。また、本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナ一部とを備えることを特徴とする。

【0167】

20

本液晶パネルの駆動方法は、複数のデータ信号線と複数の走査信号線とを備え、各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されている液晶パネルに対して、走査信号線を2本ずつ順次選択していくことを特徴とする。

【産業上の利用可能性】

30

【0168】

本発明のアクティブマトリクス基板や液晶パネルは、例えば液晶テレビに好適である。

【符号の説明】

【0169】

5a～5c 液晶パネル

12a～12h・12A～12H トランジスタ

17a～17h・17A～17H 画素電極

Sx・Sy・SX・SY データ信号線

Gn～G(n+6) 走査信号線

Csn～Cs(n+2) 保持容量配線

40

22 ゲート絶縁膜

24 半導体層

25 無機層間絶縁膜

26 有機層間絶縁膜

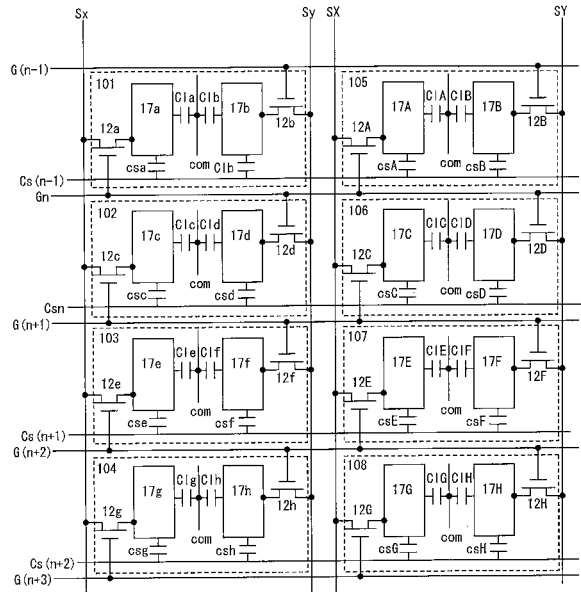
84 液晶表示ユニット

101～108 画素

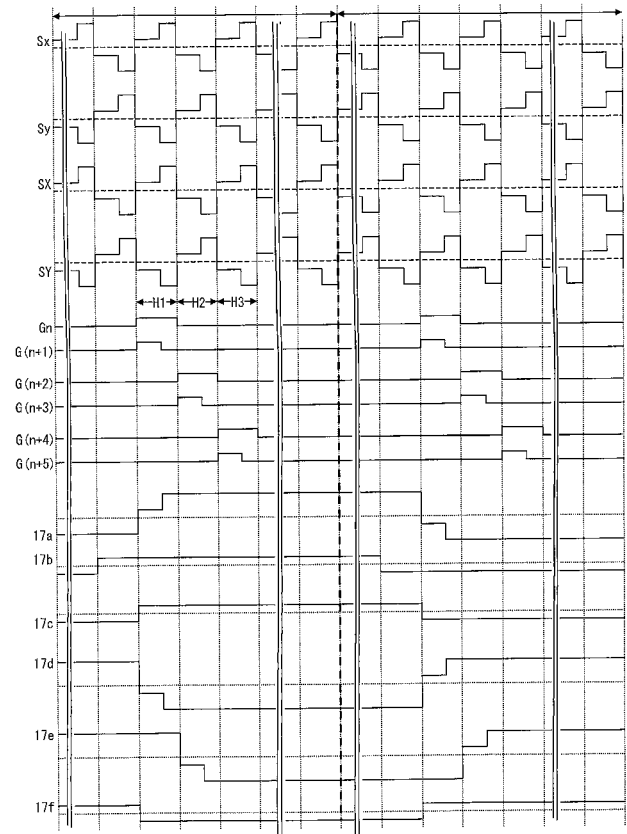
601 テレビジョン受像機

800 液晶表示装置

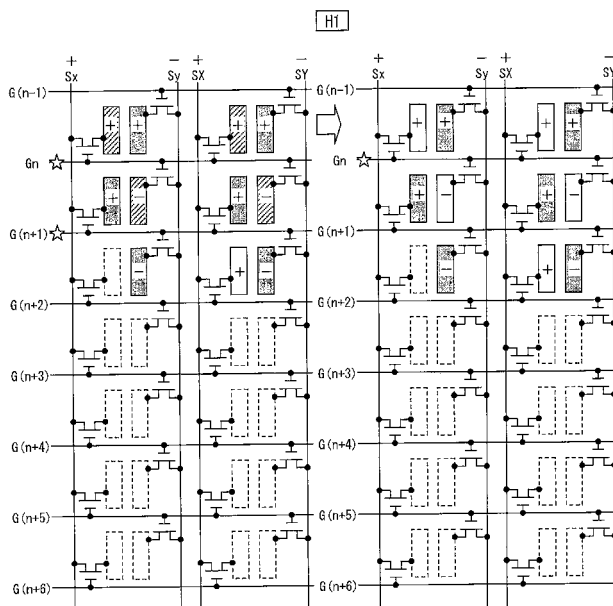
【図 1】



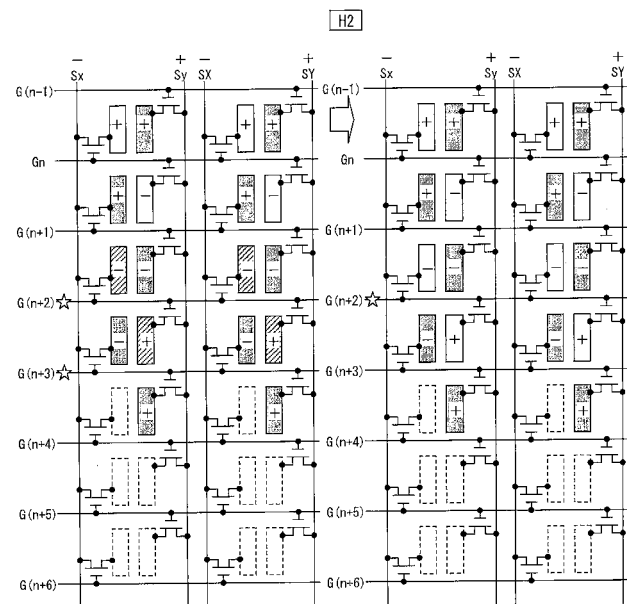
【図 2】



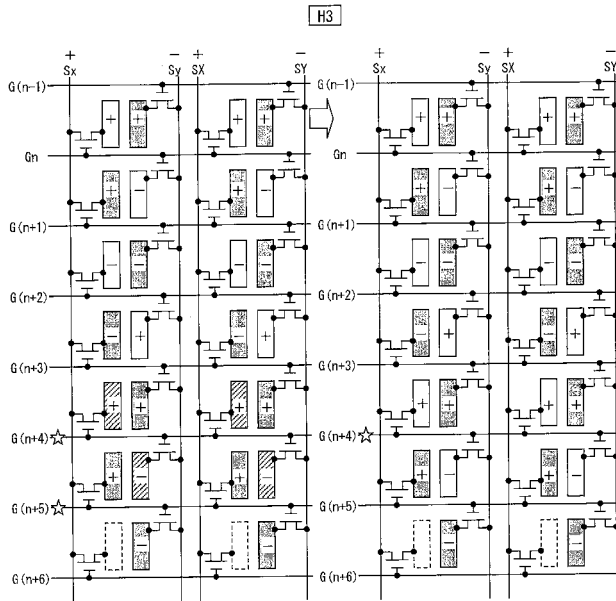
【図 3】



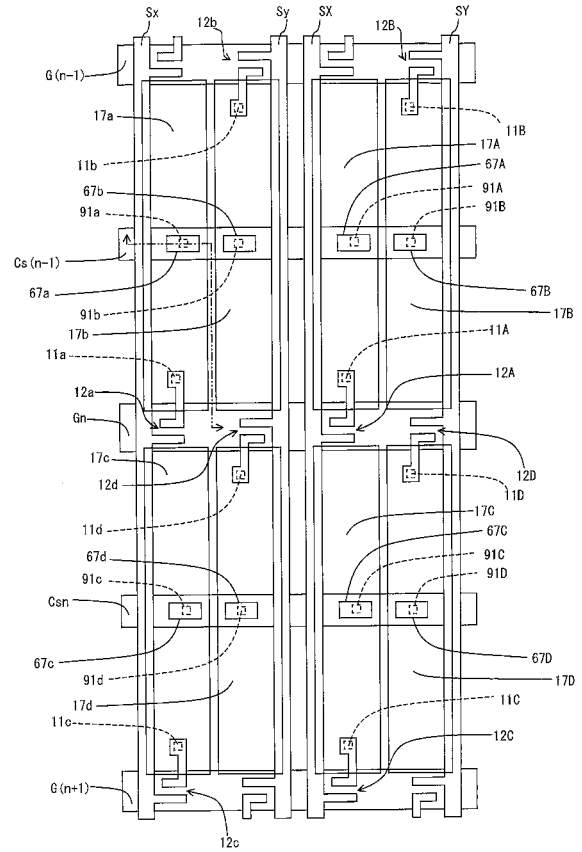
【図 4】



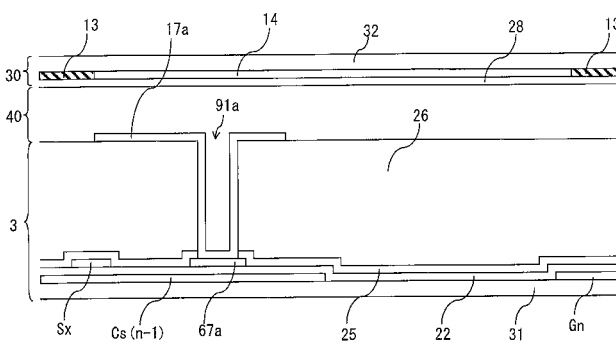
【図 5】



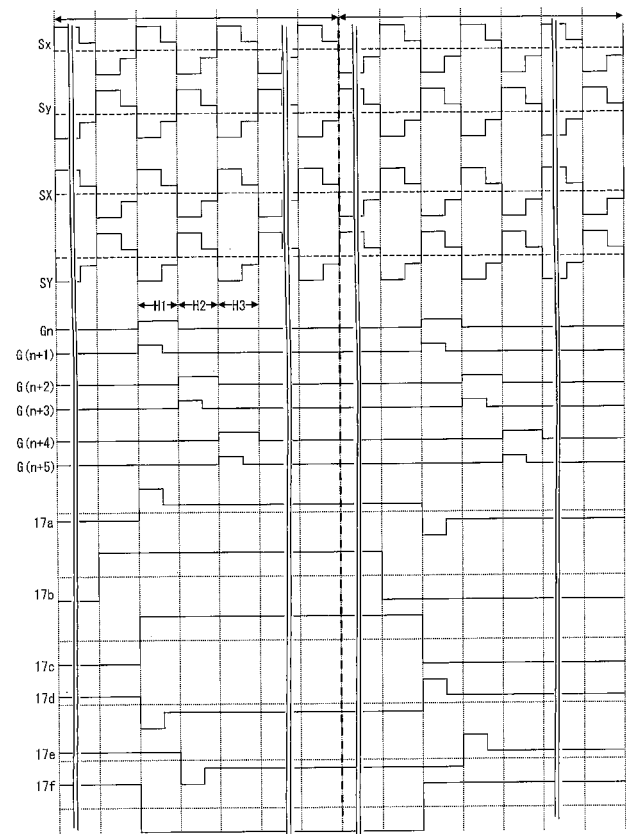
【図 6】



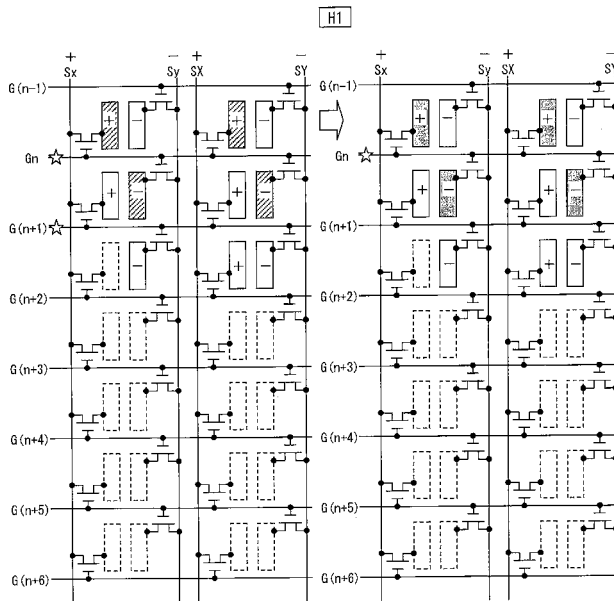
【図 7】



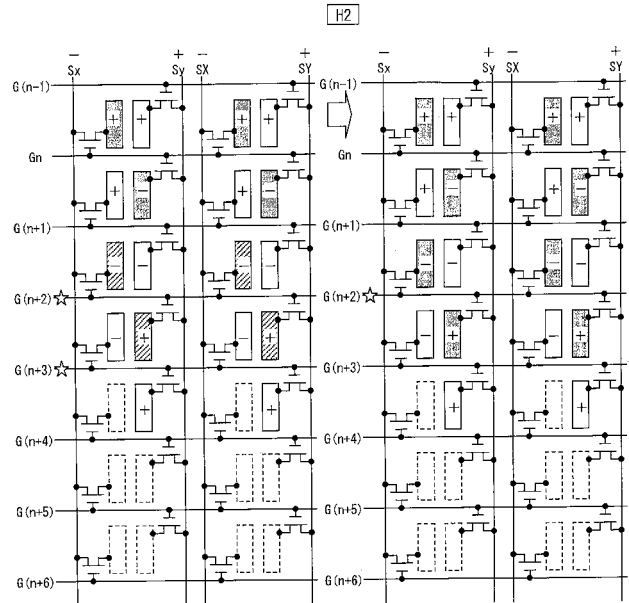
【図 8】



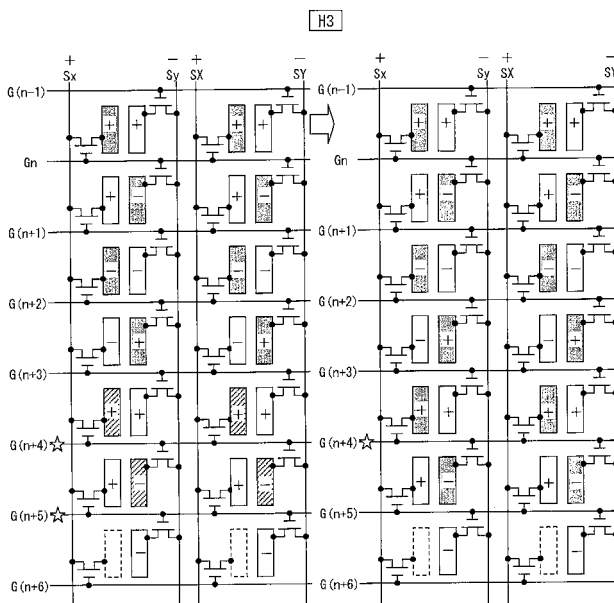
【図 9】



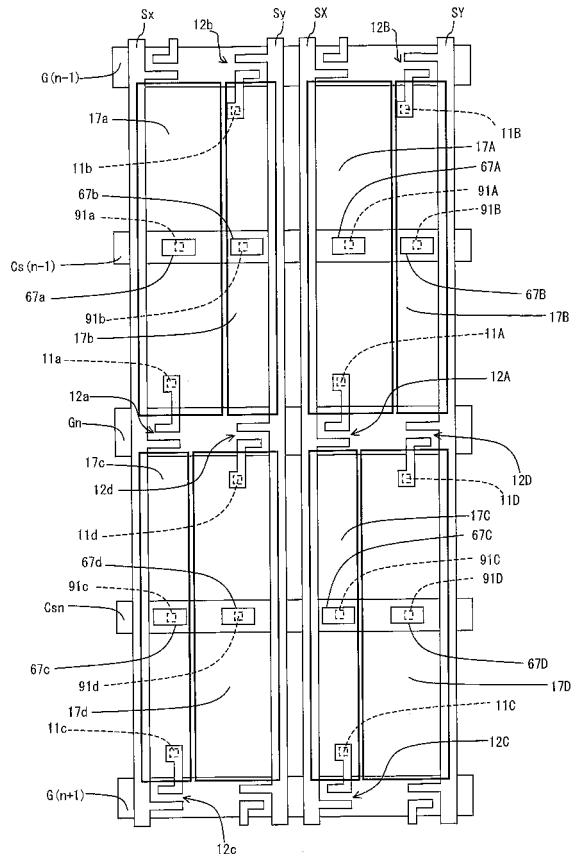
【図 10】



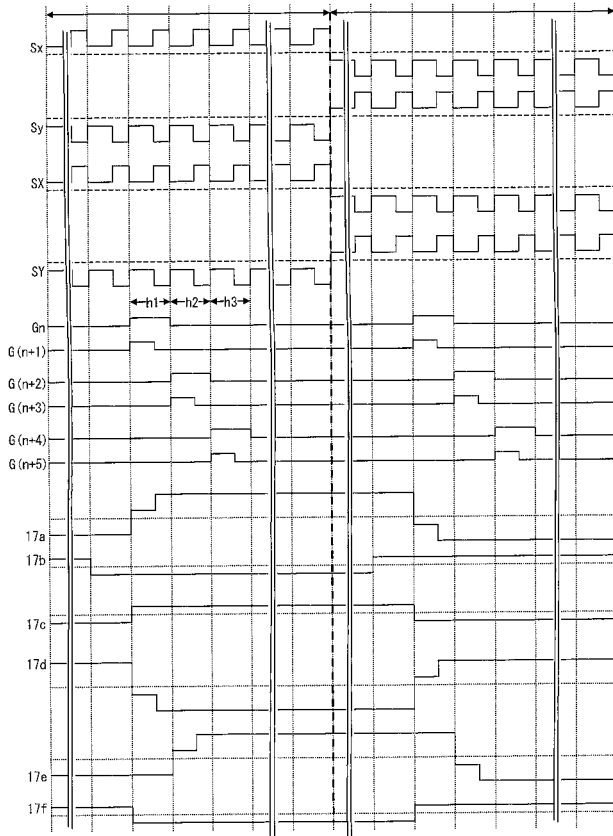
【図 11】



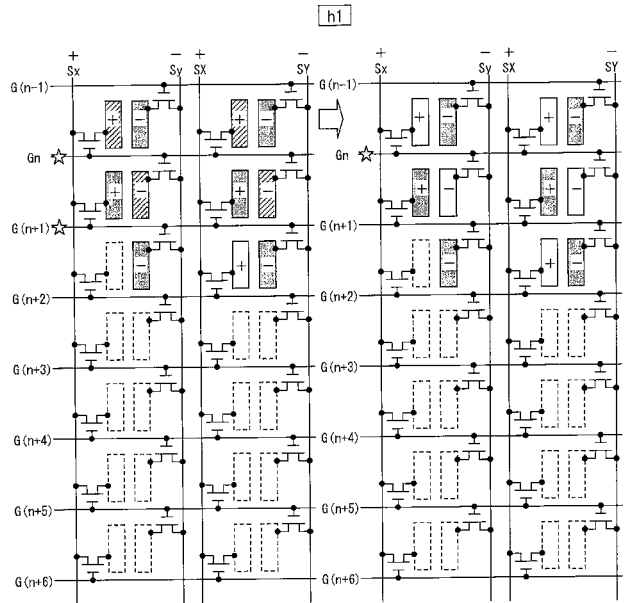
【図 12】



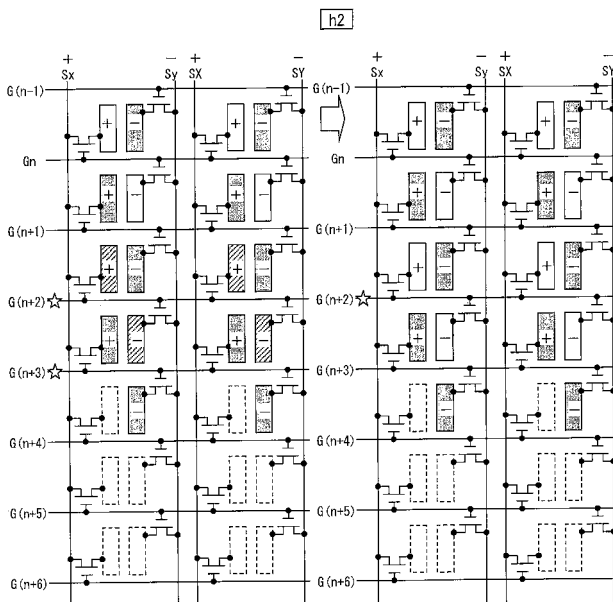
【図 1 3】



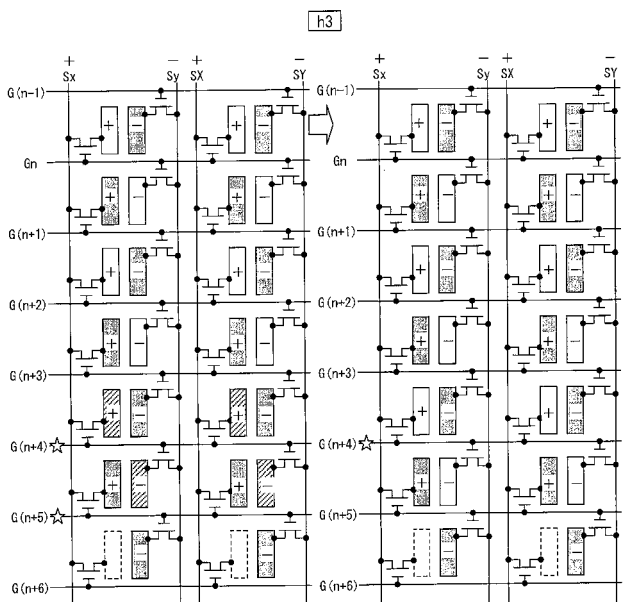
【図 1 4】



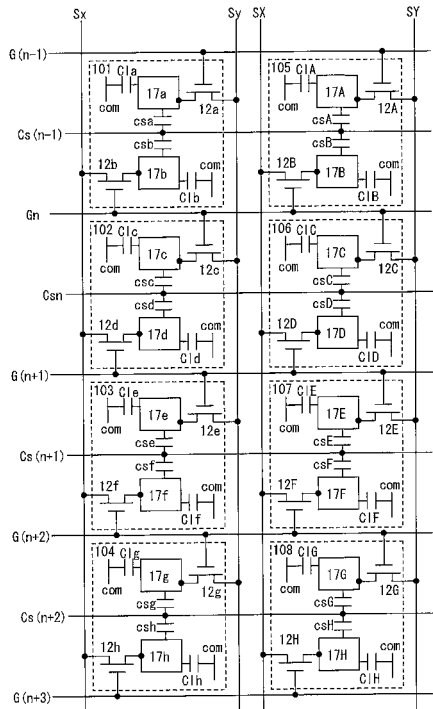
【図 1 5】



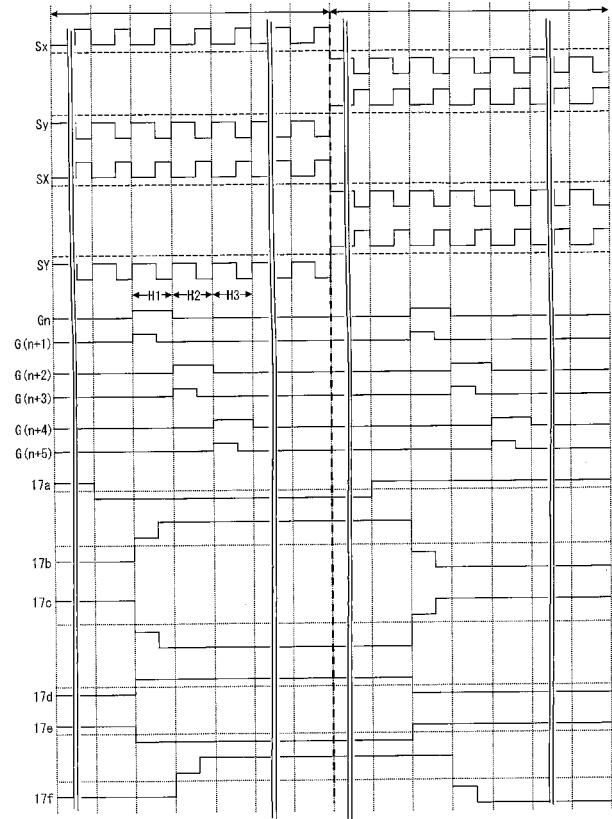
【図 1 6】



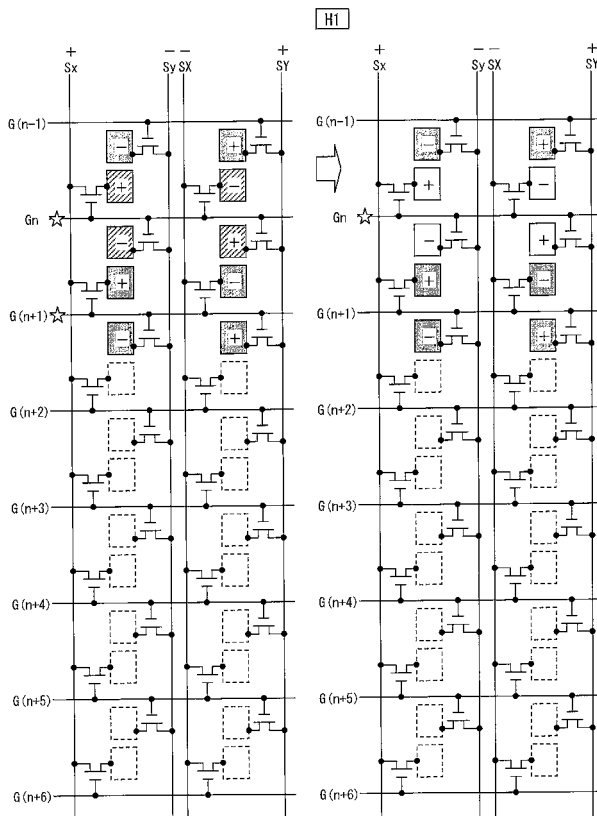
【図 17】



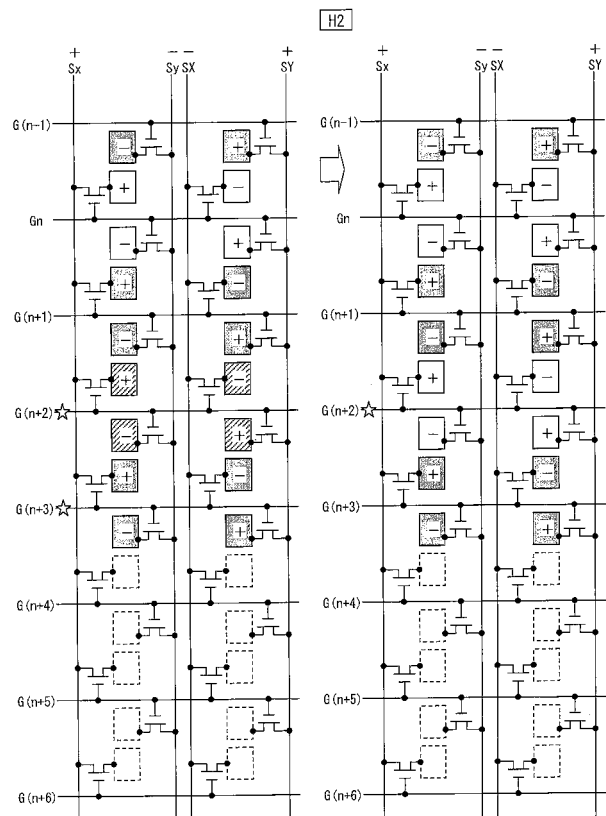
【図 18】



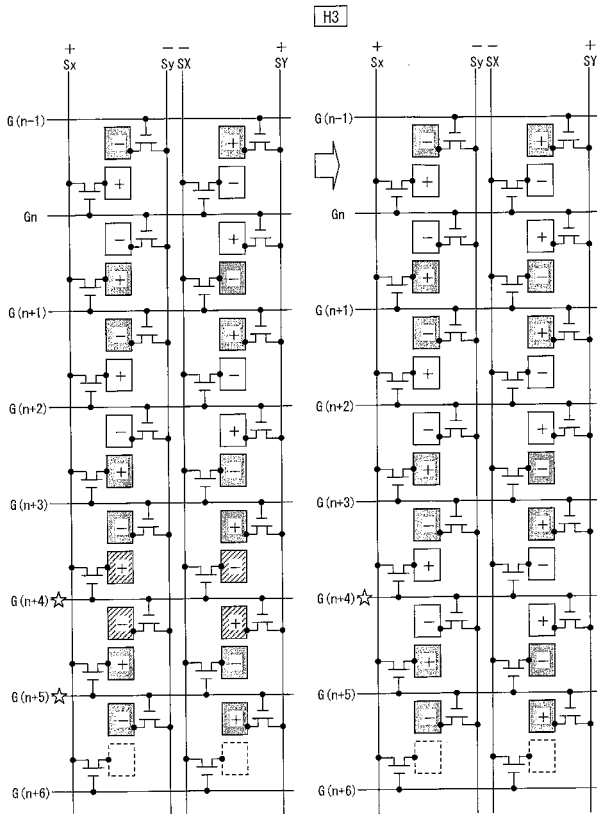
【図 19】



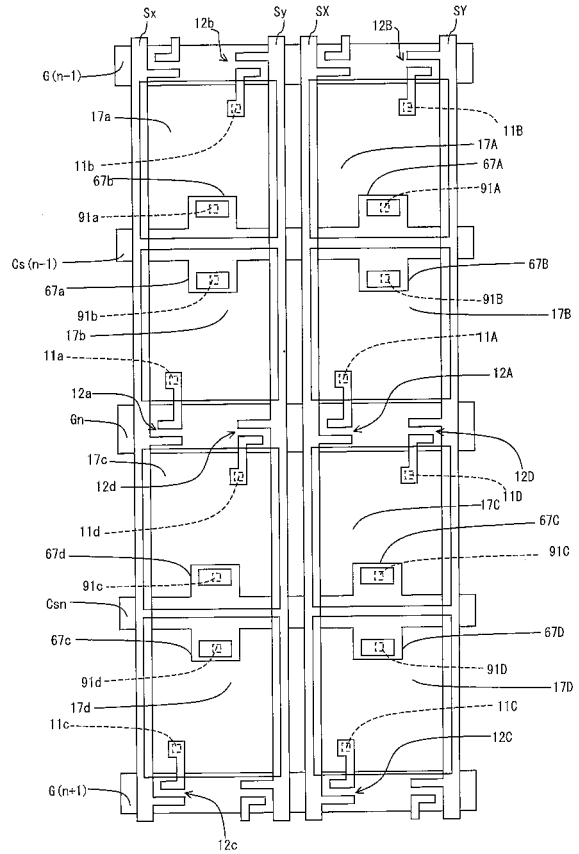
【図 20】



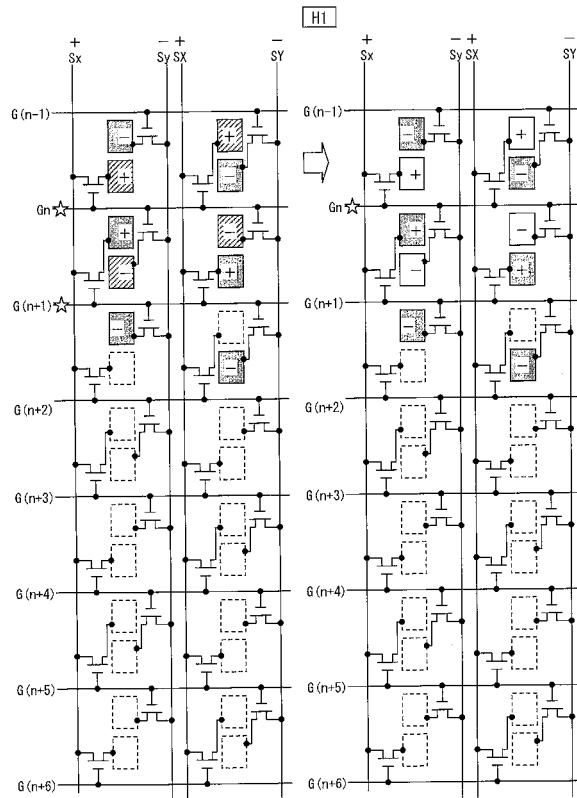
【図 2 1】



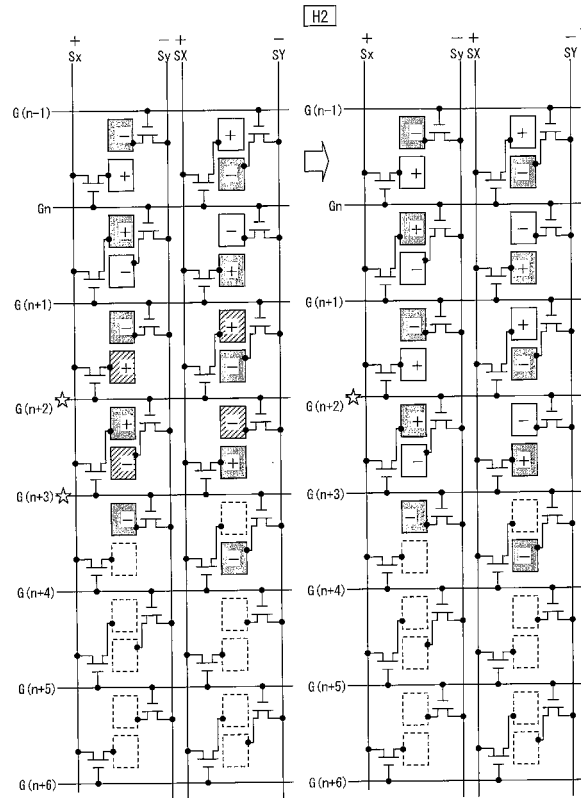
【図 2 2】



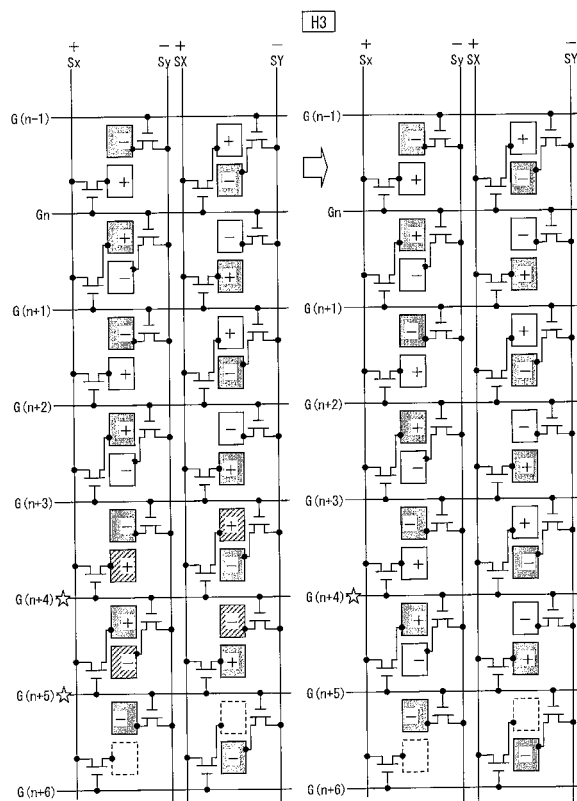
【図 25】



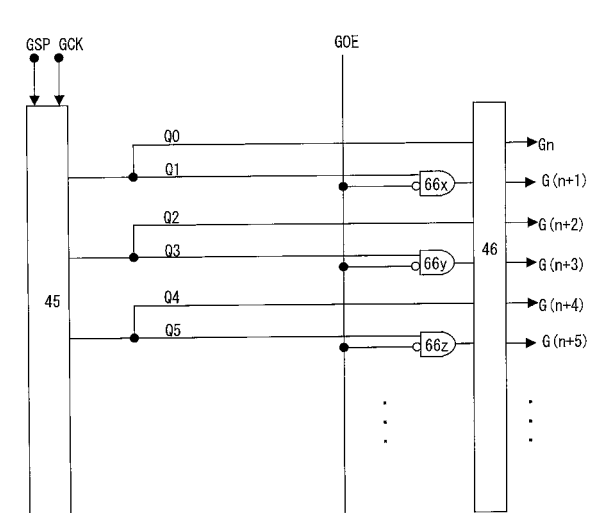
【図 26】



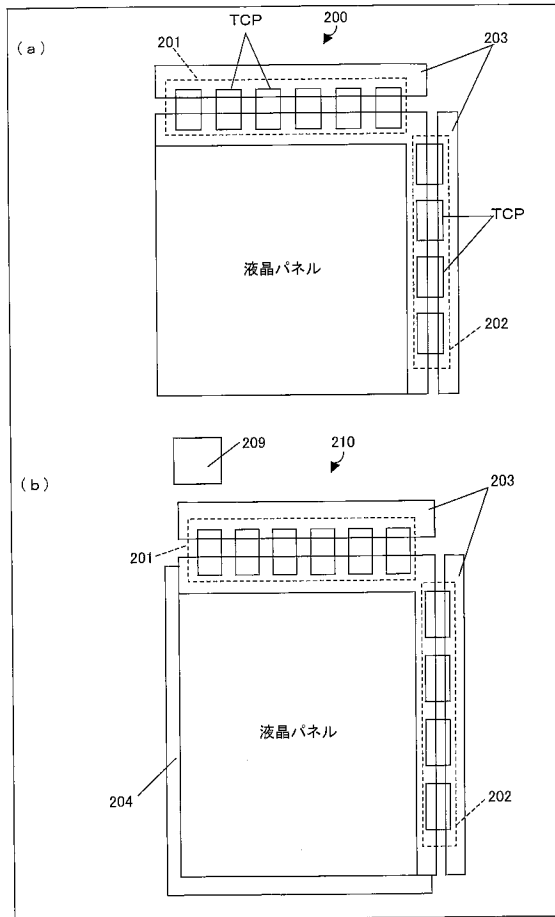
【図 27】



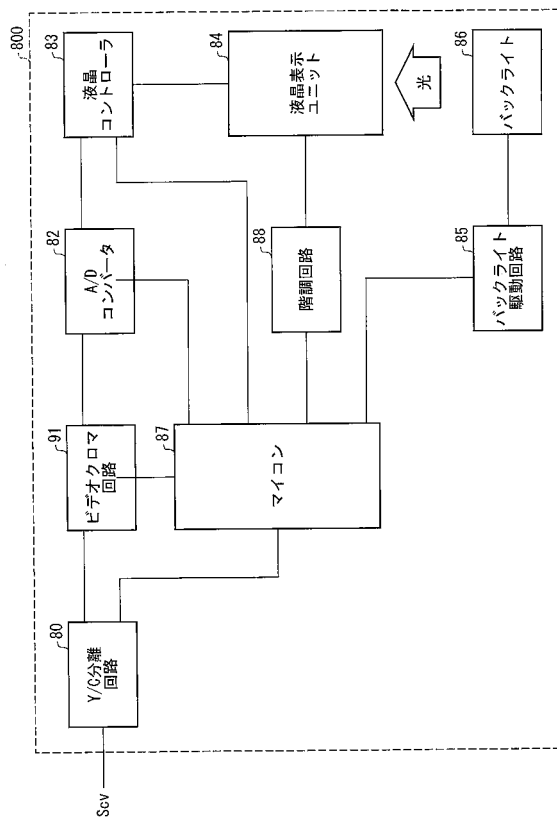
【図 28】



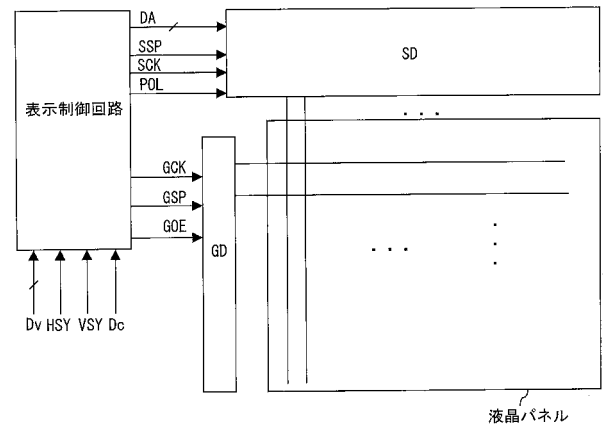
【図 29】



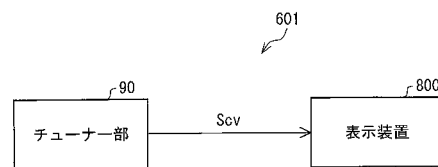
【図 31】



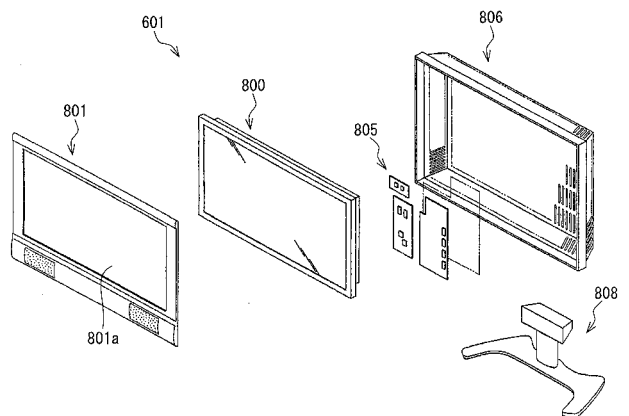
【図 30】



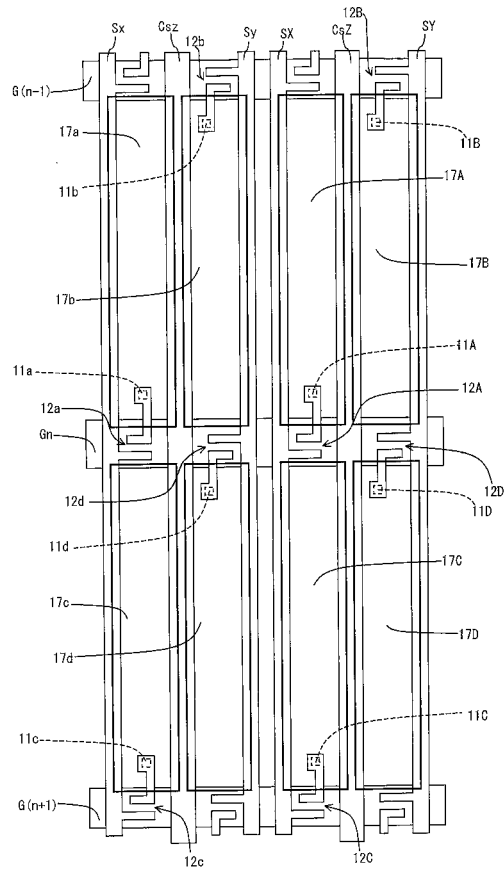
【図 32】



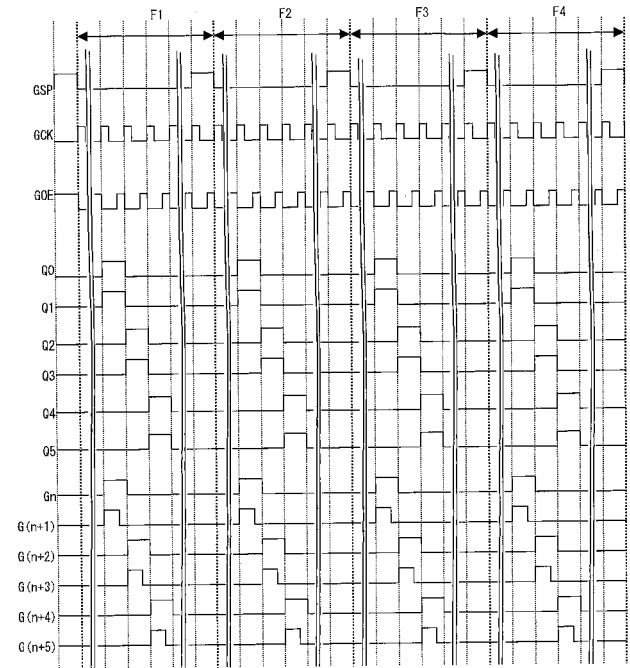
【図 33】



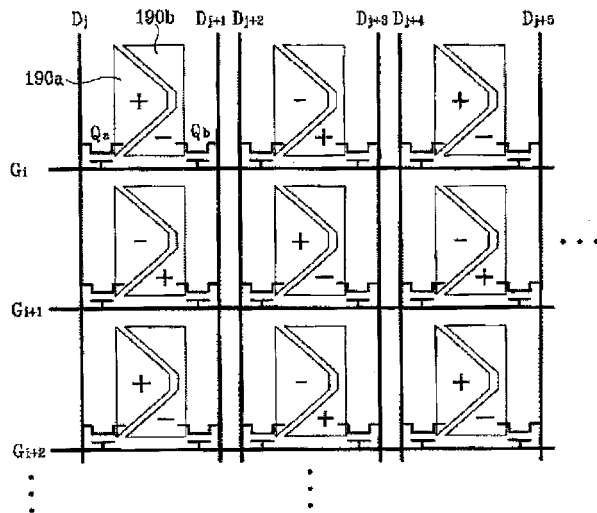
【図 3 4】



【図 3 5】



【図 3 6】



【手続補正書】

【提出日】平成24年4月16日(2012.4.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素分割方式のアクティブマトリクス基板や液晶パネルに関するものである。

【背景技術】

【0002】

液晶表示装置の視野角特性を高めるための技術として、1画素に2つの画素電極（明副画素に対応する明画素電極と暗副画素に対応する暗画素電極）を設ける画素分割方式が知られている。図36は画素分割方式の液晶パネルの一例である。この液晶パネルは、1画素に対応して2本のデータ信号線を備え、中間調表示時に明・暗画素電極それぞれに異なるデータ信号を書き込む個別書き込み型である。この個別書き込み型は、1つの画素に容量結合された2つの画素電極を設け、それらの一方のみにデータ信号を書き込む容量結合型と比較して、電氣的にフローティングとなる画素電極がなく、信頼性が高い、また、明・暗副画素の輝度を正確に制御することができるといったメリットがある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】日本国公開特許公報「特開2006-209135号公報（公開日：2006年5月13日）」

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、図36の構成では、1画素行ずつ書き込みを行うため、例えば大型高精細の液晶表示装置や高速駆動（例えば、2倍速・3倍速駆動）の液晶表示装置に適用した場合に画素充電時間が足りず、表示品位が低下するという問題があった。

【0005】

本発明では、個別書き込み型の液晶表示装置の画素充電時間を延ばすことを目的とする。

【課題を解決するための手段】

【0006】

本アクティブマトリクス基板は、複数のデータ信号線と複数の走査信号線とを備え、各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されていることを特徴とする。

【0007】

本アクティブマトリクス基板を備えた液晶表示装置では、走査信号線を2本ずつ選択しながら、1画素領域に設けられた複数の画素電極に個別書き込みを行うことができ、個別

書き込み型の液晶表示装置の画素充電時間を延ばすことができる。

【発明の効果】

【0008】

本発明によれば、個別書き込み型の液晶表示装置の画素充電時間を延ばすことができる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1にかかる液晶パネルの構成を示す回路図である。

【図2】図1の液晶パネルの駆動方法を示すタイミングチャートである。

【図3】水平走査期間H1の状態を説明する模式図である。

【図4】水平走査期間H2の状態を説明する模式図である。

【図5】水平走査期間H3の状態を説明する模式図である。

【図6】図1の液晶パネルの具体的構成を示す平面図である。

【図7】図6の矢視断面図である。

【図8】図1に示す液晶パネルの他の駆動方法を示すタイミングチャートである。

【図9】図8のH1の状態を説明する模式図である。

【図10】図8のH2の状態を説明する模式図である。

【図11】図8のH3の状態を説明する模式図である。

【図12】図1に示す液晶パネルの他の具体的構成を示す平面図である。

【図13】図1に示す液晶パネルのさらに他の駆動方法を示すタイミングチャートである。

【図14】図13のh1の状態を説明する模式図である。

【図15】図13のh2の状態を説明する模式図である。

【図16】図13のh3の状態を説明する模式図である。

【図17】実施の形態2にかかる液晶パネルの構成を示す回路図である。

【図18】図17の液晶パネルの駆動方法を示すタイミングチャートである。

【図19】水平走査期間H1の状態を説明する模式図である。

【図20】水平走査期間H2の状態を説明する模式図である。

【図21】水平走査期間H3の状態を説明する模式図である。

【図22】図17の液晶パネルの具体的構成を示す平面図である。

【図23】実施の形態2にかかる液晶パネルの他の構成を示す回路図である。

【図24】図23に示す液晶パネルの駆動方法を示すタイミングチャートである。

【図25】水平走査期間H1の状態を説明する模式図である。

【図26】水平走査期間H2の状態を説明する模式図である。

【図27】水平走査期間H3の状態を説明する模式図である。

【図28】液晶表示装置のゲートドライバの構成例を示す模式図である。

【図29】(a)は本液晶表示ユニットの構成を示す模式図であり、(b)は本液晶表示装置の構成を示す模式図である。

【図30】本液晶表示装置の全体構成を説明するブロック図である。

【図31】本液晶表示装置の機能を説明するブロック図である。

【図32】本テレビジョン受像機の機能を説明するブロック図である。

【図33】本テレビジョン受像機の構成を示す分解斜視図である。

【図34】図6の変形例を示す平面図である。

【図35】本液晶表示装置のゲートドライバの構成を示す模式図である。

【図36】従来の液晶パネルの構成を示す模式図である。

【発明を実施するための形態】

【0010】

本発明にかかる実施の形態の例を、図1～35を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下ではデータ信号線の延伸方向を列方向、走査信号線の延伸方向を行方向とする。ただし、本液晶表示装置（あるいはこれに用いられる液晶パネ

ルやアクティブマトリクス基板)の利用(視聴)状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。また、アクティブマトリクス基板の1つの画素領域は、液晶パネルや液晶表示装置の1つの画素に対応している。

【0011】

〔実施の形態1〕

図1は本液晶パネル5aの一部を示す等価回路図である。液晶パネル5aでは、各画素に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素列に対応して2本のデータ信号線が設けられ、上記画素列に含まれる画素の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素列の隣接する2つの画素について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されている。また、各画素には、2つの画素電極が行方向に沿って並べられ、同一の画素列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されている。

【0012】

例えば、列方向に並べられた画素101～104を含む画素列に対応して2本のデータ信号線 $S_x \cdot S_y$ が設けられ、行方向に並べられた画素101・105を含む画素行とその走査方向上流側の画素行との間隙に対応して走査信号線 $G(n-1)$ が設けられ、行方向に並べられた画素102・106を含む画素行と画素101・105を含む画素行との間隙に対応して走査信号線 G_n が設けられ、行方向に並べられた画素103・107を含む画素行と画素102・106を含む画素行との間隙に対応して走査信号線 $G(n+1)$ が設けられ、行方向に並べられた画素104・108を含む画素行と画素103・107を含む画素行との間隙に対応して走査信号線 $G(n+2)$ が設けられ、画素104・108を含む画素行とその走査方向下流側の画素行との間隙に対応して走査信号線 $G(n+3)$ が設けられ、列方向に並べられた画素105～108を含む画素列に対応して2本のデータ信号線 $S_X \cdot S_Y$ が設けられている。また、画素101・105を含む画素行、画素102・106を含む画素行、画素103・107を含む画素行、画素104・108を含む画素行それぞれに対応して、保持容量配線 $C_s(n-1)$ 、保持容量配線 C_{sn} 、保持容量配線 $C_s(n+1)$ 、保持容量配線 $C_s(n+2)$ が設けられている。

【0013】

ここで、画素101には、2つの画素電極17a・17bが行方向に沿ってこの順に並べられ、走査信号線 G_n に接続するトランジスタ12aのドレイン電極が画素電極17aに接続されるとともに、走査信号線 $G(n-1)$ に接続するトランジスタ12bのドレイン電極が画素電極17bに接続され、かつトランジスタ12aのソース電極がデータ信号線 S_x に接続され、トランジスタ12bのソース電極がデータ信号線 S_y に接続されている。なお、画素電極17aと共通電極(対向電極) c_{om} との間に液晶容量 C_{1a} が形成されるとともに、画素電極17bと共通電極(対向電極) c_{om} との間に液晶容量 C_{1b} が形成され、画素電極17aと保持容量配線 $C_s(n-1)$ との間に保持容量 c_{sa} が形成されるとともに、画素電極17**b**と保持容量配線 $C_s(n-1)$ との間に保持容量 c_{sb} が形成される。

【0014】

また、画素101と列方向に隣接する画素102には、2つの画素電極17c・17dが行方向に沿ってこの順に並べられ、走査信号線 $G(n+1)$ に接続するトランジスタ12cのドレイン電極が画素電極17cに接続されるとともに、走査信号線 G_n に接続するトランジスタ12dのドレイン電極が画素電極17dに接続され、かつトランジスタ12cのソース電極がデータ信号線 S_x に接続され、トランジスタ12dのソース電極がデータ信号線 S_y に接続されている。なお、画素電極17cと共通電極(対向電極) c_{om} との間に液晶容量 C_{1c} が形成されるとともに、画素電極17dと共通電極(対向電極) c

omとの間に液晶容量C1dが形成され、画素電極17cと保持容量配線Cs nとの間に保持容量cscが形成されるとともに、画素電極17dと保持容量配線Cs nとの間に保持容量csdが形成される。

【0015】

また、画素102と列方向に隣接する画素103には、2つの画素電極17e・17fが行方向に沿ってこの順に並べられ、走査信号線G(n+2)に接続するトランジスタ12eのドレイン電極が画素電極17eに接続されるとともに、走査信号線G(n+1)に接続するトランジスタ12fのドレイン電極が画素電極17fに接続され、かつトランジスタ12eのソース電極がデータ信号線Sxに接続され、トランジスタ12fのソース電極がデータ信号線Syに接続されている。なお、画素電極17eと共通電極(対向電極)comとの間に液晶容量C1eが形成されるとともに、画素電極17fと共通電極(対向電極)comとの間に液晶容量C1fが形成され、画素電極17eと保持容量配線Cs(n+1)との間に保持容量cseが形成されるとともに、画素電極17fと保持容量配線Cs(n+1)との間に保持容量csfが形成される。

【0016】

また、画素103と列方向に隣接する画素104には、2つの画素電極17g・17hが行方向に沿ってこの順に並べられ、走査信号線G(n+3)に接続するトランジスタ12gのドレイン電極が画素電極17gに接続されるとともに、走査信号線G(n+2)に接続するトランジスタ12hのドレイン電極が画素電極17hに接続され、かつトランジスタ12gのソース電極がデータ信号線Sxに接続され、トランジスタ12hのソース電極がデータ信号線Syに接続されている。なお、画素電極17gと共通電極(対向電極)comとの間に液晶容量C1gが形成されるとともに、画素電極17hと共通電極(対向電極)comとの間に液晶容量C1hが形成され、画素電極17gと保持容量配線Cs(n+2)との間に保持容量csgが形成されるとともに、画素電極17hと保持容量配線Cs(n+2)との間に保持容量cshが形成される。

【0017】

また、画素101と行方向に隣接する画素105には、2つの画素電極17A・17Bが行方向に沿ってこの順に並べられ、走査信号線Gnに接続するトランジスタ12Aのドレイン電極が画素電極17Aに接続されるとともに、走査信号線G(n-1)に接続するトランジスタ12Bのドレイン電極が画素電極17Bに接続され、かつトランジスタ12Aのソース電極がデータ信号線SXに接続され、トランジスタ12Bのソース電極がデータ信号線SYに接続されている。なお、画素電極17Aと共通電極(対向電極)comとの間に液晶容量C1Aが形成されるとともに、画素電極17Bと共通電極(対向電極)comとの間に液晶容量C1Bが形成され、画素電極17Aと保持容量配線Cs(n-1)との間に保持容量CSAが形成されるとともに、画素電極17Bと保持容量配線Cs(n-1)との間に保持容量CSBが形成される。

【0018】

また、画素102と行方向に隣接する画素106には、2つの画素電極17C・17Dが行方向に沿ってこの順に並べられ、走査信号線G(n+1)に接続するトランジスタ12Cのドレイン電極が画素電極17Cに接続されるとともに、走査信号線Gnに接続するトランジスタ12Dのドレイン電極が画素電極17Dに接続され、かつトランジスタ12Cのソース電極がデータ信号線SXに接続され、トランジスタ12Dのソース電極がデータ信号線SYに接続されている。なお、画素電極17Cと共通電極(対向電極)comとの間に液晶容量C1Cが形成されるとともに、画素電極17Dと共通電極(対向電極)comとの間に液晶容量C1Dが形成され、画素電極17Cと保持容量配線Cs nとの間に保持容量cscが形成されるとともに、画素電極17Dと保持容量配線Cs nとの間に保持容量csdが形成される。

【0019】

また、画素103と行方向に隣接する画素107には、2つの画素電極17E・17Fが行方向に沿ってこの順に並べられ、走査信号線G(n+2)に接続するトランジスタ1

2 Eのドレイン電極が画素電極17 Eに接続されるとともに、走査信号線G (n+1) に接続するトランジスタ12 Fのドレイン電極が画素電極17 Fに接続され、かつトランジスタ12 Eのソース電極がデータ信号線SXに接続され、トランジスタ12 Fのソース電極がデータ信号線SYに接続されている。なお、画素電極17 Eと共通電極(対向電極) comとの間に液晶容量C1 Eが形成されるとともに、画素電極17 Fと共通電極(対向電極) comとの間に液晶容量C1 Fが形成され、画素電極17 Eと保持容量配線Cs (n+1)との間に保持容量cs Eが形成されるとともに、画素電極17 Fと保持容量配線Cs (n+1)との間に保持容量cs Fが形成される。

【0020】

また、画素104と行方向に隣接する画素108には、2つの画素電極17 G・17 Hが行方向に沿ってこの順に並べられ、走査信号線G (n+3) に接続するトランジスタ12 Gのドレイン電極が画素電極17 Gに接続されるとともに、走査信号線G (n+2) に接続するトランジスタ12 Hのドレイン電極が画素電極17 Hに接続され、かつトランジスタ12 Gのソース電極がデータ信号線SXに接続され、トランジスタ12 Hのソース電極がデータ信号線SYに接続されている。なお、画素電極17 Gと共通電極(対向電極) comとの間に液晶容量C1 Gが形成されるとともに、画素電極17 Hと共通電極(対向電極) comとの間に液晶容量C1 Hが形成され、画素電極17 Gと保持容量配線Cs (n+2)との間に保持容量cs Gが形成されるとともに、画素電極17 Hと保持容量配線Cs (n+2)との間に保持容量cs Hが形成される。

【0021】

図3～図5は、液晶パネル5aの一部(図1の4画素行を含む7画素行)に中間調表示を行う場合の駆動方法を、1水平走査期間ごとに連続する3水平走査期間分(H1～H3)示す模式図である。なお、図3はH1の2本選択期間および1本選択期間を示し、図4はH2の2本選択期間および1本選択期間を示し、図5はH3の2本選択期間および1本選択期間を示している。また、図2は液晶パネル5aの一部に中間調表示を行う場合の駆動方法を示すタイミングチャート(2フレーム分)であり、図2のSx・Sy・SX・SYは、図3～5のデータ信号線Sx・Sy・SX・SYに供給されるデータ信号を示し、図2のGn～G (n+5)は、図3～5の走査信号線Gn～G (n+5)に供給される走査信号(アクティブHigh)を示し、図2の17a～17fは、図1の画素電極17a～17fの電位を示している。

【0022】

図2～5に示す駆動方法では、走査信号線を2本ずつ順次選択していき、一水平走査期間には、2本の走査信号線が同時選択される2本選択期間と、該2本選択期間に続き、該2本の走査信号線の一方が非選択とされる1本選択期間とが含まれる。また、中間調表示時には、2本選択期間に低階調データ信号が各データ信号線に供給され、1本選択期間に高階調データ信号が各データ信号線に供給される。また、1つの画素列に対応する2本のデータ信号線に、逆極性のデータ信号が供給される。また、それぞれが異なる画素列に対応する、互いに隣り合う2本のデータ信号線(例えばSy・SX)には同極性のデータ信号を供給する。なお、各データ信号線に供給されるデータ信号の極性は一水平走査期間(1H)ごとに反転する。

【0023】

例えば、連続する3つの水平走査期間H1～H3において、H1の2本選択期間では、2本の走査信号線Gn・G (n+1)を選択する(アクティブとする)。これにより、図1・2・3に示すように、トランジスタを介して走査信号線Gnおよびデータ信号線Sxに接続する画素電極17aにはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線Gnおよびデータ信号線Syに接続する画素電極17dにはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線G (n+1)およびデータ信号線Sxに接続する画素電極17cにはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線G (n+1)およびデータ信号線Syに接続する画素電極17fにはマイナスの低階調データ信号が書き込まれる。また、

トランジスタを介して走査信号線 G_n およびデータ信号線 S_X に接続する画素電極 17 A にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_Y に接続する画素電極 17 D にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G_{(n+1)}$ およびデータ信号線 S_X に接続する画素電極 17 C にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G_{(n+1)}$ およびデータ信号線 S_Y に接続する画素電極 17 F にはプラスの低階調データ信号が書き込まれる。

【0024】

次いで、H1の1本選択期間では、走査信号線 $G_{(n+1)}$ を非選択とし、走査信号線 G_n のみを選択するとする。これにより、図1・2・3に示すように、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極 17 a にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極 17 d にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_X に接続する画素電極 17 A にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_Y に接続する画素電極 17 D にはプラスの高階調データ信号が書き込まれる。

【0025】

以上から、画素電極 17 a・17 c・17 d・17 f・17 A・17 C・17 D・17 F それぞれに対応する副画素は、明副画素（+）・暗副画素（+）・明副画素（-）・暗副画素（-）・明副画素（-）・暗副画素（-）・明副画素（+）・暗副画素（+）となる。

【0026】

また、H2の2本選択期間では、2本の走査信号線 $G_{(n+2)}$ ・ $G_{(n+3)}$ を選択する（アクティブとする）。これにより、図1・2・4に示すように、トランジスタを介して走査信号線 $G_{(n+2)}$ およびデータ信号線 S_x に接続する画素電極 17 e にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G_{(n+2)}$ およびデータ信号線 S_y に接続する画素電極 17 h にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G_{(n+3)}$ およびデータ信号線 S_x に接続する画素電極 17 g にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G_{(n+3)}$ およびデータ信号線 S_y に接続する画素電極 17 i にはプラスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G_{(n+2)}$ およびデータ信号線 S_X に接続する画素電極 17 E にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G_{(n+2)}$ およびデータ信号線 S_Y に接続する画素電極 17 H にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 $G_{(n+3)}$ およびデータ信号線 S_X に接続する画素電極 17 G にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G_{(n+3)}$ およびデータ信号線 S_Y に接続する画素電極 17 J にはマイナスの低階調データ信号が書き込まれる。

【0027】

次いで、H2の1本選択期間では、走査信号線 $G_{(n+3)}$ を非選択とし、走査信号線 $G_{(n+2)}$ のみを選択するとする。これにより、図1・2・4に示すように、トランジスタを介して走査信号線 $G_{(n+2)}$ およびデータ信号線 S_x に接続する画素電極 17 e にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G_{(n+2)}$ およびデータ信号線 S_y に接続する画素電極 17 h にはプラスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G_{(n+2)}$ およびデータ信号線 S_X に接続する画素電極 17 E にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G_{(n+2)}$ およびデータ信号線 S_Y に接続する画素電極 17 H にはマイナスの高階調データ信号が書き込まれる。

【0028】

以上から、画素電極 17 e・17 g・17 h・17 E・17 G・17 Hそれぞれに対応する副画素は、明副画素（－）・暗副画素（－）・明副画素（＋）・明副画素（＋）・暗副画素（＋）・明副画素（－）となる。

【0029】

また、H 3 の 2 本選択期間では、2 本の走査信号線 $G(n+4) \cdot G(n+5)$ を選択し、次いで H 3 の 1 本選択期間では、走査信号線 $G(n+5)$ を非選択とし、走査信号線 $G(n+4)$ のみを選択する。H 3 の状態については図 5 のとおりである。

【0030】

液晶パネル 5 a を備えた液晶表示装置は、個別書き込み型の画素分割方式であるため、視野角特性が良好であるとともに、容量結合型と比較して、電氣的にフローティングとなる画素電極がなく、信頼性が高い、また、明・暗副画素の輝度を正確に制御することができるといったメリットがある。

【0031】

そして、走査信号線を 2 本ずつ選択していき、偶数番目の走査信号線 ($G_n \cdot G(n+2) \cdot \dots$) に接続する明副画素には 2 本選択期間でプリチャージした後に 1 本選択期間でデータ信号を書き込むことができるため、通常駆動であれば、明副画素の充電時間を実質的に 2 倍に延ばすことができる。また、奇数番目の走査信号線 ($G(n+1) \cdot G(n+3) \cdot \dots$) に接続する暗副画素にデータ信号を書き込む 2 本選択期間が、1 本選択期間よりも長く設定されているため、通常駆動であれば、暗副画素の充電時間も延ばすことができる。これにより、大型高精細の液晶表示装置や高速駆動 (60 Hz 以上の駆動) の液晶表示装置に好適となる。

【0032】

さらに、中間調を表示する時には、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並び (明・暗副画素が市松配置され)、ライン状のムラが視認されにくくなるという効果もある。

【0033】

加えて、画面に書き込まれたデータ信号の極性が、行方向および列方向それぞれについて 2 副画素単位で反転するため、画面のチラツキも抑制することができる。

【0034】

図 6 は、図 1 に示す液晶パネル 5 a の一部の構成例を示す平面図である。図 6 に示すように、液晶パネル 5 a には、行方向に延伸する、走査信号線 $G(n-1) \cdot$ 走査信号線 $G_n \cdot$ 走査信号線 $G(n+1)$ が走査方向に沿ってこの順に配されるとともに、列方向に延伸するデータ信号線 $S_x \cdot S_y \cdot S_X \cdot S_Y$ がこの順に並べられ、平面的に視ると、走査信号線 $G(n-1)$ および走査信号線 G_n 並びにデータ信号線 $S_x \cdot S_y$ で画される領域に画素電極 17 a・17 b が行方向に沿ってこの順に並べられるとともに、走査信号線 $G(n-1)$ および走査信号線 G_n 並びにデータ信号線 $S_X \cdot S_Y$ で画される領域に画素電極 17 A・17 B が行方向に沿ってこの順に並べられ、かつ走査信号線 G_n および走査信号線 $G(n+1)$ 並びにデータ信号線 $S_x \cdot S_y$ で画される領域に画素電極 17 c・17 d が行方向に沿ってこの順に並べられるとともに、走査信号線 G_n および走査信号線 $G(n+1)$ 並びにデータ信号線 $S_X \cdot S_Y$ で画される領域に画素電極 17 C・17 D が行方向に沿ってこの順に並べられている。また、走査信号線 $G(n-1)$ および走査信号線 G_n 間に保持容量配線 $C_s(n-1)$ が配されるとともに、走査信号線 G_n および走査信号線 $G(n+1)$ 間に保持容量配線 C_{sn} が配されている。

【0035】

なお、走査信号線 $G(n-1)$ はトランジスタ 12 b・12 B のゲート電極として、走査信号線 G_n はトランジスタ 12 a・12 A のゲート電極として、走査信号線 $G(n+1)$ はトランジスタ 12 c・12 C のゲート電極として機能する。また、トランジスタ 12 a・12 c のソース電極はデータ信号線 S_x に接続されるとともに、トランジスタ 12 b・12 d のソース電極はデータ信号線 S_y に接続され、トランジスタ 12 A・12 C のソース電極はデータ信号線 S_X に接続されるとともに、トランジスタ 12 B・12 D のソー

ス電極はデータ信号線SYに接続されている。

【0036】

また、トランジスタ12aのドレイン電極がコンタクトホール11aを介して画素電極17aに接続され、トランジスタ12bのドレイン電極がコンタクトホール11bを介して画素電極17bに接続され、保持容量配線Cs(n-1)に重なる容量電極67aと画素電極17aとがコンタクトホール91aを介して接続され、保持容量配線Cs(n-1)に重なる容量電極67bと画素電極17bとがコンタクトホール91bを介して接続されている。同様に、トランジスタ12Aのドレイン電極がコンタクトホール11Aを介して画素電極17Aに接続され、トランジスタ12Bのドレイン電極がコンタクトホール11Bを介して画素電極17Bに接続され、保持容量配線Cs(n-1)に重なる容量電極67Aと画素電極17Aとがコンタクトホール91Aを介して接続され、保持容量配線Cs(n-1)に重なる容量電極67Bと画素電極17Bとがコンタクトホール91Bを介して接続されている。

【0037】

ここでは、保持容量配線Cs(n-1)および容量電極67aの重なり部分、保持容量配線Cs(n-1)および容量電極67bの重なり部分、保持容量配線Cs(n-1)および容量電極67Aの重なり部分、および保持容量配線Cs(n-1)および容量電極67Bの重なり部分にそれぞれ、保持容量 $c_{sa} \cdot c_{sb} \cdot c_{sA} \cdot c_{sB}$ (図1参照)の大半が形成されている。

【0038】

また、トランジスタ12cのドレイン電極がコンタクトホール11cを介して画素電極17cに接続され、トランジスタ12dのドレイン電極がコンタクトホール11dを介して画素電極17dに接続され、保持容量配線Csnに重なる容量電極67cと画素電極17cとがコンタクトホール91cを介して接続され、保持容量配線Csnに重なる容量電極67dと画素電極17dとがコンタクトホール91dを介して接続されている。同様に、トランジスタ12Cのドレイン電極がコンタクトホール11Cを介して画素電極17Cに接続され、トランジスタ12Dのドレイン電極がコンタクトホール11Dを介して画素電極17Dに接続され、保持容量配線Csnに重なる容量電極67Cと画素電極17Cとがコンタクトホール91Cを介して接続され、保持容量配線Csnに重なる容量電極67Dと画素電極17Dとがコンタクトホール91Dを介して接続されている。

【0039】

ここでは、保持容量配線Csnおよび容量電極67cの重なり部分、保持容量配線Csnおよび容量電極67dの重なり部分、保持容量配線Csnおよび容量電極67Cの重なり部分、および保持容量配線Csnおよび容量電極67Dの重なり部分にそれぞれ、保持容量 $c_{sc} \cdot c_{sd} \cdot c_{sC} \cdot c_{sD}$ (図1参照)の大半が形成されている。

【0040】

なお、図6では、トランジスタ12a・12d・12A・12Dのチャネルサイズ(W/L)とトランジスタ12b・12c・12B・12Cのチャネルサイズ(W/L)とを等しくしているがこれに限定されない。充電時間を長くとれる明画素電極に接続するトランジスタ12a・12d・12A・12Dのチャネルサイズを、暗画素電極に接続するトランジスタ12b・12c・12B・12Cよりも小さくすることもできる。こうすれば、開口率を高めることができる。

【0041】

図7は図6の矢視断面図である。同図に示すように、液晶パネル5aは、アクティブマトリクス基板3と、これに対向するカラーフィルタ基板30と、両基板(3・30)間に配される液晶層40とを備える。

【0042】

アクティブマトリクス基板3では、ガラス基板31上に走査信号線Gnおよび保持容量配線Cs(n-1)が形成され、これらを覆うようにゲート絶縁膜22が形成されている。ゲート絶縁膜22上には、半導体層(i層およびn+層)、n+層に接するソース電極

、およびドレイン電極（断面には含まれない）並びに容量電極 67a が形成され、これらを覆うように無機層間絶縁膜 25 が形成されている。無機層間絶縁膜 25 上には、これよりも厚い有機層間絶縁膜 26 が形成され、有機層間絶縁膜 26 上に画素電極 17a が形成される。なお、図示しないが、アクティブマトリクス基板 3 の表面を覆うように配向膜が形成されている。ここで、コンタクトホール 91a では、無機層間絶縁膜 25 および有機層間絶縁膜 26 が剥り貫かれ、これによって、画素電極 17a と容量電極 67a とが接続される。容量電極 67a はゲート絶縁膜 22 を介して保持容量配線 Cs (n-1) と重なっており、この重なり部分に保持容量 csa (図 1 参照) の大半が形成される。

【0043】

一方、カラーフィルタ基板 30 では、ガラス基板 32 上にブラックマトリクス 13 および着色層 14 が形成され、その上層に共通電極 (com) 28 が形成され、さらにカラーフィルタ基板 30 の表面を覆うように配向膜が形成されている（図示せず）。

【0044】

以下に、本液晶パネルの製造方法について説明する。液晶パネルの製造方法には、アクティブマトリクス基板製造工程と、カラーフィルタ基板製造工程と、両基板を貼り合わせて液晶を充填する組み立て工程とが含まれる。

【0045】

まず、ガラス、プラスチックなどの基板上に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜（厚さ 1000 Å ~ 3000 Å）をスパッタリング法により成膜し、その後、フォトリソグラフィ技術（Photo Engraving Process、以下、「PEP 技術」と称し、これにはエッチング工程が含まれるものとする）によりパターニングを行い、フォトレジストを除去することにより、走査信号線（各トランジスタのゲート電極）および保持容量配線を形成する。

【0046】

次いで、走査信号線が形成された基板全体に、CVD (Chemical Vapor Deposition) 法により窒化シリコンや酸化シリコンなどの無機絶縁膜（厚さ 3000 Å ~ 5000 Å 程度）を成膜し、ゲート絶縁膜を形成する。

【0047】

続いて、ゲート絶縁膜上（基板全体）に、CVD 法により真性アモルファスシリコン膜（厚さ 1000 Å ~ 3000 Å）と、リンがドーブされた n+ アモルファスシリコン膜（厚さ 400 Å ~ 700 Å）とを連続して成膜し、その後、PEP 技術によってパターニングを行い、フォトレジストを除去することにより、ゲート電極上に、真性アモルファスシリコン層と n+ アモルファスシリコン層とからなるシリコン積層体を島状に形成する。

【0048】

続いて、シリコン積層体が形成された基板全体に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜（厚さ 1000 Å ~ 3000 Å）をスパッタリング法により成膜し、その後、PEP 技術によりパターニングを行い、データ信号線、トランジスタのソース電極・ドレイン電極、および容量電極を形成する（メタル層の形成）。ここでは必要に応じてレジストを除去する。

【0049】

さらに、上記メタル配線形成時のフォトレジスト、またはソース電極およびドレイン電極をマスクとして、シリコン積層体を構成する n+ アモルファスシリコン層をエッチング除去し、フォトレジストを除去することにより、トランジスタのチャネルを形成する。ここで、半導体層は、上記のようにアモルファスシリコン膜により形成させてもよいが、ポリシリコン膜を成膜させてもよく、また、アモルファスシリコン膜およびポリシリコン膜にレーザアニール処理を行って結晶性を向上させてもよい。これにより、半導体層内の電子の移動速度が速くなり、トランジスタ (TFT) の特性を向上させることができる。

【0050】

次いで、データ信号線などが形成された基板全体に層間絶縁膜を形成する。具体的には、 SiH_4 ガスと NH_3 ガスと N_2 ガスとの混合ガスを用い、基板全面を覆うように、厚さ約 $3000 \text{ \AA}$ の SiNx からなる無機層間絶縁膜 25 (パッシベーション膜) を CVD にて形成する。その後、厚さ約 $3 \mu\text{m}$ のポジ型感光性アクリル樹脂からなる有機層間絶縁膜 26 をスピコートやダイコートにて形成する。

【0051】

続いて、PEP 技術により有機層間絶縁膜 26 にコンタクト用パターンを形成し、さらに、パターンニングされた有機層間絶縁膜 26 をマスクとし、 CF_4 ガスと O_2 ガスとの混合ガスを用いて、無機層間絶縁膜 25 をドライエッチングする。なお、有機層間絶縁膜 26 は、例えば、SOG (スピンオンガラス) 材料からなる絶縁膜であってもよく、また、有機層間絶縁膜 26 に、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも 1 つが含まれていてもよい。

【0052】

続いて、コンタクトホールが形成された層間絶縁膜上の基板全体に、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、酸化亜鉛、酸化スズなどからなる透明導電膜 (厚さ $1000 \text{ \AA} \sim 2000 \text{ \AA}$) をスパッタリング法により成膜し、その後、PEP 技術によりパターンニングを行い、レジストを除去して各画素電極を形成する。

【0053】

最後に、画素電極上の基板全体に、ポリイミド樹脂を厚さ $500 \text{ \AA} \sim 1000 \text{ \AA}$ で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。以上のようにして、アクティブマトリクス基板製造される。

【0054】

以下に、カラーフィルタ基板製造工程について説明する。

【0055】

まず、ガラス、プラスチックなどの基板上 (基板全体) に、クロム薄膜、または黒色顔料を含有する樹脂を成膜した後に PEP 技術によってパターンニングを行い、ブラックマトリクスを形成する。次いで、ブラックマトリクスの間隙に、顔料分散法などを用いて、赤、緑および青のカラーフィルタ層 (厚さ $2 \mu\text{m}$ 程度) をパターン形成する。

【0056】

続いて、カラーフィルタ層上の基板全体に、ITO、IZO、酸化亜鉛、酸化スズなどからなる透明導電膜 (厚さ $1000 \text{ \AA}$ 程度) を成膜し、共通電極 (com) を形成する。

【0057】

最後に、共通電極上の基板全体に、ポリイミド樹脂を厚さ $500 \text{ \AA} \sim 1000 \text{ \AA}$ で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。上記のようにして、カラーフィルタ基板を製造することができる。

【0058】

以下に、組み立て工程について、説明する。

【0059】

まず、アクティブマトリクス基板およびカラーフィルタ基板の一方に、スクリーン印刷により、熱硬化性エポキシ樹脂などからなるシール材料を液晶注入口の部分に欠いた枠状パターンに塗布し、他方の基板に液晶層の厚さに相当する直径を持ち、プラスチックまたはシリカからなる球状のスペーサーを散布する。なお、スペーサーを散布する代わりに、PEP 技術により CF 基板の BM 上あるいはアクティブマトリクス基板のメタル配線の上にスペーサーを形成してもよい。

【0060】

次いで、アクティブマトリクス基板とカラーフィルタ基板とを貼り合わせ、シール材料を硬化させる。

【0061】

最後に、アクティブマトリクス基板およびカラーフィルタ基板並びにシール材料で囲まれる空間に、減圧法により液晶材料を注入した後、液晶注入口に UV 硬化樹脂を塗布し、

UV照射によって液晶材料を封止することで液晶層を形成する。以上のようにして、液晶パネルが製造される。

【0062】

なお、MVA（マルチドメインパーティカルアライメント）方式の液晶パネルでは、例えば、アクティブマトリクス基板の各画素電極に配向規制用のスリットが設けられるとともに、カラーフィルタ基板に配向規制用のリブ（線状突起）が設けられる。なお、リブの代わりに、カラーフィルタ基板の共通電極に配向規制用のスリットを設けることもできる。また、紫外線等の照射によって液晶の配向を決定する、光配向液晶を用いることもできる。この場合、リブやスリットの構造体を設けることなく高視野角化を実現でき、開口率を大幅に向上させることができる。

【0063】

なお、図6・7の構成においては、互いに隣り合い、かつそれぞれが別々の画素列に対応して設けられた2本のデータ信号線の間隙（データ信号線と同層）あるいは間隙上（画素電極と同層）に、データ信号とは別の信号が供給される間在配線を設けてもよい。例えば、データ信号線 $S_y \cdot S_x$ の間隙に間在配線を設ける。こうすれば、例えば、データ信号線 S_x と画素電極17aのクロストーク、およびデータ信号線 S_y と画素電極17Aのクロストークを低減することができる。さらに、図6・7では各保持容量配線が走査信号線と同層に形成され、行方向に（図中横方向）延伸しているが、これに限定されない。各保持容量配線をデータ信号線と同層（メタル層）に形成し、列方向（図中縦方向）に延伸させてもよい。

【0064】

例えば図34では、列方向に延伸する保持容量配線 C_{sz} が、画素電極17a・17bの間隙および画素電極17c・17dの間隙と重なるようにメタル層に設けられ、保持容量配線 C_{sz} と画素電極17a・17b・17c・17dそれぞれとの重なり部分に保持容量が形成され、また、列方向に延伸する保持容量配線 C_Z が、画素電極17A・17Bの間隙および画素電極17C・17Dの間隙と重なるようにメタル層に設けられ、保持容量配線 C_Z と画素電極17A・17B・17C・17Dそれぞれとの重なり部分に保持容量が形成されている。このような構成にすることで、画素電極間の液晶の配向乱れや光漏れを効率よく隠すことができる。そうすると、画素電極間に対応してカラーフィルタ基板側に設けられるブラックマトリクスを細くしたり、省いたりすることができるため、開口率を高めることができる。なお、図34のような構成では、保持容量を確保するために、チャンネル保護膜（層間絶縁膜）を無機絶縁膜のみで形成することもできる。

【0065】

図2に示す液晶パネル5aの駆動方法では2本選択期間に低階調データ信号が各データ信号線に供給され、1本選択期間に高階調データ信号が各データ信号線に供給されるが、これに限定されない。図8に示すように、2本選択期間に高階調データ信号を各データ信号線に供給し、1本選択期間に低階調データ信号を各データ信号線に供給してもよい。

【0066】

この場合、図9に示すように、連続する3つの水平走査期間 $H_1 \sim H_3$ において、 H_1 の2本選択期間では、2本の走査信号線 $G_n \cdot G_{(n+1)}$ を選択する（アクティブとする）。これにより、図1・8・9に示すように、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17aにはプラスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17dにはマイナスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 $G_{(n+1)}$ およびデータ信号線 S_x に接続する画素電極17cにはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G_{(n+1)}$ およびデータ信号線 S_y に接続する画素電極17fにはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極17Aにはマイナスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極17Dにはプ

ラスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 SX に接続する画素電極 17C にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 SY に接続する画素電極 17F にはプラスの高階調データ信号が書き込まれる。

【0067】

次いで、H1の1本選択期間では、走査信号線 $G(n+1)$ を非選択とし、走査信号線 Gn のみを選択するとする。これにより、図1・8・9に示すように、トランジスタを介して走査信号線 Gn およびデータ信号線 Sx に接続する画素電極 17a にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 Gn およびデータ信号線 Sy に接続する画素電極 17d にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 Gn およびデータ信号線 SX に接続する画素電極 17A にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 Gn およびデータ信号線 SY に接続する画素電極 17D にはプラスの低階調データ信号が書き込まれる。

【0068】

以上から、画素電極 17a・17c・17d・17f・17A・17C・17D・17F それぞれに対応する副画素は、暗副画素（+）・明副画素（+）・暗副画素（-）・明副画素（-）・暗副画素（-）・明副画素（-）・暗副画素（+）・明副画素（+）となる。

【0069】

また、H2の2本選択期間では、2本の走査信号線 $G(n+2)$ ・ $G(n+3)$ を選択する（アクティブとする）。これにより、図1・8・10に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 Sx に接続する画素電極 17e にはマイナスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 Sy に接続する画素電極 17h にはプラスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 Sx に接続する画素電極 17g にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 Sy に接続する画素電極にはプラスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 SX に接続する画素電極 17E にはプラスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 SY に接続する画素電極 17H にはマイナスのプリチャージ信号（高階調）が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 SX に接続する画素電極 17G にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 SY に接続する画素電極にはマイナスの高階調データ信号が書き込まれる。

【0070】

次いで、H2の1本選択期間では、走査信号線 $G(n+3)$ を非選択とし、走査信号線 $G(n+2)$ のみを選択するとする。これにより、図1・8・10に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 Sx に接続する画素電極 17e にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 Sy に接続する画素電極 17h にはプラスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 SX に接続する画素電極 17E にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 SY に接続する画素電極 17H にはマイナスの低階調データ信号が書き込まれる。

【0071】

以上から、画素電極 17e・17g・17h・17E・17G・17H それぞれに対応する副画素は、暗副画素（-）・明副画素（-）・暗副画素（+）・暗副画素（+）・明副画素（+）・暗副画素（-）となる。

【0072】

また、H 3 の 2 本選択期間では、2 本の走査信号線 $G(n+4) \cdot G(n+5)$ を選択し、次いで H 3 の 1 本選択期間では、走査信号線 $G(n+5)$ を非選択とし、走査信号線 $G(n+4)$ のみを選択する。H 3 の状態については図 11 のとおりである。

【0073】

図 8 の駆動方法では、走査信号線を 2 本ずつ選択していき、偶数番目の走査信号線 ($Gn \cdot G(n+2) \cdot \dots$) に接続する暗副画素には 2 本選択期間でプリチャージした後に 1 本選択期間でデータ信号を書き込むことができるため、通常駆動であれば、暗副画素の充電時間を実質的に 2 倍に延ばすことができる。また、奇数番目の走査信号線 ($G(n+1) \cdot G(n+3) \cdot \dots$) に接続する明副画素にデータ信号を書き込む 2 本選択期間が、1 本選択期間よりも長く設定されているため、通常駆動であれば、明副画素の充電時間も延ばすことができる。これにより、大型高精細の液晶表示装置や高速駆動 (60 Hz 以上の駆動) の液晶表示装置に好適となる。図 8 の駆動方法は、特に図 12 に示すような、偶数番目の走査信号線 ($Gn \cdot G(n+2) \cdot \dots$) に接続する画素電極 17a・17d・17A・17D (暗画素電極) が、奇数番目の走査信号線 ($G(n+1) \cdot G(n+3) \cdot \dots$) に接続する画素電極 17b・17c・17B・17C (明画素電極) よりも面積が大きい場合に好適である。これは、面積の大きな (充電し難い) 暗画素電極の充電時間を 2 倍 (通常駆動時) 延ばせ、また、高階調データ信号でプリチャージした後に低階調データ信号を書き込むことによるオーバーシュート効果も期待できるからである。なお、暗画素電極の面積は、明画素電極の面積を 1 として、1~4 が好ましい。

【0074】

図 2 に示す液晶パネル 5a の駆動方法では、それぞれが異なる画素列に対応する、互いに隣り合う 2 本のデータ信号線 (例えば $Sy \cdot SX$) に同極性のデータ信号が供給され、各データ信号線に供給されるデータ信号の極性が一水平走査期間 (1H) ごとに反転するが、これに限定されない。図 13 に示すように、それぞれが異なる画素列に対応する、互いに隣り合う 2 本のデータ信号線 (例えば $Sy \cdot SX$) に逆極性のデータ信号を供給し、各データ信号線に供給されるデータ信号の極性を一垂直走査期間 (1 フレーム期間) ごとに反転させてもよい。なお、1 つの画素列に対応する 2 本のデータ信号線には逆極性のデータ信号を供給する。

【0075】

例えば、連続する 3 つの水平走査期間 $h1 \sim h3$ において、 $h1$ の 2 本選択期間では、2 本の走査信号線 $Gn \cdot G(n+1)$ を選択する (図 13・14 参照)。これにより、図 1・13・14 に示すように、トランジスタを介して走査信号線 Gn およびデータ信号線 Sx に接続する画素電極 17a にはプラスのプリチャージ信号 (低階調) が書き込まれ、トランジスタを介して走査信号線 Gn およびデータ信号線 Sy に接続する画素電極 17d にはマイナスのプリチャージ信号 (低階調) が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 Sx に接続する画素電極 17c にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 Sy に接続する画素電極 17f にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 Gn およびデータ信号線 SX に接続する画素電極 17A にはマイナスのプリチャージ信号 (低階調) が書き込まれ、トランジスタを介して走査信号線 Gn およびデータ信号線 SY に接続する画素電極 17D にはプラスのプリチャージ信号 (低階調) が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 SX に接続する画素電極 17C にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 SY に接続する画素電極 17F にはプラスの低階調データ信号が書き込まれる。

【0076】

次いで、 $h1$ の 1 本選択期間では、走査信号線 $G(n+1)$ を非選択とし、走査信号線 Gn のみを選択するとする。これにより、図 1・13・14 に示すように、トランジスタを介して走査信号線 Gn およびデータ信号線 Sx に接続する画素電極 17a にはプラスの

高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極 17d にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_X に接続する画素電極 17A にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_Y に接続する画素電極 17D にはプラスの高階調データ信号が書き込まれる。

【0077】

以上から、画素電極 17a・17c・17d・17f・17A・17C・17D・17F それぞれに対応する副画素は、明副画素(+)・暗副画素(+)・明副画素(-)・暗副画素(-)・明副画素(-)・暗副画素(-)・明副画素(+)・暗副画素(+)となる。

【0078】

また、h2の2本選択期間では、2本の走査信号線 $G(n+2)$ ・ $G(n+3)$ を選択する(図13・15参照)。これにより、図1・13・15に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17e にはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17h にはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_x に接続する画素電極 17g にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_y に接続する画素電極にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17E にはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17H にはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_X に接続する画素電極 17G にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_Y に接続する画素電極にはマイナスの低階調データ信号が書き込まれる。

【0079】

次いで、h2の1本選択期間では、走査信号線 $G(n+3)$ を非選択とし、走査信号線 $G(n+2)$ のみを選択するとする。これにより、図1・13・15に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17e にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17h にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17E にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17H にはマイナスの高階調データ信号が書き込まれる。

【0080】

以上から、画素電極 17e・17g・17h・17E・17G・17H それぞれに対応する副画素は、明副画素(+)・暗副画素(+)・明副画素(-)・明副画素(+)・暗副画素(+)・明副画素(-)となる。

【0081】

また、h3の2本選択期間では、2本の走査信号線 $G(n+4)$ ・ $G(n+5)$ を選択し、次いでh3の1本選択期間では、走査信号線 $G(n+5)$ を非選択とし、走査信号線 $G(n+4)$ のみを選択する。h3の状態については図16のとおりである。

【0082】

図13～図16に示す駆動方法では、同一データ信号線に供給されるデータ信号の極性が1垂直走査期間中変わらないため、データ信号の極性が1水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。加えて、中間調を表

示する時には、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並び（明・暗副画素が市松配置され）、ライン状のムラが視認されにくくなるという効果もある。

【0083】

〔実施の形態2〕

図17は本液晶パネル5bの一部を示す等価回路図である。液晶パネル5bでは、各画素に、2つの画素電極が列方向に沿って並べられ、同一の画素列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が隣接している。これ以外は図1と同様である。

【0084】

例えば、画素101には、2つの画素電極17a・17bが列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n-1)$ に接続するトランジスタ12aのドレイン電極が画素電極17aに接続されるとともに、走査信号線 G_n に接続するトランジスタ12bのドレイン電極が画素電極17bに接続され、かつトランジスタ12aのソース電極がデータ信号線 S_y に接続され、トランジスタ12bのソース電極がデータ信号線 S_x に接続されている。

【0085】

また、画素101と列方向に隣接する画素102には、2つの画素電極17c・17dが列方向（走査方向）に沿ってこの順に並べられ、走査信号線 G_n に接続するトランジスタ12cのドレイン電極が画素電極17cに接続されるとともに、走査信号線 $G(n+1)$ に接続するトランジスタ12dのドレイン電極が画素電極17dに接続され、かつトランジスタ12cのソース電極がデータ信号線 S_y に接続され、トランジスタ12dのソース電極がデータ信号線 S_x に接続されている。

【0086】

また、画素102と列方向に隣接する画素103には、2つの画素電極17e・17fが列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n+1)$ に接続するトランジスタ12eのドレイン電極が画素電極17eに接続されるとともに、走査信号線 $G(n+2)$ に接続するトランジスタ12fのドレイン電極が画素電極17fに接続され、かつトランジスタ12eのソース電極がデータ信号線 S_y に接続され、トランジスタ12fのソース電極がデータ信号線 S_x に接続されている。

【0087】

また、画素103と列方向に隣接する画素104には、2つの画素電極17g・17hが列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n+2)$ に接続するトランジスタ12gのドレイン電極が画素電極17gに接続されるとともに、走査信号線 $G(n+3)$ に接続するトランジスタ12hのドレイン電極が画素電極17hに接続され、かつトランジスタ12gのソース電極がデータ信号線 S_y に接続され、トランジスタ12hのソース電極がデータ信号線 S_x に接続されている。

【0088】

また、画素101と行方向に隣接する画素105には、2つの画素電極17A・17Bが列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n-1)$ に接続するトランジスタ12Aのドレイン電極が画素電極17Aに接続されるとともに、走査信号線 G_n に接続するトランジスタ12Bのドレイン電極が画素電極17Bに接続され、かつトランジスタ12Aのソース電極がデータ信号線 S_Y に接続され、トランジスタ12Bのソース電極がデータ信号線 S_X に接続されている。

【0089】

また、画素102と行方向に隣接する画素106には、2つの画素電極17C・17Dが列方向（走査方向）に沿ってこの順に並べられ、走査信号線 G_n に接続するトランジスタ12Cのドレイン電極が画素電極17Cに接続されるとともに、走査信号線 $G(n+1)$ に接続するトランジスタ12Dのドレイン電極が画素電極17Dに接続され、かつトランジスタ12Cのソース電極がデータ信号線 S_Y に接続され、トランジスタ12Dのソー

ス電極がデータ信号線 S X に接続されている。

【0090】

また、画素 103 と行方向に隣接する画素 107 には、2つの画素電極 17E・17F が列方向（走査方向）に沿ってこの順に並べられ、走査信号線 G (n+1) に接続するトランジスタ 12E のドレイン電極が画素電極 17E に接続されるとともに、走査信号線 G (n+2) に接続するトランジスタ 12F のドレイン電極が画素電極 17F に接続され、かつトランジスタ 12E のソース電極がデータ信号線 S Y に接続され、トランジスタ 12F のソース電極がデータ信号線 S X に接続されている。

【0091】

また、画素 104 と行方向に隣接する画素 108 には、2つの画素電極 17G・17H が列方向（走査方向）に沿ってこの順に並べられ、走査信号線 G (n+2) に接続するトランジスタ 12G のドレイン電極が画素電極 17G に接続されるとともに、走査信号線 G (n+3) に接続するトランジスタ 12H のドレイン電極が画素電極 17H に接続され、かつトランジスタ 12G のソース電極がデータ信号線 S Y に接続され、トランジスタ 12H のソース電極がデータ信号線 S X に接続されている。

【0092】

図 19～図 21 は、液晶パネル 5b の一部（図 17 の 4 画素行を含む 7 画素行）に中間調表示を行う場合の駆動方法を、1 水平走査期間ごとに連続する 3 水平走査期間分（H1～H3）示す模式図である。また、図 18 は液晶パネル 5b の一部に中間調表示を行う場合の駆動方法を示すタイミングチャート（2 フレーム分）である。

【0093】

図 18～21 に示す駆動方法では、走査信号線を 2 本ずつ順次選択していき、一水平走査期間には、2 本の走査信号線が同時選択される 2 本選択期間と、該 2 本選択期間に続き、該 2 本の走査信号線の一方が非選択とされる 1 本選択期間とが含まれる。また、中間調表示時には、2 本選択期間に低階調データ信号が各データ信号線に供給され、1 本選択期間に高階調データ信号が各データ信号線に供給される。また、1つの画素列に対応する 2 本のデータ信号線に、逆極性のデータ信号が供給される。また、それぞれが異なる画素列に対応する、互いに隣り合う 2 本のデータ信号線（例えば S y・S X）には同極性のデータ信号を供給する。なお、各データ信号線に供給されるデータ信号の極性は一垂直走査期間（1 フレーム）ごとに反転する。

【0094】

例えば、連続する 3 つの水平走査期間 H1～H3 において、H1 の 2 本選択期間では、2 本の走査信号線 G n・G (n+1) を選択する（図 18・19 参照）。これにより、図 17・18・19 に示すように、トランジスタを介して走査信号線 G n およびデータ信号線 S x に接続する画素電極 17b にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 G n およびデータ信号線 S y に接続する画素電極 17c にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 G (n+1) およびデータ信号線 S x に接続する画素電極 17d にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 G (n+1) およびデータ信号線 S y に接続する画素電極 17e にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G n およびデータ信号線 S X に接続する画素電極 17B にはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 G n およびデータ信号線 S Y に接続する画素電極 17C にはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線 G (n+1) およびデータ信号線 S X に接続する画素電極 17D にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 G (n+1) およびデータ信号線 S Y に接続する画素電極 17E にはプラスの低階調データ信号が書き込まれる。

【0095】

次いで、H1 の 1 本選択期間では、走査信号線 G (n+1) を非選択とし、走査信号線 G n のみを選択するとする。これにより、図 17・18・19 に示すように、トランジスタ

タを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極 17b にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極 17c にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_X に接続する画素電極 17B にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_Y に接続する画素電極 17C にはプラスの高階調データ信号が書き込まれる。

【0096】

以上から、画素電極 17b・17c・17d・17e・17B・17C・17D・17E それぞれに対応する副画素は、明副画素(+)・明副画素(-)・暗副画素(+)・暗副画素(-)・明副画素(-)・明副画素(+)・暗副画素(-)・暗副画素(+)となる。

【0097】

また、H2の2本選択期間では、2本の走査信号線 $G(n+2)$ ・ $G(n+3)$ を選択する(図18・20参照)。これにより、図17・18・20に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17f にはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17g にはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_x に接続する画素電極 17h にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_y に接続する画素電極にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17F にはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17G にはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_X に接続する画素電極 17H にはマイナスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_Y に接続する画素電極にはプラスの低階調データ信号が書き込まれる。

【0098】

次いで、H2の1本選択期間では、走査信号線 $G(n+3)$ を非選択とし、走査信号線 $G(n+2)$ のみを選択するとする。これにより、図17・18・20に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17f にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17g にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17F にはマイナスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17G にはプラスの高階調データ信号が書き込まれる。

【0099】

以上から、画素電極 17f・17g・17h・17F・17G・17H それぞれに対応する副画素は、明副画素(+)・明副画素(-)・暗副画素(+)・明副画素(-)・明副画素(+)・暗副画素(-)となる。

【0100】

また、H3の2本選択期間では、2本の走査信号線 $G(n+4)$ ・ $G(n+5)$ を選択し、次いでH3の1本選択期間では、走査信号線 $G(n+5)$ を非選択とし、走査信号線 $G(n+4)$ のみを選択する。H3の状態については図21のとおりである。

【0101】

液晶パネル5bを備えた液晶表示装置は、個別書き込み型の画素分割方式であるため、視野角特性が良好であるとともに、容量結合型と比較して、電氣的にフローティングとな

る画素電極がなく、信頼性が高い、また、明・暗副画素の輝度を正確に制御することができるといったメリットがある。

【0102】

そして、走査信号線を2本ずつ選択していき、偶数番目の走査信号線($G_n \cdot G(n+2) \cdots$)に接続する明副画素には2本選択期間でプリチャージした後に1本選択期間でデータ信号を書き込むことができるため、通常駆動であれば、明副画素の充電時間を実質的に2倍に延ばすことができる。また、奇数番目の走査信号線($G(n+1) \cdot G(n+3) \cdots$)に接続する暗副画素にデータ信号を書き込む2本選択期間が、1本選択期間よりも長く設定されているため、通常駆動であれば、暗副画素の充電時間も延ばすことができる。これにより、大型高精細の液晶表示装置や高速駆動(60Hz以上の駆動)の液晶表示装置に好適となる。

【0103】

加えて、画面に書き込まれたデータ信号の極性が、行方向および列方向それぞれについて1副画素単位で反転するため、画面のチラツキも抑制することができる。

【0104】

図22は、図17に示す液晶パネル5bの一部の構成例を示す平面図である。図22に示すように、液晶パネル5bには、平面的に視て、走査信号線 $G(n-1)$ および走査信号線 G_n 並びにデータ信号線 $S_x \cdot S_y$ で画される領域に画素電極17a・17bが列方向(走査方向)に沿ってこの順に並べられるとともに、走査信号線 $G(n-1)$ および走査信号線 G_n 並びにデータ信号線 $S_x \cdot S_y$ で画される領域に画素電極17A・17Bが列方向(走査方向)に沿ってこの順に並べられ、かつ走査信号線 G_n および走査信号線 $G(n+1)$ 並びにデータ信号線 $S_x \cdot S_y$ で画される領域に画素電極17c・17dが列方向(走査方向)に沿ってこの順に並べられるとともに、走査信号線 G_n および走査信号線 $G(n+1)$ 並びにデータ信号線 $S_x \cdot S_y$ で画される領域に画素電極17C・17Dが列方向(走査方向)に沿ってこの順に並べられている。また、走査信号線 $G(n-1)$ および走査信号線 G_n 間に保持容量配線 $C_s(n-1)$ が配されるとともに、走査信号線 G_n および走査信号線 $G(n+1)$ 間に保持容量配線 C_{sn} が配されている。

【0105】

なお、走査信号線 $G(n-1)$ はトランジスタ12b・12Bのゲート電極として、走査信号線 G_n はトランジスタ12a・12Aのゲート電極として、走査信号線 $G(n+1)$ はトランジスタ12c・12Cのゲート電極として機能する。また、トランジスタ12a・12cのソース電極はデータ信号線 S_x に接続されるとともに、トランジスタ12b・12dのソース電極はデータ信号線 S_y に接続され、トランジスタ12A・12Cのソース電極はデータ信号線 S_x に接続されるとともに、トランジスタ12B・12Dのソース電極はデータ信号線 S_y に接続されている。

【0106】

また、トランジスタ12aのドレイン電極がコンタクトホール11aを介して画素電極17aに接続され、トランジスタ12bのドレイン電極がコンタクトホール11bを介して画素電極17bに接続され、保持容量配線 $C_s(n-1)$ に重なる容量電極67aと画素電極17aとがコンタクトホール91aを介して接続され、保持容量配線 $C_s(n-1)$ に重なる容量電極67bと画素電極17bとがコンタクトホール91bを介して接続されている。同様に、トランジスタ12Aのドレイン電極がコンタクトホール11Aを介して画素電極17Aに接続され、トランジスタ12Bのドレイン電極がコンタクトホール11Bを介して画素電極17Bに接続され、保持容量配線 $C_s(n-1)$ に重なる容量電極67Aと画素電極17Aとがコンタクトホール91Aを介して接続され、保持容量配線 $C_s(n-1)$ に重なる容量電極67Bと画素電極17Bとがコンタクトホール91Bを介して接続されている。

【0107】

また、トランジスタ12cのドレイン電極がコンタクトホール11cを介して画素電極17cに接続され、トランジスタ12dのドレイン電極がコンタクトホール11dを介し

て画素電極 17d に接続され、保持容量配線 C_{sn} に重なる容量電極 67c と画素電極 17c とがコンタクトホール 91c を介して接続され、保持容量配線 C_{sn} に重なる容量電極 67d と画素電極 17d とがコンタクトホール 91d を介して接続されている。同様に、トランジスタ 12C のドレイン電極がコンタクトホール 11C を介して画素電極 17C に接続され、トランジスタ 12D のドレイン電極がコンタクトホール 11D を介して画素電極 17D に接続され、保持容量配線 C_{sn} に重なる容量電極 67C と画素電極 17C とがコンタクトホール 91C を介して接続され、保持容量配線 C_{sn} に重なる容量電極 67D と画素電極 17D とがコンタクトホール 91D を介して接続されている。

【0108】

図 17 の液晶パネル 5b を図 23 のように変形することもできる。図 23 の液晶パネル 5c では、同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する 2 つの画素電極が、別の 1 つの画素電極を挟むように配されている。さらに、同一の画素領域行に属し、それぞれがトランジスタを介して同一の走査信号線に接続する 2 つの画素電極が、互いに斜め向かいに配されている。

【0109】

例えば、画素 101 には、2 つの画素電極 17a・17b が列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n-1)$ に接続するトランジスタ 12a のドレイン電極が画素電極 17a に接続されるとともに、走査信号線 G_n に接続するトランジスタ 12b のドレイン電極が画素電極 17b に接続され、かつトランジスタ 12a のソース電極がデータ信号線 S_y に接続され、トランジスタ 12b のソース電極がデータ信号線 S_x に接続されている。

【0110】

また、画素 101 と列方向に隣接する画素 102 には、2 つの画素電極 17c・17d が列方向（走査方向）に沿ってこの順に並べられ、走査信号線 G_n に接続するトランジスタ 12c のドレイン電極が画素電極 17d に接続されるとともに、走査信号線 $G(n+1)$ に接続するトランジスタ 12d のドレイン電極が画素電極 17c に接続され、かつトランジスタ 12c のソース電極がデータ信号線 S_y に接続され、トランジスタ 12d のソース電極がデータ信号線 S_x に接続されている。

【0111】

また、画素 102 と列方向に隣接する画素 103 には、2 つの画素電極 17e・17f が列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n+1)$ に接続するトランジスタ 12e のドレイン電極が画素電極 17e に接続されるとともに、走査信号線 $G(n+2)$ に接続するトランジスタ 12f のドレイン電極が画素電極 17f に接続され、かつトランジスタ 12e のソース電極がデータ信号線 S_y に接続され、トランジスタ 12f のソース電極がデータ信号線 S_x に接続されている。

【0112】

また、画素 103 と列方向に隣接する画素 104 には、2 つの画素電極 17g・17h が列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n+2)$ に接続するトランジスタ 12g のドレイン電極が画素電極 17h に接続されるとともに、走査信号線 $G(n+3)$ に接続するトランジスタ 12h のドレイン電極が画素電極 17g に接続され、かつトランジスタ 12g のソース電極がデータ信号線 S_y に接続され、トランジスタ 12h のソース電極がデータ信号線 S_x に接続されている。

【0113】

また、画素 101 と行方向に隣接する画素 105 には、2 つの画素電極 17A・17B が列方向（走査方向）に沿ってこの順に並べられ、走査信号線 $G(n-1)$ に接続するトランジスタ 12A のドレイン電極が画素電極 17B に接続されるとともに、走査信号線 G_n に接続するトランジスタ 12B のドレイン電極が画素電極 17A に接続され、かつトランジスタ 12A のソース電極がデータ信号線 S_Y に接続され、トランジスタ 12B のソース電極がデータ信号線 S_X に接続されている。

【0114】

また、画素102と行方向に隣接する画素106には、2つの画素電極17C・17Dが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G_nに接続するトランジスタ12Cのドレイン電極が画素電極17Cに接続されるとともに、走査信号線G（n+1）に接続するトランジスタ12Dのドレイン電極が画素電極17Dに接続され、かつトランジスタ12Cのソース電極がデータ信号線S_Yに接続され、トランジスタ12Dのソース電極がデータ信号線S_Xに接続されている。

【0115】

また、画素103と行方向に隣接する画素107には、2つの画素電極17E・17Fが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G（n+1）に接続するトランジスタ12Eのドレイン電極が画素電極17Fに接続されるとともに、走査信号線G（n+2）に接続するトランジスタ12Fのドレイン電極が画素電極17Eに接続され、かつトランジスタ12Eのソース電極がデータ信号線S_Yに接続され、トランジスタ12Fのソース電極がデータ信号線S_Xに接続されている。

【0116】

また、画素104と行方向に隣接する画素108には、2つの画素電極17G・17Hが列方向（走査方向）に沿ってこの順に並べられ、走査信号線G（n+2）に接続するトランジスタ12Gのドレイン電極が画素電極17Gに接続されるとともに、走査信号線G（n+3）に接続するトランジスタ12Hのドレイン電極が画素電極17Hに接続され、かつトランジスタ12Gのソース電極がデータ信号線S_Yに接続され、トランジスタ12Hのソース電極がデータ信号線S_Xに接続されている。

【0117】

図25～図27は、液晶パネル5cの一部（図23の4画素行を含む7画素行）に中間調表示を行う場合の駆動方法を、1水平走査期間ごとに連続する3水平走査期間分（H1～H3）示す模式図である。また、図24は液晶パネル5cの一部に中間調表示を行う場合の駆動方法を示すタイミングチャート（2フレーム分）である。

【0118】

図24～27に示す駆動方法では、走査信号線を2本ずつ順次選択していき、一水平走査期間には、2本の走査信号線が同時選択される2本選択期間と、該2本選択期間に続き、該2本の走査信号線の一方が非選択とされる1本選択期間とが含まれる。また、中間調表示時には、2本選択期間に低階調データ信号が各データ信号線に供給され、1本選択期間に高階調データ信号が各データ信号線に供給される。また、1つの画素列に対応する2本のデータ信号線に、逆極性のデータ信号が供給される。また、それぞれが異なる画素列に対応する、互いに隣り合う2本のデータ信号線（例えばS_y・S_X）には逆極性のデータ信号を供給する。なお、各データ信号線に供給されるデータ信号の極性は一垂直走査期間（1フレーム）ごとに反転する。

【0119】

例えば、連続する3つの水平走査期間H1～H3において、H1の2本選択期間では、2本の走査信号線G_n・G（n+1）を選択する（図24・25参照）。これにより、図23・24・25に示すように、トランジスタを介して走査信号線G_nおよびデータ信号線S_xに接続する画素電極17bにはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線G_nおよびデータ信号線S_yに接続する画素電極17dにはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線G（n+1）およびデータ信号線S_xに接続する画素電極17cにはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線G（n+1）およびデータ信号線S_yに接続する画素電極17eにはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線G_nおよびデータ信号線S_Xに接続する画素電極17Aにはプラスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線G_nおよびデータ信号線S_Yに接続する画素電極17Cにはマイナスのプリチャージ信号（低階調）が書き込まれ、トランジスタを介して走査信号線G（n+1）およびデータ信号線S_Xに接続する画素電極17Dにはプラスの低階調データ信号が書き込まれ

、トランジスタを介して走査信号線 $G(n+1)$ およびデータ信号線 S_Y に接続する画素電極 17 F にはマイナスの低階調データ信号が書き込まれる。

【0120】

次いで、H1の1本選択期間では、走査信号線 $G(n+1)$ を非選択とし、走査信号線 G_n のみを選択するとする。これにより、図23・24・25に示すように、トランジスタを介して走査信号線 G_n およびデータ信号線 S_x に接続する画素電極 17 b にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_y に接続する画素電極 17 d にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 G_n およびデータ信号線 S_X に接続する画素電極 17 A にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 G_n およびデータ信号線 S_Y に接続する画素電極 17 C にはマイナスの高階調データ信号が書き込まれる。

【0121】

以上から、画素電極 17 b・17 c・17 d・17 e・17 A・17 C・17 D・17 F それぞれに対応する副画素は、明副画素(+)・暗副画素(+)・明副画素(-)・暗副画素(-)・明副画素(+)・明副画素(-)・暗副画素(+)・暗副画素(-)となる。

【0122】

また、H2の2本選択期間では、2本の走査信号線 $G(n+2)$ ・ $G(n+3)$ を選択する(図24・26参照)。これにより、図23・24・26に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17 f にはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17 h にはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_x に接続する画素電極 17 g にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_y に接続する画素電極にはマイナスの低階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17 E にはプラスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17 G にはマイナスのプリチャージ信号(低階調)が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_X に接続する画素電極 17 H にはプラスの低階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+3)$ およびデータ信号線 S_Y に接続する画素電極にはプラスの低階調データ信号が書き込まれる。

【0123】

次いで、H2の1本選択期間では、走査信号線 $G(n+3)$ を非選択とし、走査信号線 $G(n+2)$ のみを選択するとする。これにより、図23・24・26に示すように、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_x に接続する画素電極 17 f にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_y に接続する画素電極 17 h にはマイナスの高階調データ信号が書き込まれる。また、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_X に接続する画素電極 17 E にはプラスの高階調データ信号が書き込まれ、トランジスタを介して走査信号線 $G(n+2)$ およびデータ信号線 S_Y に接続する画素電極 17 G にはマイナスの高階調データ信号が書き込まれる。

【0124】

以上から、画素電極 17 f・17 g・17 h・17 E・17 G・17 H それぞれに対応する副画素は、明副画素(+)・暗副画素(+)・明副画素(-)・明副画素(+)・明副画素(-)・暗副画素(+)となる。

【0125】

また、H3の2本選択期間では、2本の走査信号線 $G(n+4)$ ・ $G(n+5)$ を選択

し、次いでH 3の1本選択期間では、走査信号線G ($n+5$)を非選択とし、走査信号線G ($n+4$)のみを選択する。H 3の状態については図 2 7のとおりである。

【0126】

液晶パネル5 cでは、中間調を表示する時には、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並び（明・暗副画素が市松配置され）、ライン状のムラが視認されにくくなるという効果がある。

【0127】

さらに、同一データ信号線に供給されるデータ信号の極性が1垂直走査期間中変わらないため、データ信号の極性が1水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。

【0128】

加えて、画面に書き込まれたデータ信号の極性が、行方向および列方向それぞれについて2副画素単位で反転するため、画面のチラツキも抑制することができる。

【0129】

図 2 8は本液晶表示装置のゲートドライバの構成を示す回路図であり、図 3 5は本ゲートドライバの駆動方法を示すタイミングチャートである。図 2 8に示されるように、ゲートドライバGDはシフトレジスタ4 5、列方向に並ぶ複数のAND回路(6 6 x ~ 6 6 z)、および出力回路4 6を備える。シフトレジスタ4 5には、ゲートスターとパルス信号GSPとゲートクロック信号GCKとが入力される。各AND回路(6 6 x ~ 6 6 z)には、各水平走査期間の1本選択期間に「H」となるGOE信号(図 3 5参照)の反転信号が入力される。そして、シフトレジスタ4 5の各段の出力は2系統に分かれ、その一方が出力回路4 6を経て走査信号となり、他方が1つのAND回路に入力され、このAND回路の出力が出力回路4 6を経て走査信号となる。

【0130】

例えば、シフトレジスタ4 5のある段からの出力が2系統(Q 0・Q 1)に分かれており、Q 0が出力回路4 6を経て走査信号線Gnに供給される走査信号となり、Q 1がAND回路6 6 xに入力され、AND回路6 6 xの出力が出力回路4 6を経て走査信号線G ($n+1$)に供給される走査信号となる。また、シフトレジスタ4 5の他の段からの出力が2系統(Q 2・Q 3)に分かれており、Q 2が出力回路4 6を経て走査信号線G ($n+2$)に供給される走査信号となり、Q 3がAND回路6 6 yに入力され、AND回路6 6 yの出力が出力回路4 6を経て走査信号線G ($n+3$)に供給される走査信号となる。

【0131】

図 2 8・図 3 5に示すように、本ゲートドライバでは、同時選択する2本の走査信号線それぞれに供給する走査信号を、1つのシフトレジスタの同一段からの出力を用いて生成することができ、ゲートドライバ構成を簡略化することができるというメリットがある。

【0132】

本実施の形態では、以下のようにして、本液晶表示ユニットおよび液晶表示装置を構成する。すなわち、液晶パネル(5 a ~ 5 f)の両面に、2枚の偏光板A・Bを、偏光板Aの偏光軸と偏光板Bの偏光軸とが互いに直交するように貼り付ける。なお、偏光板には必要に応じて、光学補償シート等を積層してもよい。次に、図 2 9 (a)に示すように、ドライバ(ゲートドライバ2 0 2、ソースドライバ2 0 1)を接続する。ここでは、一例として、ドライバをTCP (Tape Carrier Package)方式による接続について説明する。まず、液晶パネルの端子部にACF (Anisotropic Conductive Film)を仮圧着する。ついで、ドライバが乗せられたTCPをキャリアテープから打ち抜き、パネル端子電極に位置合わせし、加熱、本圧着を行う。その後、ドライバTCP同士を連結するための回路基板2 0 3 (PWB: Printed wiring board)とTCPの入力端子とをACFで接続する。これにより、液晶表示ユニット2 0 0が完成する。その後、図 2 9 (b)に示すように、液晶表示ユニットの各ドライバ(2 0 1・2 0 2)に、回路基板2 0 3を介して表示制御回路2 0 9を接続し、照明装置(バックライトユニット)2 0 4と一体化することで、液晶表示装置2 1 0となる。

【0133】

本願でいう「電位の極性」とは、基準となる電位以上（プラス）あるいは基準となる電位以下（マイナス）を意味する。ここで、基準となる電位は、共通電極（対向電極）の電位である V_{com} （コモン電位）であってもその他任意の電位であってもよい。

【0134】

図30は、本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部（液晶パネル）と、ソースドライバ（SD）と、ゲートドライバ（GD）と、表示制御回路とを備えている。ソースドライバはデータ信号線を駆動し、ゲートドライバは走査信号線を駆動し、表示制御回路は、ソースドライバおよびゲートドライバを制御する。

【0135】

表示制御回路は、外部の信号源（例えばチューナー）から、表示すべき画像を表すデジタルビデオ信号 D_v と、当該デジタルビデオ信号 D_v に対応する水平同期信号 H_{SY} および垂直同期信号 V_{SY} と、表示動作を制御するための制御信号 D_c とを受け取る。また、表示制御回路は、受け取ったこれらの信号 D_v 、 H_{SY} 、 V_{SY} 、 D_c に基づき、そのデジタルビデオ信号 D_v の表す画像を表示部に表示させるための信号として、データスタートパルス信号 S_{SP} と、データクロック信号 S_{CK} と、チャージシェア信号 s_h と、表示すべき画像を表すデジタル画像信号 D_A （ビデオ信号 D_v に対応する信号）と、ゲートスタートパルス信号 G_{SP} と、ゲートクロック信号 G_{CK} と、ゲートドライバ出力制御信号（走査信号出力制御信号） G_{OE} とを生成し、これらを出力する。

【0136】

より詳しくは、ビデオ信号 D_v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 D_A として表示制御回路から出力し、そのデジタル画像信号 D_A の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 S_{CK} を生成し、水平同期信号 H_{SY} に基づき1水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号 S_{SP} を生成し、垂直同期信号 V_{SY} に基づき1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号 G_{SP} を生成し、水平同期信号 H_{SY} に基づきゲートクロック信号 G_{CK} を生成し、水平同期信号 H_{SY} および制御信号 D_c に基づきチャージシェア信号 s_h 、ならびにゲートドライバ出力制御信号 G_{OE} を生成する。

【0137】

上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号 D_A 、チャージシェア信号 s_h 、信号電位（データ信号電位）の極性を制御する信号 POL 、データスタートパルス信号 S_{SP} 、およびデータクロック信号 S_{CK} は、ソースドライバに入力され、ゲートスタートパルス信号 G_{SP} とゲートクロック信号 G_{CK} とゲートドライバ出力制御信号 G_{OE} とは、ゲートドライバに入力される。

【0138】

ソースドライバは、デジタル画像信号 D_A 、データクロック信号 S_{CK} 、チャージシェア信号 s_h 、データスタートパルス信号 S_{SP} 、および極性反転信号 POL に基づき、デジタル画像信号 D_A の表す画像の各走査信号線における画素値に相当するアナログ電位（信号電位）を1水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線（例えば、 $S_x \cdot S_y$ ）に出力する。

【0139】

ゲートドライバは、ゲートスタートパルス信号 G_{SP} およびゲートクロック信号 G_{CK} と、ゲートドライバ出力制御信号 G_{OE} とに基づき、ゲートオンパルス信号を生成し、これらを走査信号線に出力し、これによって走査信号線を2本ずつ順次選択していく。

【0140】

次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図31は、テレビジョン受信機用の液晶表示装置800の構成を示すブロック図である。液晶表示装置800は、液晶表示ユニット84と、Y/C分離回路80と、ビデオク

ロマ回路 81 と、A/Dコンバータ 82 と、液晶コントローラ 83 と、バックライト駆動回路 85 と、バックライト 86 と、マイコン（マイクロコンピュータ）87 と、階調回路 88 とを備えている。なお、液晶表示ユニット 84 は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

【0141】

上記構成の液晶表示装置 800 では、まず、テレビジョン信号としての複合カラー映像信号 S_{cv} が外部から Y/C 分離回路 80 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 81 にて光の 3 原色に対応するアナログ RGB 信号に変換され、さらに、このアナログ RGB 信号は A/D コンバータ 82 により、デジタル RGB 信号に変換される。このデジタル RGB 信号は液晶コントローラ 83 に入力される。また、Y/C 分離回路 80 では、外部から入力された複合カラー映像信号 S_{cv} から水平および垂直同期信号も取り出され、これらの同期信号もマイコン 87 を介して液晶コントローラ 83 に入力される。

【0142】

液晶表示ユニット 84 には、液晶コントローラ 83 からデジタル RGB 信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路 88 では、カラー表示の 3 原色 R, G, B それぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット 84 に供給される。液晶表示ユニット 84 では、これらの RGB 信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号＝信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット 84 によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある、この液晶表示装置 800 では、マイコン 87 の制御の下にバックライト駆動回路 85 がバックライト 86 を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイコン 87 が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置 800 では、様々な映像信号に基づいた画像表示が可能である。

【0143】

液晶表示装置 800 でテレビジョン放送に基づく画像を表示する場合には、図 32 に示すように、液晶表示装置 800 にチューナー部 90 が接続され、これによって本テレビジョン受像機 601 が構成される。このチューナー部 90 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 S_{cv} を取り出す。この複合カラー映像信号 S_{cv} は、既述のように液晶表示装置 800 に入力され、この複合カラー映像信号 S_{cv} に基づく画像が該液晶表示装置 800 によって表示される。

【0144】

図 33 は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機 601 は、その構成要素として、液晶表示装置 800 の他に第 1 筐体 801 および第 2 筐体 806 を有しており、液晶表示装置 800 を第 1 筐体 801 と第 2 筐体 806 とで包み込むようにして挟持した構成となっている。第 1 筐体 801 には、液晶表示装置 800 で表示される画像を透過させる開口部 801a が形成されている。また、第 2 筐体 806 は、液晶表示装置 800 の背面側を覆うものであり、当該表示装置 800 を操作するための操作回路 805 が設けられると共に、下方に支持用部材 808 が取り付けられている。

【0145】

本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含

まれる。

【0146】

以上のように、本アクティブマトリクス基板は、複数のデータ信号線と複数の走査信号線とを備え、各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されていることを特徴とする。

【0147】

本アクティブマトリクス基板を備えた液晶表示装置では、走査信号線を2本ずつ選択しながら、1画素領域に設けられた複数の画素電極に個別書き込みを行うことができ、個別書き込み型の液晶表示装置の画素充電時間を延ばすことができる。

【0148】

本液晶表示装置では、各画素領域には、2つの画素電極が行方向に沿って並べられている構成とすることもできる。

【0149】

本アクティブマトリクス基板では、同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されている構成とすることもできる。

【0150】

本アクティブマトリクス基板では、各画素領域には、2つの画素電極が列方向に沿って並べられている構成とすることもできる。

【0151】

本アクティブマトリクス基板では、同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、別の1つの画素電極を挟むように配されている構成とすることもできる。

【0152】

本アクティブマトリクス基板では、同一の画素領域行に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されている構成とすることもできる。

【0153】

本液晶パネルは上記アクティブマトリクス基板を備えることを特徴とする。

【0154】

本液晶表示装置は、上記アクティブマトリクス基板を備えることを特徴とする。

【0155】

本液晶表示装置では、走査信号線を2本ずつ順次選択していく構成とすることができる。

【0156】

本液晶表示装置では、一水平走査期間には、走査信号線が2本同時選択される2本選択期間と、該2本選択期間に続き、走査信号線が1本のみ選択される1本選択期間とが含まれる構成とすることもできる。

【0157】

本液晶表示装置では、中間調表示時には、2本選択期間に相対的に低階調のデータ信号が各データ信号線に供給され、1本選択期間に相対的に高階調のデータ信号が各データ信号線に供給される構成とすることもできる。

【0158】

本液晶表示装置では、中間調表示時には、2本選択期間に相対的に高階調のデータ信号

が各データ信号線に供給され、1本選択期間に相対的に低階調のデータ信号が各データ信号線に供給される構成とすることもできる。

【0159】

本液晶表示装置では、1本選択期間に選択される走査信号線にトランジスタを介して接続される画素電極は、1本選択期間に選択されない走査信号線にトランジスタを介して接続される画素電極よりも面積が大きい構成とすることもできる。

【0160】

本液晶表示装置では、1つの画素領域列に対応する2本のデータ信号線に、逆極性のデータ信号が供給される構成とすることもできる。

【0161】

本液晶表示装置では、各データ信号線には、一水平走査期間ごとに極性が反転するデータ信号が供給される構成とすることもできる。

【0162】

本液晶表示装置では、各データ信号線には、一垂直走査期間ごとに極性が反転するデータ信号が供給される構成とすることもできる。

【0163】

本液晶表示装置では、それぞれが異なる画素領域列に対応し、互いに隣り合うデータ信号線に、逆極性のデータ信号が供給される構成とすることもできる。

【0164】

本液晶表示装置では、それぞれが異なる画素領域列に対応し、互いに隣り合うデータ信号線に、同極性のデータ信号が供給される構成とすることもできる。

【0165】

本液晶表示装置では、シフトレジスタを含む走査信号線駆動回路を備え、同時選択される各走査信号線に供給される走査信号が、上記シフトレジスタの同一段の出力を用いて生成されている構成とすることもできる。

【0166】

本液晶表示ユニットは、上記液晶パネルとドライバとを備えることを特徴とする。また、本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナ一部とを備えることを特徴とする。

【0167】

本液晶パネルの駆動方法は、複数のデータ信号線と複数の走査信号線とを備え、各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されている液晶パネルに対して、走査信号線を2本ずつ順次選択していくことを特徴とする。

【産業上の利用可能性】

【0168】

本発明のアクティブマトリクス基板や液晶パネルは、例えば液晶テレビに好適である。

【符号の説明】

【0169】

5a～5c 液晶パネル

12a～12h・12A～12H トランジスタ

17a～17h・17A～17H 画素電極

Sx・Sy・SX・SY データ信号線

Gn～G(n+6) 走査信号線

Csn～Cs(n+2) 保持容量配線

2 2 ゲート絶縁膜
2 4 半導体層
2 5 無機層間絶縁膜
2 6 有機層間絶縁膜
8 4 液晶表示ユニット
1 0 1 ～ 1 0 8 画素
6 0 1 テレビジョン受像機
8 0 0 液晶表示装置

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のデータ信号線と複数の走査信号線とを備え、

各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、

上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、

上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続され、

各画素領域には、2つの画素電極が行方向に沿って並べられ、

同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されていることを特徴とするアクティブマトリクス基板。

【請求項 2】

複数のデータ信号線と複数の走査信号線とを備え、

各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、

上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、

上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続され、

各画素領域には、2つの画素電極が列方向に沿って並べられ、

同一の画素領域列に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、別の1つの画素電極を挟むように配されていることを特徴とするアクティブマトリクス基板。

【請求項 3】

同一の画素領域行に属し、それぞれがトランジスタを介して同一の走査信号線に接続する2つの画素電極が、互いに斜め向かいに配されていることを特徴とする請求項2記載のアクティブマトリクス基板。

【請求項 4】

上記2つの画素電極の間隙と重なるように列方向に延伸する保持容量配線が、各データ

信号線と同層に形成されていることを特徴とする請求項1記載のアクティブマトリクス基板。

【請求項 5】

請求項 1～4 のいずれか 1 項に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。

【請求項 6】

請求項 1～4 のいずれか 1 項に記載のアクティブマトリクス基板を備えることを特徴とする液晶表示装置。

【請求項 7】

走査信号線を 2 本ずつ順次選択していくことを特徴とする請求項6記載の液晶表示装置。

【請求項 8】

一水平走査期間には、走査信号線が 2 本同時選択される 2 本選択期間と、該 2 本選択期間に続き、走査信号線が 1 本のみ選択される 1 本選択期間とが含まれることを特徴とする請求項7記載の液晶表示装置。

【請求項 9】

中間調表示時には、2 本選択期間に相対的に低階調のデータ信号が各データ信号線に供給され、1 本選択期間に相対的に高階調のデータ信号が各データ信号線に供給されることを特徴とする請求項8記載の液晶表示装置。

【請求項 10】

中間調表示時には、2 本選択期間に相対的に高階調のデータ信号が各データ信号線に供給され、1 本選択期間に相対的に低階調のデータ信号が各データ信号線に供給されることを特徴とする請求項8記載の液晶表示装置。

【請求項 11】

1 本選択期間に選択される走査信号線にトランジスタを介して接続される画素電極は、1 本選択期間に選択されない走査信号線にトランジスタを介して接続される画素電極よりも面積が大きいことを特徴とする請求項10記載の液晶表示装置。

【請求項 12】

1 つの画素領域列に対応する 2 本のデータ信号線に、逆極性のデータ信号が供給されることを特徴とする請求項6記載の液晶表示装置。

【請求項 13】

各データ信号線には、一水平走査期間ごとに極性が反転するデータ信号が供給されることを特徴とする請求項6記載の液晶表示装置。

【請求項 14】

各データ信号線には、一垂直走査期間ごとに極性が反転するデータ信号が供給されることを特徴とする請求項6記載の液晶表示装置。

【請求項 15】

それぞれが異なる画素領域列に対応し、互いに隣り合うデータ信号線に、逆極性のデータ信号が供給されることを特徴とする請求項6記載の液晶表示装置。

【請求項 16】

それぞれが異なる画素領域列に対応し、互いに隣り合うデータ信号線に、同極性のデータ信号が供給されることを特徴とする請求項6記載の液晶表示装置。

【請求項 17】

シフトレジスタを含む走査信号線駆動回路を備え、

同時選択される各走査信号線に供給される走査信号が、上記シフトレジスタの同一段の出力を用いて生成されていることを特徴とする請求項8記載の液晶表示装置。

【請求項 18】

1 本選択期間に選択される走査信号線に接続するトランジスタのチャネルサイズは、1 本選択期間に選択されない走査信号線に接続するトランジスタのそれよりも小さいことを特徴とする請求項8記載の液晶表示装置。

【請求項 19】

請求項 5 記載の液晶パネルとドライバとを備えることを特徴とする液晶表示ユニット。

【請求項 20】

請求項 6～18 のいずれか 1 項に記載の液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とするテレビジョン受像機。

【請求項 21】

複数のデータ信号線と複数の走査信号線とを備え、各画素領域に複数の画素電極が設けられ、各データ信号線の延伸方向を列方向として、1つの画素領域列に対応して2本のデータ信号線が設けられ、上記画素領域列に含まれる画素領域の1つの画素電極が、走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の一方に接続され、該画素領域の別の画素電極が、別の走査信号線に接続されたトランジスタを介して上記2本のデータ信号線の他方に接続され、上記画素領域列の隣接する2つの画素領域について、その一方に含まれる画素電極の1つと他方に含まれる画素電極の1つとが、それぞれトランジスタを介して同一の走査信号線に接続されている液晶パネルに対して、走査信号線を2本ずつ順次選択していくことを特徴とする液晶パネルの駆動方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063427

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/00-3/38, G02F1/133, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-145593 A (NEC Electronics Corp.), 02 July 2009 (02.07.2009),	1, 4, 7-8, 21-23
Y	entire text; fig. 1 to 10	9, 14-18, 24
A	& US 2009/0153594 A1 & CN 101458907 A	3, 5-6, 10-13, 19-20
X	JP 2009-53589 A (Sony Corp.), 12 March 2009 (12.03.2009),	1-2, 4, 7-8, 21-23
Y	entire text; fig. 1 to 20	9, 14-18, 24
A	(Family: none)	3, 5-6, 10-13, 19-20

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 September, 2010 (07.09.10)Date of mailing of the international search report
21 September, 2010 (21.09.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063427

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-316211 A (Fujitsu Display Technologies Corp.), 10 November 2005 (10.11.2005), entire text; fig. 1 to 54 & US 2005/0253797 A1 & KR 10-2006-0044418 A & CN 1694152 A	1-2, 4, 7-8, 21-23 9, 14-18, 24 3, 5-6, 10-13, 19-20
X Y A	JP 2003-295160 A (Sharp Corp.), 15 October 2003 (15.10.2003), entire text; fig. 1 to 39 & US 2003/0146893 A1 & TW 248599 B	1, 4, 7-8, 21-23 9, 14-18, 24 3, 5-6, 10-13, 19-20
Y A	JP 11-161243 A (Sharp Corp.), 18 June 1999 (18.06.1999), entire text; fig. 1 to 10 & US 2001/0013852 A1	9, 14-18, 24 3, 5-6, 10-13, 19-20
Y A	JP 8-234166 A (Victor Company of Japan, Ltd.), 13 September 1996 (13.09.1996), entire text; fig. 1 to 8 (Family: none)	9, 14-18, 24 3, 5-6, 10-13, 19-20

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 6 3 4 2 7	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/00-3/38, G02F1/133, G02F1/1368			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y A	JP 2009-145593 A（NECエレクトロニクス株式会社）2009.07.02, 全文, 図1-10 & US 2009/0153594 A1 & CN 101458907 A	1, 4, 7-8, 21-23 9, 14-18, 24 3, 5-6, 10-13, 19-20	
X Y A	JP 2009-53589 A（ソニー株式会社）2009.03.12, 全文, 図1-20 （ファミリーなし）	1-2, 4, 7-8, 21-23 9, 14-18, 24 3, 5-6, 10-13, 19-20	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 07.09.2010		国際調査報告の発送日 21.09.2010	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 中村 直行	2G 9214 電話番号 03-3581-1101 内線 3226

国際調査報告

国際出願番号 PCT/J P 2 0 1 0 / 0 6 3 4 2 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-316211 A (富士通ディスプレイテクノロジーズ株式会社) 2005. 11. 10, 全文, 図 1 - 5 4 & US 2005/0253797 A1 & KR 10-2006-0044418 A & CN 1694152 A	1-2, 4, 7-8, 21-23 9, 14-18, 24 3, 5-6, 10-13, 19-20
X Y A	JP 2003-295160 A (シャープ株式会社) 2003. 10. 15, 全文, 図 1 - 3 9 & US 2003/0146893 A1 & TW 248599 B	1, 4, 7-8, 21-23 9, 14-18, 24 3, 5-6, 10-13, 19-20
Y A	JP 11-161243 A (シャープ株式会社) 1999. 06. 18, 全文, 図 1 - 1 0 & US 2001/0013852 A1	9, 14-18, 24 3, 5-6, 10-13, 19-20
Y A	JP 8-234166 A (日本ビクター株式会社) 1996. 09. 13, 全文, 図 1 - 8 (ファミリーなし)	9, 14-18, 24 3, 5-6, 10-13, 19-20

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 P
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 2 E
	G 0 2 F 1/1368	
	G 0 2 F 1/133	5 5 0

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

Fターム(参考) 5C006 AA01 AA11 AA22 AC11 AC24 AC25 AC27 AC28 AF81 BC03
 BC06 BC11 BF03 BF26 EA01 FA12 FA23 FA25 FA47
 5C080 AA10 CC03 DD06 DD08 DD26 EE29 EE30 FF11 JJ02 JJ03
 JJ04 JJ06 KK43

(注) この公表は、国際事務局(W I P O)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵基板，液晶面板，液晶显示装置，液晶显示单元，电视接收器		
公开(公告)号	JPWO2011052277A1	公开(公告)日	2013-03-14
申请号	JP2011538288	申请日	2010-08-06
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
CPC分类号	G02F1/136286 G02F1/134336 G02F2001/134345 G09G3/3614 G09G3/3659 G09G2300/0426 G09G2300/0443 G09G2300/0447 G09G2310/0251 G09G2310/08 G09G2320/028 H01L27/1222 H01L27/124		
FI分类号	G09G3/36 G09G3/20.680.G G09G3/20.680.H G09G3/20.622.Q G09G3/20.623.U G09G3/20.622.P G09G3/20.641.C G09G3/20.621.B G09G3/20.622.E G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/GA13 2H092/JA24 2H092/JB04 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB46 2H092/NA05 2H092/PA06 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZC03 2H193/ZC06 2H193/ZC20 2H193/ZC35 2H193/ZD23 2H193/ZD24 2H193/ZD27 2H193/ZE04 2H193/ZF12 2H193/ZF32 5C006/AA01 5C006/AA11 5C006/AA22 5C006/AC11 5C006/AC24 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF81 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF03 5C006/BF26 5C006/EA01 5C006/FA12 5C006/FA23 5C006/FA25 5C006/FA47 5C080/AA10 5C080/CC03 5C080/DD06 5C080/DD08 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43		
优先权	2009247785 2009-10-28 JP		
其他公开文献	JP5442754B2		
外部链接	Espacenet		

摘要(译)

在该有源矩阵基板中，在每个像素区域中设置两个像素电极（17a和17b），并且以每条数据信号线的延伸方向作为列方向，对应于一个像素区域列设置两条数据信号线。提供（ $S_x S_y$ ），像素区域列中包括的像素区域的一个像素电极（17a），两个数据通过连接到扫描信号线（ G_n ）的晶体管（12a）信号线之一（ S_x ），像素区域（17b）的另一像素电极，经由晶体管（12b）的另一条扫描信号线（ G_{n-1} ）连接到上述两个数据。对于像素区域列的两个相邻像素区域，连接到另一条信号线（ S_y ），一个（17a）中包括的一个像素电极和另一个（17d）中包括的一个像素电极经由晶体管（12a，12d）连接到同一扫描信号线（ G_n ）。通过这样做，可以延长包括有源矩阵基板的单独写入型液晶显示装置的像素充电时间。

【图1】

