

(19) 日本国特許庁(JP)

## 再公表特許(A1)

(11) 国際公開番号

W02011/048847

発行日 平成25年3月7日(2013.3.7)

(43) 国際公開日 平成23年4月28日(2011.4.28)

| (51) Int.Cl.                      | F I            | テーマコード (参考) |
|-----------------------------------|----------------|-------------|
| <b>G09G 3/36 (2006.01)</b>        | G09G 3/36      | 2H193       |
| <b>G09G 3/20 (2006.01)</b>        | G09G 3/20 624D | 5C006       |
| <b>G02F 1/133 (2006.01)</b>       | G09G 3/20 624C | 5C080       |
|                                   | G09G 3/20 622L |             |
|                                   | G09G 3/20 621M |             |
| 審査請求 有 予備審査請求 未請求 (全 27 頁) 最終頁に続く |                |             |

|              |                              |          |                                                                                                                                                                                                     |
|--------------|------------------------------|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 出願番号         | 特願2011-537166 (P2011-537166) | (71) 出願人 | 000005049                                                                                                                                                                                           |
| (21) 国際出願番号  | PCT/JP2010/060556            |          | シャープ株式会社                                                                                                                                                                                            |
| (22) 国際出願日   | 平成22年6月22日 (2010.6.22)       |          | 大阪府大阪市阿倍野区長池町22番22号                                                                                                                                                                                 |
| (31) 優先権主張番号 | 特願2009-242468 (P2009-242468) | (74) 代理人 | 110000338                                                                                                                                                                                           |
| (32) 優先日     | 平成21年10月21日 (2009.10.21)     |          | 特許業務法人原謙三国際特許事務所                                                                                                                                                                                    |
| (33) 優先権主張国  | 日本国 (JP)                     | (72) 発明者 | 奥村 寛                                                                                                                                                                                                |
|              |                              |          | 日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内                                                                                                                                                                    |
|              |                              | Fターム(参考) | 2H193 ZA04 ZA07 ZA33 ZB14 ZD23<br>ZD32 ZD34 ZF37 ZF60<br>5C006 AC25 AF46 AF52 BB14 BB16<br>BC02 BC03 BC22 BF25 BF28<br>BF43 FA19 FA22 FA37<br>5C080 AA10 BB05 DD05 EE29 FF11<br>JJ01 JJ02 JJ03 JJ05 |
|              |                              |          | 最終頁に続く                                                                                                                                                                                              |

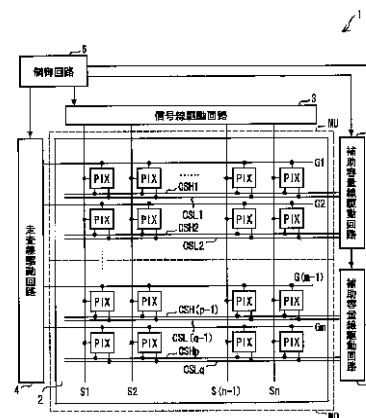
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

本発明の目的は、分割駆動型の液晶表示パネルにおいて、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することにある。

本発明の液晶表示装置(1)は、表示画面を分割した複数の表示領域(MU, MD)を形成し、複数の補助容量線(CSH1~CSHp, CSL1~CSLq)は、複数の表示領域(MU, MD)ごとの複数の補助容量線に分割され、複数の補助容量線(CSH1~CSHp, CSL1~CSLq)に印加される補助容量電圧は、複数の表示領域(MU, MD)ごとに個別に設定されている。

【図1】



3 Signal line drive circuit  
4 Scan line drive circuit  
6 Control circuit  
A, B Auxiliary capacitance line drive circuit

**【特許請求の範囲】****【請求項 1】**

画素に含まれる画素電極と容量を形成する補助容量線を備えるアクティブマトリックス型の液晶表示装置において、

表示画面を分割した複数の表示領域を形成し、

上記補助容量線は、上記表示領域ごとに、隣り合う複数の補助容量線に分割され、

上記補助容量線に印加される補助容量電圧は、上記表示領域ごとに個別に設定されていることを特徴とする液晶表示装置。

**【請求項 2】**

上記複数の表示領域は、上記補助容量線の延伸方向と垂直な方向に等分されていることを特徴とする請求項 1 に記載の液晶表示装置。

10

**【請求項 3】**

各表示領域に対応して複数の補助容量線駆動部が設けられ、

1 つの補助容量線駆動部から出力される補助容量電圧を基準として、他の補助容量線駆動部から出力される補助容量電圧を増減することを特徴とする請求項 1 または 2 に記載の液晶表示装置。

**【請求項 4】**

1 つの画素に対応して、2 本の補助容量線が配されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の液晶表示装置。

**【請求項 5】**

20

各信号線を駆動する信号線駆動部が 1 つ設けられ、

信号線の延伸方向を列方向とした場合に、列方向に設けられた複数の画素を含む画素列ごとに 1 本の信号線が配されていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の液晶表示装置。

**【請求項 6】**

各走査線を駆動する走査線駆動部が 1 つ設けられ、

走査線の延伸方向を行方向とした場合に、行方向に設けられた複数の画素を含む画素行ごとに 1 本の走査線が配されていることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の液晶表示装置。

**【請求項 7】**

30

補助容量線の終端は、互いに接続されていることを特徴とする請求項 6 に記載の液晶表示装置。

**【請求項 8】**

全ての補助容量線の終端は、開放されていることを特徴とする請求項 6 に記載の液晶表示装置。

**【請求項 9】**

信号線の延伸方向を列方向とした場合に、

上記表示画面は、列方向に第 1 及び第 2 の表示領域に分割され、

上記信号線は、上記第 1 の表示領域に配された第 1 の信号線と、上記第 2 の表示領域に配された第 2 の信号線とに分割され、

40

上記第 1 の表示領域に設けられた画素の画素電極に、上記第 1 の信号線を介して画像データを供給する第 1 の信号線駆動部と、

上記第 2 の表示領域に設けられた画素の画素電極に、上記第 2 の信号線を介して画像データを供給する第 2 の信号線駆動部とを備えることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の液晶表示装置。

**【請求項 10】**

走査線の延伸方向を行方向とした場合に、

上記走査線は、上記第 1 の表示領域に配された第 1 の走査線と、上記第 2 の表示領域に配された第 2 の走査線とに分割され、

上記第 1 の表示領域に設けられた画素を、上記第 1 の走査線を介して選択する第 1 の走

50

査線駆動部と、

上記第2の表示領域に設けられた画素を、上記第2の走査線を介して選択する第2の走査線駆動部とを備えることを特徴とする請求項9に記載の液晶表示装置。

【請求項11】

上記第1の表示領域に設けられた画素に対応する補助容量線は、互いに接続されているとともに、上記第2の表示領域に設けられた画素に対応する補助容量線は、互いに接続されていることを特徴とする請求項10に記載の液晶表示装置。

【請求項12】

全ての補助容量線の終端は、開放されていることを特徴とする請求項10に記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素内の補助容量に接続された補助容量線に電圧を印加する液晶表示装置に関する。

【背景技術】

【0002】

液晶TV用の液晶表示パネル等に代表される大型の液晶表示パネルにおいて、TF基板の線幅・膜厚等の製造バラツキが1枚の液晶表示パネルにおいて発生することがある。この結果、低階調のベタ画面の映像を表示した時に、TFの電気的特性や容量等のバラツキに起因する階調バラツキが液晶表示パネルの面内において分布を持って発生することがある。発生した階調バラツキは、図9に示されるような液晶表示パネルの面内における部分的な輝度差、即ち輝度ムラとして視認される。

20

【0003】

このような階調バラツキを低減する技術の一例が特許文献1に開示されている。特許文献1では、補助容量に印加する電圧を調整回路（電源回路9）によって調整することにより階調バラツキを低減する技術が開示されている。この点について図10を用いて説明する。

【0004】

図10は、特許文献1の図1の液晶表示装置である。図10の液晶表示装置では、外部から導通・非導通の状態を変更可能な2端子素子5を設け、電源回路9が2端子素子5の導通・非導通の状態に応じて画素電極および対向電極により液晶層に印加される電圧を制御する。2端子素子5の導通・非導通状態を外部から変更することにより、液晶層に印加される電圧を簡単に調整可能にする。2端子素子5の状態に応じて対向電極に印加する電圧 $V_{com}$ を調整した場合には、フリッカを低減でき、補助容量に印加する電圧 $V_{cs}$ を調整した場合には、階調バラツキを低減できる。

30

【0005】

ここで、特許文献1の技術を、一般的な構成を有する液晶表示装置に適用した場合について、図11を用いて説明する。

40

【0006】

図11は、従来の液晶表示装置101のブロック図である。液晶表示装置101は、液晶表示パネル102と、信号線 $S_1, S_2, \dots, S(n-1), S_n$ を駆動する信号線駆動回路103と、走査線 $G_1, G_2, \dots, G(m-1), G_m$ を駆動する走査線駆動回路104と、制御回路106と、画素PIX内の補助容量に接続されている、補助容量線 $CSH_1, CSH_2, \dots, CSH(p-1), CSH_p$ および補助容量線 $CSL_1, CSL_2, \dots, CSL(q-1), CSL_q$ を駆動する補助容量線駆動回路107とを備えている。信号線駆動回路103、走査線駆動回路104、および制御回路106は、表示ドライバを構成している。

【0007】

50

信号線  $S_1, S_2, \dots, S_{(n-1)}, S_n$  は、信号線の延伸方向を列方向とした場合に、列方向に設けられた複数の画素  $PIX$  を含む画素列ごとに 1 本の信号線が配されている。また、走査線  $G_1, G_2, \dots, G_{(m-1)}, G_m$  は、走査線の延伸方向を行方向とした場合に、行方向に設けられた複数の画素  $PIX$  を含む画素行ごとに 1 本の走査線が配されている。

【0008】

画素  $PIX$  は、図示しない TFT および 2 つの副画素を有している。TFT のゲートは、走査線  $G_1, G_2, \dots, G_{(m-1)}, G_m$  に接続され、TFT のソースは、信号線  $S_1, S_2, \dots, S_{(n-1)}, S_n$  に接続されている。また、TFT のドレインに 1 つの副画素が接続され、当該 1 つの副画素と他の副画素とは結合容量を介して接続されている。補助容量線  $CSH_1, CSH_2, \dots, CSH_{(p-1)}, CSH_p$  は、上記 1 つの副画素に対応しており、補助容量線  $CSL_1, CSL_2, \dots, CSL_{(q-1)}, CSL_q$  は、上記他の副画素に対応している。なお、図 11 では、各画素  $PIX$  に 2 つの副画素が設けられているが、副画素は 1 つあるいは 3 つ以上であってもよく、また、副画素に対応する補助容量線も 1 本あるいは 3 本以上であってもよい。

10

【0009】

上記構成の液晶表示装置 101 によれば、補助容量線駆動回路 107 が、補助容量線  $CSH_1, CSH_2, \dots, CSH_{(p-1)}, CSH_p$  に印加する電圧、および補助容量線  $CSL_1, CSL_2, \dots, CSL_{(q-1)}, CSL_q$  に印加する電圧を調整することにより、階調バラツキを低減することができる。

20

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】日本国公開特許公報「特開 2006 - 235593 号公報（2006 年 9 月 7 日公開）」

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、特許文献 1 に示される従来技術は、液晶表示パネル面内を複数の領域に分割して領域ごとに駆動する分割駆動型の液晶表示装置に適用することは困難である。この理由について以下に説明する。図 12 に示されるように、分割駆動パネルでは、分割された領域に応じて、パネル特性（TFT の電気的特性や容量等）が液晶表示パネルの面内でバラツキを持つので、液晶表示パネルの面内における部分的な輝度差である輝度ムラが視認される。このような輝度ムラが視認されている状態で、特許文献 1 に示されるように補助容量に印加する単一の電圧  $V_{cs}$  を調整しても、液晶表示パネル全体において階調がシフトするだけである。従って、特許文献 1 の技術では、分割駆動型の液晶表示装置において、液晶表示パネルの面内において生じている階調バラツキの低減効果を十分得られず、輝度ムラの視認を防ぐことは出来ない。

30

【0012】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、分割駆動型の液晶表示パネルにおいても、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することができる液晶表示装置を提供することにある。

40

【課題を解決するための手段】

【0013】

本発明の液晶表示装置は、上記課題を解決するために、画素に含まれる画素電極と容量を形成する補助容量線を備えるアクティブマトリックス型の液晶表示装置において、表示画面を分割した複数の表示領域を形成し、上記補助容量線は、上記表示領域ごとに、隣り合う複数の補助容量線に分割され、上記補助容量線に印加される補助容量電圧は、上記表示領域ごとに個別に設定されていることを特徴としている。

【0014】

50

上記発明によれば、上記補助容量線に印加される補助容量電圧は、上記表示領域ごとに個別に設定されている。即ち、補助容量線に印加する補助容量電圧を、表示領域ごとに増減（微調整）することができる。

【 0 0 1 5 】

よって、表示領域ごとに補助容量の値を異ならせることができるため、液晶容量に印加される実効電圧を揃え、液晶容量に充電される電荷量のバラツキを解消できる。

【 0 0 1 6 】

従って、低階調側の中間調ベタ画面表示を行った時などに階調のバラツキが生じず、当該階調のバラツキにより輝度ムラが視認されないので、分割駆動型の液晶表示パネルにおいても、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することができる液晶表示装置を提供することができる。

10

【 0 0 1 7 】

なお、上記表示領域は、全ての画素電極に供給される信号電位が同電位である場合に表示パネルに表示される階調のバラツキに応じて分割される。

【発明の効果】

【 0 0 1 8 】

本発明の液晶表示装置は、以上のように、表示画面を分割した複数の表示領域を形成し、補助容量線は、表示領域ごとに、隣り合う複数の補助容量線に分割され、上記補助容量線に印加される補助容量電圧は、上記表示領域ごとに個別に設定されているものである。

【 0 0 1 9 】

それゆえ、分割駆動型の液晶表示パネルにおいても、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することができる液晶表示装置を提供するという効果を奏する。

20

【図面の簡単な説明】

【 0 0 2 0 】

【図 1】本発明の実施例に係る液晶表示装置のブロック図である。

【図 2】本発明の実施例に係る補助容量線駆動回路のブロック図である。

【図 3】上 C S H 電圧および下 C S H 電圧の測定結果を示すグラフである。

【図 4】本発明の実施例に係る液晶表示装置において輝度ムラが解消されていることの説明図であり、（ a ）は従来の液晶表示装置において輝度ムラが生じていることを示す図であり、（ b ）は本発明の実施例に係る液晶表示装置において輝度ムラが解消されていることを示す図である。

30

【図 5】本発明の他の実施例に係る液晶表示装置のブロック図である。

【図 6】本発明の他の実施例に係る液晶表示装置において輝度ムラが解消されていることの説明図であり、（ a ）は液晶表示パネル面内を上下 2 つの領域に分割して領域ごとに駆動する従来の分割駆動パネルにおいて、輝度ムラが生じていることを示す図であり、（ b ）は本発明の他の実施例に係る液晶表示装置において輝度ムラが解消されていることを示す図である。

【図 7】液晶表示パネル面内において、階調バラツキによる輝度ムラが生じていることの説明図であり、（ a ）～（ e ）は、液晶表示パネル面内において、階調バラツキによる輝度ムラが生じていることを示す図である。

40

【図 8】本発明の実施例に係るさらに別の液晶表示装置のブロック図である。

【図 9】液晶表示パネル面内において、階調バラツキによる輝度ムラが生じていることを示す図である。

【図 10】従来の液晶表示装置のブロック図である。

【図 11】従来の他の液晶表示装置のブロック図である。

【図 12】液晶表示パネル面内を上下 2 つの領域に分割して領域ごとに駆動する従来の分割駆動パネルにおいて、階調バラツキによる輝度ムラが生じていることを示す図である。

【発明を実施するための形態】

【 0 0 2 1 】

50

本発明の一実施形態について実施例 1、実施例 2 および図 1 ~ 図 6 に基づいて説明すると以下の通りである。まずは本発明の一実施例について図 1 ~ 図 4 に基づいて説明する。

【0022】

〔実施例 1〕

図 1 は、本実施例 1 に係る液晶表示装置 1 のブロック図である。液晶表示装置 1 は、液晶表示パネル 2 と、信号線（ソース線、各信号線） $S_1, S_2, \dots, S_{(n-1)}, S_n$  を駆動する信号線駆動回路 3（信号線駆動部）と、走査線（ゲート線、走査線、第 1 の走査線、第 2 の走査線、各走査線） $G_1, G_2, \dots, G_{(m-1)}, G_m$  を駆動する走査線駆動回路 4（走査線駆動部）と、制御回路 6 と、画素  $P_{IX}$  内の補助容量に接続されている、補助容量線  $C_{SH1}, C_{SH2}, \dots, C_{SH(p-1)}, C_{SHp}$  および補助容量線  $C_{SL1}, C_{SL2}, \dots, C_{SL(q-1)}, C_{SLq}$  を駆動する補助容量線駆動回路（補助容量線駆動部） $A, B$  とを備えている。信号線駆動回路 3、走査線駆動回路 4、および制御回路 6 は、表示ドライバを構成している。

10

【0023】

信号線  $S_1, S_2, \dots, S_{(n-1)}, S_n$  は、信号線の延伸方向を列方向とした場合に、列方向に設けられた複数の画素  $P_{IX}$  を含む画素列ごとに 1 本の信号線が配されている。また、走査線  $G_1, G_2, \dots, G_{(m-1)}, G_m$  は、走査線の延伸方向を行方向とした場合に、行方向に設けられた複数の画素  $P_{IX}$  を含む画素行ごとに 1 本の走査線が配されている。

【0024】

20

画素  $P_{IX}$  に含まれる画素電極と容量を形成する補助容量線を備えるアクティブマトリックス型の液晶表示パネルである液晶表示パネル 2 は、画素（液晶セル） $P_{IX}$  がマトリクス状に配置されており、上画面  $M_U$ （表示領域、第 1 の表示領域）と下画面  $M_D$ （表示領域、第 2 の表示領域）とに分けられている。

【0025】

画素  $P_{IX}$  は、図示しない  $TFT$  および 2 つの副画素を有している。 $TFT$  のゲートは、上画面  $M_U$  または下画面  $M_D$  を通るように延伸する走査線（ゲート線） $G_1, G_2, \dots, G_{(m-1)}, G_m$  に接続され、 $TFT$  のソースは、上画面  $M_U$  および下画面  $M_D$  を通るように延伸する信号線（ソース線） $S_1, S_2, \dots, S_{(n-1)}, S_n$  に接続されている。また、 $TFT$  のドレインに 1 つの副画素が接続され、当該 1 つの副画素と他の副画素とは結合容量を介して接続されている。補助容量線  $C_{SH1}, C_{SH2}, \dots, C_{SH(p-1)}, C_{SHp}$  は、上記 1 つの副画素に対応しており、補助容量線  $C_{SL1}, C_{SL2}, \dots, C_{SL(q-1)}, C_{SLq}$  は、上記他の副画素に対応している。よって、画素  $P_{IX}$  が 2 つの副画素を有している液晶表示パネル 2 において輝度ムラを解消できる。補助容量線  $C_{SH1}, C_{SH2}, \dots, C_{SH(p-1)}, C_{SHp}$  および補助容量線  $C_{SL1}, C_{SL2}, \dots, C_{SL(q-1)}, C_{SLq}$  は、上画面  $M_U$  または下画面  $M_D$  を通るように延伸する。

30

【0026】

なお、図 1 の液晶表示装置 1 では、2 つの副画素を有している画素  $P_{IX}$  に、2 本の補助容量線が配されている。しかし、液晶表示装置 1 は、1 つあるいは 3 つ以上の副画素を有している画素  $P_{IX}$  に、1 本あるいは 3 本以上の補助容量線が接続されていてもよい。

40

【0027】

信号線駆動回路 3 は、画像データを供給すべき画素  $P_{IX}$  に、信号線  $S_1, S_2, \dots, S_{(n-1)}, S_n$  を通じて画像データを供給する回路である。走査線駆動回路 4 は、画像データを供給すべき画素  $P_{IX}$  を、走査線  $G_1, G_2, \dots, G_{(m-1)}, G_m$  を通じて選択する。制御回路 6 は、信号線駆動回路 3 および走査線駆動回路 4 に供給する各種信号を生成する。

【0028】

液晶表示パネル 2 の内部の配線は、途中で分割されていない。具体的には、 $n$  番目の信号線  $S_n$  は、途中で分割されずに信号線駆動回路 3 から最も遠い画素  $P_{IXn}$  まで画像デ

50

ータを供給できる。同様に、 $m$  番目の走査線  $G_m$  は、途中で分割されずに走査線駆動回路 4 から最も遠い画素  $P_{I \times n}$  まで選択できる。液晶表示パネル 2 を分割駆動していない液晶表示パネルと称する。

#### 【0029】

液晶表示装置 1 では、複数の補助容量線駆動回路を備えている。液晶表示装置 1 では 2 つの補助容量線駆動回路 A, B を備えているが、3 つ以上の補助容量線駆動回路を備えていてもよい。

#### 【0030】

液晶表示装置 1 では、補助容量線  $C_{SH1}$ ,  $C_{SH2}$ , ...  $C_{SH(p-1)}$ ,  $C_{SHp}$  の終端は、開放されている。同様に、補助容量線  $C_{SL1}$ ,  $C_{SL2}$ , ...  $C_{SL(q-1)}$ ,  $C_{SLq}$  の終端は、開放されている。全ての補助容量線の終端を開放すると、補助容量電圧を設定する前は階調バラツキの境界が顕著に現れる。よって、補助容量電圧を設定すべき補助容量線の特定制が容易となるとともに、補助容量電圧を増減することによる調整の効果が高まる。

#### 【0031】

これに対して、図 8 の液晶表示装置 1' に示すように、補助容量線  $C_{SH1}$ ,  $C_{SH2}$ , ...  $C_{SH(p-1)}$ ,  $C_{SHp}$  の終端は、液晶表示パネル 2 の内部で互いに接続されていてもよい。同様に、液晶表示装置 1' に示すように、補助容量線  $C_{SL1}$ ,  $C_{SL2}$ , ...  $C_{SL(q-1)}$ ,  $C_{SLq}$  の終端は、液晶表示パネル 2 の内部で互いに接続されていてもよい。

#### 【0032】

補助容量線駆動回路 A, B は、一方の出力電圧を基準として他方の出力電圧を微調整（増減）できる構成とする。図 1 の液晶表示装置 1 では、補助容量線駆動回路 A（1 つの補助容量線駆動部）の出力電圧を基準として補助容量線駆動回路 B（他の補助容量線駆動部）の出力電圧を微調整出来る。同様に、図 1 の液晶表示装置 1 では、補助容量線駆動回路 B の出力電圧を基準として補助容量線駆動回路 A の出力電圧を微調整出来る。

#### 【0033】

補助容量線駆動回路 A, B における出力電圧の調整については、後述する図 2 において具体的に説明するが、この説明に先立ち、補助容量線駆動回路 A, B において出力電圧を調整する理由についてまず説明する。

#### 【0034】

液晶表示装置 1 が、例えば 37 / 46 / 52 / 65 型の液晶 TV であり、液晶表示パネル 2 の面積が大きい場合、液晶表示パネル 2 内部の配線により生じる容量、液晶表示パネル 2 内部の配線抵抗等が、液晶表示パネル 2 内部で一様ではなく分布を有する。このことから、低階調側の中間調ベタ画面表示を行った時などに階調のバラツキが輝度ムラとして視認されることがある。

#### 【0035】

上記輝度ムラの原因は、液晶容量に充電される電荷量にバラツキが生じているためと考えられることから、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃え、上述した電荷量のバラツキを解消する。

#### 【0036】

補助容量線に印加する電圧を微調整するために、図 1 に示すように補助容量線駆動回路を複数設け、補助容量線駆動回路の各々が異なる値の電圧値を対応する補助容量線へ出力出来るようにする。補助容量線に印加する電圧の調整値は微小であることから、2 つの補助容量線に印加する電圧の一方を基準として他方を相対的に微調整する回路構成とすれば、調整が容易となる。

#### 【0037】

液晶表示パネル 2 の内部配線は、数 10 ~ 数 k  $\Omega$  程度の抵抗値を有しているが、液晶表示パネル 2 内の補助容量線の終端は、互いに接続されてもよい。この構成によれば、各補助容量線の配線抵抗を均一化することができるため、上画面 MU と下画面 MD との境界近

10

20

30

40

50

くの階調バラツキをより低減することができる。

【 0 0 3 8 】

ここで、1つの画素 P I X に対応して補助容量線が1本配される構成では、全ての補助容量線が互いに接続され、1つの画素 P I X に対応して補助容量線が2本配される構成では、H i g h 側電位が供給される補助容量線同士が互いに接続されるとともに、L o w 側電位が供給される補助容量線同士が互いに接続される。

【 0 0 3 9 】

液晶表示パネル2内の補助容量線の終端を、互いに接続すると、例えば補助容量線駆動回路Bから出力された電位が、上画面 M U の補助容量線にも供給されるので、上画面 M U の各画素の補助容量および画素電位が部分的に変動する。

10

【 0 0 4 0 】

しかし、液晶表示パネル2の内部配線は、数10～数kΩ程度の抵抗値を有しており、画素 P I X 毎に上記内部配線の抵抗値が異なる。よって、液晶表示パネル2内の補助容量線の終端を互いに接続しても、補助容量線が同電位にはならない。

【 0 0 4 1 】

また、上述したように、液晶表示パネル2の内部配線は、数10～数kΩ程度の抵抗値を有している。よって、各画素 P I X の電位は、液晶表示パネル2の面内で勾配を持つ。補助容量線に直流電圧を印加した場合は、各画素 P I X の電位は、上記勾配を持った状態で平衡がとれて安定した状態となる。補助容量線に矩形波を印加した場合についても同様であり、安定した状態における各画素 P I X の電位は、上記勾配を持った状態となる。

20

【 0 0 4 2 】

図2は、本実施例1に係る補助容量線駆動回路A，Bのブロック図である。図2の補助容量線駆動回路A，Bは、一例として $n = 24$ とした上で、液晶表示パネル2の表示画面を等分して上下2つの画面 M U ， M D を形成した時の回路である。この場合、上下2つの画面 M U ， M D は、補助容量線の延伸方向と垂直な方向に等分されていてもよい。

【 0 0 4 3 】

これにより、連続する上下2つの画面 M U ， M D の境界が、補助容量線の延伸方向と平行に均等に配置される。

【 0 0 4 4 】

ここで、液晶表示パネル2の表示画面は、補助容量線の延伸方向と垂直な方向に等分されていれば、何等分されてもよい。例えば、液晶表示パネル2の表示画面を、補助容量線の延伸方向と垂直な方向に5等分する場合は、補助容量線駆動回路を5つ備えればよい。

30

【 0 0 4 5 】

図2では、上画面 M U に対応する補助容量線 C S H 1 ～ C S H 12 から出力される電圧 V C S H 1 ～ V C S H 12 (補助容量電圧)を、上 C S H 電圧と称する。また、下画面 M D に対応する補助容量線 C S H 13 ～ C S H 24 から出力される電圧 V C S H 13 ～ V C S H 24 (補助容量電圧)を、下 C S H 電圧と称する。さらに、上画面 M U に対応する補助容量線 C S L 1 ～ C S L 12 から出力される電圧 V C S L 1 ～ V C S L 12 (補助容量電圧)を、上 C S L 電圧と称する。そして、下画面 M D に対応する補助容量線 C S L 13 ～ C S L 24 から出力される電圧 V C S L 13 ～ V C S L 24 (補助容量電圧)を、下 C S L 電圧と称する。上 C S H 電圧の値と下 C S H 電圧の値とは異なるとともに、上 C S L 電圧の値と下 C S L 電圧の値とは異なる。

40

【 0 0 4 6 】

図2の補助容量線駆動回路A，Bにおいて、上 C S H 電圧、上 C S L 電圧および下 C S L 電圧を固定して下 C S H 電圧を調整する動作について説明する。差動増幅回路 A C S H は、制御回路6から出力される電圧が非反転入力端子に入力され、上 C S H 電圧を出力する。差動増幅回路 A C S H の出力は、差動増幅回路 A C S H の反転入力端子に接続されている。同様に、差動増幅回路 A C S L は、制御回路6から出力される電圧が非反転入力端子に入力され、上 C S L 電圧を出力する。差動増幅回路 A C S L の出力は、差動増幅回路 A C S L の反転入力端子に接続されている。これにより、固定された上 C S H 電圧および

50

固定された上 C S L 電圧が各補助容量線に出力される。

【 0 0 4 7 】

また、差動増幅回路 A C S L ' は、上 C S L 電圧が非反転入力端子に入力され、下 C S L 電圧を出力する。差動増幅回路 A C S L ' の出力は、差動増幅回路 A C S L ' の反転入力端子に接続されている。これにより、固定された下 C S L 電圧が各補助容量線に出力される。

【 0 0 4 8 】

次に、下 C S H 電圧調整回路 7 について説明する。下 C S H 電圧調整回路 7 は、抵抗 R 1 , R 3 , R 4、抵抗値調整部 R 2、差動増幅回路 8、基準電圧回路 1 0、温度補正回路 1 1 および加算回路 1 2 を備えている。抵抗値調整部 R 2 の両端の抵抗値は R - D C P である。また、基準電圧回路 1 0 は、抵抗 R 5 および抵抗 R 6 を有している。さらに、加算回路 1 2 は差動増幅回路 A d i f f からなる。

10

【 0 0 4 9 】

抵抗値調整部 R 2 は、抵抗値を調整することで電圧が調整できるものであればよい。例えば、半固定抵抗、可変抵抗、またはデジタルポテンショメータを用いることが出来る。なお、デジタルポテンショメータは、デジタル I C である必要はない。

【 0 0 5 0 】

下 C S H 電圧調整回路 7 において、抵抗 R 1 の一端は電源電圧 V L S が印加される。電源電圧 V L S は、例えば 1 5 . 6 V である。抵抗 R 1 の他端、抵抗 R 3 の一端および抵抗値調整部 R 2 の一端は、ノードバー R H に接続されている。抵抗 R 3 の他端、抵抗値調整部 R 2 の他端、抵抗 R 4 の一端、差動増幅回路 8 の反転入力端子は、ノードバー R L に接続されている。差動増幅回路 8 の出力は、帰還抵抗 R f を介してノードバー R L に接続されている。抵抗 R 4 の他端は、電氣的に接地されている。差動増幅回路 8 の非反転入力端子は、抵抗値調整部 R 2 の制御入力 ( ノードバー R W ) に接続されている。なお、差動増幅回路 8 において、信号源抵抗 R s は例えば 3 0 k  $\Omega$  とし、帰還抵抗 R f は例えば 3 k  $\Omega$  とする。

20

【 0 0 5 1 】

また、下 C S H 電圧調整回路 7 において、抵抗 R 5 の一端は上 C S H 電圧が印加される。抵抗 R 5 の他端は、抵抗 R 6 の一端、差動増幅回路 8 の出力および差動増幅回路 A d i f f の非反転入力端子に接続されている。抵抗 R 6 の他端は温度補正回路 1 1 の一端に接続されており、温度補正回路 1 1 の他端は電氣的に接地されている。温度補正回路 1 1 は例えば 0  $\Omega$  の抵抗である。

30

【 0 0 5 2 】

さらに、差動増幅回路 A d i f f の出力は、帰還抵抗 R f ' を介して差動増幅回路 A d i f f の反転入力端子に接続されており、差動増幅回路 A d i f f の反転入力端子は電氣的に接地されている。

【 0 0 5 3 】

なお、加算回路 1 2 において、入力抵抗 R i および帰還抵抗 R f ' は、例えば 1 0 k  $\Omega$  とする。

【 0 0 5 4 】

上述した構成を有する下 C S H 電圧調整回路 7 では、加算回路 1 2 は、上 C S H 電圧を抵抗 R 5 と抵抗 R 6 とで分圧した基準電圧 V r e f と、差動増幅回路 8 から出力される微小電圧 V m とを加算することにより、下 C S H 電圧を生成する。上 C S H 電圧を元にして基準電圧 V r e f を生成することにより、微小電圧 V m による調整を可能としている。

40

【 0 0 5 5 】

なお、上記記載に関して、図 2 において加算回路 1 2 を用いているが、補助容量線駆動回路 A , B は、一方の出力電圧を基準として他方の出力電圧を微調整 ( 増減 ) できるので、加算回路 1 2 の代わりに減算回路を用いてもよい。

【 0 0 5 6 】

なお、微小電圧 V m は、基準電圧 V r e f を 1 0 0 % としたときに  $\pm 0 . 0 2 5 %$  程度

50

が望ましい。一例として基準電圧  $V_{ref}$  が 8 V 程度であれば、微小電圧  $V_m$  は 2 mV 程度が望ましい。この理由は、液晶表示パネル 2 の面内における階調のバラツキが微小であるためである。

【0057】

図 3 は、上 CSH 電圧および下 CSH 電圧の測定結果を示すグラフである。当該グラフの縦軸は電圧を示し、単位はボルトである。また、上記グラフの横軸は、抵抗値調整部 R2 が 128 ステップのデジタルポテンショメータ（デバイス）である場合の、デジタルポテンショメータのステップ数を示す。図 3 のグラフは、上 CSH 電圧および下 CSH 電圧を 10 ステップ毎に測定した結果を示しており、下 CSH 電圧を 128 ステップの分解能で（範囲内で）増減させている。

10

【0058】

図 3 のグラフにおいて（1）で示される箇所では、上 CSH 電圧の値および下 CSH 電圧の値が等しい。図 3 のグラフにおいて（2）で示される箇所の電圧は、液晶表示装置 1 において低階調側の中間調ベタ画面表示を行った時に輝度ムラが生じなくなる電圧を示している。補助容量線駆動回路 A、B による調整後の、上 CSH 電圧の値と下 CSH 電圧の値との差は、数 mV ～ 数十 mV 程度である。

【0059】

図 2 で例示した補助容量線駆動回路 A、B は、下 CSH 電圧のみを調整電圧としているが、本発明はこれに限定されない。下 CSH 電圧を固定し、下 CSL 電圧を調整しても良い。この場合、差動増幅回路 ACSL' は、上 CSH 電圧が非反転入力端子に入力され、下 CSH 電圧を出力する。

20

【0060】

また、下 CSH 電圧調整回路 7 の基準電圧回路 10 に、上 CSH 電圧を入力する代わりに上 CSL 電圧を入力することにより、下 CSH 電圧調整回路 7 を下 CSL 電圧調整回路として用いればよい。

【0061】

さらに、差動増幅回路 ACSL' に代わりに、下 CSL 電圧調整回路として下 CSH 電圧調整回路 7 をさらに 1 つ設け、上 CSH 電圧と上 CSL 電圧との両方を調整してもよい。

【0062】

30

さらに、下 CSH 電圧および下 CSL 電圧を固定し、上 CSH 電圧、上 CSL 電圧または上 CSH 電圧と上 CSL 電圧との両方を調整してもよい。この場合、差動増幅回路 ACSH から下 CSH 電圧を出力し、差動増幅回路 ACSL から下 CSH 電圧を出力するとともに、下 CSH 電圧調整回路 7 の基準電圧回路 10 に、上 CSH 電圧を入力する代わりに下 CSH 電圧や下 CSL 電圧を入力することにより、下 CSH 電圧調整回路 7 を上 CSH 電圧調整回路または上 CSL 電圧調整回路として用いればよい。

【0063】

さらに、図 2 の例では、表示画面を上下 2 つの画面 MU、MD に分割しているが、3 つ以上に分割することでさらに高精度の調整も可能である。そして、表示画面を左右に分割したり、格子状に分割したりすることも可能である。

40

【0064】

図 4 は、本実施例 1 の液晶表示装置 1 において輝度ムラが解消されていることの説明図である。図 4 の（a）は、従来の液晶表示装置において輝度ムラが生じていることを示す図であり、図 4 の（b）は、本実施例 1 の液晶表示装置 1 において輝度ムラが解消されていることを示す図である。液晶表示装置 1 では、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃えることにより、輝度ムラを解消して表示特性を改善している。

【0065】

なお、本実施例 1 では、画素 PIX が 2 つの副画素を有し、各副画素に対して 1 本、計 2 本の補助容量線を用いているが、本発明はこれに限定されず、画素 PIX が副画素を有

50

さず、画素 P I X に対して 1 本の補助容量線を用いてもよい。この場合、図 2 の上画面 M U においては、制御回路 6 に接続される差動増幅回路が補助容量線 1 本に対して 1 つであり、下画面 M D においては、下 C S H 電圧調整回路 7 のみを用いればよい。

#### 【 0 0 6 6 】

以上のように、本実施例 1 の液晶表示装置 1 は、画素 P I X に含まれる画素電極と容量を形成する補助容量線 C S H 1 , C S H 2 , ... C S H ( p - 1 ) , C S H p および C S L 1 , C S L 2 , ... C S L ( q - 1 ) , C S L q を備えるアクティブマトリックス型の液晶表示装置において、表示画面を分割した画面 M U , M D を形成し、補助容量線 C S H 1 , C S H 2 , ... C S H ( p - 1 ) , C S H p および C S L 1 , C S L 2 , ... C S L ( q - 1 ) , C S L q は、上画面 M U または下画面 M D ごとに、隣り合う複数の補助容量線に分割され、補助容量線 C S H 1 , C S H 2 , ... C S H ( p - 1 ) , C S H p および C S L 1 , C S L 2 , ... C S L ( q - 1 ) , C S L q に印加される補助容量電圧は、上画面 M U または下画面 M D ごとに個別に設定されている。

10

#### 【 0 0 6 7 】

また、本実施例 1 の液晶表示装置 1 は、上画面 M U または下画面 M D ( 各表示領域 ) に対応して補助容量線駆動回路 A , B が設けられ、1 つの補助容量線駆動回路 ( 例えば補助容量線駆動回路 A ) から出力される補助容量電圧を基準として、他の補助容量線駆動回路 ( 例えば補助容量線駆動回路 B ) から出力される補助容量電圧を増減する。

#### 【 0 0 6 8 】

これらの構成により、液晶表示装置 1 において輝度ムラを解消することができる。

20

#### 【 0 0 6 9 】

なお、液晶表示装置 1 では、上画面 M U および下画面 M D は、全ての画素電極に供給される信号電位が同電位である場合に液晶表示パネル 2 に表示される階調のバラツキに応じて分割される。

#### 【 0 0 7 0 】

##### 〔 実施例 2 〕

本発明の他の実施例について図 5 および図 6 に基づいて説明すれば、以下の通りである。なお、本実施例 2 において説明すること以外の構成は、前記実施例 1 と同じである。また、説明の便宜上、前記実施例 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

30

#### 【 0 0 7 1 】

図 5 は、本実施例 2 に係る液晶表示装置 2 1 のブロック図である。液晶表示装置 2 1 と実施例 1 の液晶表示装置 1 との間の第 1 の相違点は、信号線駆動回路および走査線駆動回路である。液晶表示装置 1 の、信号線駆動回路 3 および走査線駆動回路 4 は、上画面 M U および下画面 M D で共通である。これに対し、液晶表示装置 2 1 では、上画面 M U に対して信号線駆動回路 3 A ( 第 1 の信号線駆動部 ) および走査線駆動回路 4 A ( 第 1 の走査線駆動部 ) を設け、下画面 M D に対して信号線駆動回路 3 B ( 第 2 の信号線駆動部 ) および走査線駆動回路 4 B ( 第 2 の走査線駆動部 ) を設けている。信号線駆動回路 3 A および信号線駆動回路 3 B は、液晶表示装置 2 1 の液晶表示パネル 2 ' の両側に設けられる。信号線駆動回路 3 A および走査線駆動回路 4 A 、ならびに信号線駆動回路 3 B および走査線駆動回路 4 B は、制御回路 6 から各種信号を供給される。液晶表示パネル 2 ' を、分割駆動している液晶表示パネルと称する。

40

#### 【 0 0 7 2 】

液晶表示装置 2 1 と実施例 1 の液晶表示装置 1 との間の第 2 の相違点は、信号線 ( ソース線 ) である。液晶表示装置 1 の、信号線 ( ソース線 ) S 1 , S 2 , ... S ( n - 1 ) , S n は、上画面 M U および下画面 M D で共通である。これに対し、液晶表示装置 2 1 では、信号線 ( ソース線 ) S 1 , S 2 , ... S ( n - 1 ) , S n を分割することにより、上画面 M U に対して信号線 ( ソース線、第 1 の信号線 ) S A 1 , S A 2 , ... S A ( n - 1 ) , S A n を設け、下画面 M D に対して信号線 ( ソース線、第 2 の信号線 ) S B 1 , S B 2 , ... S B ( n - 1 ) , S B n を設けている。信号線 S A 1 , S A 2 , ... S A ( n - 1 ) , S A n

50

は信号線駆動回路 3 A により駆動され、信号線  $S B 1$  ,  $S B 2$  , ...  $S B ( n - 1 )$  ,  $S B n$  は信号線駆動回路 3 B により駆動される。

【 0 0 7 3 】

液晶表示装置 2 1 では、第 1 の相違点および第 2 の相違点に記載の構成を備えているので、上画面 M U または下画面 M D ごとに分割して駆動する液晶表示パネル 2 ' においても輝度ムラを解消することができる。

【 0 0 7 4 】

なお、液晶表示装置 2 1 では、実施例 1 の液晶表示装置 1 と同様、補助容量線  $C S H 1$  ,  $C S H 2$  , ...  $C S H ( p - 1 )$  ,  $C S H p$  の終端は開放され、補助容量線  $C S L 1$  ,  $C S L 2$  , ...  $C S L ( q - 1 )$  ,  $C S L q$  の終端は開放されている。全ての補助容量線の終端を開放すると、補助容量電圧を設定する前は階調バラツキの境界が顕著に現れる。よって、補助容量電圧を設定すべき補助容量線の特定が容易となるとともに、補助容量電圧を増減することによる調整の効果が高まる。

【 0 0 7 5 】

上記構成を有する液晶表示装置 2 1 において、液晶表示パネル 2 ' は、実施例 1 の液晶表示パネル 2 と異なり分割駆動しているので、以下では分割駆動する液晶表示パネル 2 ' において、補助容量線駆動回路 A , B により出力電圧を調整する理由について説明する。

【 0 0 7 6 】

液晶表示パネル 2 ' が分割駆動している場合、液晶表示パネル 2 ' 内部の配線により生じる容量、液晶表示パネル 2 ' 内部の配線抵抗等が、液晶表示パネル 2 ' 内部で一様ではなく分布を有する。このことから、低階調側の中間調ベタ画面表示を行った時などに階調のバラツキが輝度ムラとして視認されることがある。

【 0 0 7 7 】

上記輝度ムラの原因は、液晶容量に充電される電荷量にバラツキが生じているためと考えられることから、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃え、上述した電荷量のバラツキを解消する。

【 0 0 7 8 】

補助容量線に印加する電圧を微調整するために、図 5 に示すように補助容量線駆動回路を複数設け、補助容量線駆動回路の各々が異なる値の電圧値を対応する補助容量線へ出力出来るようにする。補助容量線に印加する電圧の調整値は微小であることから、2 つの補助容量線に印加する電圧の一方を基準として他方を相対的に微調整する回路構成とすれば、調整が容易となる。

【 0 0 7 9 】

本実施例 2 の液晶表示装置 2 1 における補助容量線駆動回路 A , B の駆動は、実施例 1 の液晶表示装置 1 における補助容量線駆動回路 A , B の駆動と同じであるので、ここでの説明は省略する。

【 0 0 8 0 】

図 6 は、本実施例 2 の液晶表示装置 2 1 において輝度ムラが解消されていることの説明図である。図 6 の ( a ) は、液晶表示パネル面内を上下 2 つの領域に分割して領域ごとに駆動する従来の分割駆動パネルにおいて、輝度ムラが生じていることを示す図であり、図 6 の ( b ) は、本実施例 2 の液晶表示装置 2 1 において輝度ムラが解消されていることを示す図である。液晶表示装置 2 1 では、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃えることにより、輝度ムラを解消して表示特性を改善している。

【 0 0 8 1 】

図 7 の ( a ) ~ ( e ) は、液晶表示パネル面内において、階調バラツキによる輝度ムラが生じていることを示す図である。

【 0 0 8 2 】

図 7 の ( a ) , ( d ) , ( e ) に示す輝度ムラを解消する場合は、画面を上下に 2 分割または 3 分割すればよい。図 7 の ( c ) に示す輝度ムラを解消する場合は、画面を上下で

10

20

30

40

50

はなく左右に 2 分割すればよい。また、図 7 の ( b ) に示す輝度ムラを解消する場合は、画面を左右に 3 分割し、左の画面と右の画面とを上下に 2 分割すればよい。

【 0 0 8 3 】

このように、様々な輝度ムラが生じて、画面を適切に分割し、分割した画面毎に補助容量線駆動回路を設ければよい。これにより、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃えることができ、輝度ムラを解消できる。

【 0 0 8 4 】

以上のように、本実施例 2 の液晶表示装置 2 1 は、信号線  $S_1, S_2, \dots, S_{(n-1)}, S_n$  の延伸方向を列方向とした場合に、上記表示画面は、列方向に上画面 M U および下画面 M D に分割され、信号線  $S_1, S_2, \dots, S_{(n-1)}, S_n$  は、上画面 M U に配された信号線  $S_{A1}, S_{A2}, \dots, S_{A(n-1)}, S_{An}$  と、下画面 M D に配された信号線  $S_{B1}, S_{B2}, \dots, S_{B(n-1)}, S_{Bn}$  とに分割され、上画面 M U に設けられた画素の画素電極に、信号線  $S_{A1}, S_{A2}, \dots, S_{A(n-1)}, S_{An}$  を介して画像データを供給する信号線駆動回路 3 A と、下画面 M D に設けられた画素の画素電極に、信号線  $S_{B1}, S_{B2}, \dots, S_{B(n-1)}, S_{Bn}$  を介して画像データを供給する信号線駆動回路 3 B とを備えている。

【 0 0 8 5 】

また、本実施例 2 の液晶表示装置 2 1 は、走査線  $G_1, G_2, \dots, G_{(m-1)}, G_m$  の延伸方向を行方向とした場合に、走査線  $G_1, G_2, \dots, G_{(m-1)}, G_m$  は、上画面 M U に配された第 1 の走査線と、下画面 M D に配された第 2 の走査線とに分割され、上画面 M U に設けられた画素を、上記第 1 の走査線を介して選択する走査線駆動回路 4 A と、下画面 M D に設けられた画素を、上記第 2 の走査線を介して選択する走査線駆動回路 4 B とを備えている。

【 0 0 8 6 】

これらの構成により、上画面 M U または下画面 M D ごとに分割して駆動する液晶表示装置 2 1 においても輝度ムラを解消することができる。

【 0 0 8 7 】

なお、実施例 1 の液晶表示パネル 2 と同様に、液晶表示パネル 2 ' 内の補助容量線の終端は、互いに接続されてもよい。すなわち、上画面 M U に対応する補助容量線  $C_{SH1}, C_{SH2}, \dots, C_{SH\alpha}$  (第 1 の領域を通るように延伸する補助容量線) の終端が接続されているとともに、上画面 M U に対応する補助容量線  $C_{SL1}, C_{SL2}, \dots, C_{SL\beta}$  (第 1 の領域を通るように延伸する補助容量線) の終端が接続され、また、下画面 M D に対応する補助容量線  $C_{SH(\alpha+1)}, C_{SH(\alpha+2)}, \dots, C_{SHp}$  (第 2 の領域を通るように延伸する補助容量線) の終端が接続されているとともに、下画面 M D に対応する補助容量線  $C_{SL(\beta+1)}, C_{SL(\beta+2)}, \dots, C_{SLq}$  (第 2 の領域を通るように延伸する補助容量線) の終端が接続されている構成であってもよい。なお、上記記載において、例えば  $\alpha = p / 2, \beta = q / 2$  ( $p$  および  $q$  は正の偶数) である。この構成によれば、各補助容量線の配線抵抗を均一化することができるため、上画面 M U と下画面 M D との境界近くの階調バラツキをより低減することができる。

【 0 0 8 8 】

ここで、1 つの画素 P I X に対応して補助容量線が 1 本配される構成では、全ての補助容量線が互いに接続され、1 つの画素 P I X に対応して補助容量線が 2 本配される構成では、H i g h 側電位が供給される補助容量線同士が互いに接続されるとともに、L o w 側電位が供給される補助容量線同士が互いに接続される。

【 0 0 8 9 】

なお、本実施の形態に係る補助容量電圧は、画素電極に書き込まれる信号電位の極性に応じて H i g h 側電位あるいは L o w 側電位に切り替わる信号波形 (2 値に限定されない) であってもよく、また、表示領域ごとに一定電位の信号波形であってもよい。

【 0 0 9 0 】

〔実施形態の総括〕

10

20

30

40

50

液晶表示装置 1, 1' , 2 1 では、上画面 M U および下画面 M D は、補助容量線 C S H 1 , C S H 2 , ... C S H ( p - 1 ) , C S H p , C S L 1 , C S L 2 , ... C S L ( q - 1 ) , C S L q の延伸方向と垂直な方向に等分されていてもよい。

【 0 0 9 1 】

これにより、連続する上画面 M U および下画面 M D が、補助容量線 C S H 1 , C S H 2 , ... C S H ( p - 1 ) , C S H p , C S L 1 , C S L 2 , ... C S L ( q - 1 ) , C S L q の延伸方向と平行に均等に配置される。

【 0 0 9 2 】

液晶表示装置 1, 1' , 2 1 では、上画面 M U および下画面 M D に対応して補助容量線駆動回路 A , B が設けられ、1つの補助容量線駆動回路から出力される補助容量電圧を基準として、他の補助容量線駆動回路から出力される補助容量電圧を増減してもよい。

10

【 0 0 9 3 】

他の補助容量線駆動回路から印加される補助容量電圧を増減（微調整）することにより、液晶容量に印加される実効電圧を揃えることができ、結果として輝度ムラを解消することができる。

【 0 0 9 4 】

液晶表示装置 1, 1' , 2 1 では、1つの画素 P I X に対応して、2本の補助容量線が配されていてもよい。

【 0 0 9 5 】

これにより、画素 P I X が2つの副画素を有している液晶表示装置において輝度ムラを解消することができる。

20

【 0 0 9 6 】

液晶表示装置 1, 1' では、信号線 S 1 , S 2 , ... S , S n を駆動する信号線駆動回路 3 が1つ設けられ、信号線 S 1 , S 2 , ... S , S n の延伸方向を列方向とした場合に、列方向に設けられた複数の画素 P I X を含む画素列ごとに1本の信号線が配されていてもよい。これにより、信号線 S 1 , S 2 , ... S , S n は、途中で分割されずに信号線駆動回路 3 から最も遠い画素 P I X まで画像のデータを供給できる。

【 0 0 9 7 】

液晶表示装置 1, 1' では、走査線 G 1 , G 2 , ... G , G m を駆動する走査線駆動回路 4 が1つ設けられ、走査線 G 1 , G 2 , ... G , G m の延伸方向を行方向とした場合に、行方向に設けられた複数の画素 P I X を含む画素行ごとに1本の走査線が配されていてもよい。これにより、走査線 G 1 , G 2 , ... G , G m は、途中で分割されずに走査線駆動回路 4 から最も遠い画素まで選択できる。

30

【 0 0 9 8 】

液晶表示装置 1, 1' では、補助容量線 C S H 1 , C S H 2 , ... C S H ( p - 1 ) , C S H p , C S L 1 , C S L 2 , ... C S L ( q - 1 ) , C S L q の終端は、互いに接続されていてもよい。

【 0 0 9 9 】

上記構成によれば、各補助容量線の配線抵抗を均一化することができるため、表示領域ごとの階調バラツキをより低減することができる。ここで、1つの画素 P I X に対応して補助容量線が1本配される構成では、全ての補助容量線が互いに接続され、1つの画素 P I X に対応して補助容量線が2本配される構成では、H i g h 側電位が供給される補助容量線同士が互いに接続されるとともに、L o w 側電位が供給される補助容量線同士が互いに接続される。

40

【 0 1 0 0 】

液晶表示装置 1, 1' では、全ての補助容量線 C S H 1 , C S H 2 , ... C S H ( p - 1 ) , C S H p , C S L 1 , C S L 2 , ... C S L ( q - 1 ) , C S L q の終端は、開放されていてもよい。全ての補助容量線の終端を開放すると、補助容量電圧を設定する前は階調バラツキの境界が顕著に現れる。よって、補助容量電圧を設定すべき補助容量線の特定が容易となるとともに、補助容量電圧を増減することによる調整の効果が高まる。

50

## 【 0 1 0 1 】

液晶表示装置 2 1 では、信号線線  $S_1, S_2, \dots, S_{(n-1)}, S_n$  の延伸方向を列方向とした場合に、上記表示画面は、列方向に上画面  $M_U$  および下画面  $M_D$  に分割され、信号線  $S_1, S_2, \dots, S_{(n-1)}, S_n$  は、上画面  $M_U$  に配された信号線  $SA_1, SA_2, \dots, SA_{(n-1)}, SA_n$  と、下画面  $M_D$  に配された信号線  $SB_1, SB_2, \dots, SB_{(n-1)}, SB_n$  とに分割され、上画面  $M_U$  に設けられた画素  $P_{IX}$  の画素電極に、信号線  $SA_1, SA_2, \dots, SA_{(n-1)}, SA_n$  を介して画像データを供給する信号線駆動回路 3 A と、下画面  $M_D$  に設けられた画素  $P_{IX}$  の画素電極に、信号線  $SB_1, SB_2, \dots, SB_{(n-1)}, SB_n$  を介して画像データを供給する信号線駆動回路 3 B とを備えてもよい。

10

## 【 0 1 0 2 】

また、液晶表示装置 2 1 では、走査線  $G_1, G_2, \dots, G_{(m-1)}, G_m$  の延伸方向を行方向とした場合に、走査線  $G_1, G_2, \dots, G_{(m-1)}, G_m$  は、上画面  $M_U$  に配された第 1 の走査線と、下画面  $M_D$  に配された第 2 の走査線とに分割され、上画面  $M_U$  に設けられた画素  $P_{IX}$  を、上記第 1 の走査線を介して選択する走査線駆動回路 4 A と、下画面  $M_D$  に設けられた画素  $P_{IX}$  を、上記第 2 の走査線を介して選択する走査線駆動回路 4 B とを備えてもよい。

## 【 0 1 0 3 】

これらの構成により、上画面  $M_U$ 、下画面  $M_D$  ごとに分割して駆動する液晶表示装置 2 1 においても輝度ムラを解消することができる。

20

## 【 0 1 0 4 】

液晶表示装置 2 1 では、上画面  $M_U$  に設けられた画素  $P_{IX}$  に対応する補助容量線  $CSH_1, CSH_2, \dots, CSH_\alpha, CSL_1, CSL_2, \dots, CSL_\beta$  は、互いに接続されているとともに、下画面  $M_D$  に設けられた画素  $P_{IX}$  に対応する補助容量線  $CSH(\alpha+1), CSH(\alpha+2), \dots, CSH_p, CSL(\beta+1), CSL(\beta+2), \dots, CSL_q$  は、互いに接続されていてもよい。ここで、1つの画素  $P_{IX}$  に対応して補助容量線が 1 本配される構成では、全ての補助容量線が互いに接続され、1つの画素  $P_{IX}$  に対応して補助容量線が 2 本配される構成では、 $H_{igh}$  側電位が供給される補助容量線同士が互いに接続されるとともに、 $L_{ow}$  側電位が供給される補助容量線同士が互いに接続される。

## 【 0 1 0 5 】

また、液晶表示装置 2 1 では、全ての補助容量線線  $CSH_1, CSH_2, \dots, CSH_\alpha, CSL_1, CSL_2, \dots, CSL_\beta, CSH(\alpha+1), CSH(\alpha+2), \dots, CSH_p, CSL(\beta+1), CSL(\beta+2), \dots, CSL_q$  の終端は、開放されていてもよい。全ての補助容量線の終端を開放すると、補助容量電圧を設定する前は階調バラツキの境界が顕著に現れる。よって、補助容量電圧を設定すべき補助容量線の特定が容易となるとともに、補助容量電圧を増減することによる調整の効果が高まる。

30

## 【 0 1 0 6 】

本発明は上述した各実施例に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施例にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

40

## 【産業上の利用可能性】

## 【 0 1 0 7 】

本発明の液晶表示装置は、分割駆動型の液晶表示パネルにおいても、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することができるので、大型の液晶表示パネルに好適に用いることが出来る。

## 【符号の説明】

## 【 0 1 0 8 】

- 1, 1', 2 1 液晶表示装置
- 2, 2' 液晶表示パネル
- 3 信号線駆動回路 (信号線駆動部)

50

3 A 信号線駆動回路 (第 1 の信号線駆動部)

3 B 信号線駆動回路 (第 2 の信号線駆動部)

4 走査線駆動回路 (走査線駆動部)

4 A 走査線駆動回路 (第 1 の走査線駆動部)

4 B 走査線駆動回路 (第 2 の走査線駆動部)

6 制御回路

7 下 C S H 電圧調整回路

8 , A C S H , A C S L , A d i f f 差動増幅回路

1 0 基準電圧回路

1 1 温度補正回路

1 2 加算回路

A , B 補助容量線駆動回路

C S H 1 , C S H 2 , ... C S H ( p - 1 ) , C S H p 補助容量線

C S L 1 , C S L 2 , ... C S L ( q - 1 ) , C S L q 補助容量線

C S H 1 ~ C S H 1 2 補助容量線

C S H 1 3 ~ C S H 2 4 補助容量線

C S L 1 ~ C S L 1 2 補助容量線

C S L 1 3 ~ C S L 2 4 補助容量線

C S H 1 , C S H 2 , ... C S H  $\alpha$  補助容量線

C S L 1 , C S L 2 , ... C S L  $\beta$  補助容量線

C S H (  $\alpha + 1$  ) , C S H (  $\alpha + 2$  ) , ... C S H p 補助容量線

C S L (  $\beta + 1$  ) , C S L (  $\beta + 2$  ) , ... C S L q 補助容量線

G 1 , G 2 , ... G , G m 走査線 (走査線、第 1 の走査線、第 2 の走査線)

M D 下画面 (表示領域、第 2 の表示領域)

M U 上画面 (表示領域、第 1 の表示領域)

P I X , P I X n 画素

R 1 , R 3 ~ R 6 抵抗

R 2 抵抗値調整部

バー R H , バー R L , バー R W ノード

R f , R f ' 帰還抵抗

R i 入力抵抗

R s 信号源抵抗

S 1 , S 2 , ... S , S n 信号線

S A 1 , S A 2 , ... S A , S A n 信号線 (第 1 の信号線)

S B 1 , S B 2 , ... S B , S B n 信号線 (第 2 の信号線)

V C S H 1 ~ V C S H 1 2 , V C S H 1 3 ~ V C S H 2 4 , V C S L 1 ~ V C S L 1 2

, V C S L 1 3 ~ V C S L 2 4 電圧 (補助容量電圧)

V L S 電源電圧

V m 微小電圧

V r e f 基準電圧

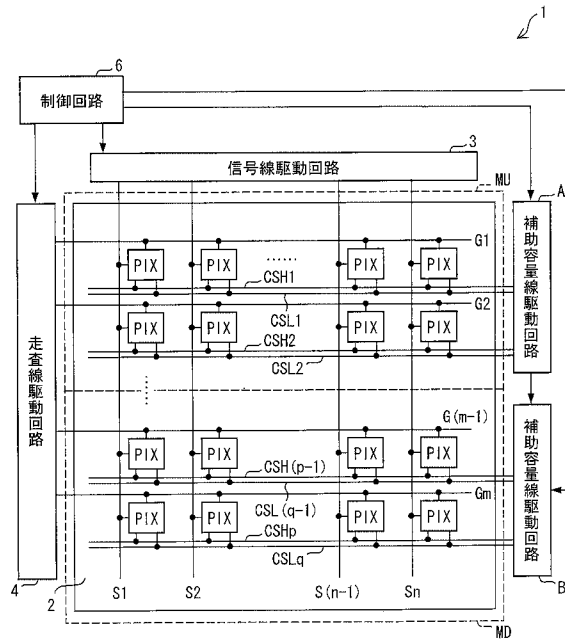
10

20

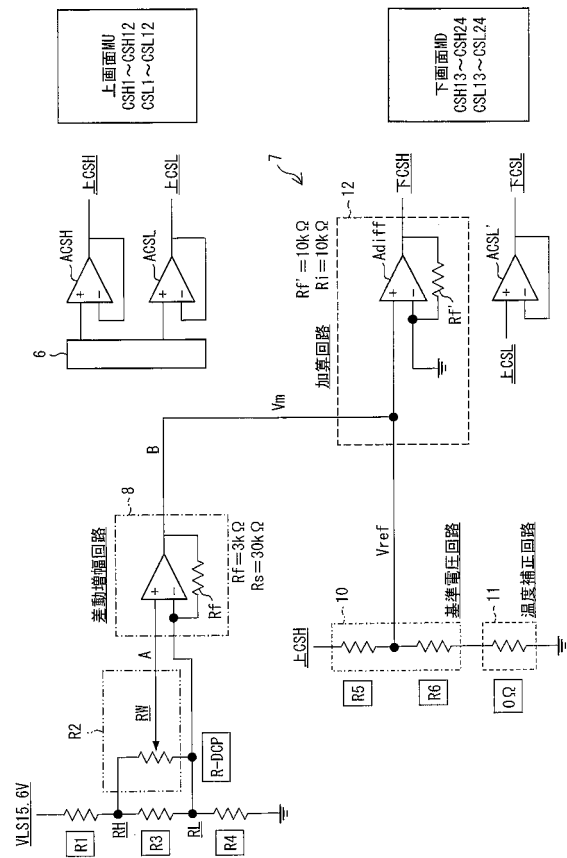
30

40

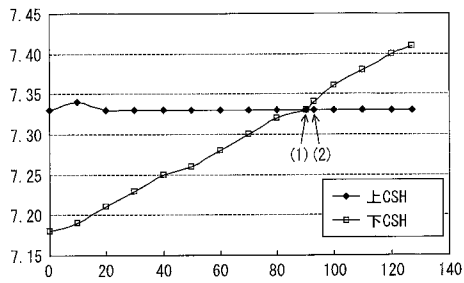
【図 1】



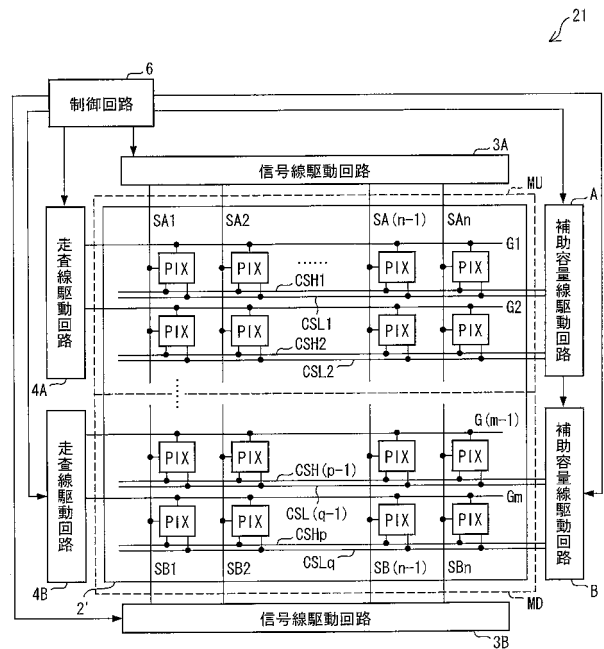
【図 2】



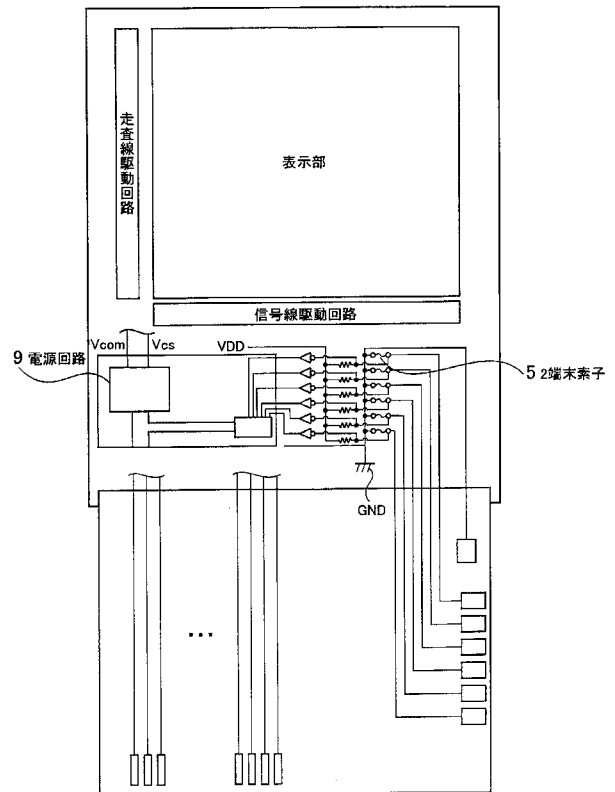
【図 3】



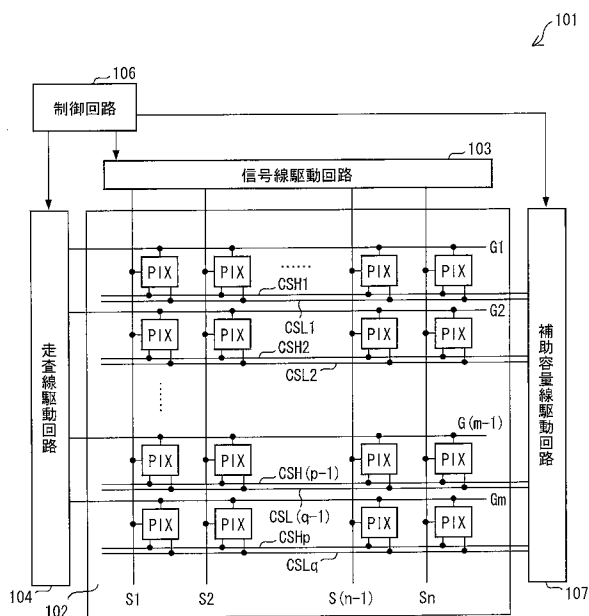
【図 5】



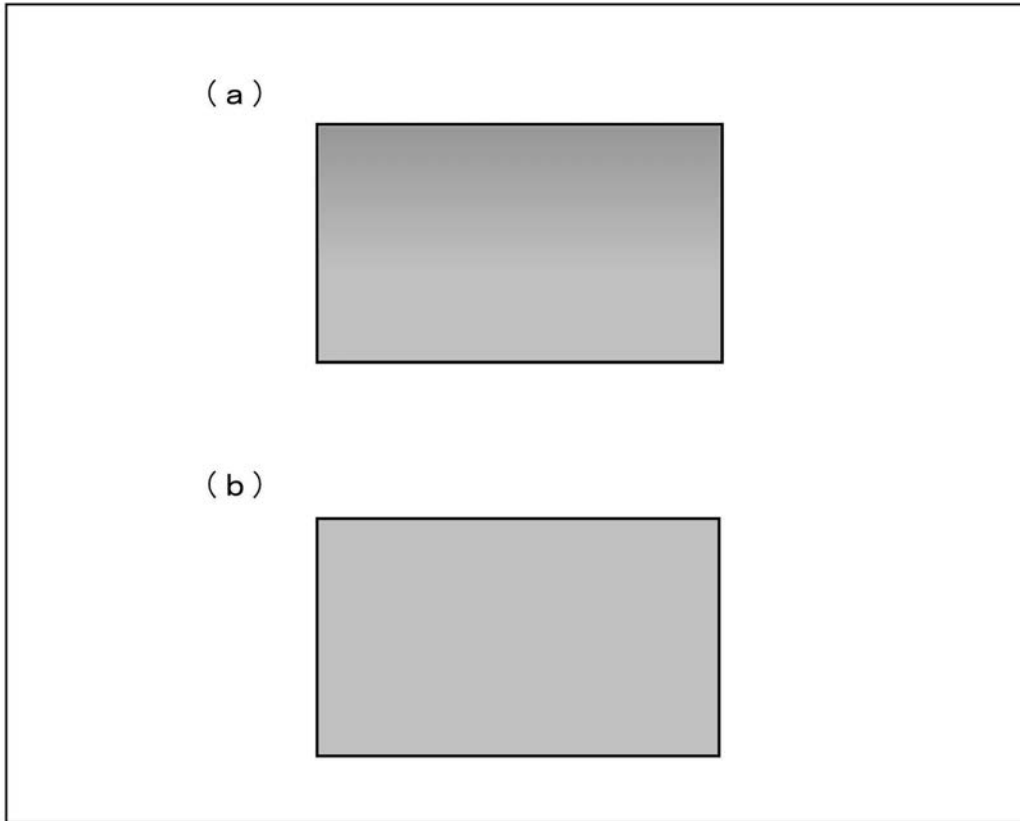
【 図 1 0 】



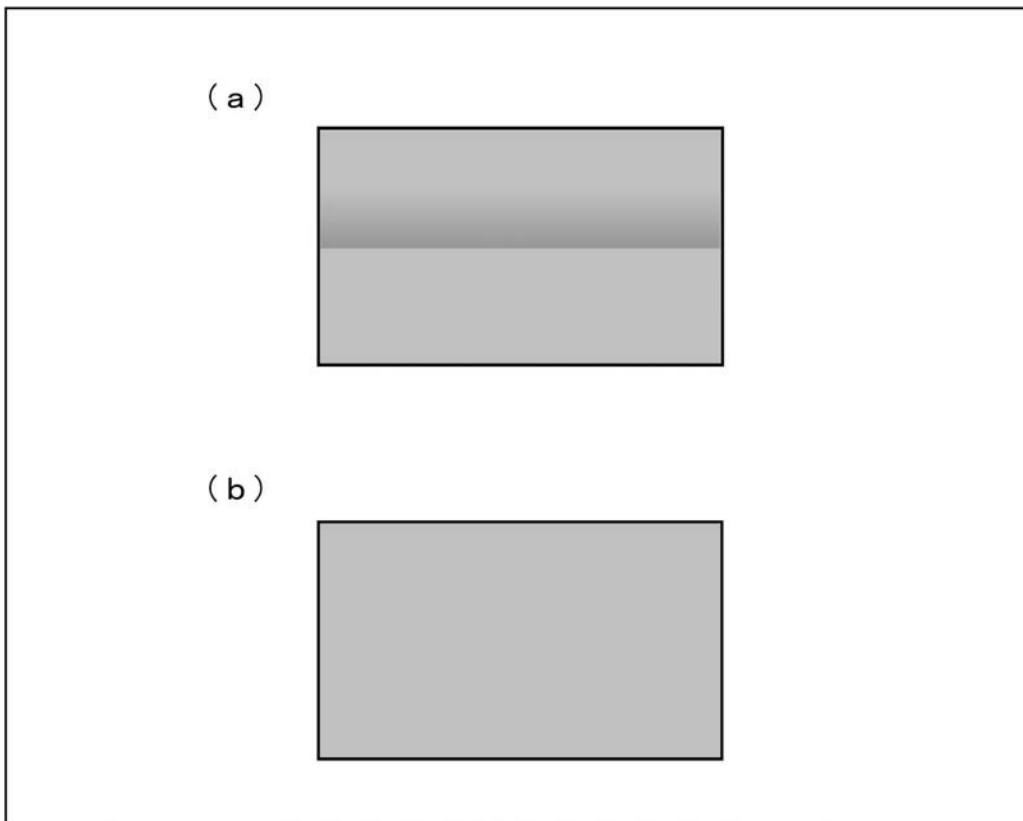
【 図 1 1 】



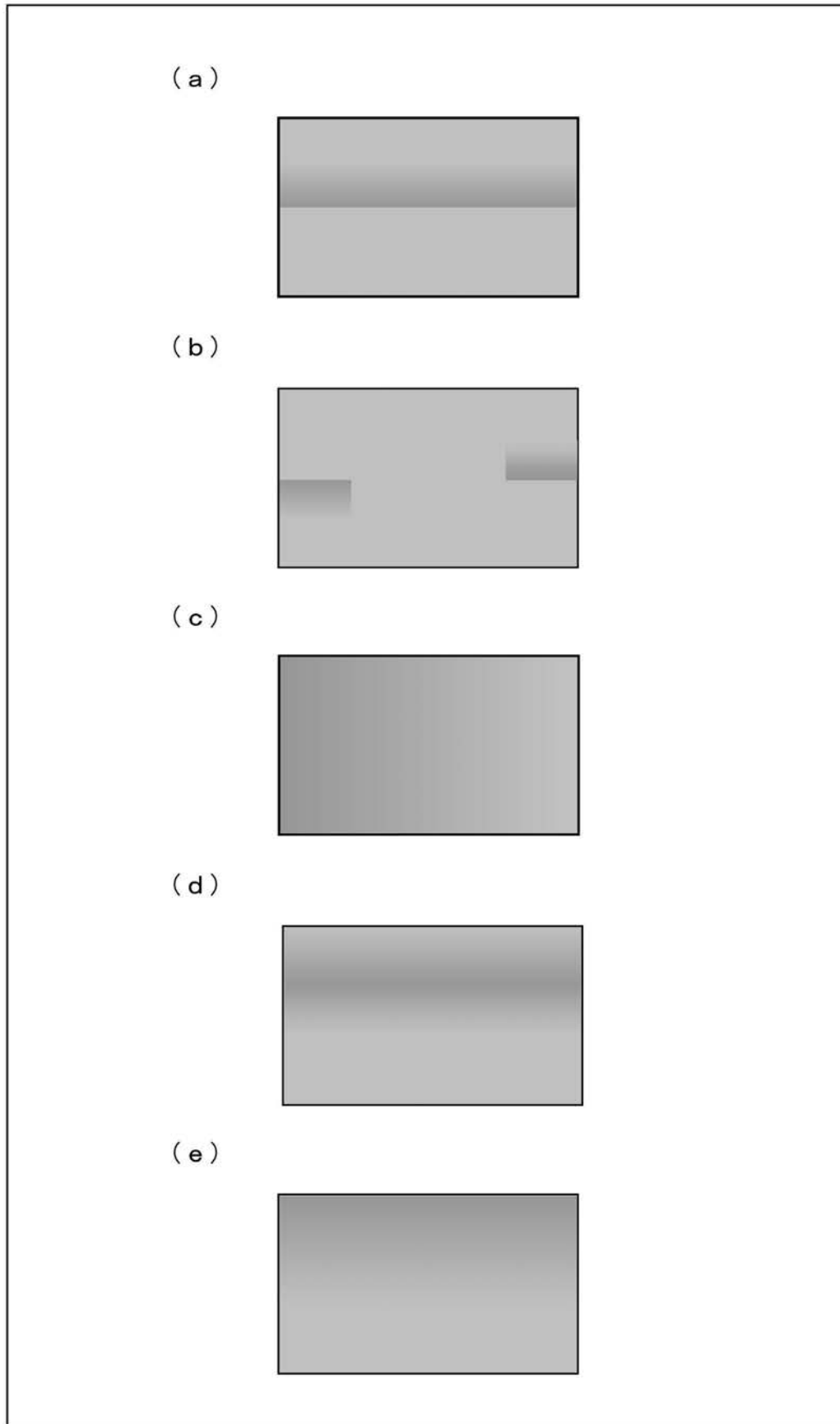
【 図 4 】



【 図 6 】



【図 7】



【図 9】



【図 12】



## 【手続補正書】

【提出日】平成24年3月29日(2012.3.29)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素に含まれる画素電極と容量を形成する補助容量線を複数備えるアクティブマトリックス型の液晶表示装置において、

表示画面を分割した複数の表示領域を形成し、

上記複数の補助容量線は、上記複数の表示領域のそれぞれに、複数本ずつに分割されて配されており、

上記補助容量線に印加される補助容量電圧は、上記表示領域ごとに個別に設定されていることを特徴とする液晶表示装置。

【請求項2】

上記複数の表示領域は、上記補助容量線の延伸方向と垂直な方向に等分されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

各表示領域に対応して複数の補助容量線駆動部が設けられ、

1つの補助容量線駆動部から出力される補助容量電圧を基準として、他の補助容量線駆動部から出力される補助容量電圧を増減することを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】

1つの画素に対応して、2本の補助容量線が配されていることを特徴とする請求項1～3のいずれか1項に記載の液晶表示装置。

【請求項5】

各信号線を駆動する信号線駆動部が1つ設けられ、

信号線の延伸方向を列方向とした場合に、列方向に設けられた複数の画素を含む画素列ごとに1本の信号線が配されていることを特徴とする請求項1～4のいずれか1項に記載の液晶表示装置。

【請求項6】

各走査線を駆動する走査線駆動部が1つ設けられ、

走査線の延伸方向を行方向とした場合に、行方向に設けられた複数の画素を含む画素行ごとに1本の走査線が配されていることを特徴とする請求項1～5のいずれか1項に記載の液晶表示装置。

【請求項7】

補助容量線の終端は、互いに接続されていることを特徴とする請求項6に記載の液晶表示装置。

【請求項8】

全ての補助容量線の終端は、開放されていることを特徴とする請求項6に記載の液晶表示装置。

【請求項9】

信号線の延伸方向を列方向とした場合に、

上記表示画面は、列方向に第1及び第2の表示領域に分割され、

上記信号線は、上記第1の表示領域に配された第1の信号線と、上記第2の表示領域に配された第2の信号線とに分割され、

上記第1の表示領域に設けられた画素の画素電極に、上記第1の信号線を介して画像データを供給する第1の信号線駆動部と、

上記第2の表示領域に設けられた画素の画素電極に、上記第2の信号線を介して画像データを供給する第2の信号線駆動部とを備えることを特徴とする請求項1～4のいずれか1項に記載の液晶表示装置。

【請求項10】

走査線の延伸方向を行方向とした場合に、

上記走査線は、上記第1の表示領域に配された第1の走査線と、上記第2の表示領域に配された第2の走査線とに分割され、

上記第1の表示領域に設けられた画素を、上記第1の走査線を介して選択する第1の走査線駆動部と、

上記第2の表示領域に設けられた画素を、上記第2の走査線を介して選択する第2の走査線駆動部とを備えることを特徴とする請求項9に記載の液晶表示装置。

【請求項11】

上記第1の表示領域に設けられた画素に対応する補助容量線は、互いに接続されているとともに、上記第2の表示領域に設けられた画素に対応する補助容量線は、互いに接続されていることを特徴とする請求項10に記載の液晶表示装置。

【請求項12】

全ての補助容量線の終端は、開放されていることを特徴とする請求項10に記載の液晶表示装置。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/060556

## A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2008-164852 A (LG Display Co., Ltd.),<br>17 July 2008 (17.07.2008),<br>entire text; all drawings<br>& KR 10-2008-0061223 A                     | 1-12                  |
| A         | JP 2007-219200 A (NEC Electronics Corp.),<br>30 August 2007 (30.08.2007),<br>entire text; all drawings<br>& US 2009/0021462 A1 & CN 101025904 A   | 1-12                  |
| A         | JP 2001-255851 A (Matsushita Electric<br>Industrial Co., Ltd.),<br>21 September 2001 (21.09.2001),<br>entire text; all drawings<br>(Family: none) | 1-12                  |

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
06 August, 2010 (06.08.10)Date of mailing of the international search report  
17 August, 2010 (17.08.10)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/060556

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                    | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2006-235593 A (Toshiba Matsushita Display Technology Co., Ltd.),<br>07 September 2006 (07.09.2006),<br>entire text; all drawings<br>(Family: none) | 1-12                  |

|                                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                           |                           |         |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------|---------------------------|---------|
| 国際調査報告                                                                                                                                                                                                                                                                                                                                                                                                                                     |                                                                                           | 国際出願番号 PCT/JP2010/060556  |         |
| A. 発明の属する分野の分類（国際特許分類（IPC））<br>Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i                                                                                                                                                                                                                                                                                                                                         |                                                                                           |                           |         |
| B. 調査を行った分野<br>調査を行った最小限資料（国際特許分類（IPC））<br>Int.Cl. G09G3/36, G02F1/133, G09G3/20                                                                                                                                                                                                                                                                                                                                                           |                                                                                           |                           |         |
| 最小限資料以外の資料で調査を行った分野に含まれるもの<br><br>日本国実用新案公報 1922-1996年<br>日本国公開実用新案公報 1971-2010年<br>日本国実用新案登録公報 1996-2010年<br>日本国登録実用新案公報 1994-2010年                                                                                                                                                                                                                                                                                                       |                                                                                           |                           |         |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）                                                                                                                                                                                                                                                                                                                                                                                                     |                                                                                           |                           |         |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                           |                           |         |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                            | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                         | 関連する<br>請求項の番号            |         |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                          | JP 2008-164852 A（エルジー ディスプレイ カンパニー リミテッド）2008.07.17, 全文, 全図 & KR 10-2008-0061223 A        | 1-12                      |         |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                          | JP 2007-219200 A（NECエレクトロニクス株式会社）2007.08.30, 全文, 全図 & US 2009/0021462 A1 & CN 101025904 A | 1-12                      |         |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                          | JP 2001-255851 A（松下電器産業株式会社）2001.09.21, 全文, 全図（ファミリーなし）                                   | 1-12                      |         |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。                                                                                                                                                                                                                                                                                                                                        |                                                                                           |                           |         |
| * 引用文献のカテゴリー<br>「A」特に関連のある文献ではなく、一般的技術水準を示すもの<br>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>「O」口頭による開示、使用、展示等に言及する文献<br>「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献<br>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>「&」同一パテントファミリー文献 |                                                                                           |                           |         |
| 国際調査を完了した日<br>06.08.2010                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                           | 国際調査報告の発送日<br>17.08.2010  |         |
| 国際調査機関の名称及びあて先<br>日本国特許庁（ISA/JP）<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号                                                                                                                                                                                                                                                                                                                                                                      |                                                                                           | 特許庁審査官（権限のある職員）<br>堀部 修平  | 2G 9215 |
|                                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                           | 電話番号 03-3581-1101 内線 3226 |         |

| 国際調査報告                |                                                                         | 国際出願番号 PCT/J P 2 0 1 0 / 0 6 0 5 5 6 |
|-----------------------|-------------------------------------------------------------------------|--------------------------------------|
| C (続き) . 関連すると認められる文献 |                                                                         |                                      |
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                       | 関連する<br>請求項の番号                       |
| A                     | JP 2006-235593 A (東芝松下ディスプレイテクノロジー株式会社)<br>2006.09.07, 全文, 全図 (ファミリーなし) | 1-12                                 |

## フロントページの続き

| (51) Int.Cl. | F I           | テーマコード (参考) |
|--------------|---------------|-------------|
|              | G 0 9 G 3/20  | 6 4 2 A     |
|              | G 0 9 G 3/20  | 6 4 2 B     |
|              | G 0 2 F 1/133 | 5 5 0       |

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

|                |                                                                                                                                                                                                                                                                                                                                                                 |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">JPWO2011048847A1</a>                                                                                                                                                                                                                                                                                                                                | 公开(公告)日 | 2013-03-07 |
| 申请号            | JP2011537166                                                                                                                                                                                                                                                                                                                                                    | 申请日     | 2010-06-22 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 申请(专利权)人(译)    | 夏普公司                                                                                                                                                                                                                                                                                                                                                            |         |            |
| [标]发明人         | 奥村 寛                                                                                                                                                                                                                                                                                                                                                            |         |            |
| 发明人            | 奥村 寛                                                                                                                                                                                                                                                                                                                                                            |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                                                                                                                                                                                                                                                                                     |         |            |
| CPC分类号         | G09G3/3666 G02F1/1345 G02F2001/133391 G09G3/3655 G09G2300/0426 G09G2300/0876 G09G2320/0223 G09G2320/0233 G09G2320/041                                                                                                                                                                                                                                           |         |            |
| FI分类号          | G09G3/36 G09G3/20.624.D G09G3/20.624.C G09G3/20.622.L G09G3/20.621.M G09G3/20.642.A G09G3/20.642.B G02F1/133.550                                                                                                                                                                                                                                                |         |            |
| F-TERM分类号      | 2H193/ZA04 2H193/ZA07 2H193/ZA33 2H193/ZB14 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF37 2H193/ZF60 5C006/AC25 5C006/AF46 5C006/AF52 5C006/BB14 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC22 5C006/BF25 5C006/BF28 5C006/BF43 5C006/FA19 5C006/FA22 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 |         |            |
| 优先权            | 2009242468 2009-10-21 JP                                                                                                                                                                                                                                                                                                                                        |         |            |
| 其他公开文献         | JP5412524B2                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                       |         |            |

### 摘要(译)

本发明的目的是消除由于在液晶显示面板的平面内产生不均匀的灰度而导致的分割驱动型液晶显示面板的亮度不均。 本发明的液晶显示装置 ( 1 ) 形成显示画面被分割成的多个显示区域 ( MU , MD ) , 多个辅助电容线 ( CSH1 ~ CSHp , CSL1 ~ CSLq ) 形成多个显示区域 ( MU , MD ) 被分成多条辅助电容线, 并且施加到多条辅助电容线 ( CSH1 到 CSHp , CSL1 到 CSLq ) 的辅助电容电压被分成多个显示区域 ( MU , MD ) 。 设置为。

[图 1]

