

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/058635

発行日 平成24年4月19日(2012.4.19)

(43) 国際公開日 平成22年5月27日(2010.5.27)

(51) Int.Cl.	F I	テーマコード(参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H090
GO2F 1/1337 (2006.01)	GO2F 1/1337	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	

審査請求 有 予備審査請求 未請求 (全 38 頁)

出願番号	特願2010-539174 (P2010-539174)	(71) 出願人	000005049 シャープ株式会社
(21) 国際出願番号	PCT/JP2009/064029		大阪府大阪市阿倍野区長池町22番22号
(22) 国際出願日	平成21年8月7日(2009.8.7)	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	特願2008-295725 (P2008-295725)	(72) 発明者	堀内 智 日本国大阪府大阪市阿倍野区長池町22番 22号 シャープ株式会社内
(32) 優先日	平成20年11月19日(2008.11.19)	(72) 発明者	山田 崇晴 日本国大阪府大阪市阿倍野区長池町22番 22号 シャープ株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	久田 祐子 日本国大阪府大阪市阿倍野区長池町22番 22号 シャープ株式会社内

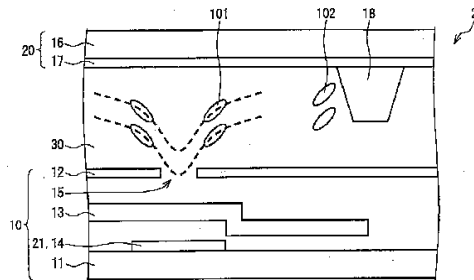
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、液晶表示パネル、液晶表示装置、アクティブマトリクス基板の製造方法、液晶表示パネルの製造方法、及び、液晶表示パネルの駆動方法

(57) 【要約】

画素電極のスリットと走査信号線または補助容量線とが交差する構造の基板を備えた液晶表示パネルにおける配向乱れを抑制し、高品質の表示を実現する。アクティブマトリクス基板(10)は、スリット(15)を有する画素電極(12)と、補助容量線(14)とを備えており、補助容量線(14)または走査信号線(21)と、スリット(15)とが交差する領域において、画素電極(12)の層と補助容量線(14)または走査信号線(21)の層との間に、補助容量線(12)または走査信号線(21)を覆うように、ドレイン線(13)またはデータ信号線(22)の少なくともいずれかが形成されている。

【図1】



【特許請求の範囲】**【請求項 1】**

複数の走査信号線と、
該走査信号線に交差するように配置された複数の信号配線と、
上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、

上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、

上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線と、

上記画素電極部との間で電気容量を形成する補助容量線とを備えたアクティブマトリクス基板であって、

上記補助容量線または上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記補助容量線または上記走査信号線の層との間に、少なくとも上記補助容量線または上記走査信号線を覆うように、金属層が形成されていることを特徴とするアクティブマトリクス基板。

【請求項 2】

複数の走査信号線と、

該走査信号線に交差するように配置された複数の信号配線と、

上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、

上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、

上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線とを備えたアクティブマトリクス基板であって、

上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記走査信号線の層との間に、少なくとも上記走査信号線を覆うように、金属層が形成されていることを特徴とするアクティブマトリクス基板。

【請求項 3】

上記金属層は、上記金属配線または上記信号配線の少なくともいずれかを含んで構成されることを特徴とする請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】

上記配向制御間隙部は、上記画素電極部に個別に形成された細孔であることを特徴とする請求項 1 から 3 までのいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 5】

上記配向制御間隙部は、上記画素部を構成する複数の上記画素電極部の間に形成された間隙であることを特徴とする請求項 1 から 3 までのいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 6】

上記配向制御間隙部は、上記画素電極部に切込みを入れることによって形成された細隙であることを特徴とする請求項 1 から 3 までのいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 7】

上記画素電極部は、複数の副画素電極を備えたマルチ画素電極であり、画素分割方式によって駆動されることを特徴とする請求項 1 から 6 までのいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 8】

10

20

30

40

50

上記画素電極部の隅部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記補助容量線まで延伸させた上記金属配線としてのドレイン線に、上記配向制御間隙部と上記補助容量線とが交差する上記領域において、少なくとも上記補助容量線を覆う被覆部を形成したことを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 9】

上記画素電極部を横切るように上記走査信号線が配されると共に、上記走査信号線と略平行に上記画素電極部を横切るように上記補助容量線が配されており、上記画素電極部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記補助容量線と上記配向制御間隙部とが交差する上記領域と、上記走査信号線と上記配向制御間隙部とが交差する上記領域との少なくともいずれかまで、上記金属配線としてのドレイン線を延伸させ、少なくとも上記補助容量線および上記走査信号線を上記各領域において覆う被覆部を上記ドレイン線の一部として形成したことを特徴とする請求項 1 に記載のアクティブマトリクス基板。

10

【請求項 10】

上記画素電極部の端部を横切るように上記走査信号線が配されると共に、上記走査信号線と略平行に上記画素電極部の中央を横切るように上記補助容量線が配されており、

上記画素電極部の隅部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記補助容量線と上記配向制御間隙部とが交差する上記領域と、上記走査信号線と上記配向制御間隙部とが交差する上記領域との少なくともいずれかまで延伸させた上記金属配線としてのドレイン線に、少なくとも上記補助容量線および上記走査信号線を上記各領域において覆う被覆部を形成したことを特徴とする請求項 1 に記載のアクティブマトリクス基板。

20

【請求項 11】

上記画素電極部の中央を横切るように上記走査信号線が配されると共に、上記走査信号線と略平行に上記画素電極部の端部を横切るように上記補助容量線が配されており、

上記画素電極部の辺縁部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記補助容量線と上記配向制御間隙部とが交差する上記領域と、上記走査信号線と上記配向制御間隙部とが交差する上記領域との少なくともいずれかまで延伸させた上記金属配線としてのドレイン線に、少なくとも上記補助容量線および上記走査信号線を上記各領域において覆う被覆部を形成したことを特徴とする請求項 1 に記載のアクティブマトリクス基板。

30

【請求項 12】

上記画素電極部の長手方向の辺が、上記走査信号線と略平行に形成されていることを特徴とする請求項 10 または 11 に記載のアクティブマトリクス基板。

【請求項 13】

1 つの上記画素電極部内に隣り合って設けられた上記配向制御間隙部が鋭角的に接近した部位と重なるように上記補助容量線が形成されており、

上記画素電極部の隅部に形成された上記スイッチング素子から、上記補助容量線まで延伸させた上記金属配線としてのドレイン線に、上記配向制御間隙部と上記補助容量線とが交差する上記領域において、少なくとも上記補助容量線を覆う被覆部を形成したことを特徴とする請求項 1 に記載のアクティブマトリクス基板。

40

【請求項 14】

複数の上記画素電極部の間隙として形成された上記配向制御間隙部を横切るように上記補助容量線が形成されており、

上記画素電極部の隅部に形成された上記スイッチング素子から、上記補助容量線まで延伸させた上記金属配線としてのドレイン線に、上記配向制御間隙部と上記補助容量線とが交差する上記領域において、少なくとも上記補助容量線を覆う被覆部を形成したことを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 15】

50

複数の上記画素電極部の間隙として形成された上記配向制御間隙部を横切るように上記補助容量線が形成されており、

上記画素電極部の隅部に形成された上記スイッチング素子から、上記補助容量線に交差するように延伸させた上記信号配線としてのデータ信号線に、上記配向制御間隙部と上記補助容量線とが交差する上記領域において、少なくとも上記補助容量線を覆う被覆部を形成したことを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 16】

上記画素電極部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記走査信号線まで延伸させた上記金属配線としてのドレイン線に、上記配向制御間隙部と上記走査信号線とが交差する上記領域において、少なくとも上記走査信号線を覆う被覆部を形成したことを特徴とする請求項 2 に記載のアクティブマトリクス基板。

10

【請求項 17】

請求項 1 から 16 までのいずれか 1 項に記載のアクティブマトリクス基板と、共通電極が設けられた対向基板とを有し、これら各基板の間に液晶層を備えていることを特徴とする液晶表示パネル。

【請求項 18】

上記対向基板は、液晶分子の配向状態を制御する配向制御部を備えていることを特徴とする請求項 17 に記載の液晶表示パネル。

【請求項 19】

請求項 17 または 18 に記載の液晶表示パネルと、該液晶表示パネルを駆動する駆動回路とを備えていることを特徴とする液晶表示装置。

20

【請求項 20】

複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線と、上記画素電極部との間で電気容量を形成する補助容量線とを備えたアクティブマトリクス基板の製造方法であって、

30

上記補助容量線または上記走査信号線と、上記配向制御間隙部とが交差する領域において、少なくとも上記補助容量線または上記走査信号線を覆うように、金属層を形成する工程を含んでいることを特徴とするアクティブマトリクス基板の製造方法。

【請求項 21】

複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線とを備えたアクティブマトリクス基板の製造方法であって、

40

上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記走査信号線の層との間に、少なくとも上記走査信号線を覆うように、金属層を形成する工程を含んでいることを特徴とするアクティブマトリクス基板の製造方法。

【請求項 22】

請求項 17 または 18 に記載の液晶表示パネルの製造方法であって、

上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第 1 の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第 2 の電位状態、および、上記金属層の電位から上記

50

共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態のうち、いずれか1つの電位状態において、上記液晶層に電圧を印加して、予め上記液晶層に混入されたモノマーを重合することにより、上記液晶層の液晶分子にプレチルト角を付与するポリマー配向支持工程を含んでいることを特徴とする液晶表示パネルの製造方法。

【請求項23】

請求項17または18に記載の液晶表示パネルの駆動方法であって、

上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第1の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第2の電位状態、および、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態のうち、いずれか1つの電位状態において、上記液晶層に電圧を印加することを特徴とする液晶表示パネルの駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、液晶分子の配向を制御して映像を表示するためのアクティブマトリクス基板、液晶表示パネル、液晶表示装置、アクティブマトリクス基板の製造方法、及び、液晶表示パネルの製造方法に関し、特に、PSA (Polymer Sustained Alignment) 処理を含む製造方法によって製造されるアクティブマトリクス基板、液晶表示パネル、液晶表示装置、アクティブマトリクス基板の製造方法、液晶表示パネルの製造方法、及び、液晶表示パネルの駆動方法に関するものである。

【背景技術】

【0002】

近年、情報機器の普及に伴い、表示パネル（液晶表示装置）の高性能化に対する要求が高まっている。液晶表示装置では、液晶分子の配向方向を印加電圧に応じて変化させることによって、透過光のオンオフを制御する。この液晶表示装置の高性能化を実現するためには、液晶に電圧が印加されていない状態における液晶分子の配向状態が重要となる。したがって、液晶表示装置の高性能化の実現のためには、良好な配向状態が得られるように、液晶層と液晶分子との初期形成角（プレチルト角）を制御する必要がある。

30

【0003】

プレチルト角の制御方法としては、例えば下掲の特許文献1に開示されている技術、いわゆるPSAと称される技術が知られている。PSAは、重合可能なモノマーを液晶に混入しておき、液晶に電圧を印加した状態で光または熱などでモノマーを重合することにより、液晶の倒れる方向を記憶させる技術である。例えば、まず、配向膜が各々形成された一对の基板を配向膜同士が対向するように互いに貼り合わせてなるセル内に、モノマーを含む液晶材料を注入する。続いて、上記セルに電界を印加する等して液晶分子を所定の方向に配向させた状態で紫外線を照射して上記モノマーを重合させる。

40

【0004】

これにより、上記の配向膜上に、チルトを有するポリマー層を形成する。この結果、ポリマー層と接触している液晶分子をプレチルト角が付与された状態で固定することができる。PSAによれば、開口率を大きくするなどの目的のために配向規制力が弱い画素構造であっても、応答速度が速く、指押し等によっても液晶配向が乱れ難くなる。

【0005】

さらに、PSAによる液晶分子の配向工程（以下、PSA工程と呼ぶ）においては、紫外線の照射時に印加する電圧の大きさが異なる場合、プレチルト角に違いが生じ、異なる

50

透過率特性をもつ原因となってしまうため、電圧の印加方法が重要となる。このため、例えば、下掲の特許文献2では、交流印加により電気容量を利用して液晶を駆動し、配線欠陥の影響を回避する方式、すなわち、Cs - COM電圧印加方式のPSA工程による液晶表示装置の製造方法が提案されている。

【0006】

特許文献2に記載の液晶表示装置の製造方法では、第1の基板には、基板全面に電圧を印加するための共通電極が形成されており、第2の基板には、ゲートバスラインとデータバスラインとがマトリクス状に配置され、2つバスラインの交点には薄膜トランジスタとそれにつながる画素電極が形成されていると共に、画素電極との間で電気容量を形成するCsバスラインが形成されている。また、第1の基板と第2の基板との間隙に感光性の材料を含む液晶組成物を充填して液晶層が形成され、共通電極と画素電極とにより、それらの間に液晶層を挟んで電気容量が形成されている。そして、特許文献2に記載の液晶表示装置の製造方法によれば、共通電極と画素電極との間に交流電圧を印加して、前記液晶層に光を照射する。

10

【0007】

これにより、液晶に電圧を印加する際に、データバスラインからの電圧書き込みをするのではなく、2つの共通電極間に電圧を印加して書き込みを行なうため、データバスラインからの書き込みの場合におけるバスラインの断線やショートによってできた欠陥部分に起因する問題、すなわち、欠陥部分に形成されるプレチルト角によって欠陥部分だけが異なる明るさになるという障害を防止することができる。

20

【先行技術文献】

【特許文献】

【0008】

【特許文献1】日本国公開特許公報「特開2003-149647号公報（公開日：2003年5月21日）」

【特許文献2】日本国公開特許公報「特開2003-177408号公報（公開日：2003年6月27日）」

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献2に記載の構成では、Cs - COM電圧印加方式のPSA工程によって画素電極スリットと補助容量線とがクロスする位置で配向乱れが発生するという問題がある。

30

【0010】

一般的に、液晶分子の配向を制御するために、例えば画素電極にスリットが設けられるが、液晶分子の配向は、画素電極に電圧が印加されたときに形成される等電位面に依存する。つまり、液晶分子の傾斜は、電界の向きによって制御されることになる。このとき、画素電極のスリットと補助容量線とが交差する領域では、補助容量線の電位により、電界の向きが異なってくる。

【0011】

図9は、スリットが形成された画素電極と対向基板との間のスリット近傍の電気力線（矢印線）および等電位面（破線）を示す図であり、（a）はスリットが補助容量線と交差していない領域における電気力線および等電位面を示す図であり、（b）は補助容量線がCOM電位と同電位の場合において、スリットと補助容量線とが交差した領域における電気力線および等電位面を示す図であり、（c）は補助容量線がCOM電位に対して高電位の場合において、スリットと補助容量線とが交差した領域における電気力線および等電位面を示す図である。

40

【0012】

図9の（a）および（b）に示す等電位面および電気力線の場合、間隙を置いて隣り合う2つの画素電極の各端部では、電気力線が、各端部から間隙の中心に向かうように傾斜

50

している。この場合、後述するように液晶分子を適切な向きに配向させることができる。これに対して、図9の(c)に示す等電位面および電気力線の場合、上記2つの画素電極の各端部では、電気力線が、間隙の中心付近から画素電極の各端部の上方へ向かうように、図9の(b)の上記電気力線とは逆向きに傾斜している。この場合、後述するように液晶分子を適切な向きに配向させることができない。

【0013】

図10は、画素電極スリットと補助容量線とがクロスする位置の付近において、Cs - COM電圧印加方式のPSA工程に起因する配向乱れの様子を示す図である。図10において、白色の領域が通常配向の領域であり、黒い縞模様は配向乱れによる暗線である。この配向乱れは、Cs - COM電圧印加方式のPSA工程において、補助容量線の電位(V_{cs})から共通電極の電位(V_{com})を減算した電位差と、画素電極の電位(V_d)から共通電極の電位(V_{com})を減算した電位差とが同極性であり、かつ、補助容量線の電位(V_{cs})と共通電極の電位(V_{com})との差の絶対値が、画素電極の電位(V_d)と共通電極の電位(V_{com})との差の絶対値よりも大きくなる場合(すなわち、 $V_{cs} - V_{com}$ と $V_d - V_{com}$ とが同極性、かつ、 $|V_{cs} - V_{com}| > |V_d - V_{com}|$ の場合)に発生する。この場合の等電位面は、スリット下の補助容量線の電位の影響で図9の(c)に示す形状となってしまうため、液晶分子に適切なプレチルト角を付与できない。そして、図9の(c)に示すような等電位面は、対向基板の共通電極に液晶配向規制構造が設けられている場合、さらに問題となる。

10

【0014】

この問題について、より詳細に説明すれば、次のとおりである。図11は、補助容量線を備え、スリットを有する画素電極と突起を有する共通電極とを備えた液晶表示装置における液晶分子の配向の様子を示す図であり、(a)は、通常駆動時の液晶分子の配向を示し、(b)はCs - COM電圧印加方式のPSA工程によって形成された液晶分子の配向を示している。共通電極に設けられた突起は、画素電極に形成されたスリットと同様、液晶分子のプレチルトを制御するための配向規制構造である。なお、共通電極に設けられる配向規制構造としては、突起には限定されず、スリットであってもよい。

20

【0015】

図11の(a)に示すとおり、通常駆動の場合には、共通電極、画素電極、および、補助容量線には、「共通電極の電位(V_{com}) = 補助容量線の電位(V_{cs})」となる電圧が印加され、この結果、画素電極に設けられたスリット近傍における等電位線は、補助容量線に向かって凸の形状(図9の(b)に対応)となる。この場合、共通電極に設けられた突起部近傍の液晶の配向と、画素電極に設けられたスリット近傍の液晶の配向とでは、液晶の倒れる向きが同じであり、配向乱れは生じない。この結果、暗線は現れない。

30

【0016】

一方、図11の(b)に示すとおり、Cs - COM電圧印加方式のPSA工程においては、共通電極、画素電極、および、補助容量線には、 $V_{cs} - V_{com}$ と $V_d - V_{com}$ とが同極性、かつ、 $|V_{cs} - V_{com}| > |V_d - V_{com}|$ となる電圧が印加され、この結果、画素電極に設けられたスリット近傍における等電位線は、通常駆動の場合とは逆に、共通電極に向かって凸の形状(図9の(c)に対応)となる。この場合、共通電極に設けられた突起部近傍の液晶の配向と、画素電極に設けられたスリット近傍の液晶の配向とでは、液晶の倒れる向きが逆であり、配向乱れが生じる。この結果、図10に示すような暗線が現れる。

40

【0017】

つまり、Cs - COM電圧印加方式のPSA工程では、1画素内で所定方向に液晶分子を配向させたドメインを形成する場合に、その1ドメイン内のプレチルト角を一方向に形成することができない。

【0018】

したがって、従来のPSA工程を経ると、プレチルト角は、図11の(b)の状態に固定されてしまい、通常駆動においても、図10の暗線が現れるため、表示品質の低下を招

50

いてしまうという問題がある。

【0019】

また、PSA工程が含まれない製造方法で製造された液晶表示装置の通常駆動においても、(補助容量線の電位 - 共通電極の電位)と(画素電極の電位 - 共通電極の電位)とが同極性、かつ、|補助容量線の電位 - 共通電極の電位| > |画素電極の電位 - 共通電極の電位|となるように補助容量線に電圧が印加される場合には、補助容量線と交差する画素電極のスリット近傍の液晶において配向乱れが生じ、やはり、図10に示すような暗線が現れることになる。

【0020】

さらに、走査信号線が画素電極の下方に配置されて、画素電極に設けられたスリットと走査信号線とが交差するような構造を有する液晶表示装置において、(走査信号線の電位 - 共通電極の電位)と(画素電極の電位 - 共通電極の電位)とが同極性、かつ、|走査信号線の電位 - 共通電極の電位| > |画素電極の電位 - 共通電極の電位|となるように走査信号線に電圧が印加される場合には、走査信号線と交差する画素電極のスリット近傍の液晶において配向乱れが生じ、やはり、図10に示すような暗線が現れることになる。

10

【0021】

本発明は、上記の問題点を鑑みてなされたものであり、その目的は、液晶の配向乱れを抑制し、高品質の表示を実現することが可能なアクティブマトリクス基板、液晶表示パネル、液晶表示装置、アクティブマトリクス基板の製造方法、液晶表示パネルの製造方法、及び、液晶表示パネルの駆動方法を提供することにある。

20

【課題を解決するための手段】

【0022】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線と、上記画素電極部との間で電気容量を形成する補助容量線とを備えたアクティブマトリクス基板であって、上記補助容量線または上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記補助容量線または上記走査信号線の層との間に、少なくとも上記補助容量線または上記走査信号線を覆うように、金属層が形成されていることを特徴としている。

30

【0023】

上記の構成によれば、アクティブマトリクス基板は、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部とを備えている。

40

【0024】

画素電極部は、1つの画素電極によって構成されてもよいし、複数の副画素電極によって構成されてもよい。また、画素部は、走査信号線と信号配線との交点に設けられた画素電極部の集合に対応している。そして、画素部は、液晶分子の配向状態を変化させる配向制御間隙部として、例えば、画素電極部を構成する各画素電極に設けられた通常のスリットや微細スリットを有している。あるいは、画素部における配向制御間隙部は、画素部を構成する画素電極部と画素電極部との間隙であってもよい。

【0025】

また、上記の構成によれば、アクティブマトリクス基板は、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素

50

子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線と、上記画素電極部との間で電気容量を形成する補助容量線とを備えている。

【0026】

スイッチング素子は、例えば、TFTによって構成され、画素電極部ごとに、画素電極部と信号配線との間に設けられている。そして、走査信号線からの信号に応じてスイッチングを行い、画素電極部と信号配線との電気的な接続、すなわち、導通状態と非導通状態とを切り替える。スイッチング素子は、金属配線によって画素電極部に接続されており、導通状態のときには、信号配線からのデータ信号に対応する電圧が画素電極部に供給される。金属配線は、例えば、TFTのドレイン電極からのドレイン線として構成される。さらに、補助容量線が設けられて、画素電極部との間で電気容量を形成する。

10

【0027】

そして、上記の構成によれば、上記補助容量線または上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記補助容量線または上記走査信号線の層との間に、少なくとも上記補助容量線または上記走査信号線を覆うように、金属層が形成されている。金属層としては、例えば、ドレイン電極からの上記金属配線であってもよいし、上記信号配線であってもよい。あるいは、中間電極であってもよいし、さらには、全く独立に形成されたシールドメタルであってもよい。なお、中間電極とは、コンタクトホールを介して画素電極と接続された、画素電極と同電位の電極である。

【0028】

従来、アクティブマトリクス基板と対向基板との間に液晶層を備えた液晶表示パネルを製造する場合、液晶分子のプレチルト角を形成するためにPSA工程を行う場合があるが、補助容量配線を備えた液晶表示パネルでは、PSA工程時、(補助容量線の電位 - 共通電極の電位)と(画素電極の電位 - 共通電極の電位)とが同極性、かつ、|補助容量線の電位 - 共通電極の電位| > |画素電極の電位 - 共通電極の電位|の関係となるため、配向制御間隙部の周辺の液晶層に形成される等電位面の影響によって、液晶分子の配向不良が発生し、表示品質の低下を引き起こすという問題があった。

20

【0029】

また、従来、PSA工程を行った液晶表示装置に限らず、配向制御間隙部と補助容量線(または走査信号線)とが交差するような構成の液晶表示装置において、通常駆動時に(補助容量線(または走査信号線)の電位 - 共通電極の電位)と(画素電極の電位 - 共通電極の電位)とが同極性、かつ、|補助容量線(または走査信号線)の電位 - 共通電極の電位| > |画素電極の電位 - 共通電極の電位|となるように補助容量線(または走査信号線)に電圧が印加される場合には、補助容量線(または走査信号線)と交差する配向制御間隙部の周辺の液晶層において配向乱れが生じ、やはり、表示品質の低下を引き起こすという問題があった。

30

【0030】

これに対し、本発明のアクティブマトリクス基板によれば、上記の構成により、配向制御間隙部、すなわち、スリットや画素電極間の間隙の開口領域と、補助容量配線または走査信号線とが上下に重ならないように、金属層によって、少なくとも補助容量配線または走査信号線を覆っている。

40

【0031】

このような構成により、PSA工程時、あるいは、通常駆動時、例えば、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第1の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第2の電位状態、および、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態のうち、いずれか1つの電位状態を形成するように、上記金属層の電位を設定することができる。

【0032】

50

これにより、P S A工程時、あるいは、通常駆動時、補助容量線（または走査信号線）と配向制御間隙部とが交差する領域において、補助容量線（または走査信号線）の層と画素電極の層との間に、上記第1の電位状態、上記第2の電位状態、または、上記第3の電位状態を形成するような電位が設定された金属層が配置されるため、補助容量配線（または走査信号線）の電位による影響をシールドすることができる。

【0033】

したがって、本発明に係るアクティブマトリクス基板によれば、液晶表示パネルを製造する場合、補助容量線（または走査信号線）と交差する配向制御間隙部の周辺の液晶層において形成される等電位面は、液晶分子の配向に影響を及ぼすことがなく、液晶分子の配向を良好に保ち、適切に液晶分子を配向させることができるため、液晶表示パネルの表示品質を向上させることができるという効果を奏する。

10

【0034】

また、本発明に係るアクティブマトリクス基板の製造方法は、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線と、上記画素電極部との間で電気容量を形成する補助容量線とを備えたアクティブマトリクス基板の製造方法であって、上記補助容量線または上記走査信号線と、上記配向制御間隙部とが交差する領域において、少なくとも上記補助容量線または上記走査信号線を覆うように、金属層を形成する工程を含んでいることを特徴としている。

20

【0035】

上記の構成によれば、本発明に係るアクティブマトリクス基板と同様の作用効果を奏する。

【0036】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線とを備えたアクティブマトリクス基板であって、上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記走査信号線の層との間に、少なくとも上記走査信号線を覆うように、金属層が形成されていることを特徴としている。

30

【0037】

上記の構成によれば、アクティブマトリクス基板は、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部とを備えている。

40

【0038】

画素電極部は、1つの画素電極によって構成されてもよいし、複数の副画素電極によって構成されてもよい。また、画素部は、走査信号線と信号配線との交点に設けられた画素電極部の集合に対応している。そして、画素部は、液晶分子の配向状態を変化させる配向制御間隙部として、例えば、画素電極部を構成する各画素電極に設けられた通常のスリットや微細スリットを有している。あるいは、画素部における配向制御間隙部は、画素部を構成する画素電極部と画素電極部との間隙であってよい。

50

【0039】

また、上記の構成によれば、アクティブマトリクス基板は、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線とを備えている。

【0040】

スイッチング素子は、例えば、TFTによって構成され、画素電極部ごとに、画素電極部と信号配線との間に設けられている。そして、走査信号線からの信号に応じてスイッチングを行い、画素電極部と信号配線との電気的な接続、すなわち、導通状態と非導通状態とを切り替える。スイッチング素子は、金属配線によって画素電極部に接続されており、導通状態のときには、信号配線からのデータ信号に対応する電圧が画素電極部に供給される。金属配線は、例えば、TFTのドレイン電極からのドレイン線として構成される。

10

【0041】

そして、上記の構成によれば、上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記走査信号線の層との間に、少なくとも上記走査信号線を覆うように、金属層が形成されている。金属層としては、例えば、ドレイン電極からの上記金属配線であってもよいし、上記信号配線であってもよい。あるいは、中間電極であってもよいし、さらには、全く独立に形成されたシールドメタルであってもよい。

20

【0042】

従来、配向制御間隙部と走査信号線とが交差するような構成の液晶表示装置において、通常駆動時、あるいは、製造工程において、(走査信号線の電位 - 共通電極の電位)と(画素電極の電位 - 共通電極の電位)とが同極性、かつ、|走査信号線の電位 - 共通電極の電位| > |画素電極の電位 - 共通電極の電位|となるように走査信号線に電圧が印加される場合には、走査信号線と交差する配向制御間隙部の周辺の液晶層において配向乱れが生じ、表示品質の低下を引き起こすという問題があった。

【0043】

これに対し、本発明のアクティブマトリクス基板によれば、上記の構成により、配向制御間隙部、すなわち、スリットや画素電極間の間隙の開口領域と、走査信号線とが上下に重ならないように、金属層により少なくとも走査信号線を覆っている。この金属層は、例えば、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第1の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第2の電位状態、または、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態を形成するような電位の設定が可能である。

30

【0044】

これにより、走査信号線と配向制御間隙部とが交差する領域において、走査信号線の層と画素電極の層との間に、上記第1の状態、上記第2の状態、または、上記第3の状態を形成するような電位が設定された金属層を配置することができるため、走査信号線の電位による影響をシールドすることができる。

40

【0045】

したがって、本発明に係るアクティブマトリクス基板によれば、液晶表示パネルを製造する場合、走査信号線と交差する配向制御間隙部の周辺の液晶層において形成される等電位面は、液晶分子の配向に影響を及ぼすことがなく、液晶分子の配向を良好に保ち、適切に液晶分子を配向させることができるため、液晶表示パネルの表示品質を向上させることができるという効果を奏する。

【0046】

また、本発明に係るアクティブマトリクス基板の製造方法は、複数の走査信号線と、該

50

走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線とを備えたアクティブマトリクス基板の製造方法であって、上記上記走査信号線と、上記配向制御間隙部とが交差する領域において、少なくとも上記走査信号線を覆うように、上記金属層を形成する工程を含んでいることを特徴としている。

【0047】

上記の構成によれば、本発明に係るアクティブマトリクス基板と同様の作用効果を奏する。

【0048】

また、本発明に係るアクティブマトリクス基板では、上記金属層は、上記金属配線または上記信号配線の少なくともいずれかを含んで構成されることが好ましい。

【0049】

上記の構成によれば、金属配線または信号配線を形成する製造工程において、一体的に金属層を形成することが可能となる。

【0050】

これにより、製造工程を増加させることなく金属層を形成することができるため、製造コストを抑制することができる。

【0051】

本発明に係るアクティブマトリクス基板では、上記配向制御間隙部は、上記画素電極部に個別に形成された細孔であることが好ましい。

【0052】

本発明に係るアクティブマトリクス基板では、上記配向制御間隙部は、上記画素部を構成する複数の上記画素電極部の間に形成された間隙であることが好ましい。

【0053】

本発明に係るアクティブマトリクス基板では、上記配向制御間隙部は、上記画素電極部に切込みを入れることによって形成された細隙であることが好ましい。

【0054】

本発明に係るアクティブマトリクス基板では、上記画素電極部は、複数の副画素電極を備えたマルチ画素電極であり、画素分割方式によって駆動されることが好ましい。

【0055】

上記の構成によれば、上記画素電極部は、複数の副画素電極から成るマルチ画素電極であり、画素分割方式によって駆動される。

【0056】

これにより、1つの画素を高輝度の副画素と低輝度の副画素とで構成して中間調を表現することが可能となり、特性の視角依存性（例えば、画面の白浮き等）が改善される。しかも、上記アクティブマトリクス基板を備えていることにより、P S A工程および実駆動において、補助容量線と配向制御間隙部とが交差する領域における配向不良を防止することができるため、表示品質を低下させることがない。

【0057】

本発明に係るアクティブマトリクス基板では、上記画素電極部の隅部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記補助容量線まで延伸させた上記金属配線としてのドレイン線に、上記配向制御間隙部と上記補助容量線とが交差する上記領域において、少なくとも上記補助容量線を覆う被覆部を形成してもよい。

【0058】

本発明に係るアクティブマトリクス基板では、上記画素電極部を横切るように上記走査信号線が配されると共に、上記走査信号線と略平行に上記画素電極部を横切るように上記

10

20

30

40

50

補助容量線が配されており、上記画素電極部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記補助容量線と上記配向制御間隙部とが交差する上記領域と、上記走査信号線と上記配向制御間隙部とが交差する上記領域との少なくともいずれかまで、上記金属配線としてのドレイン線を延伸させ、少なくとも上記補助容量線および上記走査信号線を上記各領域において覆う被覆部を上記ドレイン線の一部として形成してもよい。

【0059】

本発明に係るアクティブマトリクス基板では、上記画素電極部の端部を横切るように上記走査信号線が配されると共に、上記走査信号線と略平行に上記画素電極部の中央を横切るように上記補助容量線が配されており、上記画素電極部の隅部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記補助容量線と上記配向制御間隙部とが交差する上記領域と、上記走査信号線と上記配向制御間隙部とが交差する上記領域との少なくともいずれかまで延伸させた上記金属配線としてのドレイン線に、少なくとも上記補助容量線および上記走査信号線を上記各領域において覆う被覆部を形成してもよい。

10

【0060】

本発明に係るアクティブマトリクス基板では、上記画素電極部の中央を横切るように上記走査信号線が配されると共に、上記走査信号線と略平行に上記画素電極部の端部を横切るように上記補助容量線が配されており、上記画素電極部の辺縁部に形成された上記スイッチング素子から、上記画素電極部を横切るように配された上記補助容量線と上記配向制御間隙部とが交差する上記領域と、上記走査信号線と上記配向制御間隙部とが交差する上記領域との少なくともいずれかまで延伸させた上記金属配線としてのドレイン線に、少なくとも上記補助容量線および上記走査信号線を上記各領域において覆う被覆部を形成してもよい。

20

【0061】

本発明に係るアクティブマトリクス基板では、上記画素電極部の長手方向の辺が、上記走査信号線と略平行に形成されていてもよい。

【0062】

本発明に係るアクティブマトリクス基板では、1つの上記画素電極部内に隣り合って設けられた上記配向制御間隙部が鋭角的に接近した部位と重なるように上記補助容量線が形成されており、上記画素電極部の隅部に形成された上記スイッチング素子から、上記補助容量線まで延伸させた上記金属配線としてのドレイン線に、上記配向制御間隙部と上記補助容量線とが交差する上記領域において、少なくとも上記補助容量線を覆う被覆部を形成してもよい。

30

【0063】

本発明に係るアクティブマトリクス基板では、複数の上記画素電極部の間隙として形成された上記配向制御間隙部を横切るように上記補助容量線が形成されており、上記画素電極部の隅部に形成された上記スイッチング素子から、上記補助容量線まで延伸させた上記金属配線としてのドレイン線に、上記配向制御間隙部と上記補助容量線とが交差する上記領域において、少なくとも上記補助容量線を覆う被覆部を形成してもよい。

40

【0064】

本発明に係るアクティブマトリクス基板では、複数の上記画素電極部の間隙として形成された上記配向制御間隙部を横切るように上記補助容量線が形成されており、上記画素電極部の隅部に形成された上記スイッチング素子から、上記補助容量線に交差するように延伸させた上記信号配線としてのデータ信号線に、上記配向制御間隙部と上記補助容量線とが交差する上記領域において、少なくとも上記補助容量線を覆う被覆部を形成してもよい。

【0065】

本発明に係るアクティブマトリクス基板では、上記画素電極部の隅部に形成された上記スイッチング素子から、上記画素電極部の端部を横切るように配された上記走査信号線ま

50

で延伸させた上記金属配線としてのドレイン線に、上記配向制御間隙部と上記走査信号線とが交差する上記領域において、少なくとも上記走査信号線を覆う被覆部を形成してもよい。

【0066】

本発明に係る液晶表示パネルは、上記アクティブマトリクス基板と、共通電極が設けられた対向基板とを有し、これら各基板の間に液晶層を備えていることを特徴としている。

【0067】

上記の構成によれば、アクティブマトリクス基板は、通常駆動や製造時のPSA工程などにおいて、走査信号線または補助容量線と配向制御間隙部とが交差する領域において、走査信号線または補助容量配線の電位による影響をシールドすることができるため、液晶分子の配向を良好に保ち、適切に液晶分子を配向させることができ、表示品質の高い液晶表示パネルを実現することが可能となる。

10

【0068】

本発明に係る液晶表示パネルでは、上記対向基板は、液晶分子の配向状態を制御する配向制御部を備えていることが好ましい。

【0069】

上記の構成によれば、液晶表示パネルでは、対向基板が配向制御部を備えている。配向制御部は、リブであってもよいし、スリットであってもよく、特に限定はされない。

【0070】

これにより、液晶層内の液晶分子の配向が規制され、すなわち液晶分子に所望の配向が付与され、液晶表示パネルの視野角を向上させることができる。しかも、上記アクティブマトリクス基板を備えていることにより、通常駆動や製造時のPSA工程などにおいて、走査信号線または補助容量線と配向制御間隙部とが交差する領域における配向不良を防止することができるため、表示品質を低下させることがない。

20

【0071】

本発明に係る液晶表示装置は、上記液晶表示パネルと、該液晶表示パネルを駆動する駆動回路とを備えていることを特徴としている。

【0072】

上記の構成によれば、アクティブマトリクス基板は、通常駆動や製造時のPSA工程などにおいて、走査信号線または補助容量線と配向制御間隙部とが交差する領域において、走査信号線または補助容量配線の電位による影響をシールドすることができるため、液晶分子の配向を良好に保ち、最適なプレチルト角を付与することができ、表示品質の高い液晶表示装置を実現することが可能となる。

30

【0073】

本発明に係る液晶表示パネルの製造方法は、上記液晶表示パネルの製造方法であって、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第1の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第2の電位状態、および、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態のうち、いずれか1つの電位状態において、上記液晶層に電圧を印加して、予め上記液晶層に混入されたモノマーを重合することにより、上記液晶層の液晶分子にプレチルト角を付与するポリマー配向支持工程を含んでいることが好ましい。

40

【0074】

上記の構成によれば、配向制御間隙部、すなわち、スリットや画素電極間の間隙の開口領域と、走査信号線または補助容量配線とが上下に重ならないように、金属層よって、補助容量配線または走査信号線を覆っている。

【0075】

そして、ポリマー配向支持工程、すなわち、PSA工程において、金属層は、上記金属

50

層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第1の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第2の電位状態、または、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態を形成するような電位の設定が可能である。

【0076】

これにより、走査信号線または補助容量線と配向制御間隙部とが交差する領域において、走査信号線または補助容量線の層と画素電極の層との間に、上記第1の電位状態、上記第2の電位状態、または、上記第3の電位状態を形成するような電位が設定された金属層が配置されるため、走査信号線または補助容量配線の電位による影響をシールドすることができる。

10

【0077】

したがって、本発明に係る液晶表示パネルの製造方法によれば、走査信号線または補助容量線と交差する配向制御間隙部の周辺の液晶層において形成される等電位面は、液晶分子の配向に影響を及ぼすことがなく、液晶分子の配向を良好に保ち、適切に液晶分子を配向させることができるため、液晶表示パネルの表示品質を向上させることができるという効果を奏する。

【0078】

本発明に係る液晶表示パネルの駆動方法は、上記液晶表示パネルの駆動方法であって、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第1の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第2の電位状態、および、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態のうち、いずれか1つの電位状態において、上記液晶層に電圧を印加することが好ましい。

20

【0079】

上記の構成によれば、配向制御間隙部、すなわち、スリットや画素電極間の間隙の開口領域と、走査信号線または補助容量配線とが上下に重ならないように、金属層よって、補助容量配線または走査信号線を覆っている。

30

【0080】

そして、液晶表示パネルの実駆動において、金属層は、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第1の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第2の電位状態、または、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態を形成するような電位の設定が可能である。

40

【0081】

これにより、走査信号線または補助容量線と配向制御間隙部とが交差する領域において、走査信号線または補助容量線の層と画素電極の層との間に、上記第1の電位状態、上記第2の電位状態、または、上記第3の電位状態を形成するような電位が設定された金属層が配置されるため、走査信号線または補助容量配線の電位による影響をシールドすることができる。

【0082】

したがって、本発明に係る液晶表示パネルの駆動方法によれば、走査信号線または補助

50

容量線と交差する配向制御間隙部の周辺の液晶層において形成される等電位面は、液晶分子の配向に影響を及ぼすことがなく、液晶分子の配向を良好に保ち、適切に液晶分子を配向させることができるため、液晶表示パネルの表示品質を向上させることができるという効果を奏する。

【発明の効果】

【0083】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線と、上記画素電極部との間で電気容量を形成する補助容量線とを備えたアクティブマトリクス基板であって、上記補助容量線または上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記補助容量線または上記走査信号線の層との間に、少なくとも上記補助容量線または上記走査信号線を覆うように、金属層が形成されていることを特徴としている。

10

【0084】

本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素電極部によって構成される画素部であって、液晶分子の配向状態を制御する配向制御間隙部を有する画素部と、上記走査信号線から供給される走査信号に応じて、上記信号配線と上記画素電極部とを導通状態または非導通状態に切り替えるスイッチング素子と、上記スイッチング素子に接続され、上記スイッチング素子が導通状態のときに、上記信号配線からのデータ信号を上記画素電極部に供給する金属配線とを備えたアクティブマトリクス基板であって、上記走査信号線と、上記配向制御間隙部とが交差する領域において、上記画素部の層と上記走査信号線の層との間に、少なくとも上記走査信号線を覆うように、金属層が形成されていることを特徴としている。

20

30

【0085】

それゆえ、通常駆動、あるいは、製造時のPSA工程などにおいて、走査信号線または補助容量線と配向制御間隙部とが交差する領域において、走査信号線または補助容量線の層と画素電極の層との間に、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが逆極性の第1の電位状態、上記金属層の電位と上記共通電極の電位とが等しい第2の電位状態、または、上記金属層の電位から上記共通電極の電位を減算した電位差と、上記画素電極部の電位から上記共通電極の電位を減算した電位差とが同極性で、かつ、上記画素電極部の電位と上記共通電極の電位との差の絶対値が、上記金属層の電位と上記共通電極の電位との差の絶対値以上となる第3の電位状態を形成するような電位が設定された金属層を配置することができ、走査信号線または補助容量配線の電位による影響をシールドすることができる。

40

【0086】

したがって、走査信号線または補助容量線と交差する配向制御間隙部の周辺の液晶層において形成される等電位面は、液晶分子の配向に影響を及ぼすことがなく、液晶分子の配向を良好に保ち、適切に液晶分子を配向させることができるため、液晶表示パネルの表示品質を向上させることができるという効果を奏する。

【図面の簡単な説明】

【0087】

【図1】本実施の形態に係る液晶表示パネルの要部構成を模式的に示す断面図である。

【図2】本実施の形態にかかる液晶表示装置の概略構成を示すブロック図であり、(a)

50

は補助容量を用いて駆動する液晶表示装置を示し、(b)は補助容量を用いずに駆動する液晶表示装置を示している。

【図3】本実施の形態に係る、画素電極に通常のスリットが設けられた液晶表示パネルの構成例(a)~(e)を模式的に示す平面図である。

【図4a】本実施の形態に係る、画素-画素スリットが設けられた液晶表示パネルの構成を模式的に示す平面図である。

【図4b】図4aに示す液晶表示パネルの構成を模式的に示す断面図である。

【図5】本実施の形態に係る、画素-画素スリットが設けられた液晶表示パネルの他の構成を模式的に示す平面図である。

【図6】本実施の形態に係る、画素電極に微細スリットが設けられた液晶表示パネルの構成を模式的に示す平面図である。

【図7】本実施の形態に係る、横長絵素の画素構造を有する液晶表示パネルの構成を示す平面図であり、(a)は画素電極の中央に走査信号線が形成されている構成を示し、(b)は画素電極が、1つの長辺近傍で走査信号線とオーバーラップしている構成を示している。

【図8】本実施の形態に係る、マルチ画素構造を有する液晶表示パネルの構成を示す図である。

【図9】スリットが形成された画素電極と対向基板との間のスリット近傍の電気力線および等電位面を示す図であり、(a)はスリットが補助容量線と交差していない領域における電気力線および等電位面を示し、(b)は補助容量線がCOM電位と同電位の場合において、スリットと補助容量線とが交差した領域における電気力線および等電位面を示し、(c)は補助容量線がCOM電位に対して高電位の場合において、スリットと補助容量線とが交差した領域における電気力線および等電位面を示している。

【図10】Cs-COM電圧印加方式のPSA工程に起因する配向乱れの様子を示す図である。

【図11】補助容量線を備え、スリットを有する画素電極と突起を有する共通電極とを備えた液晶表示装置における液晶分子の配向の様子を示す図であり、(a)は、通常駆動時の液晶分子の配向を示し、(b)はCs-COM電圧印加方式のPSA工程によって形成された液晶分子の配向を示している。

【図12】本実施の形態にかかる他の液晶表示装置の概略構成を示すブロック図である。

【発明を実施するための形態】

【0088】

(液晶表示装置1の概要)

本発明の一実施形態について図1~図8に基づいて説明すれば以下の通りである。はじめに本実施の形態に係る液晶表示装置1の概要について説明する。図1は、本実施の形態に係る液晶表示パネル2の要部構成を模式的に示す断面図である。また、図2は、本実施の形態にかかる液晶表示装置の概略構成を示すブロック図であり、図2の(a)は補助容量を用いて駆動する液晶表示装置1を示し、図2の(b)は補助容量を用いずに駆動する液晶表示装置1'を示している。

【0089】

図2の(a)に示すように、本実施の形態にかかる液晶表示装置1は、液晶表示パネル2と、該液晶表示パネル2を駆動する駆動回路と、該駆動回路の駆動を制御する制御回路3と、必要に応じて、バックライトユニット(図示せず)等を備えている。

【0090】

上記駆動回路は、液晶表示パネル2における走査信号線(ゲートバスライン)21を駆動するゲート駆動回路4と、データ信号線(信号配線、ソースバスライン)22を駆動するソース駆動回路5と、補助容量線(Csバスライン)14を駆動するCs駆動回路6とを備えている。

【0091】

これらゲート駆動回路4、ソース駆動回路5、およびCs駆動回路6は、各々、走査信

10

20

30

40

50

号線 2 1、データ信号線 2 2、および補助容量線 1 4 に電氣的に接続されており、これらバスラインに、外部から独立して電位を与えることができるようになっている。これら駆動回路は、上記制御回路 3 に各々電氣的に接続されており、該制御回路 3 から供給される制御信号や映像信号によって制御されている。

【 0 0 9 2 】

上記走査信号線 2 1 とデータ信号線 2 2 とは、図 2 の (a) に示すように、互いに交差して設けられている。これら走査信号線 2 1 とデータ信号線 2 2 とで囲まれた各領域が 1 画素に対応する。上記液晶表示パネル 2 は、後述するアクティブマトリクス基板 1 0 (薄膜トランジスタ基板) と対向基板 2 0 とを含んで構成される。アクティブマトリクス基板 1 0 は、複数の画素 7 がマトリクス状に配された構成を有している。また、詳細については後述するが、各画素 7 は、画素電極とスイッチング素子とによって構成されている。なお、請求の範囲における画素部は、マトリクス状に配された複数の画素 7 の集合に対応しており、請求の範囲における画素電極部は、各画素 7 を構成する画素電極に対応している。

10

【 0 0 9 3 】

なお、図 2 の (b) に示す液晶表示装置 1 ' は、補助容量線 (C s バスライン) 1 4 とそれを駆動する C s 駆動回路 6 とを備えていない点においてのみ図 2 の (a) に示す液晶表示装置 1 と異なり、他の各部の機能は同じであるため、説明は省略する。

【 0 0 9 4 】

(アクティブマトリクス基板 1 0)

図 1 を参照して、アクティブマトリクス基板 1 0 の特徴的構成について説明する。図 1 に示すとおり、アクティブマトリクス基板 1 0 は、対向基板 2 0 および液晶層 3 0 と共に、液晶表示パネル 2 を構成している。アクティブマトリクス基板 1 0 は、透明絶縁性基板 1 1 と画素電極 1 2 とドレイン線 (金属配線) 1 3 と補助容量線 1 4 とを含んで構成される。画素電極 1 2 には、スリット (配向制御間隙部) 1 5 が設けられている。スリット 1 5 を設けることによって、等電位面を変形させることによって、液晶分子の配向方位を制御する。

20

【 0 0 9 5 】

そして、アクティブマトリクス基板 1 0 では、図 1 に示すとおり、走査信号線 2 1 または補助容量線 1 4 と、画素電極 1 2 におけるスリット 1 5 とが交差する領域において、少なくとも走査信号線 2 1 または補助容量線 1 4 を覆うように、ドレイン線 1 3 によって構成される金属層が形成されている点に特徴を有している。

30

【 0 0 9 6 】

また、アクティブマトリクス基板 1 0 では、走査信号線 2 1 または補助容量線 1 4 と、画素電極 1 2 におけるスリット 1 5 とが交差する領域において、走査信号線 2 1 または補助容量線 1 4 を覆うように、データ信号線 2 2 によって構成される金属層が形成された構成であってもよい。

【 0 0 9 7 】

また、アクティブマトリクス基板 1 0 では、走査信号線 2 1 または補助容量線 1 4 と、画素電極 1 2 におけるスリット 1 5 とが交差する領域において、走査信号線 2 1 または補助容量線 1 4 を覆うように、中間電極あるいは独立したシールドメタルによって構成される金属層が形成された構成であってもよい。

40

【 0 0 9 8 】

なお、上記金属層を独立したシールドメタルによって形成する場合には、金属層の電位を後述する第 1 から第 3 の電位状態のうち、最も好ましいいずれかの電位状態に自由に設定するためのシールドメタル用電圧駆動回路を設けることになる。図 1 2 は、図 2 の (a) に示す液晶表示装置 1 に、シールドメタル用電圧駆動回路 4 1 を追加した液晶表示装置 1 A を示している。

【 0 0 9 9 】

図 1 2 では、シールドメタル用電圧駆動回路 4 1 を液晶表示パネル 2 に対してソース駆

50

動回路 5 と反対側に配置しているが、これに限らず、回路レイアウトは任意に決めることができる。

【 0 1 0 0 】

アクティブマトリクス基板の製造工程は、補助容量線 1 4 または走査信号線 2 1 と、スリット 1 5 とが交差する領域において、画素電極 1 2 の層と補助容量線 1 4 または走査信号線 2 1 の層との間に、少なくとも補助容量線 1 4 または走査信号線 2 1 を覆うように、データ信号線 2 2、ドレイン線 1 3、中間電極あるいは独立したシールドメタルの少なくともいずれかを形成する工程を含んでいる。

【 0 1 0 1 】

(P S A 工程)

液晶表示装置の表示性能を向上させるためには、液晶表示パネルの製造段階において、液晶分子が良好な配向状態となるようにプレチルト角を制御する必要がある。プレチルト角の制御方法としては、例えば、P S A (Polymer Sustained Alignment ; ポリマー配向支持) 処理がある。P S A 処理は、重合可能なモノマーを液晶に混入しておき、液晶に電圧を印加した状態において、光または熱などでモノマーを重合することにより液晶の倒れる方向を記憶させるものである。これにより、開口率を大きくするなどの目的のために配向規制力が弱い画素設計であったとしても、応答速度が速く、指押し等によっても液晶配向が乱れにくい構成を実現することができる。

【 0 1 0 2 】

また、従来、C S - C O M 電圧印加方式の液晶表示パネル、すなわち、補助容量線 (C S) と共通電極 (C O M) とに電圧を印加することによって、補助容量を介して、画素電極と共通電極との間に電圧を印加して駆動する方式の液晶表示パネルは、図 1 1 に示す構成であった。C S - C O M 電圧印加方式の液晶表示パネルでは、通常駆動の場合、図 1 1 の (a) に示すように、共通電極に設けられた突起部近傍の液晶の配向と、画素電極に設けられたスリット近傍の液晶の配向とでは、液晶分子の倒れる向きが同じになる。

【 0 1 0 3 】

しかしながら、上記従来の構成では、液晶表示パネルを製造する場合、P S A 工程において、共通電極と画素電極と補助容量線とに印加される電圧に起因して、図 1 1 の (b) に示すとおり、共通電極に設けられた突起部近傍の液晶の配向と、画素電極に設けられたスリット近傍の液晶の配向とでは、液晶分子の倒れる向きが逆になる。

【 0 1 0 4 】

これに対して、本発明に係る液晶表示パネル 2 によれば、上述したアクティブマトリクス基板 1 0 の構成により、液晶表示パネル 2 を製造する場合の P S A 工程において、液晶分子に対して所望のプレチルト角を付与することが可能となる。以下では、本発明に係る液晶表示パネル 2 について、より具体的に説明する。

【 0 1 0 5 】

(液晶表示パネル 2)

上記液晶表示パネル 2 は、互いに対向して配置された一对の基板、すなわち、アクティブマトリクス基板 1 0 および対向基板 2 0 を備え、これら一对の基板間に液晶層 3 0 が挟持されている構成を有している。これら一对の基板の外側 (両基板の対向面とは反対側の面) には、図示しない位相差板や偏光板が、必要に応じて各々設けられていてもよい。

【 0 1 0 6 】

対向基板 2 0 は、透明絶縁性基板 1 6 と共通電極 1 7 とを含んで構成される。共通電極 1 7 には、画素電極 1 2 と対向する面において、リブ 1 8 が設けられている。液晶層面にリブ 1 8 を設けることによって、リブ付近の液晶分子にプレチルト角を付与し、電圧を印加すると、プレチルト角を付与された液晶分子の配向にならって、他の液晶分子が配向する。したがって、液晶層面にリブ 1 8 を設けておくと、電圧印加によって液晶分子の配向方位をより安定に制御することができる。

【 0 1 0 7 】

上記共通電極 1 7 は、透明絶縁性基板 1 6 のほぼ全面に形成されており、各画素 7 に共

10

20

30

40

50

通の電極（すなわち、共通電極）として使用される。そして、液晶層 30 には、共通電極 17 と画素電極 12 とに印加された電圧によって電界が印加され、これにより、液晶層 30 の光透過率が変調されるので画像が形成される。

【0108】

なお、本実施の形態においては、液晶分子の配向規制のための構成として、共通電極 17 にリブ 18 を設けた構成としているが、リブ（配向制御部）18 に代えて、スリットを設けた構成であってもよい。また、液晶表示パネル 2 においては、液晶分子の配向規制の構成として、画素電極 12 にスリットが設けられていればよく、必ずしも共通電極 17 に配向規制のための構造が設けられている必要はない。

【0109】

そして、液晶表示パネル 2 は、上述したとおり、補助容量線 14 または走査信号線 21 と、スリット 15 とが交差する領域において、画素電極 12 の層と補助容量線 14 または走査信号線 21 の層との間に、少なくとも補助容量線 14 または走査信号線 21 を覆うように、データ信号線 22 またはドレイン線 13 の少なくともいずれかが形成されているアクティブマトリクス基板 10 を備えている。

【0110】

この構成により、スリット 15 と、補助容量線 14 または走査信号線 21 とが上下に重ならないように、データ信号線 22、ドレイン線 13、中間電極、あるいは独立したシールドメタル等の金属層によって、少なくとも補助容量線 14 または走査信号線 21 を覆っている。

【0111】

そして、例えば液晶パネル 2 の製造時の P S A 工程では、（補助容量線 14（走査信号線 21）の電位 - 共通電極 17 の電位）と（画素電極 12 の電位 - 共通電極 17 の電位）とが同極性、かつ、 $|$ 補助容量線 14 の電位（走査信号線 21 の電位） - 共通電極 17 の電位 $| > |$ 画素電極 12 の電位 - 共通電極 17 の電位 $|$ となるように補助容量線 14 または走査信号線 21 に電圧が印加される場合があるが、上記金属層の電位を、画素電極の電位以下に設定する。

【0112】

つまり、上記金属層の電位を、上記金属層の電位から共通電極 17 の電位を減算した電位差と、画素電極 12 の電位から共通電極 17 の電位を減算した電位差とが逆極性の第 1 の電位状態、上記金属層の電位と共通電極 17 の電位とが等しい第 2 の電位状態、または、上記金属層の電位から共通電極 17 の電位を減算した電位差と、画素電極 12 の電位から共通電極 17 の電位を減算した電位差とが同極性で、かつ、画素電極 12 の電位と共通電極 17 の電位との差の絶対値が、上記金属層の電位と共通電極 17 の電位との差の絶対値以上となる第 3 の電位状態を形成するように設定して、液晶層 30 に電圧を印加して、予め液晶層 30 に混入されたモノマーを重合することにより、液晶層 30 の液晶分子 101、102 にプレチルト角を付与することができる。

【0113】

また、液晶表示パネルの通常の実駆動時に、（補助容量線 14（走査信号線 21）の電位 - 共通電極 17 の電位）と（画素電極 12 の電位 - 共通電極 17 の電位）とが同極性、かつ、 $|$ 補助容量線 14 の電位（走査信号線 21 の電位） - 共通電極 17 の電位 $| > |$ 画素電極 12 の電位 - 共通電極 17 の電位 $|$ となるように補助容量線 14 または走査信号線 21 に電圧が印加される場合があるが、上記金属層の電位を、画素電極の電位以下に設定する。つまり、上記金属層の電位を、上記金属層の電位から共通電極 17 の電位を減算した電位差と、画素電極 12 の電位から共通電極 17 の電位を減算した電位差とが逆極性の第 1 の電位状態、上記金属層の電位と共通電極 17 の電位とが等しい第 2 の電位状態、または、上記金属層の電位から共通電極 17 の電位を減算した電位差と、画素電極 12 の電位から共通電極 17 の電位を減算した電位差とが同極性で、かつ、画素電極 12 の電位と共通電極 17 の電位との差の絶対値が、上記金属層の電位と共通電極 17 の電位との差の絶対値以上となる第 3 の電位状態を形成するように設定して、液晶層 30 に電圧を印加す

10

20

30

40

50

ることができる。

【0114】

すなわち、金属層の電位を V とし、共通電極の電位を V_{com} 、画素電極の電位を V_d とすると、金属層の電位 V を、下記の(1)～(3)のいずれかの状態となるように設定することができる。

(1) $V - V_{com}$ と $V_d - V_{com}$ とが逆極性

(2) $V = V_{com}$

(3) $V - V_{com}$ と $V_d - V_{com}$ とが同極性、かつ、 $|V_d - V_{com}| > |V - V_{com}|$

ここで、上記第1の電位状態が(1)に対応し、上記第2の電位状態が(2)に対応し、上記第3の電位状態が(3)に対応している。

10

【0115】

これにより、補助容量線14または走査信号線21とスリット15とが交差する領域において、走査信号線21または補助容量線14の層と画素電極12の層との間に、上記第1の電位状態、上記第2の電位状態、または、上記第3の電位状態を形成するような電位が設定された金属層が配置されるため、走査信号線21または補助容量線14の電位による影響をシールドすることができる。

【0116】

つまり、従来、PSA工程時や通常の駆動時において、(補助容量線14(走査信号線21)の電位 - 共通電極17の電位)と(画素電極12の電位 - 共通電極17の電位)と

20

【0117】

したがって、液晶表示パネル2を実駆動または製造する場合、走査信号線21または補助容量線14と交差するスリット15の周辺の液晶層30において形成される等電位面は、液晶分子101の配向に影響を及ぼすことがなく、液晶分子101の配向を良好に保ち、適切に液晶分子を配向させることができるため、液晶表示パネル2の表示品質を向上させることができる。

30

【0118】

なお、液晶表示パネル2の実駆動のときに、金属層として何を使うかによって、金属層の電位 V を上記第1～第3の電位状態のいずれに設定できるかが変わる。この点をより具体的に説明しておく。

【0119】

まず、金属層を独立したシールドメタルで構成した場合、前述したシールドメタル用電圧駆動回路41によって、シールドメタルの電位 V を自由に設定できるから、電位 V として、上記(1)～(3)の電位状態のどれでも自由に選択することができる。

【0120】

次に、金属層をドレイン線13または中間電極で構成した場合、ドレイン線13または中間電極は、画素電極12と常に同電位となるから、電位 V は、上記(3)の電位状態に含まれた $V - V_{com} = V_d - V_{com}$ に設定される。

40

【0121】

さらに、金属層をデータ信号線22で構成した場合、データ信号線22の電位 V は、共通電極の電位 V_{com} を中心として、正極性と負極性とに振れているから、その平均値は電位 V_{com} に等しくなっている。したがって、電位 V は、上記(2)の電位状態($V = V_{com}$)に設定される。

【0122】

なお、アクティブマトリクス基板10は、例えば、ガラス等の透明絶縁性基板上に、走査信号線21および補助容量線14を含む金属配線層、ゲート絶縁層、データ信号線22

50

およびドレイン線（金属配線）13を含む金属配線層、絶縁層、樹脂層、画素電極12が、この順に形成された構造を有する構成であってもよい。

【0123】

また、対向基板20は、例えば、アクティブマトリクス基板10との対向面上に、透明絶縁性基板にカラーフィルタ層、ブラックマトリクスおよび共通電極が、透明基板側からこの順に配されてなるCF基板であってもよい。また、対向基板20には、必要に応じて、アンダーコート層（下地層）やオーバーコート層（平坦化層）等の図示しない機能膜が設けられていてもよい。

【0124】

また、共通電極17および画素電極12は、例えば、ITO（インジウム錫酸化物）等の透明導電膜により形成された透明電極であってもよい。

10

【0125】

ところで、画素電極のスリット15としては、画素電極に部分的に設けた細孔である通常のスリットや画素電極を例えば櫛歯状に切込みを入れることによって設けた細隙である微細スリット、あるいは、隣り合う画素電極と画素電極との間の間隙をスリットとして利用する構成（以下では、画素-画素スリットと称する）などがある。そこで、以下では、画素電極のスリットの種類別に、具体的な構成例を説明する。

【0126】

（スリット15a）

図3は、本実施の形態に係る、画素電極に通常のスリットが設けられた液晶表示パネル2aの構成例を模式的に示す平面図である。図3の(a)~(e)に示すとおり、走査信号線21およびデータ信号線22との交差部には、各々、画素電極部としての画素電極12aとスイッチング素子としてのTF T（Thin film Transistor；薄膜トランジスタ）25とが設けられている。また、TF T25は、画素電極12aの隅（隅部）または辺近傍（辺縁部）に形成されている。画素電極12aおよびTF T25は、図示しない共通電極17と共に、図1における画素7を構成している。

20

【0127】

また、図3の(a)~(e)に示すとおり、画素電極12aには、スリット15aとして、細孔が設けられており、図示しない共通電極17には、リブ18が設けられている。図3の(a)~(e)に示す構成では、スリット15aとリブ18とは、略平行に設けられている。また、スリット15aとリブ18との配置関係を平面視した状態では、スリット15aとリブ18とが交互配置されている。そして、図3の(a)~(e)に示す構成では、画素電極12aの中央を横切るように走査信号線21に平行な境界線を引いて1画素を2つの領域に分けた場合、一方の領域に配されたスリット15aおよびリブ18と、他方の領域に配されたスリット15aおよびリブ18とは、さらに、上記境界線において、鋭角的に接近するように、かつ対称的に配されている。

30

【0128】

このように、複数のスリット15aおよびリブ18が鋭角的に接近する部位では、液晶分子の配向が、本来の得たい配向とは異なるため、暗線が生じる。したがって、その部位は非表示領域となるため、図3の(a)~(c)に示すように、補助容量線14を通すのに都合のよい部位である。この点は、後述する図6~8に示す構成においても同様である。

40

【0129】

なお、複数のスリット15aおよびリブ18が鋭角的に接近する上記部位において、図3の(d)に示すように、走査信号線21を通す構成であってもよいし、さらに、図3の(e)に示すように、補助容量線14を備えていない構成であってもよく、本発明はこれらの構成のいずれかに特に限定されない。

【0130】

図3の(a)~(e)に示すとおり、TF T25は、図示しないゲート電極、ゲート絶縁膜、および半導体層と、ソース電極26と、ドレイン電極27とを含んで構成される。

50

TFT25のゲート電極には、走査信号線21が電氣的に接続されており、その一部は、ゲート電極として機能する。また、ソース電極26には、データ信号線22が電氣的に接続されている。

【0131】

TFT25は、走査信号線21から供給される走査信号に応じてスイッチング動作を行い、画素電極12aとデータ信号線22との導通状態と非導通状態とを切り替える。そして、導通状態において、データ信号線22から供給される画像を表すデータ信号に対応する電圧が、ドレイン線13を介して、画素電極12aに供給される。

【0132】

また、上記補助容量線14は、走査信号線21と同一層に形成されている。さらに、補助容量線14の上層には、画素電極12aごとに、図示しないゲート絶縁膜を介して、ドレイン電極27から補助容量線14あるいは走査信号線21の直上に向けてドレイン線13が延設されている。そして、補助容量線14あるいは走査信号線21の直上に配置されたドレイン線13は、補助容量線14との重なり部分において、補助容量線14とドレイン線13との重なり面積を大きくする補助容量電極部130（図3の（a）参照）を有している。さらに、この補助容量電極部130に対して設けられたコンタクトホール24を介して、ドレイン線13は画素電極12aと電氣的に接続されている。これにより、補助容量線14を備えた構成においては、補助容量線14と画素電極12aとは、画素ごとの補助容量を形成する。したがって、画素電位を安定させることが可能となる。

【0133】

図3の（a）に示す液晶表示パネル2aの構成例では、走査信号線21が画素電極12aの上端および下端に沿って延設されており、補助容量線14が走査信号線21に略平行に画素電極12aの中央を横切って延設されている。そして、画素電極12aに設けられたスリット15aの開口領域と、画素電極12aの中央を横切る補助容量線14とが交差する領域（破線で囲まれた領域）において、画素電極12aの層と補助容量線14の層との間の層に、少なくとも補助容量線14を覆うようにドレイン線13からなる被覆金属部19（金属層）が、上記補助容量電極部130の一部として設けられている。

【0134】

図3の（b）に示す液晶表示パネル2aの構成例では、走査信号線21が画素電極12aの上端および下端に沿って延設されており、補助容量線14が走査信号線21に略平行に画素電極12aの中央を横切って延設されている。そして、画素電極12aに設けられたスリット15aの開口領域と、画素電極12aの上端および下端を横切る走査信号線21とが交差する領域（破線で囲まれた領域）において、画素電極12aの層と走査信号線21の層との間の層に、少なくとも走査信号線21を覆うようにドレイン線13からなる被覆金属部19（金属層）が設けられている。

【0135】

図3の（c）に示す液晶表示パネル2aの構成例では、走査信号線21が画素電極12aの上端および下端に沿って延設されており、補助容量線14が走査信号線21に略平行に画素電極12aの中央を横切って延設されている。そして、画素電極12aに設けられたスリット15aの開口領域と、画素電極12aの中央を横切る補助容量線14とが交差する領域（破線で囲まれた領域）、および、画素電極12aに設けられたスリット15aの開口領域と、画素電極12aの上端および下端を横切る走査信号線21とが交差する領域（破線で囲まれた領域）の両方において、画素電極12aの層と走査信号線21および補助容量線14の層との間の層に、少なくとも走査信号線21および補助容量線14のそれぞれを覆うようにドレイン線13からなる被覆金属部19（金属層）が設けられている。

【0136】

また、図3の（d）に示す液晶表示パネル2aの構成例では、走査信号線21が画素電極12aの中央を横切って延設されており、補助容量線14が画素電極12aの上端および下端に沿って延設されている。そして、画素電極12aに設けられたスリット15aの

10

20

30

40

50

開口領域と、画素電極 1 2 a の上端および下端を横切る補助容量線 1 4 とが交差する領域（破線で囲まれる領域）において、画素電極 1 2 a の層と補助容量線 1 4 との間の層に、少なくとも補助容量線 1 4 を覆うようにドレイン線 1 3 からなる被覆金属部 1 9（金属層）が設けられている。

【0137】

なお、図 3 の（d）に示す液晶表示パネル 2 a の構成例において、画素電極 1 2 a に設けられたスリット 1 5 a の開口領域と、画素電極 1 2 a の中央を横切る走査信号線 2 1 とが交差する領域において、画素電極 1 2 a の層と走査信号線 2 1 の層との間の層に、少なくとも走査信号線 2 1 を覆うようにドレイン線 1 3 からなる被覆金属部 1 9（金属層）が設けられた構成としてもよい。

10

【0138】

また、図 3 の（e）に示す液晶表示パネル 2 a の構成例では、補助容量線 1 4 が設けられておらず、走査信号線 2 1 が画素電極 1 2 a の上端および下端に沿って延設されている。つまり、図 3 の（e）に示す液晶表示パネル 2 a は、図 2 の（b）に示す液晶表示装置 1 を構成する液晶表示パネルである。そして、画素電極 1 2 a に設けられたスリット 1 5 a の開口領域と、画素電極 1 2 a の上端および下端を横切る走査信号線 2 1 とが交差する領域（破線で囲まれる領域）において、画素電極 1 2 a の層と走査信号線 2 1 との間の層に、少なくとも走査信号線 2 1 を覆うようにドレイン線 1 3 からなる被覆金属部 1 9（金属層）が設けられている。

20

【0139】

また、図 3 の（a）～（e）に示す例では、被覆金属部 1 9 は、ドレイン線 1 3 によって構成されているが、データ信号線 2 2 によって構成されてもよいし、図示しない中間電極や独立したシールドメタルによって構成されてもよい。

【0140】

なお、図 3 に示す例では、スリット 1 5 の開口領域と、走査信号線 2 1 または補助容量線 1 4 とが交差していない領域にまで、被覆金属部 1 9 が張り出した構成が示されている。この張り出しの程度が大きいほど、配向乱れを抑制する効果は大きくなるが、反対に開口率は不利になる。したがって、被覆金属部 1 9 の張り出しの程度は、要求される仕様に応じた配向乱れと開口率との兼ね合いにより決定される。

30

【0141】

（スリット 1 5 b）

図 4 a および図 4 b は、本実施の形態に係る、画素 - 画素スリットが設けられた液晶表示パネル 2 b の構成を示す図であり、図 4 a は液晶表示パネル 2 b の構成を模式的に示す平面図であり、図 4 b は液晶表示パネル 2 b の構成を模式的に示す断面図であり、図 4 a において、A - B で示される領域の断面図である。

【0142】

図 4 a に示すとおり、走査信号線 2 1 およびデータ信号線 2 2 との交差部には、各々、画素電極部としての画素電極 1 2 b とスイッチング素子としての T F T 2 5 とが設けられている。図示しない共通電極 1 7 と共に画素電極 1 2 b および T F T 2 5 が図 1 における画素 7 を構成している点は、図 3 と同様の構成である。また、T F T 2 5 の構成や動作については、図 3 に示す構成と同様であり、説明は省略する。ただし、図 4 a に示す構成は、隣り合う画素電極 1 2 b と画素電極 1 2 b' との間隙が、スリット 1 5 b として機能するという点において、図 3 に示す構成と相違する。また、図示しない共通電極 1 7 には、リブ 1 8 が設けられており、このリブ 1 8 は、画素 - 画素スリット 1 5 b と略平行に設けられている。

40

【0143】

また、図 4 a に示すとおり、補助容量線 1 4 は、各画素電極 1 2 b を横切って、走査信号線 2 1 と略平行に延設されている。なお、走査信号線 2 1 は、図 4 b に示す補助容量線 1 4 が設けられている層と同一の層に設けられている。さらに、補助容量線 1 4 は、画素電極 1 2 b の直下において、画素電極 1 2 b の長手方向（すなわち、走査信号線 2 1 と略

50

垂直の方向)にも延設されている。なお、共通電極 17 には、画素電極 12 b の長手方向に設けられた補助容量線 14 に平行して、リブ 18 が設けられている。

【0144】

さらに、図 4 a および図 4 b に示すとおり、ガラス基板 33 上に形成された補助容量線 14 の上層には、画素電極 12 ごとに、ゲート絶縁膜 32 を介して、ドレイン電極 27 から、画素電極 12 b の長手方向に設けられた補助容量線 14 に沿って、ドレイン線 13 が延設されている。

【0145】

そして、画素電極 12 b の長手方向に沿って設けられたドレイン線 13 は、走査信号線 21 に平行に設けられた補助容量線 14 と交差する位置において、補助容量線 14 とドレイン線 13 との重なり面積を大きくする補助容量電極部 131 を備えている。さらに、この補助容量電極部 131 に対して、層間絶縁膜 31 に設けられたコンタクトホール 24 を介して、ドレイン線 13 は画素電極 12 b と電氣的に接続されている。これにより、補助容量線 14 と画素電極 12 b とは、画素ごとの補助容量を形成し、画素電位を安定させることが可能となる。

10

【0146】

なお、図 4 a および図 4 b に示す構成では、共通電極 17 (図示せず) にリブ 18 が設けられた領域は透過効率が低い。そこで、この透過率の低い領域を利用して、補助容量線 14 を、走査信号線 21 に平行に設けるだけでなく、画素電極 12 b の長手方向にも設けることにより、補助容量を大きくしている。

20

【0147】

そして、液晶パネル 2 b では、図 4 a に示すとおり、スリット 15 b の開口領域(すなわち、画素電極 12 b と画素電極 12 b' との間隙)と、補助容量線 14 とが交差する領域(破線で囲まれた領域)において、画素電極 12 b の層と補助容量線 14 の層との間の層に、少なくとも補助容量線 14 を覆うようにドレイン線 13 からなる被覆金属部 19 が、上記補助容量電極部 131 の一部として設けられている。

【0148】

なお、図 3 の構成と同様、図 4 a および図 4 b に示す例では、スリット 15 b の開口領域と、補助容量線 14 とが交差していない領域にまで、被覆金属部 19 が張り出した構成が示されているが、被覆金属部 19 の張り出しの程度は、要求される仕様に応じた配向乱れと開口率との兼ね合いにより決定される。

30

【0149】

図 5 は、本実施の形態に係る、画素 - 画素スリットが設けられた液晶表示パネル 2 b' の他の構成を模式的に示す平面図である。液晶パネル 2 b' では、図 5 に示すとおり、スリット 15 b の開口領域(すなわち、画素電極 12 b と隣りの画素電極 12 b' との間隙)と、補助容量線 14 とが交差する領域(破線で囲まれた領域)において、画素電極 12 b の層と補助容量線 14 の層との間の層に、少なくとも補助容量線 14 を覆うようにデータ信号線 22 からなる被覆金属部 19 が設けられている。なお、被覆金属部 19 は、データ信号線 22 の幅を局所的に広げることによって形成されている。

【0150】

つまり、図 4 a および図 4 b に示す構成は、スリット 15 b の開口領域と交差する領域の補助容量線 14 を覆うように、ドレイン線 13 が形成された構成であるが、図 5 に示すように、スリット 15 b の開口領域と交差する領域の補助容量線 14 を覆うように、データ信号線 22 が形成された構成であってもよい。なお、図 5 に示す構成は、スリット 15 b の開口領域と交差する領域の補助容量線 14 を覆うようにデータ信号線 22 が設けられていること以外は、図 4 a および図 4 b と同じ構成であるため説明を省略する。

40

【0151】

(スリット 15 c)

図 6 は、本実施の形態に係る、画素電極に前記微細スリットが設けられた液晶表示パネル 2 c の構成を模式的に示す平面図である。図 6 に示すとおり、走査信号線 21 およびデ

50

ータ信号線 2 2 との交差部には、各々、画素電極部としての画素電極 1 2 c とスイッチング素子としての T F T 2 5 とが設けられている。なお、図 6 では、画素電極 1 2 c において、黒線が微細スリット 1 5 c を表している。つまり、黒線以外の箇所が画素電極 1 2 c を表している。

【 0 1 5 2 】

また、図示しない共通電極 1 7 と共に、画素電極 1 2 c および T F T 2 5 が図 1 における画素 7 を構成している点は、図 3 と同様の構成である。また、T F T 2 5 の構成や動作については、図 3 に示す構成と同様であり、説明は省略する。ただし、図 6 に示す構成は、画素電極が櫛歯電極であり、画素電極に設けられているスリットが、微細スリット 1 5 c であるという点において、図 3 に示す構成と相違する。

10

【 0 1 5 3 】

なお、図 6 に示す構成では、図示しない共通電極 1 7 には、リブ 1 8 が設けられていないが、配向規制力を向上させるべくリブ 1 8 が設けられた構成であってもよく、リブ 1 8 の有無は特に限定はされない。

【 0 1 5 4 】

また、各微細スリット 1 5 c の長手方向は、ドレイン線 1 3 に対してほぼ 4 5 度の傾きを有し、ほぼ 9 0 度ずつ相異した 4 通りの方向に振り分けられている。このような構成では、画素電極 1 2 c に電圧が印加されると、液晶分子は、各微細スリット 1 5 c の長手方向に沿って倒れるので、1 画素に配向方位が相異した 4 つのドメインを形成することができる。なお、例えば縦や横に微細スリットを形成して、2 ドメインの構成としてもよい。

20

【 0 1 5 5 】

また、走査信号線 2 1 と同一層には、補助容量線 1 4 が、各画素電極 1 2 c を横切って、走査信号線 2 1 にほぼ平行に延設されている。さらに、補助容量線 1 4 の上層には、画素電極 1 2 c ごとに、図示しないゲート絶縁膜を介して、ドレイン電極 2 7 から画素電極 1 2 c の長手方向に沿って、ドレイン線 1 3 が延設されている。そして、補助容量線 1 4 と交差する位置において、ドレイン線 1 3 は、補助容量線 1 4 とドレイン線 1 3 との重なり面積を大きくする補助容量電極部 1 3 2 を備えている。この補助容量電極部 1 3 2 に対して設けられたコンタクトホール 2 4 を介して、ドレイン線 1 3 は画素電極 1 2 c と電氣的に接続されている。これにより、補助容量線 1 4 と画素電極 1 2 とは、画素ごとの補助容量を形成し、画素電位を安定させることが可能となる。

30

【 0 1 5 6 】

そして、液晶表示パネル 2 c において、図 6 に示すとおり、画素電極 1 2 c に設けられたスリット 1 5 c の開口領域と、補助容量線 1 4 とが交差する領域（破線で囲まれた領域）において、画素電極 1 2 c の層と補助容量線 1 4 の層との間の層に、補助容量線 1 4 を覆うように被覆金属部 1 9 が、上記補助容量電極部 1 3 2 の一部として設けられている。

【 0 1 5 7 】

なお、図 3 の構成と同様、図 6 に示す例では、スリット 1 5 c の開口領域と、補助容量線 1 4 とが交差していない領域にまで、被覆金属部 1 9 が張り出した構成が示されているが、被覆金属部 1 9 の張り出しの程度は、要求される仕様に応じた配向乱れと開口率との兼ね合いにより決定される。

40

【 0 1 5 8 】

（横長絵素）

図 3 ~ 5 では、縦長絵素の構成について示されているが、液晶表示パネルの設計によっては、横長絵素の画素構造、すなわち、横長の R G B の各絵素が縦に並んで 1 つの画素を構成する構造となる場合がある。図 7 は、横長絵素の画素構造を有する液晶表示パネルの構成を示す図であり、(a) は画素電極 1 2 の領域内を、走査信号線 2 1 が画素電極 1 2 の長手方向に沿って横切るように形成されている構成を示し、(b) は画素電極 1 2 の領域内を、補助容量線 1 4 が画素電極 1 2 の長手方向に沿って横切るように形成されるとともに、画素電極 1 2 が、その 2 つの長辺のうち一方の長辺近傍で走査信号線 2 1 とオーバーラップしている構成を示す図である。

50

【 0 1 5 9 】

なお、図7において、図3～5に示す部材と同じ機能を有するものについては同一の参照番号を付しており、説明は省略する。図7に示す液晶表示パネルでは、画素電極は、補助容量線だけでなく走査信号線とも重なっている。

【 0 1 6 0 】

図7の(a)に示すとおり、走査信号線21と平行な長辺を有する画素電極12の中央寄りに走査信号線21が形成され、画素電極12の2つの長辺近傍で重なりを持つように補助容量線14が、走査信号線21に平行に設けられている。さらに、画素電極12と重なる2本の補助容量線14のうち一方は、画素電極12の短辺に平行に、画素電極12の長辺の中央付近から走査信号線21に向かって伸び出した延出部141を有している。複数のスリット15は、画素電極12の長辺を垂直に2分する中心線に対して左右対称に、かつ中心線に対して鋭角をなすように形成されている。

10

【 0 1 6 1 】

このような構成では、走査信号線21と画素電極12に設けられたスリット15とが交差する複数の領域が存在するとともに、補助容量線14とスリット15とが交差する複数の領域が存在する。

【 0 1 6 2 】

そして、液晶表示パネル2'では、図7の(a)に示すとおり、画素電極12に設けられたスリット15の開口領域と、走査信号線21とが交差する複数の領域(破線で囲まれた領域)のそれぞれにおいて、画素電極12の層と走査信号線21の層との間に、走査信号線21を覆うように、ドレイン線13の一部から画素電極12の短辺に沿って張り出した被覆金属部19が設けられている。

20

【 0 1 6 3 】

さらに、ドレイン線13が補助容量線14の上記延出部141とオーバーラップしながら、補助容量線14に到達するまで延出し、さらに画素電極12の長辺に沿って、補助容量線14とスリット15とが交差する複数の領域のそれぞれまで、ドレイン線13が延設されている。補助容量線14とスリット15とが交差する複数の領域では、その領域を覆うように、ドレイン線13から張り出した複数の被覆金属部19が形成されている。

【 0 1 6 4 】

また、図7の(b)に示すとおり、画素電極12が、その長辺近傍で1つの走査信号線21と重なっており、画素電極12の中央寄りに補助容量線14が形成されている場合にも、走査信号線21と画素電極12に上記と同様に設けられたスリット15とが交差する複数の領域、および補助容量線14とスリット15とが交差する複数の領域が存在する。

30

【 0 1 6 5 】

そして、液晶表示パネル2"では、図7の(b)に示すとおり、画素電極12に設けられたスリット15の開口領域と、走査信号線21とが交差する複数の領域(破線で囲まれた領域)のそれぞれにおいて、画素電極12の層と走査信号線21の層との間に、走査信号線21を覆うように、ドレイン線13の一部が画素電極12の短辺に沿って張り出した被覆金属部19が設けられている。

【 0 1 6 6 】

さらに、スリット15の開口領域と、補助容量線14とが交差する複数の領域のそれぞれにおいても、画素電極12の層と補助容量線14の層との間に、補助容量線14を覆うように、ドレイン線13の一部が拡幅された被覆金属部19が設けられている。図7では、被覆金属部19は、ドレイン線13によって構成されているが、データ信号線22によって構成されてもよいし、図示しない中間電極や独立したシールドメタルによって構成されてもよい。

40

【 0 1 6 7 】

なお、図7に示す例では、画素電極12は横長、すなわち、画素電極12の長手方向が走査信号線21と平行であるが、画素電極12は縦長、すなわち、画素電極12の長手方向が走査信号線21と垂直となる構成であってもよい。

50

【 0 1 6 8 】

(マルチ画素構造)

液晶表示パネルの特性の視角依存性（液晶表示装置を正面から観測した時の特性と斜めから観測した時の特性との差異）を改善するための一手法として、画素分割方式（いわゆるマルチ画素技術）がある。画素分割方式の液晶表示パネルは、1画素を複数の副画素で構成するマルチ画素構造を有している。そして、本発明は、マルチ画素構造を有する液晶表示パネルにも適用可能である。

【 0 1 6 9 】

はじめに、画素分割方式について説明する。図8は、マルチ画素構造を有する液晶表示パネル200の構成を示す図である。図8に示されるように、液晶表示パネル200は、直交するデータ信号線220および走査信号線210と、補助容量線140a、140bと、マトリクス配置された画素とを備えている。

10

【 0 1 7 0 】

各画素は、データ信号線220と走査信号線210との交点に各々対応して設けられており、副画素電極（画素電極部）120aおよび120bとTFT250aおよびTFT250bとを含んで構成される。補助容量線140aおよび140bは、それぞれ、副画素電極120aの上端および副画素電極120bの下端を横切るように配されている。そして、走査信号線210は、上下に配置された副画素電極120aと120bとの間隙と重なるように、補助容量線140aおよび140bと平行に設けられている。

20

【 0 1 7 1 】

TFT250aは、データ信号線220と走査信号線210との交点に近い副画素電極120aの隅部に形成され、ドレイン線130aがデータ信号線220に沿って、補助容量線140aに到達するまで伸び出し、さらに、補助容量線140aと重なる補助容量電極部330aを備えている。

【 0 1 7 2 】

また、補助容量電極部330aにおいて、ドレイン線130aは、コンタクトホール240aを介して副画素電極120aと電氣的に接続されている。

【 0 1 7 3 】

同様に、TFT250bは、データ信号線220と走査信号線210との交点に近い副画素電極120bの隅部に形成され、ドレイン線130bがデータ信号線220に沿って、補助容量線140bに到達するまで伸び出し、さらに、補助容量線140bと重なる補助容量電極部330bを備えている。

30

【 0 1 7 4 】

また、補助容量電極部330bにおいて、ドレイン線130bは、コンタクトホール240bを介して副画素電極120bと電氣的に接続されている。

【 0 1 7 5 】

これにより、副画素電極120aおよび120bは、各々、補助容量線140aおよび140bとの間で容量を形成すると共に、共通電極との間でも容量を形成している。また、TFT250aおよび250bのゲート電極には、走査信号線210が電氣的に接続されており、ソース電極260aおよび260bには、データ信号線220が電氣的に接続されている。

40

【 0 1 7 6 】

TFT250aおよび250bは、走査信号線210から供給される走査信号に応じてスイッチング動作を行い、副画素電極120aおよび120bとデータ信号線220との導通状態と非導通状態とを切り替える。そして、導通状態において、データ信号線220から供給される画像を表すデータ信号に対応する電圧が、ドレイン線130aおよび130bを介して、それぞれ、副画素電極120aおよび120bに供給される。

【 0 1 7 7 】

液晶表示パネル200においては、データ信号線220から副画素電極120aおよび120bに同じデータ信号に対応する電圧が供給されるが、補助容量線140aおよび1

50

40bの電圧を個別に制御することによって、副画素電極と補助容量線との間の補助容量を介して副画素電極120aおよび120bを異なる実効電圧とすることができる。

【0178】

例えば、補助容量線140aの電圧がプラス方向にレベルシフトするとともに、補助容量線140bの電圧がマイナス方向にレベルシフトし、1水平走査期間後に補助容量線140aの電圧がマイナス方向にレベルシフトするとともに、補助容量線140bの電圧がプラス方向にレベルシフトするというように、補助容量線140aおよび140bの電圧を1水平走査期間ごとに反転させることによって、補助容量線140aおよび140bの電圧を個別に制御する。すなわち、補助容量線140aおよび140bに180度位相をずらした矩形波の電圧を供給し、副画素電極120aと補助容量線140a、副画素電極120bと補助容量線140bのそれぞれの容量によって、副画素電極120aと副画素電極120bとの間において電位に差が生じることになる。

10

【0179】

このように、マルチ画素構造の液晶表示パネルにおいては、1つの画素を高輝度の副画素（明副画素）と低輝度の副画素（暗副画素）とで構成して中間調を表現することが可能となり、特性の視角依存性（例えば、画面の白浮き等）が改善される。

【0180】

しかしながら、副画素電極にスリットが設けられたマルチ画素構造の液晶表示パネルでは、液晶表示パネルを製造する場合のPSA工程時のみならず、画素分割方式の実駆動においても、共通電極と副画素電極と補助容量線との電圧の関係によって、図9(c)に示すような等電位線を示すことになる。したがって、実駆動においても、液晶分子の配向不良を引き起こし、表示品質を低下させてしまう可能性がある。

20

【0181】

そこで、マルチ画素構造を有する液晶表示パネル200では、図8に示すとおり、副画素電極120aに設けられたスリット150aの開口領域と、補助容量線140aとが交差する領域（破線で囲まれた領域）において、画素電極120aの層と補助容量線140aの層との間の層に、補助容量線140aを覆うようにドレイン線130aに被覆部190aが設けられている。言い換えると、スリット150aの開口領域と補助容量線140aとが交差する領域を覆うように、補助容量電極部330aから張り出した被覆部190aが設けられている。

30

【0182】

また、同様に、副画素電極120bに設けられたスリット150bの開口領域と、補助容量線140bとが交差する領域（破線で囲まれた領域）において、画素電極120bの層と補助容量線140bの層との間の層に、補助容量線140bを覆うようにドレイン線130bに被覆部190bが設けられている。

【0183】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

40

【0184】

本発明は、画素電極のスリットと走査信号線または補助容量線とが交差する構造の基板を備えた液晶表示パネルに適用可能であり、特に、Cs-COM電圧印加方式のPSA工程により液晶分子のプレチルト角が形成される液晶表示装置に好適である。

【符号の説明】

【0185】

- | | |
|---|---------|
| 1 | 液晶表示装置 |
| 2 | 液晶表示パネル |
| 3 | 制御回路 |
| 4 | ゲート駆動回路 |

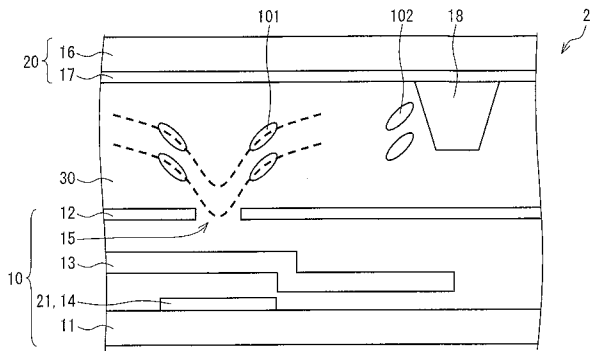
50

- 5 ソース駆動回路
- 6 CS駆動回路
- 7 画素
- 10 アクティブマトリクス基板
- 11 透明絶縁性基板
- 12 画素電極（画素電極部）
- 13 ドレイン線（金属配線）
- 14 補助容量線
- 15 スリット（配向制御間隙部）
- 16 透明絶縁性基板
- 17 共通電極
- 18 リブ（配向制御部）
- 19 被覆金属部（金属層、被覆部）
- 20 対向基板
- 21 走査信号線
- 22 データ信号線（信号配線）
- 24 コンタクトホール
- 25 TFT（スイッチング素子）
- 26 ソース電極
- 27 ドレイン電極
- 30 液晶層
- 31 層間絶縁膜
- 32 ゲート絶縁膜
- 33 ガラス基板

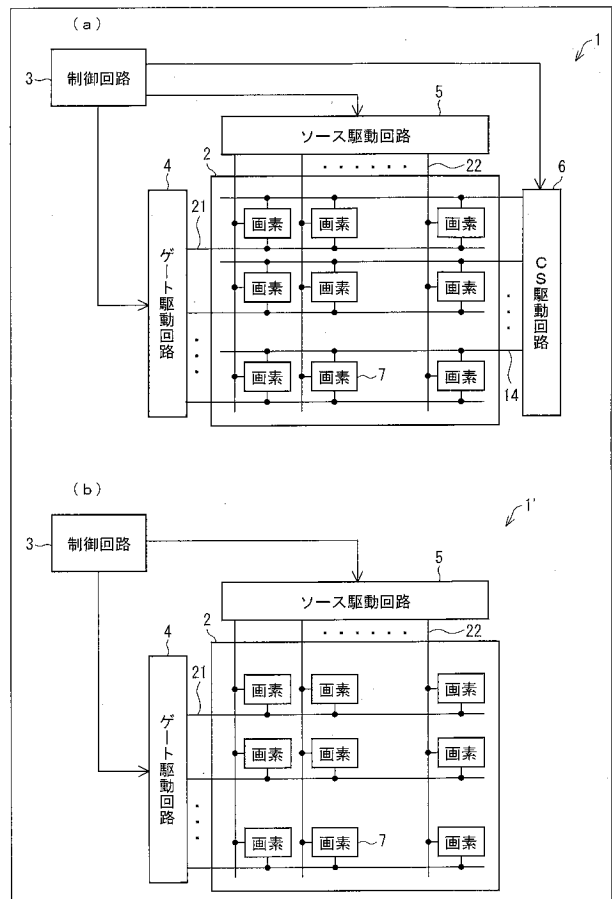
10

20

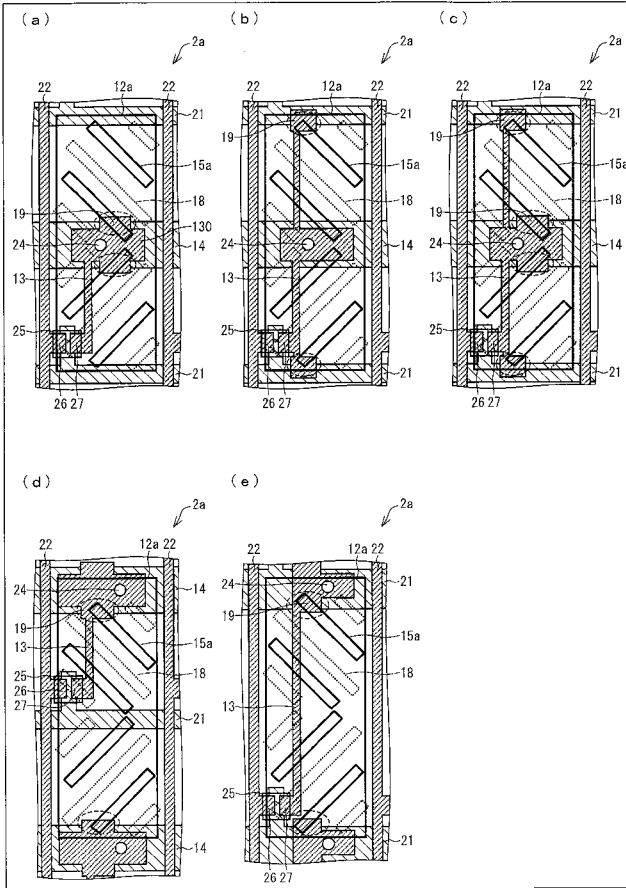
【図1】



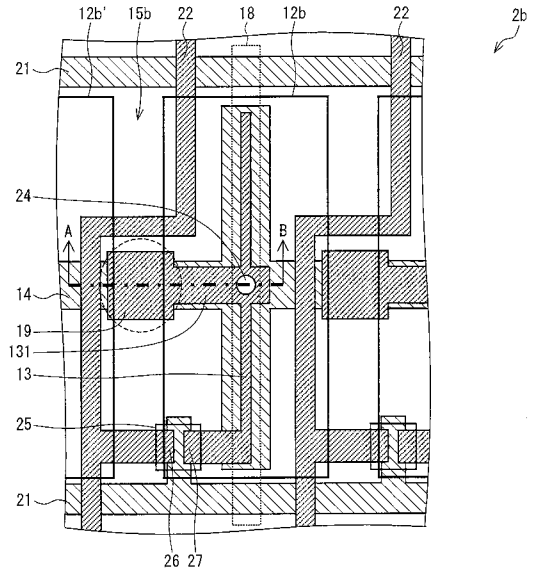
【図2】



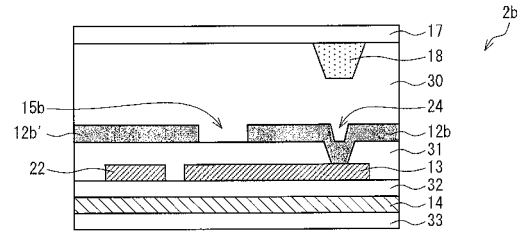
【 図 3 】



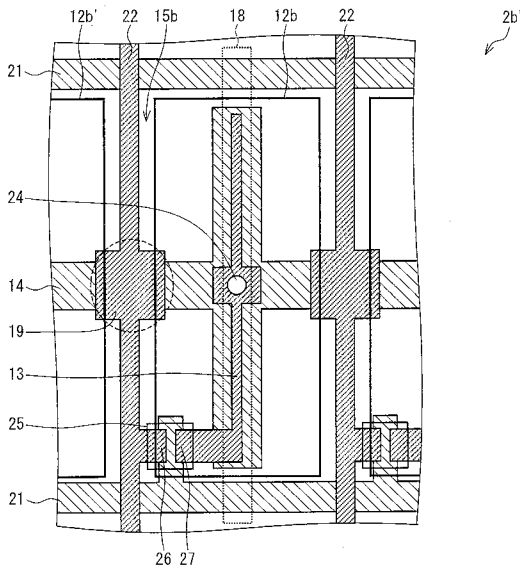
【 図 4 a 】



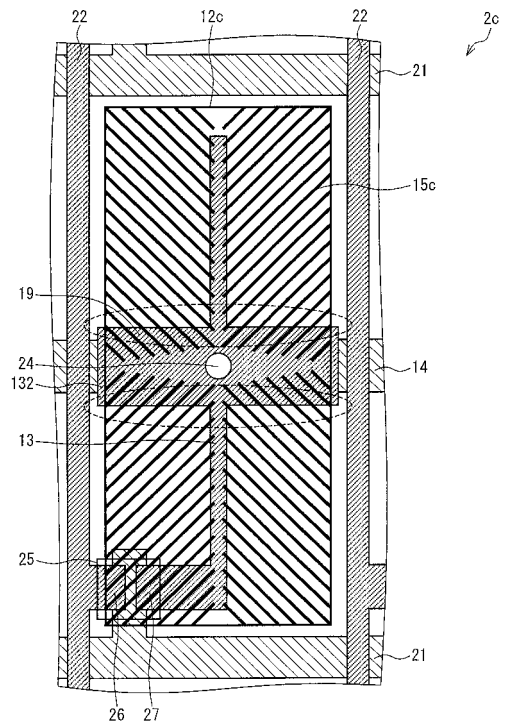
【 図 4 b 】



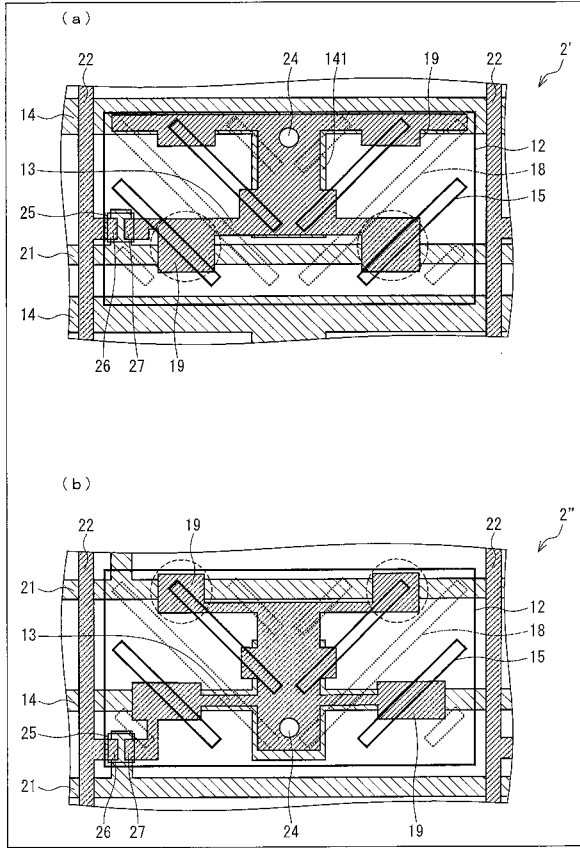
【 図 5 】



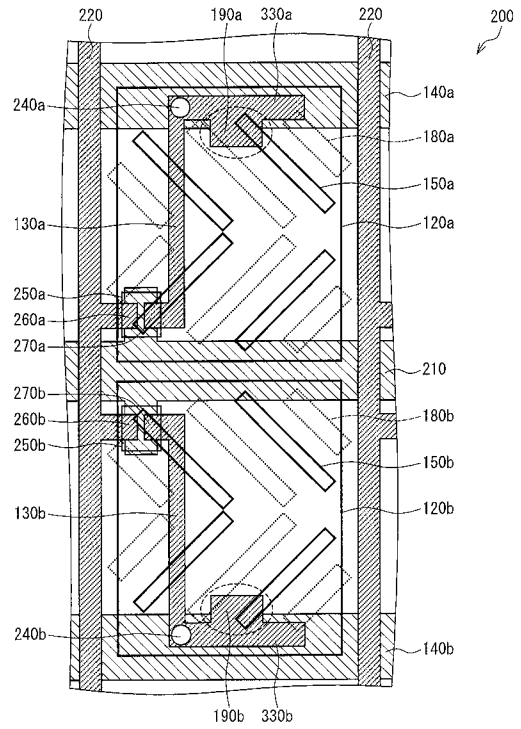
【 図 6 】



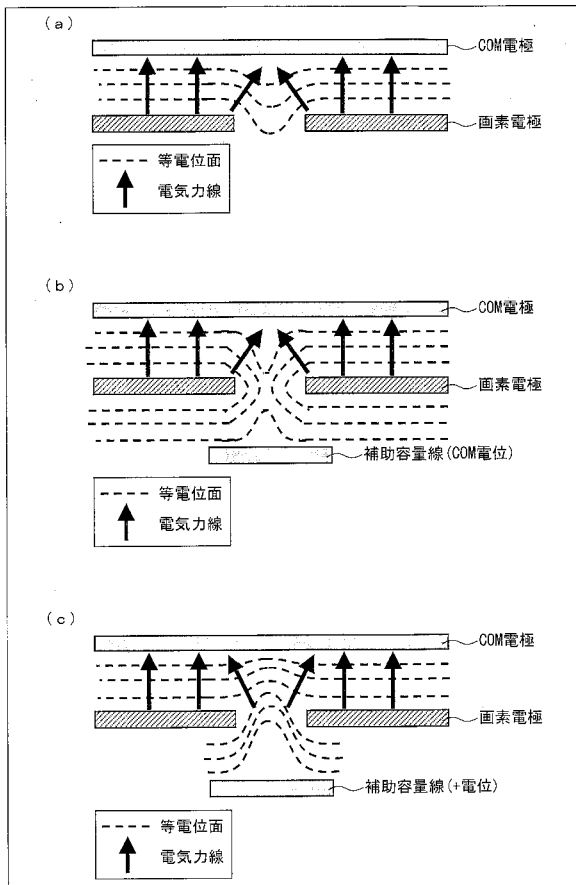
【 図 7 】



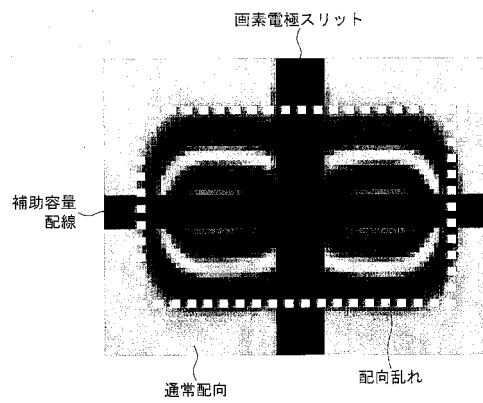
【 図 8 】



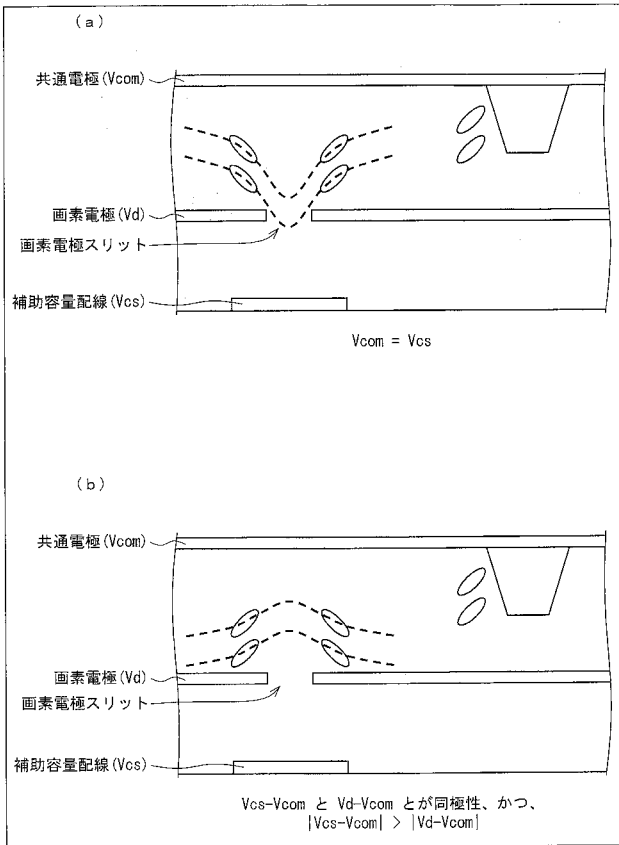
【 図 9 】



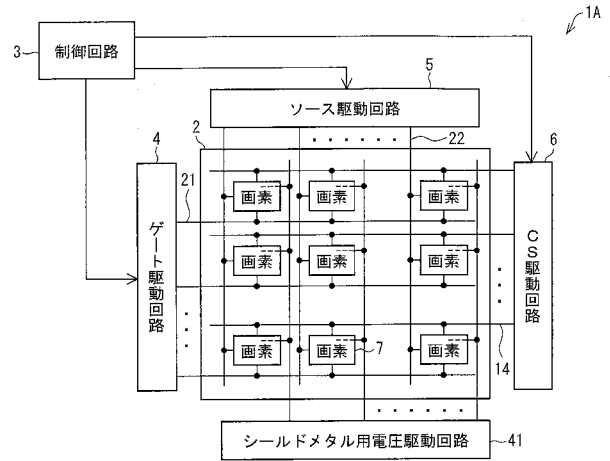
【 図 10 】



【 図 1 1 】



【 図 1 2 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2009/064029
A. CLASSIFICATION OF SUBJECT MATTER G02F1/1343(2006.01)i, G02F1/1368(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G02F1/1343, G02F1/1368 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-134889 A (Samsung Electronics Co., Ltd.), 26 May, 2005 (26.05.05), Full text; Figs. 1 to 28 & US 2005/0110924 A1 & KR 10-2005-0032164 A & CN 1619403 A	1-23
A	JP 2006-178445 A (Samsung Electronics Co., Ltd.), 06 July, 2006 (06.07.06), Full text; Figs. 1 to 19 & US 2006/0131582 A1 & KR 10-2006-0070349 A & CN 1794066 A	1-23
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 September, 2009 (02.09.09)		Date of mailing of the international search report 15 September, 2009 (15.09.09)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/064029

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-177408 A (Fujitsu Display Technologies Corp.), 27 June, 2003 (27.06.03), Full text; Figs. 1 to 50 & WO 2003/032067 A1 & US 2005/0030445 A1 & KR 10-2003-0028699 A & CN 1564962 A	1-23

国際調査報告		国際出願番号 PCT/JP2009/064029	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1343(2006.01)i, G02F1/1368(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1343, G02F1/1368			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2009年 日本国実用新案登録公報 1996-2009年 日本国登録実用新案公報 1994-2009年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2005-134889 A (サムスン エレクトロニクス カンパニー リミテッド) 2005.05.26, 全文, 第1-28図 & US 2005/0110924 A1 & KR 10-2005-0032164 A & CN 1619403 A	1-23	
A	JP 2006-178445 A (三星電子株式会社) 2006.07.06, 全文, 第1-19図 & US 2006/0131582 A1 & KR 10-2006-0070349 A & CN 1794066 A	1-23	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 02.09.2009		国際調査報告の発送日 15.09.2009	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 鈴木 俊光	2L 9115
		電話番号 03-3581-1101 内線 3255	

国際調査報告

国際出願番号 PCT/J P 2 0 0 9 / 0 6 4 0 2 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-177408 A (富士通ディスプレイテクノロジーズ株式会社) 2003.06.27, 全文, 第 1-50 図 & WO 2003/032067 A1 & US 2005/0030445 A1 & KR 10-2003-0028699 A & CN 1564962 A	1-23

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 伊藤 了基

日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

Fターム(参考) 2H090 HA16 LA01 MA01 MB14

2H092 GA14 GA64 NA04 QA09

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵基板，液晶显示面板，液晶显示装置，有源矩阵基板的制造方法，液晶显示面板的制造方法以及液晶显示面板的驱动方法		
公开(公告)号	JPWO2010058635A1	公开(公告)日	2012-04-19
申请号	JP2010539174	申请日	2009-08-07
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	堀内智 山田崇晴 久田祐子 伊藤了基		
发明人	堀内 智 山田 崇晴 久田 祐子 伊藤 了基		
IPC分类号	G02F1/1368 G02F1/1337 G02F1/1343		
CPC分类号	G02F1/1337 G02F1/133707 G02F1/133788 G02F1/13624 G02F2001/133715 G02F2001/133769 G02F2001/134345 G02F2001/134372 G02F2001/13629 G02F2201/128 G02F2201/40 G02F2203/62 G09G3/3637 G09G3/3655 G09G2330/10		
FI分类号	G02F1/1368 G02F1/1337 G02F1/1343		
F-TERM分类号	2H090/HA16 2H090/LA01 2H090/MA01 2H090/MB14 2H092/GA14 2H092/GA64 2H092/NA04 2H092/QA09		
优先权	2008295725 2008-11-19 JP		
其他公开文献	JP5122654B2		
外部链接	Espacenet		

摘要(译)

通过抑制在包括被构造为使得像素电极中的缝隙与扫描信号线或辅助电容器线相交的基板的液晶显示面板中的取向干扰来实现高质量的显示。有源矩阵基板(10)包括：具有狭缝的像素电极(12)；以及具有开口的像素电极(12)。辅助电容器线(14)。在狭缝(15)和辅助电容器线(14)或扫描信号线(21)之间的相交区域中，在绝缘层之间至少设置有漏极线(13)或数据信号线(22)。像素电极(12)和辅助电容器线(14)或扫描信号线(21)的层以覆盖辅助电容器线(14)或扫描信号线(21)的方式形成。

[图1]

