

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6394716号
(P6394716)

(45) 発行日 平成30年9月26日 (2018. 9. 26)

(24) 登録日 平成30年9月7日 (2018. 9. 7)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 670Q
G02F 1/133 (2006.01)	G09G 3/20 641E
	G09G 3/20 631M
	G09G 3/20 624B
請求項の数 2 (全 20 頁) 最終頁に続く	

(21) 出願番号	特願2017-30802 (P2017-30802)	(73) 特許権者	308036402
(22) 出願日	平成29年2月22日 (2017. 2. 22)		株式会社 J V C ケンウッド
(62) 分割の表示	特願2013-93540 (P2013-93540)		神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
原出願日	平成25年4月26日 (2013. 4. 26)	(72) 発明者	岩佐 隆行
(65) 公開番号	特開2017-126075 (P2017-126075A)		神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
(43) 公開日	平成29年7月20日 (2017. 7. 20)		
審査請求日	平成29年2月22日 (2017. 2. 22)	審査官	西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置及び液晶表示装置の検査方法

(57) 【特許請求の範囲】

【請求項 1】

複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる液晶表示装置であって、

前記画素は、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

入力された映像信号の各フレームデータについて、表示期間が1フレーム期間よりも短いサブフレームを複数用いて表示するためのサンプリングを、前記列データ線を介して行う第1のスイッチング部と、

前記第1のスイッチング部と共に S R A M を構成し、前記第1のスイッチング部が前記サンプリングしたサブフレームデータを保持する第1の保持部と、

前記第1の保持部が保持した前記サブフレームデータを出力させる第2のスイッチング部と、

前記第2のスイッチング部と共に D R A M を構成し、前記第2のスイッチング部を通して入力される前記第1の保持部に保持された前記サブフレームデータにより記憶内容が書き換えられ、出力データを前記画素電極に印加する第2の保持部と、

前記複数の画素に行単位で、前記サブフレームデータを前記第1の保持部に書き込むことを繰り返し、前記サブフレームデータが前記複数の画素の全てに書き込まれた後、トリガパルスにより前記複数の画素全ての前記第2のスイッチング部をオンにして、前記第1の保持部に保持された前記サブフレームデータにより前記複数の画素の前記第2の保持部

10

20

の記憶内容を書き換える動作を前記サブフレーム毎に行う画素制御部とを備え、

前記画素の前記第1のスイッチング部に接続されている第1の列データ線が接続されると共に、所定の固定電圧が印加されるセンスアンプとを備え、

前記第1の保持部は、第1のインバータ及び第2のインバータを含み、前記第1のインバータの入力端子は前記第2のインバータの出力端子及び前記第1のスイッチング部に接続されており、前記第2のインバータの入力端子は前記第1のインバータの出力端子及び前記第2のスイッチング部に接続されており、前記第1のインバータの駆動力は前記第2のインバータの駆動力より大である

ことを特徴とする液晶表示装置。

【請求項2】

前記請求項1に記載の液晶表示装置の検査方法であって、

前記画素の前記第1のスイッチング部に接続されている前記第1の列データ線に1ビットの検査用信号を入力するステップと、

前記画素のSRAMに前記検査用信号をラッチするステップと、

前記画素の前記第2のスイッチング部をオンにして、前記画素のSRAMにラッチした前記検査用信号を前記画素の前記DRAMにラッチするステップと、

前記画素の前記第2のスイッチング部をオンにして、前記画素のDRAMにラッチした前記検査用信号を前記画素のSRAMに読み出すステップと、

前記ラッチされた前記検査用信号を前記第1の列データ線に供給するステップと、

前記供給された前記検査用信号と、前記所定の固定電圧とに基づく電位差を前記センスアンプにより増幅するステップと

を含むことを特徴とする液晶表示装置の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及び液晶表示装置検査方法に係り、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及び液晶検査方法に関する。

【背景技術】

【0002】

従来から、液晶表示装置における中間調表示方式の1つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画像の場合には1画像の表示単位である1フレーム）を複数のサブフレームに分割し、表示されるべき階調にあわせて、それらのサブフレームを組み合わせ、各画素の駆動を行う。表示されるべき階調は、所定の期間内に占める画素の駆動期間の割合によって定まる。そして、所定の期間内に占める画素の駆動期間の割合は、分割された各サブフレームの組み合わせによって定まる。

【0003】

前述のようなサブフレーム駆動方式を採用した液晶表示装置として、例えば特許文献1に記載されているように、各画素が、マスターラッチ、スレーブラッチ、液晶表示素子、及び第1～第3の計3つのスイッチングトランジスタとから構成されるものが知られている。

【0004】

この場合、各画素では、マスターラッチは2つの入力端子のうち、一方の入力端子に対しては、第1のスイッチングトランジスタを通して1ビットの第1のデータが印加されると共に、他方の入力端子に対しては、第2のスイッチングトランジスタを通して、第1のデータとは相補的な関係にある1ビットの第2のデータが印加される。そして行走査線を介した行選択信号の印加に基づき、対象となる画素が選択されると、これら第1のスイッチングトランジスタ及び第2のスイッチングトランジスタがオン状態となり、第1のデータが書き込まれる。第1のデータが論理値「1」で、第2のデータが論理値「0」のとき

10

20

30

40

50

、その画素はデータに基づいた表示を行う。

【0005】

あるサブフレーム期間内で、全ての画素に対して上述したような動作により各データが書き込まれた後、そのサブフレーム期間内で、全画素の第3のスイッチングトランジスタがオン状態とされる。そして、マスターラッチに書き込まれたデータが同時にスレーブラッチへ読み出される。そしてスレーブラッチされたデータが液晶表示素子の画素電極に、そのスレーブラッチでラッチされたデータを印加する。サブフレーム毎に前述の一連の動作が繰り返され、1フレーム期間内の全てのサブフレームの組み合わせに基づき、所望の階調表示が行われる。

【0006】

10

すなわち、サブフレーム駆動方式を採用した液晶表示装置では、1フレーム期間内に存在する全てのサブフレームについて、同一又は異なる所定の表示期間が各サブフレームに割り当てられている。そして、各画素は、最大階調表示時は全てのサブフレームで白表示を行い（表示とされ）、最小階調表示時は全てのサブフレームが白表示を行わない（非表示とされる、換言すれば黒表示とされる）。そして最大階調表示時および最小階調表示時以外の場合は、表示される階調に応じて、表示されるサブフレームが選択される。なお、この従来の液晶表示装置は、入力されるデータが階調を示すデジタルデータであり、2段ラッチ構成のデジタル駆動方式を用いている。

【先行技術文献】

【特許文献】

20

【0007】

【特許文献1】特表2001-523847号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、前述の従来の液晶表示装置では、各画素内の2つのラッチはそれぞれ、いわゆるSRAM（Static Random Access Memory）で構成されるため、回路を構成するトランジスタの数が多くなってしまう。そのため、画素の小型化が困難であるという問題を有している。

【0009】

30

また、前述の従来の液晶表示装置の各画素は通常、シフトレジスタなどを含んだ回路を構成したシリコンバックプレーンを用いるが、これは大規模半導体集積回路（LSI: Large Scale Integrated circuit）工程を介して作成される。ウェハ作成後のプローブ検査において、画素検査が正常に行えない課題という問題を有している。この問題は、画素検査が行われる場合、列データ線にデータを入力してその入力データをSRAMに書き込んだ後、正常に書き込まれたかどうかを検査するため、列データ線からSRAMに書き込まれたデータを読み出すが、このとき列データ線に溜まっていた電荷によってSRAMが書き換わってしまう可能性があるために生じる。

【0010】

これまでの議論に加えて、前述した特許文献1に記載されている液晶表示装置は2つの相補ビット線をもつ2スイッチ型のSRAMであるが、関連する従来技術として、1つのビット線と1つのスイッチで構成される1スイッチ型のSRAMを採用した場合の問題についても述べる。

40

【0011】

例えば、いわゆるフルハイビジョン（FHD）の解像度を有する液晶表示装置の場合、画面縦方向の画素数は1080画素となり、各列データ線の容量は1pF程度になる。例えば、列データ線が“L”レベルで0Vとする。そして例えば、列データ線に接続されたスイッチングトランジスタと共にSRAMを構成する、互いに、第1のインバータの入力端子が第2のインバータの出力端子に接続され、また第2のインバータの入力端子が第1のインバータの入力端子に接続された2つのインバータのうち、上記スイッチングトラン

50

ジスタに接続された方のインバータの入力端子の電圧が“H”レベルで3.3Vとする。この場合、画素検査を行うためにSRAMに書き込まれたデータを列データ線から読み出すことを目的として上記スイッチングトランジスタをオン状態としたときに、そのスイッチングトランジスタに出力端子が接続された他方のインバータを構成しているPチャンネルMOS (Metal Oxide Semiconductor) 型電界効果トランジスタ (以下、PMOSTランジスタという) を通して電源から、上記の1pF程度の電荷容量に充電されることになる。

【0012】

このとき、上記の他方のインバータを構成しているトランジスタの駆動力は、上記の一方のインバータを構成しているトランジスタの駆動力よりも小さいため、充電時間が長くなる傾向がある。そのため必要な充電が完全に行われないうまま、上記の一方のインバータの入力端子の電圧がその反転電圧を下回ってしまう傾向を有する。そして、上記の一方のインバータの入力端子の電圧、すなわちSRAMの書き込まれるべきデータが書き換えられてしまう。このため、SRAMのデータを列データ線に出力することができず、正確な画素検査が行えないという問題が有る。

10

【0013】

本発明は以上の点に鑑みなされたもので、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及びその画素検査方法を提供することを目的とする。

【課題を解決するための手段】

20

【0014】

本発明は、上記目的を達成するため、複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる液晶表示装置であって、前記画素は、対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、入力された映像信号の各フレームデータについて、表示期間が1フレーム期間よりも短いサブフレームを複数用いて表示するためのサンプリングを、前記列データ線を介して行う第1のスイッチング部と、前記第1のスイッチング部と共にSRAMを構成し、前記第1のスイッチング部が前記サンプリングしたサブフレームデータを保持する第1の保持部と、前記第1の保持部が保持した前記サブフレームデータを出力させる第2のスイッチング部と、前記第2のスイッチング部と共にDRAMを構成し、前記第2のスイッチング部を通して入力される前記第1の保持部に保持された前記サブフレームデータにより記憶内容が書き換えられ、出力データを前記画素電極に印加する第2の保持部と、前記複数の画素に行単位で、前記サブフレームデータを前記第1の保持部に書き込むことを繰り返し、前記サブフレームデータが前記複数の画素の全てに書き込まれた後、トリガパルスにより前記複数の画素全ての前記第2のスイッチング部をオンにして、前記第1の保持部に保持された前記サブフレームデータにより前記複数の画素の前記第2の保持部の記憶内容を書き換える動作を前記サブフレーム毎に行う画素制御部とを備え、前記画素に接続されている第1のデータ線が接続されると共に、所定の固定電圧が印加されるセンスアンプとを備えることを特徴とする液晶表示装置を提供する。

30

【0015】

40

また本発明は、上記目的を達成するため、前述の液晶表示装置の検査方法であって、前記画素に接続されている前記第1のデータ線に1ビットの検査用信号を入力するステップと、前記画素のSRAMに前記検査用信号をラッチするステップと、前記ラッチされた前記検査用信号を前記第1のデータ線に供給するステップと、前記供給された前記検査用信号と、前記所定の固定電圧とに基づく電位差を前記センスアンプにより増幅するステップとを備えることを特徴とする液晶表示装置の検査方法を提供する。

【発明の効果】

【0016】

本発明によれば、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及びその画素検査方法を提供することができる。

50

【図面の簡単な説明】

【0017】

【図1】本発明の実施の形態に係る液晶表示装置1の全体構成図である。

【図2】本発明の第1の実施の形態に係る回路図である。

【図3】本発明の実施の形態に係るインバータの一例の回路図である。

【図4】本発明の実施の形態に係る画素12の断面構造図の例である。

【図5】本発明の実施の形態に係る液晶表示装置1の画素12の書き込み／読み出し動作を説明するためのタイミングチャートである。

【図6】本発明の実施の形態に係る液晶表示装置1の液晶の、飽和電圧および液晶の閾値電圧の2値重みつきパルス幅変調データとしての多重化を説明図である。

【図7】本発明の実施の形態に係るセンスアンプ回路の構成図である。

【図8】本発明の実施の形態に係る画素検査の動作説明用タイミングチャートである。

【図9】本発明の実施の形態に係る液晶表示装置1のDRAMをオンした場合とオフした場合を説明する画素回路の模式図である。

【発明を実施するための形態】

【0018】

以下、図面を参照して本発明の実施形態について説明する。図1は、本発明の実施形態に係る液晶表示装置1のブロック図である。液晶表示装置1は、複数の画素12が規則的に配置された画像表示部と、タイミングジェネレータと、垂直シフトレジスタと、データラッチ回路と、水平ドライバと、センスアンプと、画素読み出し用シフトレジスタとから構成される。

【0019】

水平ドライバは、水平シフトレジスタと、ラッチ回路と、レベルシフタ／画素ドライバとから構成される。また、画素読み出し用シフトレジスタは、1行分の画素数に相当する段数を有するシフトレジスタである。

【0020】

画像表示部は、垂直シフトレジスタに一端が接続されて行方向（X方向）に延在するm本（mは2以上の自然数）の行走査線g1～gmと、レベルシフタ／画素ドライバに一端が接続されて列方向（Y方向）に延在するn本（nは2以上の自然数）の列データ線d1～dnとが交差する各交差部に設けられ、二次元マトリクス状に配置された、それぞれ（m×n）／2個ずつの画素12から構成される（図1では、画像表示部を破線で囲んだブロックで示す。）。画像表示部内の全ての画素12は、一端がタイミングジェネレータに接続されたトリガパルス用トリガ線trig及びtrigbに共通接続されている。

【0021】

正転トリガパルス用トリガ線trigが伝送する正転トリガパルスと、反転トリガパルス用トリガ線trigbが伝送する反転トリガパルスとは、常に逆論理値の関係（相補的な関係）にある。

【0022】

タイミングジェネレータは、上位装置から垂直同期信号Vst、水平同期信号Hst、基本クロックCLKといった外部信号を入力信号として受ける。そしてタイミングジェネレータは、これらの外部信号に基づいて、交流化信号FR、VスタートパルスVST、HスタートパルスHST、クロック信号VCK及びクロック信号HCK、ラッチパルスLT、トリガパルスtrig／trigb、画素読み出し用シフトレジスタクロック信号TCCK／TCCKbなどの各種の内部信号を生成する。

【0023】

上記の内部信号のうち、交流化信号FRは、1サブフレーム毎に極性反転する信号である。交流化信号FRは、画像表示部を構成する画素12A及び画素12B内の液晶表示素子の共通電極に、後述する共通電極電圧Vcomとして供給される。スタートパルスVSTは、後述する各サブフレームの開始のタイミングで出力されるパルス信号である。このスタートパルスVSTによって、サブフレームの切替わりが制御される。

【0024】

スタートパルスHSTは、水平シフトレジスタに入力する開始タイミングに出力されるパルス信号である。クロック信号VCKは、垂直シフトレジスタにおける1水平走査期間(1H)を規定するシフトクロックであり、クロック信号VCKのタイミングにあわせて垂直シフトレジスタがシフト動作を行う。クロック信号HCKは、水平シフトレジスタにおけるシフトクロックであり、32ビット幅でデータをシフトしていくための信号である。ラッチパルスLTは、水平シフトレジスタが水平方向の1行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。

【0025】

また、タイミングジェネレータは、正転トリガパルスを、正転トリガパルス用トリガ線 *t r i g* を通して、また反転トリガパルスを、反転トリガパルス用トリガ線 *t r i g b* を通して画像表示部内の全画素12に供給する。正転トリガパルスと反転トリガパルスとは、画像表示部内の画素12に設けられた(図1では図示を省略した)第1の信号保持手段に対し順次、データの書き込みが完了された直後に出力される。そして、そのサブフレーム期間内で、画像表示部内の全画素12の第1の信号保持手段のデータが同じ画素内の(図1では図示を省略した)第2の信号保持手段に一度に転送される。なお、第1の信号保持手段及び第2の信号保持手段については、後に詳述する。

【0026】

垂直シフトレジスタは、それぞれのサブフレームの最初に供給されるVスタートパルスVSTを、クロック信号VCKに従って転送する。そして垂直シフトレジスタは、行走査線 *g 1 ~ g m* に対して行走査信号を1H単位で順次排他的に供給する。また垂直シフトレジスタは、1フレーム期間では全ての行走査線 *g 1 ~ g m* に行走査線を供給する。これにより、1フレーム期間において、画像表示部において最も上にある行走査線 *g 1* から最も下にある行走査線 *g m* まで、行走査線が1本ずつ順次1H単位で選択されていく。

【0027】

データラッチ回路は、図示しない外部回路から供給される1サブフレーム毎に分割された32ビット幅のデータを、上位装置からの基本信号CLKに基づいてラッチした後、基本信号CLKに同期して水平シフトレジスタへ出力する。

【0028】

ここで、映像信号の1フレームが、その映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームに分割されて、それらサブフレームの組み合わせによって階調表示が行われる本実施の形態では、前述したような画素と周辺回路の外部にある上位構成回路において、映像信号の画素毎の階調を示す階調データが、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の1ビットのサブフレームデータに変換される。そして、これら画素と周辺回路の外部にある上位構成回路において、更に同じサブフレームにおける32画素分の上記サブフレームデータをまとめて上記32ビット幅のデータとしてデータラッチ回路に供給している。

【0029】

水平シフトレジスタは、1ビットシリアルデータの処理系でみた場合、タイミングジェネレータから1Hの最初に供給されるHスタートパルスHSTによりシフトを開始し、データラッチ回路から供給される32ビット幅のデータをクロック信号HCKに同期してシフトする。ラッチ回路は、水平シフトレジスタが画像表示部の1行分の画素数 *n* と同じ *n* ビット分のデータをシフトし終わった時点で、タイミングジェネレータから供給されるラッチパルスLTに従って、水平シフトレジスタから並列に供給される *n* ビット分のデータ(すなわち、同じ行の *n* 画素分のサブフレームデータ)をラッチし、レベルシフタ/画素ドライバのレベルシフタへ出力する。

【0030】

ラッチ回路へのデータ転送が終了すると、タイミングジェネレータからHスタートパルスが再び出力され、水平シフトレジスタはクロック信号HCKに従ってデータラッチ回路からの32ビット幅のデータのシフトを再開する。

【0031】

レベルシフタ／画素ドライバに設けられたレベルシフタは、ラッチ回路によりラッチされて供給される1行のn画素に対応したn個のサブフレームデータの信号レベルを、液晶駆動電圧までレベルシフトする。レベルシフタ／画素ドライバに設けられた画素ドライバは、レベルシフト後の1行のn画素に対応したn個のサブフレームデータを、n本の列データ線d1～dnに並列に出力する。

【0032】

水平ドライバを構成する水平シフトレジスタ、ラッチ回路、及びレベルシフタ／画素ドライバは、1H内において今回データを書き込む画素行に対するデータの出力と、次の1H内でデータを書き込む画素行に関するデータのシフトとを並行して行う。ある水平走査期間において、ラッチされた1行分のn個のサブフレームデータが、データ信号としてそれぞれn本の列データ線d1～dnに並列に、かつ、一斉に出力される。

【0033】

ここで、列データ線d1～dnはセンスアンプに接続されており、微弱な電位信号差を増幅してVDD、GND信号（ここでVDDは電源電圧、GNDは基準電圧）に変換し、変換された各画素検査信号は、TESTをオンすることによって1Hの半分の画素数分の画素検査信号が一斉に画素読み出し用シフトレジスタに格納される。その後、TESTをオフ制御し、画素読み出し用シフトレジスタに画素検査信号をラッチする。画素読み出し用シフトレジスタクロック信号TCKは、2本の列データ線毎に配置されたセンスアンプから入力された信号を転送するためのクロックである。TCK/TCKbに従って画素検査された信号がシリアルに出力端子TOUTから順次読み出される。

【0034】

画像表示部を構成する複数の画素12のうち、垂直シフトレジスタからの行走査信号により選択された1行ずつの画素12は、レベルシフタ／画素ドライバから一斉に出力された1行分のn個のサブフレームデータをn本のデータ線d1～dn及びを介してサンプリングして各画素12内の（図1では図示を省略した）後述する第1の信号保持手段に書き込む。

【0035】

次に、本発明の液晶表示装置の画素12の各実施の形態について詳細に説明する。

（第1の実施の形態）

本発明が有する多数の側面のうちの一つの側面を、第1の実施の形態として、以下に説明する。本実施の形態に係る液晶表示装置1の画素12の等価回路を、その周囲の画素検査回路のセンスアンプと共に図2に示す。図2において、画素12は図1中の任意の行走査線gに接続された画素で、画素12は任意の列データ線dと、任意の行走査線gとの交差部に設けられている。また、列データ線dはセンスアンプの片方の入力に接続され、センスアンプのもう片方の入力に固定電圧を入力する配線midに接続されている。センスアンプは列データ線dと配線midから入力される微弱な電位差を増幅する回路である。配線midは任意のアナログ電圧を上位装置から供給できるようになっている。通常はVDD/2とし、電源電圧と基準電圧の中間電圧に調整する。

【0036】

画素12は、第1のスイッチング手段であるスイッチSW11、スイッチSW11のオン／オフに応じて信号（データ）を保持する第1の保持手段SM121、第2のスイッチング手段であるスイッチSW12、スイッチSW12のオン／オフに応じて信号を保持する第2の保持手段である容量C11、画素電極である反射電極PE1と液晶LC1、共通電極であるCEから構成される。第1の保持手段SM121は、インバータINV11とインバータINV12とから構成される。スイッチSW11と、第1の保持手段SM121は、SRAM（Static Random Access Memory）を構成する（図2中ではSRAM1）。スイッチSW12と、容量C11とは、DRAM（Dynamic Random Access Memory）を構成する（図2中ではDM122）。

【0037】

スイッチSW11は、ゲートが行走査線gに共通に接続され、ドレインが列データ線dに接続され、ソースが第1の信号保持手段SM121の入力端子に接続されている、1個のNチャネルMOS (Metal Oxide Semiconductor) 型トランジスタ (以下、NMOSTトランジスタという) により構成されている。第1の信号保持手段SM121は、一方の出力端子が他方の入力端子に接続された2つのインバータINV11及びインバータINV12からなる自己保持型メモリである。

【0038】

インバータINV11は、その入力端子がインバータINV12の出力端子とSW11を構成するNMOSTトランジスタのソースとに接続されている。インバータINV12は、その入力端子がスイッチSW12とインバータINV11の出力端子とに接続されている。

10

【0039】

インバータINV11、インバータINV12、インバータINV21、及びインバータINV22はいずれも、図3に示すような、互いのゲート同士、及び互いのドレイン同士が接続された、PチャネルMOS型トランジスタ (以下、PMOSTトランジスタという) PTr及びNMOSTトランジスタNTrとからなるCMOS (Complementary Metal Oxide Semiconductor) インバータの構成であるが、それぞれのインバータの駆動力が異なるように設計されている。

【0040】

すなわち、スイッチSW11から見て第1の信号保持手段SM121を構成している入力側のインバータINV11内のトランジスタは、スイッチSW11から見て第1の信号保持手段SM121を構成している出力側のインバータINV12内のトランジスタと比べて、駆動力の大きいトランジスタを用いている。さらにスイッチSW11を構成しているNMOSTトランジスタは、インバータINV12を構成しているNMOSTトランジスタと比べて、駆動力の大きいトランジスタを用いている。

20

【0041】

これは、スイッチSW11の入力側の電圧が“H”レベルのときに、電圧が、インバータINV11の入力側のトランジスタが反転する大きさ以上に達するためには、スイッチSW11に流れる電流が、出力側のインバータINV12のトランジスタを構成するNMOSTトランジスタを流れる電流よりも大きい必要があるためである。

30

【0042】

このように、スイッチSW11を構成しているNMOSTトランジスタの駆動力はインバータINV12を構成しているNMOSTトランジスタの駆動力よりも大きくする必要がある。そのため、スイッチSW11を構成しているNMOSTトランジスタのトランジスタサイズと、インバータINV12を構成しているNMOSTトランジスタのトランジスタサイズとは、これを考慮して決定される必要がある。

【0043】

スイッチSW12は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続されたNMOSTトランジスタとPMOSTトランジスタとからなるトランスミッションゲートの構成とされている。NMOSTトランジスタのゲートは正転トリガパルス用トリガ線trigに接続され、PMOSTトランジスタのゲートは反転トリガパルス用トリガ線tribに接続されている。

40

【0044】

また、スイッチSW12は一方の端子が第1の信号保持手段SM121に接続され、他方の端子が容量C11と液晶表示素子LCM1の反射電極PE1にそれぞれ接続されている。

【0045】

従って、スイッチSW12は、正転トリガパルス用トリガ線trigを介して供給される正転トリガパルスが“H”レベル (このときは、反転トリガパルス用トリガ線tribを介して供給される反転トリガパルスは“L”レベル) のときはオン状態とされ、第1

50

の信号保持手段SM121の記憶データを読み出して容量C11及び反射電極PE1へ転送する。また、スイッチSW12は、正転トリガパルス用トリガ線trigを介して供給される正転トリガパルスが“L”レベル（このときは、反転トリガパルス用トリガ線tribを介して供給される反転トリガパルスは“H”レベル）のときはオフ状態とされ、第1の信号保持手段SM121の記憶データの読み出しは行わない。

【0046】

スイッチSW12は上述したようなトランSMissionゲートの構成とされているため、GNDからVDDまでの範囲の電圧をオン・オフすることができる。つまり、トランSMissionゲートを構成するNMOSトランジスタとPMOSトランジスタの各ゲートに印加される信号がGND側の電位（“L”レベル）のときは、PMOSトランジスタが導通することができない代わりに、NMOSトランジスタが低抵抗で導通することができる。一方、ゲート入力信号がVDD側の電位（“H”レベル）のときはNMOSトランジスタが導通することができない代わりに、PMOSトランジスタが低抵抗で導通することができる。

10

【0047】

従って、トリガ線tribを介して供給される正転トリガパルスと、トリガ線tribを介して供給される反転トリガパルスとにより、スイッチSW12を構成するトランSMissionゲートをオン／オフ制御することによって、GNDからVDDまでの電圧範囲を低抵抗、高抵抗でスイッチングすることができる。

【0048】

20

容量C11はスイッチSW12と共にDM122のDRAMを構成している。ここで、第1の信号保持手段SM121の記憶データと容量C11の保持データとが異なっていた場合、スイッチSW12がオン状態とされ、SM121の記憶データが容量C11へ転送されたときには、容量C11の保持データが第1の信号保持手段SM121の記憶データで置き換えられる必要がある。

【0049】

容量C11の保持データが書き換えられる場合、その保持データは充電、または放電によって変化する。そして容量C11の充放電はインバータINV11の出力信号によって駆動される。容量C11の保持データが充電によって“L”レベルから“H”レベルに書き換えられる場合、インバータINV11の出力信号は“H”レベルである。このときインバータINV11を構成するPMOSトランジスタ（図3のPTr）がオン状態、NMOSトランジスタ（図3のNTr）がオフ状態となるため、インバータINV11のPMOSトランジスタのソースに接続されている電源電圧VDDによって容量C11が充電される。

30

【0050】

一方、容量C11の保持データが放電によって“H”レベルから“L”レベルに書き換えられる場合、インバータINV11の出力信号は“L”レベルである。このときインバータINV11を構成するNMOSトランジスタ（図3のNTr）がオン状態、PMOSトランジスタ（図3のPTr）がオフ状態となるため、容量C11の蓄積電荷が、インバータINV11のNMOSトランジスタ（図3のNTr）を通してGNDへ放電される。

40

【0051】

スイッチSW12は、上述したトランSMissionゲートを用いたアナログスイッチの構成であるため、上記の容量C11の高速な充放電が可能になる。

更に、本実施の形態ではインバータINV11の駆動力は、インバータINV12の駆動力よりも大きく設定されているため、容量C11を高速に充放電駆動することが可能である。

また、スイッチSW12をオンにすると、容量C11に蓄えられた電荷はインバータINV12の入力ゲートにも影響を与えるが、インバータINV12に対してインバータINV11の駆動力を大きく設定していることにより、インバータINV12のデータ入力反転よりもインバータINV11による容量C11の充放電が優先され、SM121の記

50

憶データを書き換えてしまうことを防止することが可能となる。

【0052】

さらに図2に示した本実施の形態の画素12によれば、上記のように、液晶表示素子LCM1の印加電圧を高く設定することができ、ダイナミックレンジを大きく取ることが可能になるという効果だけではなく、画素の小型化が可能であるという大なる効果が得られる。この画素12の小型化は、図2に示したように計7個のトランジスタと1つの容量C11から構成され、従来の画素よりも少ない数の構成素子により画素を構成できることに加えて、以下に説明するように、第1の信号保持手段SM121、DM122、反射電極PE1を、素子の高さ方向に有効に配置することができるということによる。

【0053】

図4は、本実施の形態に係る画素12の断面構成図である。図2に示した容量C11には、配線間で容量を形成するMIM(Metal-Insulator-Metal)容量や、基板-ポリシリコン間で容量を形成するDiffusion容量、2層ポリシリコン間で容量を形成するPIP(Poly-Insulator-Poly)容量などを用いることができる。図4は、このうちMIMにより容量C11を構成した場合の液晶表示装置の断面構成図を示す。なお、図4は画素12の一部の構成断面図を示している。

【0054】

図4において、シリコン基板に形成されたNウェル上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV11のPMOSTランジスタPT r 1 1と、スイッチSW12のPMOSTランジスタT r 2とが形成されている。また、シリコン基板に形成されたPウェル上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV12のNMOSTランジスタNT r 1 2と、スイッチSW12のNMOSTランジスタT r 1とが形成されている。なお、図4にはインバータINV11を構成するNMOSTランジスタとインバータINV12を構成するPMOSTランジスタとは図示されていない。

【0055】

また、上記の各トランジスタPT r 1 1、T r 2、T r 1、及びNT r 1 2の上方には、層間絶縁膜をメタル間に介在させて第1メタル、第2メタル、第3メタル、電極、第4メタル、及び第5メタルが積層されている。第5メタルは画素毎に形成される反射電極PE1を構成している。スイッチSW12を構成するNMOSTランジスタT r 1及びPMOSTランジスタT r 2の各ソースを構成する各拡散層は、コンタクトにより第1メタルにそれぞれ電氣的に接続され、更に、スルーホールを通して第2メタル、第3メタル、第4メタル、及び第5メタルに電氣的に接続されている。すなわち、スイッチSW12を構成するNMOSTランジスタT r 1及びPMOSTランジスタT r 2の各ソースは、反射電極PEに電氣的に接続されている。

【0056】

更に、反射電極PE(第5メタル)上には保護膜としてパッシベーション膜(PSV)が形成され、透明電極である共通電極CEに離間対向配置されている。それら反射電極PE1と共通電極CEとの間に液晶LC1が充填封止されて、液晶表示素子を構成している。

【0057】

ここで、第3メタル上には層間絶縁膜を介してMIM電極が形成されている。このMIM電極は、第3メタル及び第3メタルとMIM電極との間の層間絶縁膜と共に容量C11を構成している。MIMにより容量C11を構成すると、第1の信号保持手段SM121とスイッチSW11、スイッチSW12はトランジスタと第1メタル及び第2メタルの1層配線及び2層配線、DM122の一部C11はトランジスタ上部の第3メタルを利用したMIM配線にて形成することが可能になる。MIM電極は、スルーホールを介して第4メタルに電氣的に接続され、更に第4メタルはスルーホールを介して反射電極PE1に電氣的に接続されているため、容量C11は反射電極PE1に電氣的に接続されている。

【0058】

図4中で図示を省略した光源が照射した光は、共通電極CE及び液晶LCM1を透過して反射電極PE1（第5メタル）に入射して反射され、元の入射経路を逆進して共通電極CEを通して射出される。

【0059】

本実施の形態によれば、図4に示すように、5層配線である第5メタルを反射電極PE1に割り当てることにより、第1の信号保持手段SM121、DM122の一部C11、及び反射電極PE1を高さ方向に有効に配置することが可能になり、画素小型化が実現できる。これにより、例えば3 μ m以下のピッチの画素を電源電圧3.3Vのトランジスタで構成できる。この3 μ mピッチの画素では対角の長さ0.55インチの横方向4000画素及び縦方向2000画素の液晶表示パネルを実現できる。

10

【0060】

次に、本実施の形態の画素12を用いた図1の液晶表示装置1のデータ書き込み及び読み出し動作について、図5のタイミングチャートを併せ参照して説明する。

【0061】

前述したように、液晶表示装置1において、垂直シフトレジスタからの行走査信号により行走査線g1から行走査線gmに向って、行走査線が1本ずつ順次1H単位で選択されていくため、画像表示部を構成する複数の画素12は、選択された行走査線に共通に接続された1行のn個の画素単位でデータの書き込みが行われる。そして、画像表示部を構成する複数の画素12の全てに書き込みが終わった後、トリガパルスに基づいて全画素一斉に読み出しが行われる。

20

【0062】

図5（A）は、水平ドライバから列データ線d1～dnに出力される1ビットのサブフレームデータの一画素の書き込み期間及び読み出し期間を模式的に示す。左下がりの斜線が書き込み期間を示す。なお、図5（A）において、B0b、B1b、B2bは、ビットB0、B1、B2のデータの反転データであることを示す。

【0063】

また、図5（B）は、タイミングジェネレータから正転トリガパルス用トリガ線trigに出力されるトリガパルスを示す。このトリガパルスは1サブフレーム毎に出力される。なお、反転トリガパルス用トリガ線trigbに出力される反転トリガパルスは正転トリガパルスと常に逆論理値であるのでその図示は省略してある。

30

【0064】

まず、行走査信号により選択された1行の複数の画素12はスイッチSW11がオン状態とされ、その時列データ線dに出力される図5（A）のビットB0の正転サブフレームデータがスイッチSW11によりサンプリングされることでSM121に書き込まれる。以下、同様にして、画像表示部を構成する全ての画素12の第1の信号保持手段SM121にビットB0のサブフレームデータの書き込みが行われ、その書き込み動作が終了した後の図5に示す時刻T1で、図5（B）に示すように“H”レベルの正転トリガパルスが画像表示部11を構成する全ての画素12に同時に供給される。

【0065】

これにより、全ての画素12のスイッチSW12がオン状態とされるため、第1の信号保持手段SM121に記憶されているビットB0の正転サブフレームデータがスイッチSW12を通して容量C11に一斉に転送されて保持されると共に、反射電極PE1に印加される。この容量C11によるビットB0の正転サブフレームデータの保持期間は、時刻T1から図5（B）に示すように次の“H”レベルの正転トリガパルスが入力される時刻T2までの1サブフレーム期間である。図5（C）は、反射電極PE1に印加されるサブフレームデータのビットを模式的に示す。

40

【0066】

ここで、サブフレームデータのビット値が「1」、すなわち“H”レベルのときには反射電極PE1には電源電圧VDD（ここでは例えば3.3V）が印加され、ビット値が「0」、すなわち“L”レベルのときには反射電極PE1には0Vが印加される。一方、共

50

通電極 C E には、G N D 及び V D D に制限されることなく、自由な電圧が共通電極電圧 V_{com} として印加できるようになっており、“H”レベルの正転トリガパルスが入力される時と同時タイミングで規定の電圧に切り替わるようにされている。ここでは、共通電極電圧 V_{com} は、正転サブフレームデータが反射電極 P E 1 に印加されるサブフレーム期間は、図 5 (D) に示すように 0 V よりも液晶の閾値電圧 V_{tt} だけ低い電圧に設定される。

【0067】

図 2 で示した液晶表示素子は、反射電極 P E 1 の印加電圧と共通電極電圧 V_{com} との差電圧の絶対値である、液晶 L C 1 の印加電圧に応じた階調表示を行う。従って、ビット B 0 の正転サブフレームデータが反射電極 P E 1 に印加される時刻 T 1 ~ T 2 の 1 サブフレーム期間では、液晶 L C 1 の印加電圧は、図 5 (E) に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{tt}$ ($= 3.3V - (-V_{tt})$) となり、サブフレームデータのビット値が「0」のときは $+V_{tt}$ ($= 0V - (-V_{tt})$) となる。

【0068】

図 6 に、液晶の印加電圧 (R M S 電圧) と液晶のグレースケール値との関係を示す。図 6 に示すように、グレースケール値曲線は黒のグレースケール値が液晶の閾値電圧 V_{tt} の R M S 電圧に対応し、白のグレースケール値が液晶の飽和電圧 V_{sat} ($= 3.3V + V_{tt}$) の R M S 電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。従って、液晶表示素子は上記のように液晶 L C の印加電圧が $(3.3V + V_{tt})$ のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

【0069】

続いて、上記のビット B 0 の正転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 0 b で示すようにビット B 0 の反転サブフレームデータの画素 1 2 の S M 1 2 1 への書き込みが順番に開始される。そして、画像表示部の全画素の S M 1 2 1 にビット B 0 の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 2 で図 5 (B) に示すように“H”レベルの正転トリガパルスが画像表示部を構成する全ての画素に同時に供給される。

【0070】

これにより、全ての画素 1 2 のスイッチ S W 1 2 がオンとされるため、S M 1 2 1 に記憶されているビット B 0 の反転サブフレームデータがスイッチ S W 1 2 を通して容量 C 1 1 に転送されて保持されると共に、反射電極 P E 1 に印加される。この容量 C 1 1 によるビット B 0 の反転サブフレームデータの保持期間は、時刻 T 2 から図 5 (B) に示すように次の“H”レベルの正転トリガパルスが入力される時刻 T 3 までの 1 サブフレーム期間である。ここで、ビット B 0 の反転サブフレームデータはビット B 0 の正転サブフレームデータと常に逆論理値の関係にあるため、ビット B 0 の正転サブフレームデータが「1」のときは「0」、ビット B 0 の正転サブフレームデータが「0」のときは「1」である。

【0071】

一方、共通電極電圧 V_{com} は、反転サブフレームデータが反射電極 P E 1 に印加されるサブフレーム期間は、図 5 (D) に示すように 3.3 V よりも液晶の閾値電圧 V_{tt} だけ高い電圧に設定される。従って、ビット B 0 の反転サブフレームデータが反射電極 P E 1 に印加される時刻 T 2 ~ T 3 の 1 サブフレーム期間では、液晶 L C 1 の印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{tt}$ ($= 3.3V - (3.3V + V_{tt})$) となり、サブフレームデータのビット値が「0」のときは $-3.3V - V_{tt}$ ($= 0V - (3.3V + V_{tt})$) となる。

【0072】

従って、ビット B 0 の正転サブフレームデータのビット値が「1」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「0」であるため、液晶 L C 1 の印加電圧は、 $-(3.3V + V_{tt})$ となり、液晶 L C 1 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画

10

20

30

40

50

素 1 2 はビット B 0 の正転サブフレームデータ表示時と同じ白を表示する。

【0073】

同様に、ビット B 0 の正転サブフレームデータのビット値が「0」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「1」であるため、液晶 LC 1 の印加電圧は、 $-V_{tt}$ となり、液晶 LC 1 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 は黒を表示する。

【0074】

従って、画素 1 2 は図 5 (E) に示すように、時刻 T 1 ～時刻 T 3 までの 2 サブフレーム期間は、ビット B 0 とビット B 0 の相補ビット B 0 b とで同じ階調を表示すると共に、液晶 LC 1 の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 LC 1 の焼き付きを防止することができる。

【0075】

続いて、上記の相補ビット B 0 b の反転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 1 で示すようにビット B 1 の正転サブフレームデータの画素 1 2 の SM 1 2 1 への書き込みが順番に開始される。そして、画像表示部の全画素 1 2 の第 1 の信号保持手段 SM 1 2 1 にビット B 1 の正転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 3 で図 5 (B) に示すように“H”レベルの正転トリガパルスが画像表示部を構成する全ての画素に同時に供給される。

【0076】

これにより、全ての画素のスイッチ SW 1 2 がオンとされるため、第 1 の信号保持手段 SM 1 2 1 に記憶されているビット B 1 の正転サブフレームデータがスイッチ SW 1 2 を通して容量 C 1 1 に転送されて保持されると共に、反射電極 PE 1 に印加される。この容量 C 1 1 によるビット B 1 の正転サブフレームデータの保持期間は、時刻 T 3 から図 5 (B) に示すように次の“H”レベルの正転トリガパルスが入力される時刻 T 4 までの 1 サブフレーム期間である。

【0077】

一方、共通電極電圧 V_{com} は、正転サブフレームデータが反射電極 PE 1 に印加されるサブフレーム期間は、図 5 (D) に示すように 0 V よりも液晶の閾値電圧 V_{th} だけ低い電圧に設定される。従って、ビット B 1 の正転サブフレームデータが反射電極 PE 1 に印加される時刻 T 3 ～T 4 の 1 サブフレーム期間では、液晶 LC 1 の印加電圧は、図 5 (E) に示すように、サブフレームデータのビット値が「1」のときは $3.3 V + V_{th}$ ($= 3.3 V - (-V_{th})$) となり、サブフレームデータのビット値が「0」のときは $+V_{th}$ ($= 0 V - (-V_{th})$) となる。

【0078】

続いて、上記のビット B 1 の正転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 1 b で示すようにビット B 1 の反転サブフレームデータの画素 1 2 の第 1 の信号保持手段 SM 1 2 1 への書き込みが順番に開始される。そして、画像表示部の全画素の第 1 の信号保持手段 SM 1 2 1 にビット B 1 の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 4 で図 5 (B) に示すように“H”レベルの正転トリガパルスが画像表示部を構成する全ての画素に同時に供給される。

【0079】

これにより、全ての画素 1 2 のスイッチ SW 1 2 がオンとされるため、第 1 の信号保持手段 SM 1 2 1 に記憶されているビット B 1 の反転サブフレームデータがスイッチ SW 1 2 を通して容量 C 1 1 に転送されて保持されると共に、反射電極 PE 1 に印加される。この容量 C 1 1 によるビット B 0 の反転サブフレームデータの保持期間は、時刻 T 4 から図 5 (B) に示すように次の“H”レベルの正転トリガパルスが入力される時刻 T 5 までの 1 サブフレーム期間である。ここで、ビット B 1 の反転サブフレームデータはビット B 1 の正転サブフレームデータと常に逆論理値の関係にある。

【0080】

一方、共通電極電圧 V_{com} は、反転サブフレームデータが反射電極 $PE1$ に印加されるサブフレーム期間は、図5(D)に示すように $3.3V$ よりも液晶の閾値電圧 V_{th} だけ高い電圧に設定される。従って、ビット $B1$ の反転サブフレームデータが反射電極 $PE1$ に印加される時刻 $T4 \sim T5$ の1サブフレーム期間では、液晶 $LC1$ の印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{th} (= 3.3V - (3.3V + V_{th}))$ となり、サブフレームデータのビット値が「0」のときは $-3.3V - V_{th} (= 0V - (3.3V + V_{th}))$ となる。

【0081】

これにより、画素12は図5(E)に示すように、時刻 $T3 \sim$ 時刻 $T5$ までの2サブフレーム期間はビット $B1$ とビット $B1$ の相補ビット $B1b$ とで同じ階調を表示すると共に、液晶 $LC1$ の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 $LC1$ の焼き付きを防止することができる。以下、上記と同様の動作が繰り返され、本実施の形態の画素12を有する液晶表示装置1によれば、複数のサブフレームの組み合わせによって階調表示を行うことができる。

【0082】

なお、ビット $B0$ と相補ビット $B0b$ の各表示期間は同じ第1のサブフレーム期間であり、また、ビット $B1$ と相補ビット $B1b$ の各表示期間も同じ第2のサブフレーム期間であるが、第1のサブフレーム期間と第2のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第2のサブフレーム期間は第1のサブフレーム期間の2倍に設定されている。また、図5(E)に示すように、ビット $B2$ と相補ビット $B2b$ の各表示期間である第3のサブフレーム期間は、第2のサブフレーム期間の2倍に設定されている。他のサブフレーム期間についても同様であり、システムに従って各サブフレーム期間の長さが所定の長さに決められ、またサブフレーム数も任意の数に決定される。

【0083】

次に、本発明の実施の形態に係る液晶表示装置の画素検査の基本動作について、適宜図面を参照して説明する。まず、画素検査の開始時にある特定の行走査線 g に“H”レベルの行走査信号を供給してスイッチ $SW11$ をオンにする。また、配線 $trig$ と $trigb$ にそれぞれ“H”レベルのトリガパルス及び“L”レベルの反転トリガパルスを供給して、スイッチ $SW12$ もオンにする。

【0084】

次に、列データ線 d に1ビットの検査信号として“L”レベルのデータを供給する。これにより、画素12の第1の信号保持手段 $SM121$ を構成するインバータ $INV11$ の入力端子とインバータ $INV12$ の出力端子との接続点である a 点に“L”レベルのデータが書き込まれる。またインバータ $INV11$ の出力端子及びインバータ $INV12$ の入力端子がスイッチ $SW12$ を介して容量 $C11$ に接続された接続点である b 点に“H”レベルのデータが書き込まれる。このとき、画素12の第1の信号保持手段 $SM121$ において、インバータ $INV11$ を構成するトランジスタの駆動力がインバータ $INV12$ を構成するトランジスタの駆動力よりも大きいため、 a 点は第1の信号保持手段 $SM121$ の入力として、 b 点は $SM121$ の出力としてそれぞれ機能する。

【0085】

ここで $SW12$ はオンにされているため、容量 $C11$ も“H”レベルのデータが書き込まれた状態になっている。

【0086】

次に、行走査線 g を“L”レベルにすると、画素12の反射電極 $PE1$ はそれぞれ入力データを反転した“H”レベルのデータがラッチされた状態になる。

【0087】

書込みが終わった後、図1に示している $Tlat$ を“L”レベルにすることにより列データ線 d をオープン状態とする。列データ線 d に接続されたセンスアンプの入力をセンスアンプ入力制御 nut をオン状態とすることにより、中間電圧を供給した配線 mid に接続する。これにより、センスアンプの入力の列データ線 d は中間電圧の $1.65V$ にプリ

10

20

30

40

50

チャージされる。その後、センスアンプ入力制御 $n u t$ をオフ状態とする。列データ線 d は信号線の容量があるため、 $1.65V$ 電圧が保持される。

【0088】

次に行走査線 g を“H”レベルにすると、画素12に書き込まれたデータが信号線 d にそれぞれ出力される。画素12は入力と出力が決まったSRAMであるため、 d の信号線に保持されている $1.65V$ が画素12に書き込まれることになるが、画素12に書き込まれたデータも信号線 d にそれぞれ吐き出されることになり、信号線 $d1$ はそれぞれ画素12に書き込まれたデータに影響されて信号線のレベルが変化する。つまり、列データ線 d は画素12に書き込まれたデータにより、インバータ $I N V 12$ によって“L”レベルに駆動される。

10

【0089】

インバータ $I N V 12$ の駆動力は非常に小さく列データ線容量は大きいため、列データ線 d をそれぞれ“L”レベルに駆動するには時間がかかるが、列データ線 d の電位がわずかに変化すれば、列データ線 d と配線 $m i d$ から入力されたセンスアンプが電位差を増幅し、センスアンプの出力は“L”レベルに出力される。

【0090】

このセンスアンプによって出力された信号は、バッファにて信号波形を整形される。その後、TEST端子が“H”レベルに制御することによって $e1$ から en の全ての列センスアンプ出力が画素読み出し用シフトレジスタの所定の場所に入力される。この後、タイミングジェネレータから送られてくる $T C K / T C K b$ の信号に従って、シリアルに出力端子 $T O U T$ から信号が取り出される。

20

【0091】

本実施の形態では、以上の画素検査を画素12に対し、列データ線 d から“L”レベルのデータを入力して信号を読み出す第1の検査方法と、列データ線 d から“H”レベルのデータを入力して信号を読み出す第2の検査方法との2種類を、タイミングを変えて2回実行する。

【0092】

これにより、画素12において“L”レベルの電圧や“H”レベルの電圧を読み出すことが可能になるため、メモリとしてロジックの画素機能検査が可能になる。このとき、例えばプロセスにより、容量 $C11$ が、 $G N D$ や $V D D$ 配線などにショートしていれば画素検査において任意のデータを読み出すことが不可能である。また第1の信号保持手段 $S M121$ がショートしていたり断線していたりした場合でも、本実施の形態に係る画素検査において任意のデータを読み出すことが不可能である。以上のデータ読み出しが不可能な場合は、不良画素が存在する液晶表示装置であると判断して、ビジネス上適切な対応をとることが可能となる。

30

【0093】

センスアンプ回路の構成図を図7に示す。+-の2つのゲート入力の差電圧を回路内部で増幅して出力する。電圧源回路（図7中では破線にて示す。）はセンスアンプに供給するアナログ電圧を抵抗分割により形成している。なお、センスアンプ回路は図7の構成とは限らない。さらにゲインの高い高性能なセンスアンプを用いる場合もありうる。

40

【0094】

次に、本実施の形態における前述した動作不良に対応した画素検査の動作について、図1の全体構成図、図2の回路図、及び図8のタイミングチャートを併せ参照して更に詳細に説明する。

【0095】

画素検査時において、まず、画素検査時の最初の時刻 $t1$ において、 $t r i g$ が“H”レベル、 $t r i g b$ が“L”レベルとし、画素12の $S W12$ がオンに制御される。次に時刻 $T2$ から $T3$ までの間、 $L T$ を“H”レベルに制御し、列データ線 $d1 \sim dn$ に所定のデータを書き込む。このとき、前述したように列データ線 $d(d1、d2、d3、\cdots d n)$ に“L”レベルのデータを書き込む。

50

【0096】

時刻 t_2 から t_4 において、画像表示部の或る 1 本の行走査線 g_x を “H” レベルに制御し、レベルシフタ／画素ドライバから列データ線 $d_1 \sim d_n$ に書き込まれたデータを 1 行分の画素 12 に書き込む。

【0097】

時刻 t_4 で画像表示部の或る 1 本の行走査線 g_x を “L” レベルに制御し、画素 12 の第 1 の信号保持手段 SM_{121} に信号をラッチする。

【0098】

次に画素に書き込まれたデータの読み出し動作を行う。時刻 $t_{4.5}$ において T_{lat} を “L” レベルにして、全ての列データ線をオープン状態にする。これにより列データ線 $d_1 \sim d_n$ は容量のみで電圧が確定される状態となる。時刻 T_5 において、センスアンプ入力制御 nut を “H” レベルとすることにより、列データ線 d を配線 mid (1.65 V) と同通させる。これにより、列データ線 d は 1.65 V となる。その後、センスアンプ入力制御 nut を “L” レベルとすることにより、全ての列データ線を再度オープン状態にする。これにより列データ線 d_1 は容量のみで 1.65 V の電圧が保持確定されている状態となる。

10

【0099】

時刻 t_6 で行走査線 g_x を “H” レベルに制御することによって、画素 12 に書き込んだデータを読み出す。 T_6 のタイミングで画素 12 のインバータ INV_{12} によって列データ線 d が駆動される。インバータ INV_{12} の駆動力は非常に小さいものであるため、最初はわずかに列データ線の電位が変動するが、時間をかけて “L” レベルのデータとなる。これにより、列データ線 d は “L” レベル方向に駆動される。

20

【0100】

このわずかな列データ線 d と配線 mid との電圧差 Y をセンスアンプが増幅し、センスアンプの出力に接続されたバッファに入力される。バッファによって VDD (電源電圧) 及び GND (基準電圧) レベルにデータが整形される。時刻 T_6 で $TEST$ を “H” レベルに制御することによって、センスアンプの出力に接続されたバッファの出力 e_1 から e_n を一斉に画素読み出し用シフトレジスタにラッチする。時刻 t_7 で $TEST$ を “L” レベルにして画素読み出し用シフトレジスタのラッチを完了する。

【0101】

30

時刻 t_7 から、画素読み出し用シフトレジスタに供給される、図 8 に示す互いに逆位相のクロック信号 $TCkb$ 及びクロック信号 TCk を交互にオン・オフする制御が繰り返される。これにより、画素読み出し用シフトレジスタに格納された読出し信号のうち、列センスアンプバッファ出力 e_n からの読出し信号から列センスアンプバッファ出力 e_1 からの読出し信号に向かって、順番に出力端子 $TOUT$ へ画素検査信号が出力される。クロック信号 $TCkb$ 及びクロック信号 TCk は、1 行分の画素数の半分の数のオン・オフ制御が繰り返されることによって、全データが読み出され 1 行分の検査が終了する。この 1 行分の画素の読み出し信号と入力検査信号とを比較し、両者が同じであるか否かにより画素検査ができる。

【0102】

40

以上の動作終了後、今度は垂直シフトレジスタを制御することによって、次の画素行の各画素 12 を選択し、上記と同様にして画素検査を行う。これらを繰り返し、垂直方向の画素数分の検査を実行し、画像表示部を構成する全ての画素において、検査を実施する。なお、入力する検査信号は上記のように列データ線 d_1 に “L” レベルにする必要は無く、反対のデータを書き込んで検査してもよい。

【0103】

このようにして、本実施の形態によれば、画素検査を正確に実施することができる。本実施の形態によれば、画素検査のために画素 12 に検査用のトランジスタを増加させること無く検査が行えるため、前述した従来の液晶表示装置のように画素内に 2 つの $SRAM$ を用いた液晶表示装置に比べて、画素の小型化が可能となり、かつ正確な画素検査が可能

50

となる。

【0104】

以上はDRAMをオンに制御したときの画素検査であったが、DRAMをオフにした場合の画素検査も行える。このとき、図8において、*trig*を“L”レベル、*tirgb*を“H”レベルに制御することによってDRAMをオフにした検査も行える。その他のタイミングチャートは上述と同様である。この場合、DRAMをオン状態にした場合と、オフ状態にした場合との2種類の画素検査を行い、検査結果を比較することでDRAMのオープン検査を行うことが可能となる。

【0105】

本実施の形態に係る液晶表示装置1のDRAMをオンした場合とオフした場合を説明する画素回路模式図を、それぞれ図9（A）及び図9（B）に示す。図9（A）に示すDRAMがある場合は、図2のスイッチSW12がオンの場合であり、図9（B）に示すDRAMがない場合は図2のb点において、プロセスの不具合にて配線が切断され、容量C11が接続されていない場合を示している。図9において、画素回路内のINV12にそれぞれC11が接続されているかいないかが、それぞれの相違点である。

10

【0106】

このとき、インバータINV12に容量C11が接続されている場合（図9（A）の場合）には、インバータの駆動力が強く、インバータINV12にC11が接続されていない場合（図9（B）の場合）にはインバータの駆動力が弱い。

【0107】

20

これは、インバータINV12を構成するゲート電圧は、液晶LC1と容量C11の容量とに基づいて決定されるが、図10に図示しない（図2に図示）インバータINV11の出力電圧で充電されて決定される。インバータINV11の出力電圧は、インバータINV11の入力電圧レベルによって決定されるが、インバータINV11の入力電圧は1.65Vに書き込まれた列データ線dの電圧によって、1.65V程度に決定される。

【0108】

つまり図2のb点に“L”レベルの電圧が書き込まれていた場合、読み出すときはインバータINV11によってb点の電圧を1.65Vに書き換えようとする。しかし、b点における液晶表示素子LC1と容量C11の容量が大きい場合1.65Vへの書き換えに時間がかかり、その結果としてわずかに“H”レベルの反転電圧がa点に出力されることになる。a点がわずかに“H”レベルになることによって、インバータINV11はわずかに“L”レベルを出力しようとする。これらを繰り返すことによって、少しずつ列データ線dは“H”レベルになっていく。

30

【0109】

この結果、列データ線dとに出力された電位と配線midとの電位差が、センスアンプが判定できる振幅に達するとセンスアンプの出力には“H”レベル（VDD）電圧が出力されて画素検査が可能となる。

【0110】

このとき、DRAMが断線されており接続されていない場合には、b点には液晶LC1の容量がなく、容量C11しかない。この容量C11をインバータINV11で1.65Vに書き換えようとする。b点の容量が小さい場合、1.65Vに短時間で書き換えてしまうため、インバータINV12の入力電圧は1.65Vになってしまい、a点の電圧が1.65Vになってしまう。c点の電圧も1.65Vとなり、接続されている列データ線dと配線midの電位差がほとんどなく、センスアンプが不感となり、正規判定の電圧を出力することが出来ない。

40

【0111】

このため、図8において時刻T6以降、dが所定の電圧に変動していく時間が図9（A）に示した場合と比較して、図9（B）に示した場合の方が長くなる。センスアンプが正常に動作しだす電位差が決まっているため、時刻T6から時刻T7までの時間のある時間（X）に調整することで、図9（A）に示した場合では正常に検査可能だが、図9（B）

50

に示した場合では正常に検査できないようにすることができる。

【0112】

この時間(X)においてDRAMを接続して検査することにより(図9の(A)に相当)、画素内のDRAM部がオープン(切断されている)である(図9の(B)に相当)と正常に検査できないことになる。これにより、DRAMのオープン検査を実施することができるようになる。通常、オープン検査は画素電極をシリーズにスルーホールを経由した画素構成にして検査する必要があるが、本実施の形態に係るこの方法によれば、画素構成を変更することが無いため、画素ピッチを拡大することがなくDRAMのオープン検査を実施することが出来る。

【0113】

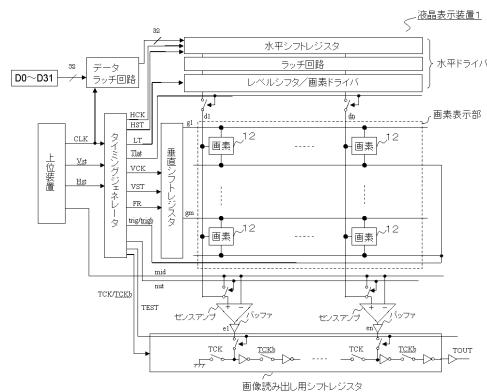
なお、前述した実施の形態に示す具体的な数値等は、発明の理解を容易とするための例示にすぎず、特に断る場合を除き、本発明を限定するものではない。

【符号の説明】

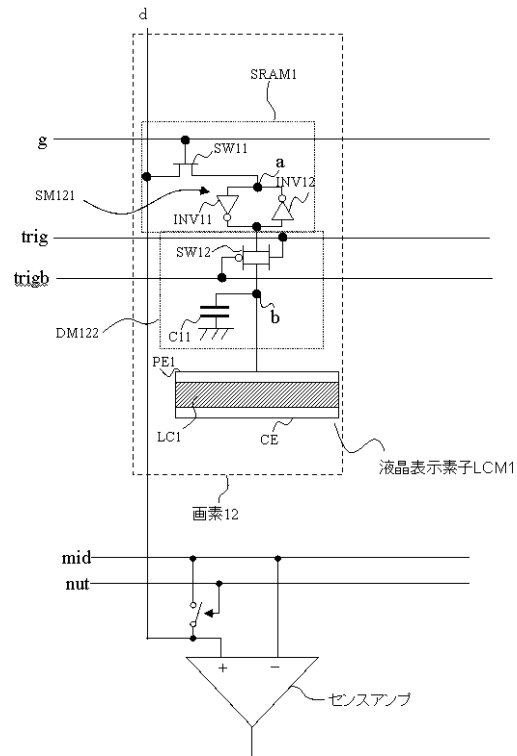
【0114】

- 1 液晶表示装置
- 12 画素
- CE 共通電極
- LC1 液晶
- PE1 反射電極
- LCM1 液晶表示素子
- C11 容量
- SW11、SW12 スイッチ
- INV11、INV12 インバータ
- d 列データ線
- g 行走査線

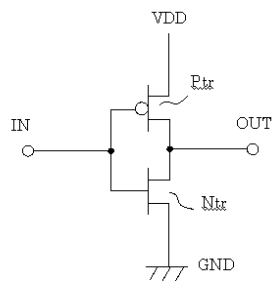
【図1】



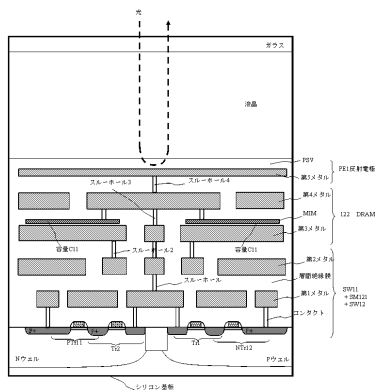
【図2】



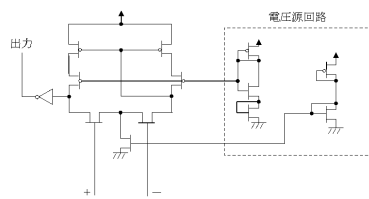
【図 3】



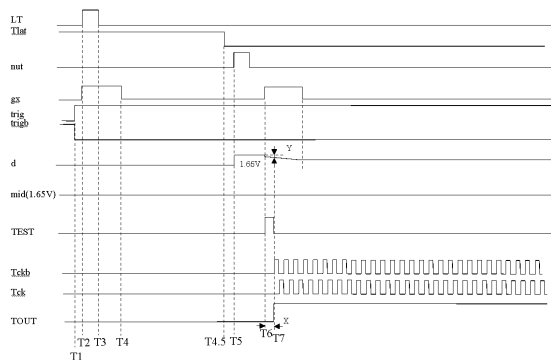
【図 4】



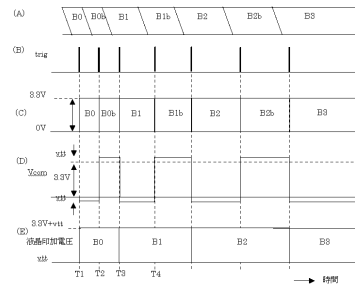
【図 7】



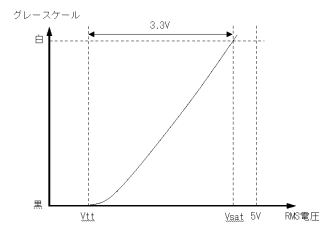
【図 8】



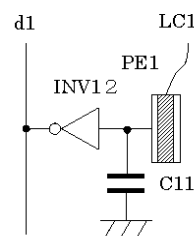
【図 5】



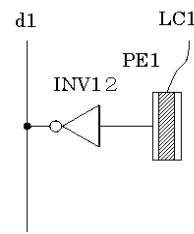
【図 6】



【図 9】



(A)



(B)

フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0

(56)参考文献 特開 2 0 0 4 - 1 6 3 6 0 1 (J P, A)
特開 2 0 0 6 - 2 3 5 1 6 5 (J P, A)
特開 2 0 0 6 - 3 4 9 8 9 0 (J P, A)
特開 2 0 0 1 - 2 0 1 6 9 8 (J P, A)
特開 2 0 0 5 - 3 5 2 4 5 7 (J P, A)
特開平 0 9 - 2 1 2 1 4 0 (J P, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置和液晶显示装置的检查方法		
公开(公告)号	JP6394716B2	公开(公告)日	2018-09-26
申请号	JP2017030802	申请日	2017-02-22
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
当前申请(专利权)人(译)	JVC建伍公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.670.Q G09G3/20.641.E G09G3/20.631.M G09G3/20.624.B G02F1/133.550 G09G3/20.670.H G09G3/20.680.F		
F-TERM分类号	2H193/ZA04 2H193/ZA19 2H193/ZF44 2H193/ZK03 2H193/ZK14 5C006/AA14 5C006/AC25 5C006/AC28 5C006/AF44 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF03 5C006/BF04 5C006/BF09 5C006/BF25 5C006/BF27 5C006/BF34 5C006/BF37 5C006/BF46 5C006/EB01 5C006/FA34 5C006/GA01 5C080/AA10 5C080/BB05 5C080/DD15 5C080/EE28 5C080/EE29		
其他公开文献	JP2017126075A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置及其像素检查方法，其能够减小要构成的像素的尺寸，并且能够精确地进行像素检查。在像素12中，输出到列数据线d的数据由开关SW11采样并写入SRAM1。将数据写入构成图像显示单元的所有像素的SRAM 1中。此后，将触发脉冲，所有像素的开关SW12导通，SRAM1的保持被全部立即转移到构成DRAM的电容器C11上的数据时，它被施加到反射电极PE1。的和SM121和DM122反射电极PE1，通过有效地配置在元件的高度方向上的尺寸可以减小像素。此外，通过连接到像素12的读出放大器和预定的固定电压适当地检查这些像素。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6394716号 (P6394716)
(45) 発行日 平成30年9月26日 (2018. 9. 26)		(24) 登録日 平成30年9月7日 (2018. 9. 7)	
(51) Int. Cl. G09G 3/36 (2006.01) G09G 3/20 (2006.01) G02F 1/133 (2006.01)		F I G09G 3/36 G09G 3/20 670Q G09G 3/20 641E G09G 3/20 631M G09G 3/20 624B 請求項の数 2 (全 20 頁) 最終頁に続く	
(21) 出願番号 (22) 出願日 (62) 分割の表示 原出願日 (65) 公開番号 (43) 公開日 審査請求日	特願2017-30802 (P2017-30802) 平成29年2月22日 (2017. 2. 22) 特願2013-93540 (P2013-93540) の分割 平成25年4月26日 (2013. 4. 26) 特開2017-126075 (P2017-126075A) 平成29年7月20日 (2017. 7. 20) 平成29年2月22日 (2017. 2. 22)	(73) 特許権者 308036402 株式会社 J V C ケンウッド 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 (72) 発明者 岩佐 隆行 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 審査官 西島 篤宏	最終頁に続く

(54) 【発明の名称】 液晶表示装置及び液晶表示装置の検査方法