

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5903309号
(P5903309)

(45) 発行日 平成28年4月13日 (2016. 4. 13)

(24) 登録日 平成28年3月18日 (2016. 3. 18)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

GO 2 F 1/1335 (2006. 01)

GO 2 F 1/1335 5 1 0

請求項の数 9 (全 18 頁)

(21) 出願番号 特願2012-75083 (P2012-75083)
 (22) 出願日 平成24年3月28日 (2012. 3. 28)
 (65) 公開番号 特開2013-205652 (P2013-205652A)
 (43) 公開日 平成25年10月7日 (2013. 10. 7)
 審査請求日 平成26年9月11日 (2014. 9. 11)

前置審査

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (72) 発明者 長谷川 ひとみ
 埼玉県深谷市幡羅町一丁目9番地2 東芝
 モバイルディスプレイ株式会社内
 (72) 発明者 福岡 暢子
 埼玉県深谷市幡羅町一丁目9番地2 東芝
 モバイルディスプレイ株式会社内

審査官 弓指 洋平

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向にそれぞれ延出したゲート配線及び補助容量線と、第1方向に交差する第2方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電気的に接続されたスイッチング素子と、前記スイッチング素子と電気的に接続され第2方向に延出した帯状の主画素電極及び第1方向に延出した帯状の副画素電極を備え十字状に形成された画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、

前記主画素電極を挟んだ両側で第2方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、

前記第1配向膜と前記第2配向膜との間に保持され前記画素電極と前記共通電極との間に電界が形成されていない状態で第1方向と略平行に初期配向方向する液晶分子を含み、誘電率異方性が負の液晶層と、

を備え、

前記画素電極と前記共通電極との間に電界が形成された状態で、一画素に複数のドメインが形成されることを特徴とする液晶表示装置。

【請求項 2】

さらに、前記第1基板の外面に配置され第1偏光軸を備えた第1偏光板と、第2基板の外面に配置され第1偏光軸とクロスニコルの位置関係にある第2偏光軸を備えた第2偏光板を備え、前記第1偏光板の第1偏光軸が前記液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項1に記載の液晶表示装置。

10

20

【請求項 3】

前記画素電極は、前記主画素電極に接続され前記補助容量線の上方に位置し第 1 方向に延出した副画素電極を備えたことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、さらに、前記ゲート配線と対向し前記第 1 配向膜によって覆われ前記共通電極と同電位の第 1 シールド電極と、前記ソース配線と対向し前記第 1 配向膜によって覆われ前記共通電極と同電位の第 2 シールド電極と、を備えたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記主共通電極は、前記ソース配線の上方に位置することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

10

【請求項 6】

前記液晶層の誘電率異方性は、 -10 以下であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】

第 1 方向にそれぞれ延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との略中間において第 1 方向に延出した補助容量線と、第 1 方向に交差する第 2 方向にそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ゲート配線及び前記第 1 ソース配線と電気的に接続されたスイッチング素子と、前記スイッチング素子と電気的に接続され前記第 1 ソース配線と前記第 2 ソース配線との間で第 2 方向に延出した帯状の主画素電極及び前記補助容量線の上方に位置し前記主画素電極に接続され前記第 1 ソース配線と前記第 2 ソース配線との間で第 1 方向に延出した副画素電極を備え十字状に形成された画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

20

前記主画素電極を挟んだ両側で前記第 1 ソース配線及び前記第 2 ソース配線の上方に位置し第 2 方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 配向膜と前記第 2 配向膜との間に保持され前記画素電極と前記共通電極との間に電界が形成されていない状態で第 1 方向と略平行に初期配向方向する液晶分子を含み、誘電率異方性が負の液晶層と、

30

を備え、

前記画素電極と前記共通電極との間に電界が形成された状態で、一画素に複数のドメインが形成されることを特徴とする液晶表示装置。

【請求項 8】

前記主画素電極は、前記第 1 ソース配線と前記第 2 ソース配線との略中間に位置することを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記主画素電極と前記第 1 ソース配線との第 1 方向に沿った間隔は、前記主画素電極と前記第 2 ソース配線との第 1 方向に沿った間隔よりも小さいことを特徴とする請求項 7 に記載の液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モ

50

ードなどの横電界（フリンジ電界も含む）を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【 0 0 0 3 】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

10

【 特許文献 1 】 特開 2 0 0 9 - 1 9 2 8 2 2 号 公 報

【 特許文献 2 】 特開 2 0 0 0 - 8 1 6 4 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 6 】

本実施形態によれば、

20

第 1 方向にそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電気的に接続されたスイッチング素子と、前記スイッチング素子と電気的に接続され第 2 方向に延出した帯状の主画素電極を備えた画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記主画素電極を挟んだ両側で第 2 方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 配向膜と前記第 2 配向膜との間に保持され前記画素電極と前記共通電極との間に電界が形成されていない状態で第 1 方向と略平行に初期配向方向する液晶分子を含み、誘電率異方性が負の液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【 0 0 0 7 】

30

本実施形態によれば、

第 1 方向にそれぞれ延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との略中間において第 1 方向に延出した補助容量線と、第 1 方向に交差する第 2 方向にそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ゲート配線及び前記第 1 ソース配線と電気的に接続されたスイッチング素子と、前記スイッチング素子と電気的に接続され前記第 1 ソース配線と前記第 2 ソース配線との間で第 2 方向に延出した帯状の主画素電極及び前記補助容量線の上方に位置し前記主画素電極に接続され前記第 1 ソース配線と前記第 2 ソース配線との間で第 1 方向に延出した副画素電極を備えた画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記主画素電極を挟んだ両側で前記第 1 ソース配線及び前記第 2 ソース配線の上方に位置し第 2 方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 配向膜と前記第 2 配向膜との間に保持され前記画素電極と前記共通電極との間に電界が形成されていない状態で第 1 方向と略平行に初期配向方向する液晶分子を含み、誘電率異方性が負の液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

40

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【 図 2 】 図 2 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の構造

50

例を概略的に示す平面図である。

【図3】図3は、図2に示した液晶表示パネルをA - A線で切断したときの断面構造を概略的に示す断面図である。

【図4】図4は、図2に示した液晶表示パネルにおける画素電極と共通電極との間に形成される電界、及び、この電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

【図5】図5は、本実施形態の液晶層におけるON時の液晶分子の配列状態を模式的に示す図である。

【図6】図6は、比較例の液晶層におけるON時の液晶分子の配列状態を模式的に示す図である。

10

【図7】図7は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図8】図8は、本実施形態に適用可能な他のアレイ基板の構成を概略的に示す平面図である。

【図9】図9は、本実施形態に適用可能な他の対向基板の構成を概略的に示す平面図である。

【発明を実施するための形態】

【0009】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

20

【0010】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0011】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

30

【0012】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出している。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

40

【0013】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0014】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている

50

。保持容量 C_s は、例えば補助容量線 C と画素電極 P_E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V_{CS} と電氣的に接続されている。

【0015】

なお、本実施形態においては、液晶表示パネル LPN は、画素電極 P_E がアレイ基板 AR に形成される一方で共通電極 C_E の少なくとも一部が対向基板 CT に形成された構成であり、これらの画素電極 P_E と共通電極 C_E との間に形成される電界を主に利用して液晶層 LQ の液晶分子をスイッチングする。画素電極 P_E と共通電極 C_E との間に形成される電界は、第1方向 X と第2方向 Y とで規定される $X-Y$ 平面あるいはアレイ基板 AR の基板主面あるいは対向基板 CT の基板主面に対してわずかに傾いた斜め電界である。

【0016】

10

スイッチング素子 SW は、例えば、 n チャネル薄膜トランジスタ($TFET$)によって構成されている。このスイッチング素子 SW は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 SW は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 SW の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0017】

画素電極 P_E は、各画素 P_X に配置され、スイッチング素子 SW に電氣的に接続されている。共通電極 C_E は、例えばコモン電位であり、液晶層 LQ を介して複数の画素 P_X の画素電極 P_E に対して共通に配置されている。このような画素電極 P_E 及び共通電極 C_E は、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

20

【0018】

アレイ基板 AR は、共通電極 C_E に電圧を印加するための給電部 VS を備えている。この給電部 VS は、例えば、アクティブエリア ACT の外側に形成されている。共通電極 C_E は、アクティブエリア ACT の外側に引き出され、図示しない導電部材を介して、給電部 VS と電氣的に接続されている。

【0019】

図2は、図1に示した液晶表示パネル LPN を対向基板側から見たときの一画素 P_X の構造例を概略的に示す平面図である。ここでは、 $X-Y$ 平面における平面図を示している。

30

【0020】

ゲート配線 G_1 、ゲート配線 G_2 、及び、補助容量線 C_1 は、それぞれ第1方向 X に沿って延出している。ソース配線 S_1 及びソース配線 S_2 は、それぞれ第2方向 Y に沿って延出している。補助容量線 C_1 は、ゲート配線 G_1 とゲート配線 G_2 とのほぼ中間に位置している。つまり、ゲート配線 G_1 と補助容量線 C_1 との第2方向 Y に沿った間隔は、ゲート配線 G_2 と補助容量線 C_1 との第2方向 Y に沿った間隔と略同等である。

【0021】

図示した例では、画素 P_X は、図中の破線で示したように、ゲート配線 G_1 及びゲート配線 G_2 とソース配線 S_1 及びソース配線 S_2 とが成すマス目の領域に相当し、第1方向 X に沿った長さよりも第2方向 Y に沿った長さの方が長い長方形形状である。画素 P_X の第1方向 X に沿った長さはソース配線 S_1 とソース配線 S_2 との第1方向 X に沿ったピッチに相当し、画素 P_X の第2方向 Y に沿った長さはゲート配線 G_1 とゲート配線 G_2 との第2方向 Y に沿ったピッチに相当する。画素電極 P_E は、隣接するソース配線 S_1 とソース配線 S_2 との間に配置されている。また、この画素電極 P_E は、ゲート配線 G_1 とゲート配線 G_2 との間に位置している。

40

【0022】

図示した例では、画素 P_X において、ソース配線 S_1 は左側端部に配置され、ソース配線 S_2 は右側端部に配置され、ゲート配線 G_1 は上側端部に配置され、ゲート配線 G_2 は

50

下側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置され、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素 P X の略中央部に配置されている。

【 0 0 2 3 】

図示した例のスイッチング素子 S W は、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点に設けられ、そのドレイン配線はソース配線 S 1 及び補助容量線 C 1 に沿って延長され、補助容量線 C 1 と重なる領域に形成されたコンタクトホール C H を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【 0 0 2 4 】

画素電極 P E は、主画素電極 P A 及び副画素電極 P B を備えている。これらの主画素電極 P A 及び副画素電極 P B は、一体的あるいは連続的に形成されており、互いに電氣的に接続されている。なお、図示した例では、一画素 P X に配置された画素電極 P E のみが図示されているが、図示を省略した他の画素についても同一形状の画素電極が配置されている。

【 0 0 2 5 】

主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との間で第 2 方向 Y に沿って延出し、第 1 方向 X に沿って略一定の幅を有する帯状に形成されている。図示した例では、主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との略中間に位置している。つまり、ソース配線 S 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、ソース配線 S 2 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【 0 0 2 6 】

副画素電極 P B は、ソース配線 S 1 とソース配線 S 2 との間で第 1 方向 X に沿って延出した帯状に形成されている。図示した例では、副画素電極 P B は、主画素電極 P A の第 2 方向 Y に沿った中間部で交差し、主画素電極 P A からソース配線 S 1 及びソース配線 S 2 に向かってそれぞれ直線的に延出している。つまり、ここに示した画素電極 P E は、十字状に形成されている。

【 0 0 2 7 】

また、図示した例では、副画素電極 P B は、補助容量線 C 1 の上方に位置している。つまり、副画素電極 P B は、その全体が補助容量線 C 1 と重なる領域に位置している。このような副画素電極 P B は、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。

【 0 0 2 8 】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と平行な第 2 方向 Y に沿って直線的に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 9 】

図示した例では、主共通電極 C A は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左側端部に配置された主共通電極 C A L と、画素 P X の右側端部に配置された主共通電極 C A R と、を備えている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。主共通電極 C A L はソース配線 S 1 の上方に位置し、主共通電極 C A R はソース配線 S 2 の上方に位置している。これらの主共通電極 C A L 及び主共通電極 C A R は、アクティブエリア内あるいはアクティブエ

リア外において互いに電氣的に接続されている。

【 0 0 3 0 】

画素電極 P E と共通電極 C E との X - Y 平面内での位置関係に着目すると、主画素電極 P A と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の主画素電極 P A が位置している。主画素電極 P A は、主共通電極 C A L と主共通電極 C A R との略中間に位置している。つまり、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った間隔は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【 0 0 3 1 】

図 3 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

10

【 0 0 3 2 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 3 3 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。ソース配線 S は、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第 1 絶縁基板 1 0 と第 1 絶縁膜 1 1 との間に配置されている。画素電極 P E は、第 2 絶縁膜 1 2 の上に形成されている。この画素電極 P E は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 2 絶縁膜 1 2 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

20

【 0 0 3 4 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、ブラックマトリクス B M 、カラーフィルタ C F 、オーバーコート層 O C 、共通電極 C E 、第 2 配向膜 A L 2 などを備えている。

30

【 0 0 3 5 】

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S 、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

【 0 0 3 6 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A における開口部 A P に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタ C F R は、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタ C F B は、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタ C F G は、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。このようなオーバーコート層 O C は、例えば、透明な樹脂材

40

50

料によって形成されている。

【 0 0 3 7 】

共通電極 C E は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。主共通電極 C A は、ソース配線 S の上方に位置している。第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E 及びオーバーコート層 O C などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 3 8 】

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 は、第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 と平行である。図 2 の（ A ）で示した例では、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 とがともに第 1 方向 X に平行であって、互いに同じ向きである。図 2 の（ B ）で示した例では、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 とがともに第 1 方向 X に平行であって、互いに逆向きである。

【 0 0 3 9 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材 S B によって貼り合わせられている。

【 0 0 4 0 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。液晶層 L Q は、液晶分子 L M を含んでいる。このような液晶層 L Q は、例えば、誘電率異方性が負（ネガ型）の液晶材料によって構成されている。

【 0 0 4 1 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。なお、第 1 偏光板 P L 1 と第 1 絶縁基板 1 0 との間に位相差板などの他の光学素子が配置されても良い。

【 0 0 4 2 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。なお、第 2 偏光板 P L 2 と第 2 絶縁基板 2 0 との間に位相差板などの他の光学素子が配置されていても良い。

【 0 0 4 3 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、クロスニコルの位置関係にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子 L M の初期配向方向と平行または直交するように配置されている。図 2 において、（ a ）で示した例では、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が液晶分子 L M の初期配

10

20

30

40

50

向方向である第1方向Xに対して平行となるように配置され、第2偏光板PL2はその第2偏光軸AX2が第1方向Xに対して直交するように配置されている。図2において、(b)で示した例では、第1偏光板PL1はその第1偏光軸AX1が第1方向Xに対して直交するように配置され、第2偏光板PL2はその第2偏光軸AX2が第1方向Xに対して平行となるように配置されている。

【0044】

次に、上記構成の液晶表示パネルLPNの動作について、図2及び図3を参照しながら説明する。

【0045】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電界が形成されていない状態(OFF時)には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0046】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0047】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第1方向Xと略平行な方向である。OFF時においては、液晶分子LMは、図2に破線で示したように、その長軸が第1方向Xと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第1方向Xと平行(あるいは、第1方向Xに対して0°)である。

【0048】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平(プレチルト角が略ゼロ)に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する(スプレイ配向)。このように液晶分子LMがスプレイ配向している状態では、基板の法線方向から傾いた方向においても第1配向膜AL1の近傍の液晶分子LMと第2配向膜AL2の近傍の液晶分子LMとにより光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【0049】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する(ホモジニアス配向)。

【0050】

バックライト4からのバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光である。このような直線偏光の偏光状態は、OFF時の液晶表示パネルLPNを通過した際にほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光は、第1偏光板PL1に対してクロスニコルの位置関係にある第2偏光板PL2によって吸収される(黒表示)。

【0051】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの

10

20

30

40

50

間に電位差が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。本実施形態では、液晶層LQは負の誘電率異方性を有しており、液晶分子LMは、その長軸が電界に対して交差するような方向に配向する。

【0052】

図2に示した例では、画素電極PEと主共通電極CALとの間の領域のうち、下側半分の領域内の液晶分子LMは、第1方向Xに対して時計回りに回転し図中の右下を向くように配向し、また、上側半分の領域内の液晶分子LMは、第1方向Xに対して反時計回りに回転し図中の右上を向くように配向する。画素電極PEと主共通電極CARとの間の領域のうち、下側半分の領域内の液晶分子LMは、第1方向Xに対して反時計回りに回転し図中の左下を向くように配向し、上側半分の領域内の液晶分子LMは、第1方向Xに対して時計回りに回転し図中の左上を向くように配向する。

10

【0053】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

【0054】

このようなON時には、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光は、液晶表示パネルLPNに入射し、その偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。このようなON時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

20

【0055】

図4は、図2に示した液晶表示パネルLPNにおける画素電極PEと共通電極CEとの間に形成される電界、及び、この電界による液晶分子LMのダイレクタと透過率との関係を説明するための図である。なお、この図4では説明に必要な構成のみを図示している。図中の(a)は一画素における透過率分布を概略的に示す図であり、図中の(b)は液晶分子LMの配向状態を説明するための一画素の平面図であり、図中の(c)は(b)に示した一画素をB-B線で切断したときの断面図である。

30

【0056】

OFF状態では、液晶分子LMは、第1方向Xに略平行な方向に初期配向している。画素電極PEと共通電極CEとの間に電位差が形成されたON状態では、液晶分子LMのダイレクタ（あるいは液晶分子LMの長軸方向）が、X-Y平面内で、第1偏光板PL1の第1偏光軸AX1及び第2偏光板PL2の第2偏光軸AX2に対して概ね45°ずれた状態となったときに、液晶層LQの光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

【0057】

図示した例のON状態では、画素電極PEと共通電極CEとの間の電界により、主共通電極CALと画素電極PEとの間の上側半分の領域における液晶分子LMのダイレクタがX-Y平面内で45°-225°の方位と略平行となり、主共通電極CALと画素電極PEとの間の下側半分の領域における液晶分子LMのダイレクタがX-Y平面内で135°-315°の方位と略平行となり、主共通電極CARと画素電極PEとの間の下側半分の領域における液晶分子LMのダイレクタがX-Y平面内で45°-225°の方位と略平行となり、主共通電極CARと画素電極PEとの間の上側半分の領域における液晶分子LMのダイレクタがX-Y平面内で135°-315°の方位と略平行となったときに、一画素PXにおいてピーク透過率が得られる。なお、液晶分子LMのダイレクタがX-Y平面内で0°-180°の方位と略平行となる場合、あるいは、X-Y平面内で90°-270°の方位と略平行となる場合には、開口部での透過率は最小となる。

40

【0058】

50

つまり、液晶分子LMのX-Y平面内での回転角が45°のときに最大の透過率が得られ、回転角が45°よりも小さい場合であっても回転角が45°よりも大きい場合であっても透過率は低下することになる。液晶分子LMの回転角は、液晶層LQに印加される電界の強さに依存する。したがって、液晶分子LMの回転角が45°となるような駆動電圧（白電圧）を印加したときに画素PXで最大輝度を得られ、白電圧よりも小さい駆動電圧や白電圧よりも大きい駆動電圧を印加したときには画素PXの輝度は最大輝度を下回る。

【0059】

ON状態において、一画素あたりの透過率分布に着目すると、画素電極PE上及び共通電極CE上においては液晶分子LMが初期配向方向からほとんど回転しない。つまり、液晶分子LMのダイレクタが0°-180°の方位と略平行となる。このため、透過率が最低（略ゼロ）となる一方で、画素電極PEと共通電極CEとの間の電極間隙では、略全域に亘って高い透過率が得られる。

10

【0060】

ソース配線S1の直上に位置する主共通電極CAL及びソース配線S2の直上に位置する主共通電極CARは、それぞれブラックマトリクスBMと対向しているが、これらの主共通電極CAL及び主共通電極CARは、ともにブラックマトリクスBMの第1方向Xに沿った幅と同等以下の幅を有しており、ブラックマトリクスBMと重なる位置よりも画素電極PEの側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクスBMの間またはソース配線S1とソース配線S2との間の領域のうち、画素電極PEと主共通電極CAL及び主共通電極CARとの間の領域に相当する。

20

【0061】

なお、ON時においても、画素電極PE上あるいは共通電極CE上では、横電界がほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極PE及び共通電極CEがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの不透明な配線材料を用いて形成しても良い。

【0062】

30

このような本実施形態によれば、画素電極PEと共通電極CEとの間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、主画素電極と主共通電極との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素PXの略中央に配置された主画素電極に対して主共通電極の配置位置を変更する）ことで、図4に示したような透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

40

【0063】

また、本実施形態によれば、図4に示したように、ブラックマトリクスBMと重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0064】

50

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との第 1 方向 X に沿った水平電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 6 5 】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A L 及び主共通電極 C A R がそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置されている場合には、主共通電極 C A L 及び主共通電極 C A R がソース配線 S 1 及びソース配線 S 2 よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

【 0 0 6 6 】

また、主共通電極 C A L 及び主共通電極 C A R をそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置することによって、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【 0 0 6 7 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【 0 0 6 8 】

また、本実施形態によれば、液晶層 L Q の誘電率異方性が負であるため、O N 時には液晶分子 L M は、その長軸が電界と直交する方向に配向しようとして X - Y 平面内を回転する。液晶分子 L M を駆動するための主な電界はアレイ基板 A R 側の画素電極 P E と対向基板 C T 側の共通電極 C E との間に形成される斜め電界であるが、O N 時の液晶層 L Q においては、液晶分子 L M はその長軸が電界と直交するように配向するため、アレイ基板 A R と対向基板 C T との間において基板主面と略平行に配列する。

【 0 0 6 9 】

図 5 は、本実施形態の液晶層 L Q における O N 時の液晶分子 L M の配列状態を模式的に示す図である。

【 0 0 7 0 】

O N 時における液晶分子 L M の長軸は、図面の法線方向に沿った電界に対して直交している。アレイ基板 A R と対向基板 C T との間において、第 1 配向膜 A L 1 の近傍に位置する液晶分子 L M、第 2 配向膜 A L 2 の近傍に位置する液晶分子 L M、液晶層 L Q の中間部に位置する液晶分子 L M は、いずれも基板主面に対して略平行に配列している。

【 0 0 7 1 】

このため、図中の破線で示した第 1 透過領域 T 1 において、どの方向から観察しても均一な表示品位が得られる。また、第 1 透過領域 T 1 及び第 2 透過領域 T 2 のいずれにおいても同等の表示品位を得ることができる。つまり、第 1 透過領域 T 1 の面積と第 2 透過領域 T 2 の面積との間に差があったとしても、どの方向から観察しても均一な表示品位を得ることが可能である。

【 0 0 7 2 】

図 6 は、比較例の液晶層 L Q における O N 時の液晶分子 L M の配列状態を模式的に示す図である。

【 0 0 7 3 】

図示した比較例は、液晶層 L Q の誘電率異方性が正の場合に相当する。O N 時における

10

20

30

40

50

液晶分子LMは、その長軸が画素電極PEと共通電極CEとの間に形成される斜め電界と平行になるように配向する。つまり、ON時の液晶層LQにおいて、液晶分子LMは、基板主面に対してチルトした状態である。

【0074】

このため、図中の破線で示した第3透過領域T3において、図中の左側から観察した場合と、図中の右側から観察した場合とでは表示品位に差が生ずる。同様に、第4透過領域T4においても、観察方向によって表示品位に差が生ずる。図示した例の場合、第3透過領域T3と第4透過領域T4とが互いに光学的に補償し合って、図5に示した例と同等の視野角特性を実現している。このため、一画素内で第3透過領域T3の面積と第4透過領域T4の面積との間に差があった場合には、光学補償が不完全となってしまう、等方的な視野角特性を得ることが困難である。

10

【0075】

このような透過領域の面積の差は、アレイ基板ARと対向基板CTとの合わせずれに起因して生じることがある。図6に示した比較例の場合、合わせずれに起因して一画素内で透過領域の面積に差が生じてしまうと、表示品位、特に視野角特性に悪影響を及ぼす。これに対して、図5に示した本実施形態では、合わせずれに起因して一画素内で透過領域の面積に差が生じてしまっても、表示品位への悪影響を軽減することが可能となる。

【0076】

このような本実施形態の特長を生かし、一画素内に合わせずれを調整するための領域を設けることも可能である。この構造例について以下に説明する。

20

【0077】

図7は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0078】

ここに示した構造例は、図2に示した構造例と比較して、主画素電極PAとソース配線S1（あるいは主共通電極CAL）との第1方向Xに沿った間隔H1が主画素電極PAとソース配線S2（あるいは主共通電極CAR）との第1方向Xに沿った間隔H2よりも小さい点で相違している。つまり、主画素電極PAは、ソース配線S1とソース配線S2との間において、ソース配線S2の側よりもソース配線S1の側に近接するように偏在している。したがって、主画素電極PAと主共通電極CALとの間に形成される第1透過領域T1の面積は、主画素電極PAと主共通電極CARとの間に形成される第2透過領域T2の面積よりも小さい。

30

【0079】

このような構造例において、例えば、主として表示に寄与する領域を、より面積の広い第2透過領域T2に設定し、合わせずれ調整用の領域を、より面積の小さい第1透過領域T1に設定する。つまり、主画素電極PAと主共通電極CARとの間隔H2を最適な電極間距離に設定し、この間隔H2に応じた白電圧を設定する。したがって、画素電極PEと共通電極CEとの間に白電圧を印加した際には、第2透過領域T2の液晶層LQには最適な電圧が印加され、液晶分子LMのX-Y平面内での回転角は約45°となって最大の透過率が得られる一方で、第1透過領域T1の液晶層LQには過大な電圧が印加されることになり、液晶分子LMの回転角は45°よりも大きくなる。つまり、第1透過領域T1の透過率は、第2透過領域T2の透過率よりも低くなる。しかしながら、一画素あたりに第1透過領域T1の面積が占める割合は小さいため、第1透過領域T1における透過率低下の影響は小さい。

40

【0080】

ここで、画素電極PEの位置に対して、共通電極CEの位置が図中の右側にずれる合わせずれが生じた場合について検討する。この場合、合わせずれがない場合と比較して、間隔H1はより縮小し、間隔H2はより拡大する。つまり、第1透過領域T1の面積は合わせずれがない場合よりも小さくなるが、第2透過領域T2の面積は合わせずれがない場合

50

よりも大きくなる。

【0081】

画素電極 P E と共通電極 C E との間に白電圧を印加した際には、第 2 透過領域 T 2 の液晶層 L Q に印加される電圧は最適電圧よりも不足気味となり、液晶分子 L M の回転角は 45° よりも小さくなるため、最大透過率よりも低透過率となるが、第 2 透過領域 T 2 の面積が拡大しているため、一画素単位で見ると、合わせずれがない場合と略同等の輝度を得られる。なお、第 1 透過領域 T 1 の透過率は、合わせずれがない場合よりもさらに低下する傾向があるが、一画素あたりに第 1 透過領域 T 1 の面積が占める割合はさらに小さくなるため、第 1 透過領域 T 1 における透過率低下の影響は小さい。

【0082】

次に、画素電極 P E の位置に対して、共通電極 C E の位置が図中の左側にずれる合わせずれが生じた場合について検討する。この場合、合わせずれがない場合と比較して、間隔 H 1 はより拡大し、間隔 H 2 はより縮小する。つまり、第 1 透過領域 T 1 の面積は合わせずれがない場合よりも大きくなり、第 2 透過領域 T 2 の面積は合わせずれがない場合よりも小さくなる。

【0083】

画素電極 P E と共通電極 C E との間に白電圧を印加した際には、第 2 透過領域 T 2 の液晶層 L Q に印加される電圧は最適電圧よりも過大気味となり、液晶分子 L M の回転角は 45° よりも大きくなるため、最大透過率よりも低透過率となる。一方で、第 1 透過領域 T 1 の液晶層 L Q に印加される電圧は合わせずれがない場合よりも最適電圧に近づくため、第 1 透過領域 T 1 の液晶分子 L M の回転角は 45 度に近づく。このため、第 1 透過領域 T 1 の透過率は合わせずれがない場合よりも上昇する。このため、一画素単位で見ると、合わせずれがない場合と略同等の輝度を得られる。

【0084】

このように、本実施形態によれば、合わせずれに対する輝度の低減を抑制することが可能となる。

【0085】

本実施形態で適用される液晶層 L Q の誘電率異方性は、-10 以下であることが望ましい。なお、液晶層 L Q の誘電率異方性 $\Delta \epsilon$ は、以下のように定義される。

【0086】

$\Delta \epsilon = (\text{液晶分子長軸方向の誘電率}) - (\text{液晶分子短軸方向の誘電率})$

誘電率異方性は、液晶層 L Q に印加される電界に対する感度とみなすことができ、誘電率異方性の絶対値が大きいほど、小さな電界で液晶分子 L M を駆動することができる。誘電率異方性が -10 以下の材料を適用することにより、主画素電極 P A と主共通電極 C A との電極間距離が拡大しても低電圧で液晶分子 L M を駆動することが可能となる。

【0087】

以下に、本実施形態のバリエーションについて説明する。

【0088】

例えば、図 8 に示すように、アレイ基板 A R は、さらに、第 1 シールド電極 S E 1 を備えていても良い。この第 1 シールド電極 S E 1 は、共通電極 C E と同電位であり、第 1 方向 X に沿って延出し、ゲート配線 G の各々に対向するように形成される。この第 1 シールド電極 S E 1 は、第 1 配向膜 A L 1 によって覆われている。このような第 1 シールド電極 S E 1 を設けることにより、ゲート配線 G からの不所望な電界をシールドすることが可能である。このため、更なる表示品位の劣化を抑制することが可能となる。

【0089】

また、アレイ基板 A R は、さらに、第 2 シールド電極 S E 2 を備えていても良い。この第 2 シールド電極 S E 2 は、共通電極 C E と同電位であり、第 2 方向 Y に沿って延出し、ソース配線 S の各々に対向するように形成される。この第 2 シールド電極 S E 2 は、第 1 配向膜 A L 1 によって覆われている。このような第 2 シールド電極 S E 2 を設けることにより、ソース配線 S からの不所望な電界をシールドすることが可能である。このため、更

10

20

30

40

50

なる表示品位の劣化を抑制することが可能となる。この第2シールド電極SE2は、第1シールド電極SE1と組み合わせることができる。この場合、第1シールド電極SE1は第2シールド電極SE2と一体的あるいは連続的に形成され、両者が格子状をなす。第1シールド電極SE1及び第2シールド電極SE2を備えたアレイ基板ARを適用する場合には、画素電極PEは、第1シールド電極SE1及び第2シールド電極SE2によって囲まれた内側に位置する。なお、このようなアレイ基板ARにおいても、図7に示した例と同様に、第1透過領域T1と第2透過領域T2とで面積が異なるような構成を適用しても良い。

【0090】

また、図9に示すように、対向基板CTは、さらに、共通電極CEを構成する副共通電極を備えていても良い。この副共通電極は、主共通電極CAと一体的あるいは連続的に形成され、第1方向Xに沿って延出し、ゲート配線Gの上方に位置するように形成される。図示した例では、対向基板CTは、画素PXの上側端部に配置された副共通電極CBU及び画素PXの下側端部に配置された副共通電極CBBを備えている。副共通電極CBUは、ゲート配線G1の上方に位置し、第1シールド電極SE1に対向している。副共通電極CBBは、ゲート配線G2の上方に位置し、第1シールド電極SE1に対向している。このような主共通電極CA及び副共通電極CBを有する共通電極CEを備えた対向基板CTを適用する場合、画素電極PEは、X-Y平面内において、格子状の共通電極CEによって囲まれた内側に位置する。なお、このような対向基板CTと組み合わせ可能なアレイ基板ARは、図2に示した例に限らず、図7に示した例であってもよい。

【0091】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0092】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0093】

LPN...液晶表示パネル

AR...アレイ基板 CT...対向基板

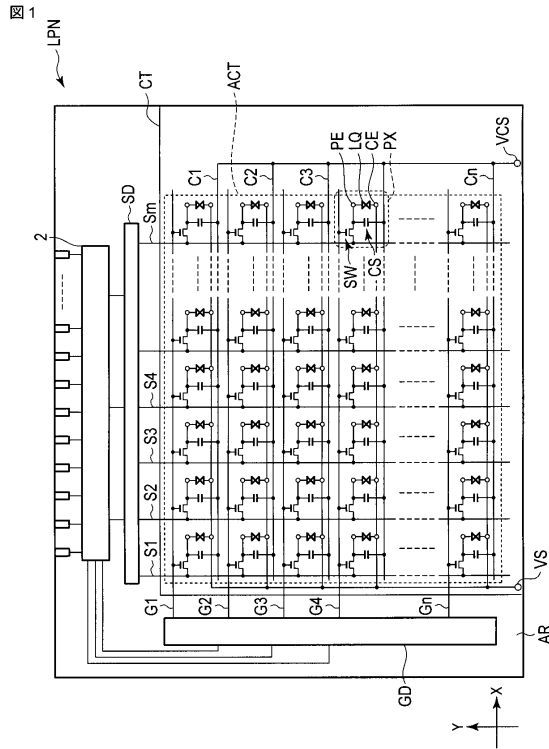
LQ...液晶層 LM...液晶分子

PE...画素電極 PA...主画素電極 PB...副画素電極

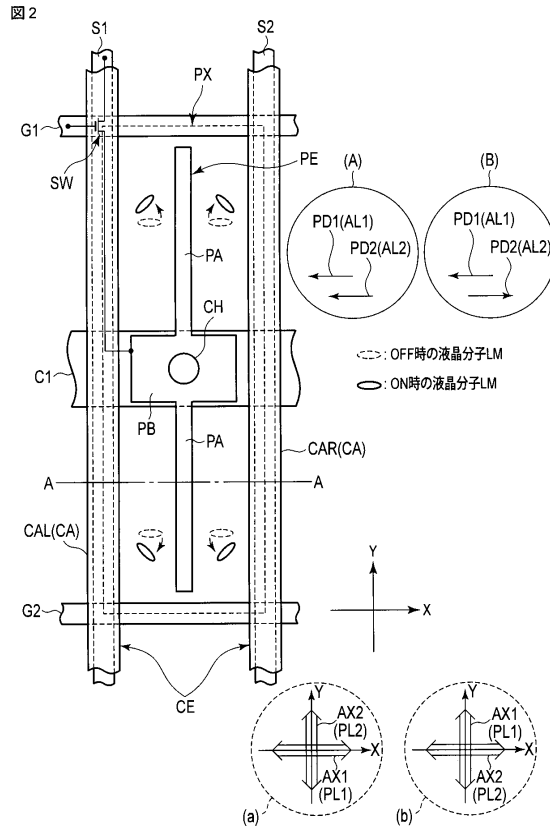
CE...共通電極 CA...主共通電極 CB...副共通電極

AL1...第1配向膜 AL2...第2配向膜

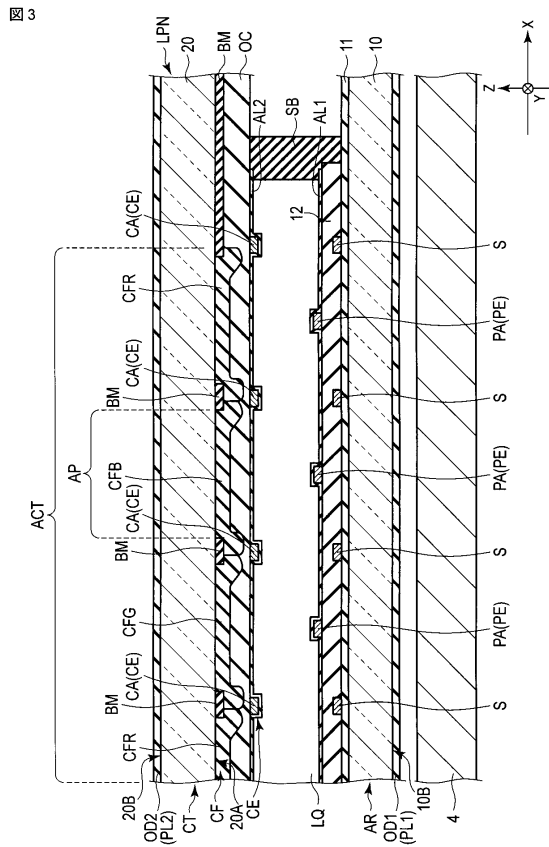
【 図 1 】



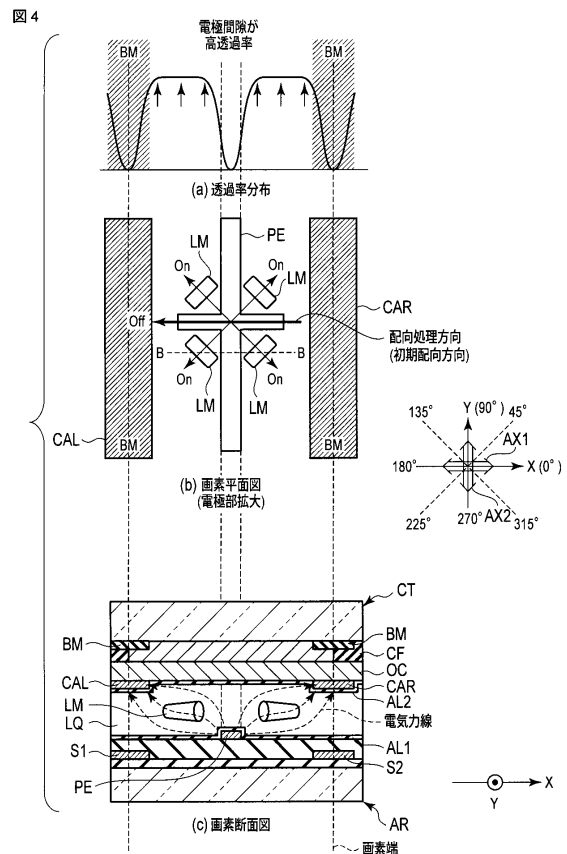
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

- (56)参考文献 特開平09-230380(JP,A)
特開平06-222397(JP,A)
特開2009-109657(JP,A)
特開2000-081641(JP,A)
特開平06-160878(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 3 5
G 0 2 F	1 / 1 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5903309B2	公开(公告)日	2016-04-13
申请号	JP2012075083	申请日	2012-03-28
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	長谷川ひとみ 福岡暢子		
发明人	長谷川 ひとみ 福岡 暢子		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1335		
CPC分类号	G02F1/136286 G02F1/133528 G02F1/1337 G02F1/133707 G02F1/134309 G02F1/134336 G02F1/134363 G02F1/136213 G02F1/1368 G02F2001/133531 G02F2001/133757 G02F2001/134318 G02F2001/134345 G02F2001/136218		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1335.510		
F-TERM分类号	2H092/GA14 2H092/GA29 2H092/GA64 2H092/HA04 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB14 2H092/JB69 2H092/NA01 2H092/NA07 2H092/PA02 2H092/PA08 2H092/PA11 2H092/PA13 2H092/QA09 2H191/FA02Y 2H191/FA14Y 2H191/FA22X 2H191/FA22Z 2H191/FA82Z 2H191/FA85Z 2H191/FA94Y 2H191/FD09 2H191/FD10 2H191/GA08 2H191/GA19 2H191/GA22 2H191/HA12 2H191/KA02 2H191/LA22 2H191/LA23 2H192/AA24 2H192/BA13 2H192/BA16 2H192/BA32 2H192/BC31 2H192/CB05 2H192/CC05 2H192/DA12 2H192/EA22 2H192/EA43 2H192/GA02 2H192/JA03 2H291/FA02Y 2H291/FA14Y 2H291/FA22X 2H291/FA22Z 2H291/FA82Z 2H291/FA85Z 2H291/FA94Y 2H291/FD09 2H291/FD10 2H291/GA08 2H291/GA19 2H291/GA22 2H291/HA12 2H291/KA02 2H291/LA22 2H291/LA23		
其他公开文献	JP2013205652A		
外部链接	Espacenet		

摘要(译)

在一个实施例中，第一基板包括沿第一方向延伸的栅极线，沿与第一方向正交的第二方向延伸的源极线，包括沿第二方向延伸的主像素电极的像素电极，以及第一取向膜覆盖像素电极。第二基板包括公共电极，该公共电极具有布置在夹着主像素电极的两侧上的一对主公共电极和覆盖公共电极的第二取向膜。液晶层保持在第一取向膜和第二取向膜之间，并包括液晶分子。液晶层由具有负介电常数各向异性的材料形成，并且当在像素电极和公共电极之间没有施加电场时，液晶分子最初基本上与第一方向平行排列。

(21) 出願番号	特願2012-75083 (P2012-75083)	(73) 特許権者	502356528
(22) 出願日	平成24年3月28日 (2012.3.28)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-205652 (P2013-205652A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年10月7日 (2013.10.7)	(74) 代理人	110001737
審査請求日	平成26年9月11日 (2014.9.11)		特許業務法人スズエ国際特許事務所
前置審査		(72) 発明者	長谷川 ひとみ
			埼玉県深谷市幡羅町一丁目9番地2 東芝
			モバイルディスプレイ株式会社内
		(72) 発明者	福岡 暢子
			埼玉県深谷市幡羅町一丁目9番地2 東芝
			モバイルディスプレイ株式会社内
		審査官	弓指 洋平

最終頁に続く