

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5706619号
(P5706619)

(45) 発行日 平成27年4月22日 (2015. 4. 22)

(24) 登録日 平成27年3月6日 (2015. 3. 6)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

請求項の数 14 (全 22 頁)

(21) 出願番号 特願2010-29788 (P2010-29788)
 (22) 出願日 平成22年2月15日 (2010. 2. 15)
 (65) 公開番号 特開2010-191426 (P2010-191426A)
 (43) 公開日 平成22年9月2日 (2010. 9. 2)
 審査請求日 平成25年1月23日 (2013. 1. 23)
 (31) 優先権主張番号 10-2009-0012448
 (32) 優先日 平成21年2月16日 (2009. 2. 16)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City,
 Gyeonggi-Do, Korea
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 鄭 光 哲
 大韓民国京畿道城南市寿井区太平1洞71
 15-4 番地

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1支持電極部と、前記第1支持電極部から前記第1支持電極部に対して鋭角を成す第1方向に延伸する複数の第1ブランチ電極部と、前記第1支持電極部から第1方向と交差する第2方向に延伸する第2ブランチ電極部と、前記第1ブランチ電極部に隣接する前記第2ブランチ電極部から前記第1ブランチ電極部に対して平行に延伸する第3ブランチ電極部と、前記第3ブランチ電極部から前記第2ブランチ電極部に対して平行に延伸する第4ブランチ電極部と、を含む第1画素電極と、

前記第1支持電極部と対向するように配置される第2支持電極部と、前記第2支持電極部から前記第1ブランチ電極部と前記第3ブランチ電極部との間及び前記第1ブランチ電極部間に延伸する第5ブランチ電極部と、前記第2ブランチ電極部と第4ブランチ電極部との間及び前記第2ブランチ電極部間に延伸する第6ブランチ電極部と、を有する第2画素電極と、を含むことを特徴とする表示装置。

【請求項 2】

前記第1支持電極部及び前記第2支持電極部は、前記表示装置の背面に配置される下部偏光板の偏光軸方向に対して平行に配置されて、前記第1方向及び前記偏光軸方向は45°を成すことを特徴とする請求項1に記載の表示装置。

【請求項 3】

前記第1支持電極部に対して平行に延びる第1データラインと、
 前記第2支持電極部に対して平行に延びる第2データラインと、

10

20

前記第 1 データラインと前記第 1 画素電極とを電氣的に接続する第 1 スイッチング素子と、

前記第 2 データラインと前記第 2 画素電極とを電氣的に接続する第 2 スイッチング素子と、をさらに含むことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記第 1 画素電極及び第 2 画素電極が配置された単位画素領域は、

前記第 1 ブランチ電極部及び第 5 ブランチ電極部と、前記第 2 ブランチ電極部及び第 6 ブランチ電極部とが第 1 間隔で離隔されたロー領域と、

前記第 1 ブランチ電極部及び第 5 ブランチ電極部と、前記第 2 ブランチ電極部及び第 6 ブランチ電極部とが第 1 間隔より小さな第 2 間隔で離隔されたハイ領域と、を有することを
10

【請求項 5】

前記単位画素領域は、前記偏光軸方向に対して平行な辺を有する長方形を有し、

前記単位画素領域の前記第 2 方向の上段端部領域と、第 1 方向下段端部領域と、前記第 2 支持電極部の付近の中間領域とが、前記ハイ領域に定義され、

前記ハイ領域及びロー領域は、交互に配列されることを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 画素電極は、

前記第 4 ブランチ電極部から前記第 3 ブランチ電極部と前記第 1 間隔を維持し、前記第
20

3 ブランチ電極部に対して平行に延伸する第 7 ブランチ電極部と、
前記第 7 ブランチ電極部から前記第 4 ブランチ電極部と前記第 2 間隔を維持し、前記第 4
4 ブランチ電極部に対して平行に延伸する第 8 ブランチ電極部と、をさらに含むことを特
徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記第 2 画素電極は、

前記第 1 ブランチ電極部と第 3 ブランチ電極部との間の前記第 5 ブランチ電極部の端部
から前記第 2 ブランチ電極部に対して平行に形成された第 1 ヘッド部と、

前記第 2 ブランチ電極部と第 4 ブランチ電極部との間の前記第 6 ブランチ電極部の端部
から前記第 3 ブランチ電極部に対して平行に形成された第 2 ヘッド部と、をさらに含むこ
30

【請求項 8】

単位画素領域の第 1 辺と、前記第 1 辺に隣接して前記第 1 辺に対して垂直な前記単位画
素領域の第 2 辺と、の各々に平行に配置された辺を有する第 1 支持電極部と、

前記第 1 支持電極部から延伸し、前記第 1 辺に対して平行に配置された第 1 ブランチ電
極部と、

前記第 1 ブランチ電極部から延伸し、前記第 2 辺に対して平行に配置された第 2 ブラン
チ電極部と、

前記第 2 ブランチ電極部から延伸し、前記第 1 辺に対して平行に配置された第 3 ブラン
チ電極部と、
40

前記第 3 ブランチ電極部から延伸し、前記第 2 辺に対して平行に配置された第 4 ブラン
チ電極部と、

を有する第 1 画素電極と、

前記第 1 辺および前記第 2 辺の各々に平行に配置された辺を有する第 2 支持電極部と、

前記第 2 支持電極部から延伸し、前記第 1 ブランチ電極部と前記第 3 ブランチ電極部と
の間に配置された第 5 ブランチ電極部と、

前記第 5 ブランチ電極部の端部から、前記第 2 ブランチ電極部に対して平行に延伸した
T 字型の第 1 ヘッド部と、

前記第 2 支持電極部から延伸し、前記第 2 ブランチ電極部と前記第 4 ブランチ電極部と
の間に配置された第 6 ブランチ電極部と、
50

前記第 6 ブランチ電極部の端部から、前記第 1 ブランチ電極部に対して平行に延伸した T 字型の第 2 ヘッド部と、
を有する第 2 画素電極と、を含むことを特徴とする表示装置。

【請求項 9】

前記表示装置の背面に配置される下部偏光板の偏光軸と鋭角を成して前記第 1 辺に対して平行に配置された第 1 データラインと、

前記第 1 データラインに平行に配置された第 2 データラインと、

前記第 1 データラインと前記第 1 画素電極とを電氣的に接続する第 1 スイッチング素子と、

前記第 2 データラインと前記第 2 画素電極とを電氣的に接続する第 2 スイッチング素子と、をさらに含むことを特徴とする請求項 8 に記載の表示装置。

10

【請求項 10】

前記第 1 画素電極は、

前記第 4 ブランチ電極部から延伸し、前記第 1 辺に対して平行に配置された第 7 ブランチ電極部と、

前記第 7 ブランチ電極部から延伸し、前記第 2 辺に対して平行に配置された第 8 ブランチ電極部と、をさらに含み、

前記第 1 及び第 2 ブランチ電極部が前記第 3 及び第 4 ブランチ電極部から第 1 間隔で離隔して配置されたロー領域と、

前記第 3 及び第 4 ブランチ電極部が前記第 7 及び第 8 ブランチ電極部から前記第 1 間隔より小さい第 2 間隔で離隔されたハイ領域と、を有することを特徴とする請求項 8 に記載の表示装置。

20

【請求項 11】

単位画素領域の第 1 辺と、前記第 1 辺に隣接して前記第 1 辺に対して垂直な前記単位画素領域の第 2 辺と、の各々に平行に配置された辺を有する第 1 支持電極部と、

前記第 1 支持電極部から延伸し、前記第 1 辺に対して平行に配置された複数の第 1 ブランチ電極部と、

前記複数の第 1 ブランチ電極部のうち少なくとも 1 つの前記第 1 ブランチ電極部から延伸し、前記第 2 辺に対して平行に配置された複数の第 2 ブランチ電極部と、

を有する第 1 画素電極と、

30

前記第 1 辺および前記第 2 辺の各々に平行に配置された辺を有する第 2 支持電極部と、

前記第 2 支持電極部から延伸し、前記第 1 ブランチ電極部間に配置された第 3 ブランチ電極部と、

前記第 3 ブランチ電極部の端部から、前記第 2 ブランチ電極部に対して平行に延伸した T 字型の第 1 ヘッド部と、

前記第 2 支持電極部から延伸し、前記第 2 ブランチ電極部間に配置された第 4 ブランチ電極部と、

前記第 4 ブランチ電極部の端部から、前記第 1 ブランチ電極部に対して平行に延伸した T 字型の第 2 ヘッド部と、

を有する第 2 画素電極と、を含むことを特徴とする表示装置。

40

【請求項 12】

前記表示装置の背面に配置される下部偏光板の偏光軸と鋭角を成して前記第 1 辺に対して平行に配置された第 1 データラインと、

前記第 1 データラインに平行に配置された第 2 データラインと、

前記第 1 データラインと前記第 1 画素電極とを電氣的に接続する第 1 スイッチング素子と、

前記第 2 データラインと前記第 2 画素電極とを電氣的に接続する第 2 スイッチング素子と、をさらに含むことを特徴とする請求項 11 に記載の表示装置。

【請求項 13】

前記第 1 画素電極は、

50

前記複数の第2ブランチ電極部のうち少なくとも1つの前記第2ブランチ電極部から延伸し、前記第1辺に対して平行に配置された複数の第5ブランチ電極部と、

前記第5ブランチ電極部から延伸し、前記第2辺に対して平行に配置された第6ブランチ電極部と、をさらに含むことを特徴とする請求項1に記載の表示装置。

【請求項14】

前記複数の第1ブランチ電極部のうち隣接する前記第1ブランチ電極部、及び前記複数の第2ブランチ電極部のうち隣接する前記第2ブランチ電極部が第1間隔で離隔して配置されたロー領域と、

前記第2ブランチ電極部が接続された前記第1ブランチ電極部、及び前記第5ブランチ電極部が接続された前記第2ブランチ電極部が、前記第5ブランチ電極部、及び前記第6ブランチ電極部から前記第1間隔より小さい第2間隔で離隔されたハイ領域と、を有することを特徴とする請求項13に記載の表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アレイ基板に関する。より詳しくは、水平電界を形成するアレイ基板に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、現在最も広く使用されている平板表示装置の1つであり、画素電極や共通電極など、電界生成電極が形成されている2枚の表示板とその間に挿入されている液晶層とからなる。電界生成電極に印加された電圧によって液晶層に電界が印加され、前記電界によって液晶分子の配列が調節されて入射光の透過率及び偏光が制御されて画像が表示される。

20

【0003】

液晶表示装置分野において、広視野角を実現し、液晶層の応答速度を向上することが画質向上のために重要な技術的課題であった。前記技術的課題を解決するために、単位画素領域において液晶の配列方向を多様に形成するマルチ・ドメイン形成技術が開発され、電界を印加する電界生成電極の形状の改善が為されてきた。

30

【0004】

しかし、ドメインの境界での液晶の制御が十分に為されることができず、テクスチャ(texture)の発生による透過率減少及び画質低下が問題になっていた。また、液晶表示装置のスイッチング素子に信号を伝達する配線の線幅の制限などによって、電界生成電極に印加されることのできる駆動電圧の大きさが制限されるため、液晶層の応答速度を向上するためにまたはロー・ハイ(low-high)駆動電圧を使用して液晶表示装置を効果的に駆動するために液晶層に印加される電界の電位差を大きくするのに問題があった。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の技術的課題は、このような従来の問題点を解決するためのものであって、本発明の実施形態は、テクスチャを減少させて、透過率を向上させ、液晶の応答速度を向上させて、表示品質を向上させるアレイ基板を提供する。

40

【課題を解決するための手段】

【0006】

上述の本発明の技術的課題を解決するために、本発明の一実施形態によるアレイ基板は、第1画素電極及び第2画素電極を含む。第1画素電極は、第1支持電極部、第1ブランチ電極部、第2ブランチ電極部、第3ブランチ電極部、及び第4ブランチ電極部を含む。第1ブランチ電極部は、第1支持電極部から第1支持電極部と鋭角を成す第1方向に延伸する。第2ブランチ電極部は、第1方向と交差する第2方向に延伸する。第3ブランチ電

50

極部は、第1ブランチ電極部に隣接する第2ブランチ電極部から第1ブランチ電極部と平行に延伸する。第4ブランチ電極部は、第3ブランチ電極部から第2ブランチ電極部と平行に延伸する。第1画素電極は、部分的にジグザグ形状を有する。第2画素電極は、第2支持電極部、第5ブランチ電極部、及び第6ブランチ電極部を含み、第1画素電極と水平電界を形成する。第2支持電極部は、第1支持電極部と対向するように配置される。第5ブランチ電極部は、第2支持電極部から第1ブランチ電極部と第3ブランチ電極部との間と、第1ブランチ電極部間に延伸する。第6ブランチ電極部は、第2ブランチ電極部と第4支持電極部との間と、第2ブランチ電極部間に延伸する。

【0007】

上述の本発明の技術的課題を解決するために、本発明の他の実施形態によるアレイ基板は、第1画素電極及び第2画素電極を含む。第1画素電極は、第1ブランチ電極部及び第2ブランチ電極部を含む。第1ブランチ電極部は、単位画素領域の第1辺と平行に単位画素領域の第1領域に形成される。第2ブランチ電極部は、単位画素領域の第2辺と平行に単位画素領域の第2領域に形成される。ここで、第2辺は第1辺に隣接し、第1辺の縦軸は第2辺に対して垂直でもよい。第2画素電極は、第3ブランチ電極部及び第4ブランチ電極部を含む。第3ブランチ電極部は、第1ブランチ電極部間に配置される。第4ブランチ電極部は、第2ブランチ電極部間に配置される。

【発明の効果】

【0008】

上述のアレイ基板によると、液晶の配列が偏光軸45°を成す領域を増加させて透過率を向上させ、水平電界を形成する駆動電圧を上昇させることによって、液晶の応答速度が向上して、表示装置の表示品質が向上する。

【図面の簡単な説明】

【0009】

【図1】第1実施形態による表示装置の平面図である。

【図2】図1に示す表示装置をI-I'線に沿って切断した断面図である。

【図3】図1に示す画素電極の平面図である。

【図4】図2に示す表示装置の等価回路図である。

【図5】図2に示す表示装置の駆動状態を説明する断面図である。

【図6】図2に示す表示装置の駆動状態を説明する断面図である。

【図7】図2で説明した表示装置で発生したテクスチャを説明する平面図である。

【図8】鋭角型アレイ基板の一画素の平面図である。

【図9】第2実施形態によるアレイ基板を有する画素電極の平面図である。

【図10】図9に示す画素電極をモデリングしたテスト電極の平面図である。

【図11】図10に示すテスト電極を有する表示装置で発生したテクスチャを観測した写真である。

【図12】図9に示す表示装置及び図8に示す表示装置の電圧-透過率のグラフである。

【図13】図9に示す画素電極の変形例を示す平面図である。

【図14】図9に示す画素電極の変形例を示す平面図である。

【図15】図9に示す画素電極の変形例を示す平面図である。

【図16】図9に示す画素電極の変形例を示す平面図である。

【発明を実施するための形態】

【0010】

以下、図面を参照しつつ、本発明の望ましい実施形態をより詳しく説明する。

【0011】

本発明は多様な変更を加えることができ、様々な形態を有することができるため、特定の実施形態を図面に例示し、本明細書に詳しく説明する。しかし、これは本発明を特定の開示形態に対して限定しようとするのではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物、ないしは代替物を含むことと理解されるべきである。

【0012】

各図面を説明しながら類似する参照符号を、類似する構成要素に対して使用した。図面において、構造物のサイズは本発明を明確にするために実際より拡大して示した。

【 0 0 1 3 】

第 1、第 2 などの用語は多様な構成要素を説明するにあたって使用することができるが、各構成要素は使用される用語によって限定されるものではない。各用語は 1 つの構成要素を他の構成要素と区別する目的で使用されるものであって、例えば、明細書中において、第 1 構成要素を第 2 構成要素に書き換えることも可能であり、同様に第 2 構成要素を第 1 構成要素とすることができる。単数表現は文脈上、明白に異なる意味を有しない限り、複数の表現を含む。

【 0 0 1 4 】

本明細書において、「含む」または「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものが存在することを指定しようとするものであって、1 つまたはそれ以上の別の特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものの存在または付加可能性を予め排除しないことと理解されるべきである。

【 0 0 1 5 】

また、層、膜、領域、板などの部分が他の部分の「上に」あるとする場合、これは他の部分の「すぐ上に」ある場合のみでなく、その中間にさらに他の部分がある場合も含む。同様に、層、膜、領域、板などの部分が他の部分の「下に」あるとする場合、これは他の部分の「すぐ下に」ある場合のみでなく、その中間にさらに他の部分がある場合も含む。

【 0 0 1 6 】

[第 1 実施形態]

図 1 は、第 1 実施形態による表示装置の平面図である。図 2 は、図 1 に示す表示装置 10 を I - I ' 線に沿って切断した断面図である。

【 0 0 1 7 】

図 1 及び図 2 を参照すると、本実施形態の表示装置 10 は、アレイ基板 100、対向基板 200、及びこれらの間に介在された液晶層 3 を含む。

【 0 0 1 8 】

本実施形態のアレイ基板 100 は、下部基板 110、ゲートライン 121、ストレージライン 131、ゲート絶縁膜 140、半導体層 (154 a , 154 b)、オーミックコンタクト層 (163 a , 165 a)、第 1 及び第 2 データライン (171 a、171 b)、有機絶縁膜 180、第 1 及び第 2 画素電極 (193 , 195)、及び配向膜 181 を含む。

【 0 0 1 9 】

上述のアレイ基板 100 は、一例として提示したものであり、アレイ基板 100 は、画素電極にマイクロブランチ電極部 (以下、ブランチ電極部) を含む基板であれば、いずれの基板でもよい。

【 0 0 2 0 】

ガラス質またはプラスチック材質からなって絶縁性を有する下部基板 110 上にゲート金属層を形成し、エッチングして複数のゲートライン 121 及び複数のストレージライン 131 を形成する。ゲートライン 121 はゲート信号を伝達し、単位画素領域の横辺方向 (以下、第 1 偏光軸方向) P01 に互いに実質的に平行に形成される。ゲートライン 121 は、一部の幅が拡張されて形成されたゲート電極 (124 a , 124 b) の対を含む。ゲート電極 (124 a , 124 b) は、単位画素領域の下側の横辺付近の両側角領域にそれぞれ形成されている。ゲートライン 121 と共にゲートライン 121 の付近に第 1 偏光軸方向 P01 にストレージライン 131 が形成される。

【 0 0 2 1 】

ゲートライン 121 及びストレージライン 131 の上に窒化ケイ素 (SiNx) または酸化ケイ素 (SiOx) などからなるゲート絶縁膜 (gate insulating layer) 140 が形成される。

【0022】

ゲート絶縁膜140上に半導体層、オーミックコンタクト層、及びソース金属層を順次に形成しエッチングして、図1及び図2に示したように、複数対の第1及び第2データライン(171a, 171b)、ソース電極(173a, 173b)、島形半導体層(154a, 154b)、島形オーミックコンタクト層(163a, 165a)及びドレイン電極(175a, 175b)を形成する。

【0023】

島形半導体層(154a, 154b)及び島形オーミックコンタクト層(163a, 165a)は、ゲート電極(124a, 124b)の上部に形成される。半導体層は、水素化アモルファスシリコンまたは多結晶シリコンなどからなり、オーミックコンタクト層は、リンなどのn型不純物が高濃度でドーピングされているn⁺水素化アモルファスシリコンなどの物質からなるか、またはシリサイド(silicide)からなってもよい。

【0024】

第1及び第2データライン(171a, 171b)は、データ信号を伝達し、第1偏光軸方向P01と実質的に直交する単位画素領域の縦辺方向(以下、第2偏光軸方向)P02に延伸して、ゲートライン121及びストレージライン131と交差する。第1及び第2データライン(171a, 171b)は、第1偏光軸方向P01にU字状に曲がった一対の第1及び第2ソース電極(173a, 173b)を複数含む。

【0025】

ゲートライン121及びデータライン(171a, 171b)が交差して実質的に長方形領域を定義し、この長方形領域には第1及び第2画素電極(193, 195)が形成される。従って、長方形領域を単位画素領域と定義する。これとは異なって、単位画素領域の形状は、Z字状、V字状などの多様な形態に変更することができる。

【0026】

ゲート電極(124a, 124b)、ゲート絶縁膜140、島形半導体層(154a, 154b)、島形オーミックコンタクト層(163a, 165a)、ソース電極(173a, 173b)及びドレイン電極(175a, 175b)は、三端子素子である第1及び第2スイッチング素子(TFT1, TFT2)を構成する。

【0027】

データライン(171a, 171b)を覆う有機絶縁膜180が形成される。有機絶縁膜180にドレイン電極(175a, 175b)の一部を露出させるコンタクトホール(185a, 185b)が形成される。

【0028】

図3は、図1に示す画素電極の平面図である。

【0029】

図1、図2、及び図3を参照すると、有機絶縁膜180上にインジウムスズ酸化物(ITO)またはインジウム亜鉛酸化物(IZO)のような透明な導電性物質層を形成する。導電性物質層は、コンタクトホール(185a, 185b)を通じてドレイン電極(175a, 175b)に接触する。導電性物質層をエッチングして、単位画素領域に第1及び第2画素電極(193, 195)が形成される。第1画素電極193及び第2画素電極195は、パターニング後に残留した前記導電性物質層であり、単位画素領域に複数のドメインを形成する。

【0030】

第1画素電極193は、第1支持電極部193a、複数の第1ブランチ電極部193b、第2ブランチ電極部193c、第3ブランチ電極部193d、及び第4ブランチ電極部193eを含む。

【0031】

第1支持電極部193aは、単位画素領域の左側縦辺に沿って配置され、下段に第1コンタクト部193fが形成される。第1コンタクト部193fは、第1コンタクトホール185aを通じて第1ドレイン電極175aと電氣的に接続される。ゲートライン121

10

20

30

40

50

を通じて第1ゲート電極124aにゲートオン信号が印加され、第1データライン171aを通じて第1画素電極193に第1画素電圧が印加される。

【0032】

第1ブランチ電極部193bは、第1支持電極部193aから第1支持電極部193aと鋭角を成す第1方向D01に延伸する。例えば、第1ブランチ電極部193bは、第1偏光軸方向P01と平行な単位画素領域の中心線を基準に右斜め上向に延伸する。第1方向D01は、第1偏光軸方向P01及び第2偏光軸方向P02とほぼ45°を成してもよい。

【0033】

第2ブランチ電極部193cは、第1支持電極部193aから第1方向D01と交差する第2方向D02に延伸する。例えば、第2ブランチ電極部193cは、前記中心線を基準に右斜め下向に延伸する。第2方向D02は、第1方向D01と実質的に直交し、第1偏光軸方向P01及び第2偏光軸方向P02とほぼ45°を成してもよい。

10

【0034】

第1ブランチ電極部193bは、第1支持電極部193aの実質的に上半部から延伸し、第2ブランチ電極部193cは、第1支持電極部193aの実質的に下半部から延伸する。従って、第1ブランチ電極部193bと第2ブランチ電極部193cとの間には実質的にV字状の領域が形成され、第3ブランチ電極部193d及び第4ブランチ電極部193eは、前記V字状の領域に配置される。

【0035】

20

第3ブランチ電極部193dは、第2ブランチ電極部193cから第1ブランチ電極部に対して平行に延伸する。第4ブランチ電極部193eは、第3ブランチ電極部193dから第2ブランチ電極部193cに対して平行に延伸する。

【0036】

第1画素電極193は、図1及び図3に示すように第7ブランチ電極部193g及び第8ブランチ電極部193hをさらに含んでもよい。第7ブランチ電極部193gは、第4ブランチ電極部193eから第3ブランチ電極部193dに対して平行に延伸する。第8ブランチ電極部193hは、第7ブランチ電極部193gから第4ブランチ電極部193eに対して平行に延伸する。

【0037】

30

第3、第4、第7、及び第8ブランチ電極部が互いに接続する方式を、マルチブランチ方式と定義する。第1画素電極は、マルチブランチ方式で接続されるブランチ電極部をさらに含んでもよい。マルチブランチ方式によって、第1画素電極は、図1及び図3に示すように、部分的に第1偏光軸方向P01にジグザグ形状を有する。

【0038】

第2画素電極195は、第2支持電極部195a、第5ブランチ電極部195b及び第6ブランチ電極部195cを含む。

【0039】

第2支持電極部195aは、単位画素領域の右側縦辺、上側横辺及び下側横辺に沿って形成される。右下側角から第2支持電極部195aが延伸して、第2コンタクト部195fが形成される。第2コンタクト部195fは、第2ドレイン電極175bを部分的に露出させる第2コンタクトホール185bを通じて第2ドレイン電極175bと電氣的に接続される。ゲートライン121を通じて第2ゲート電極124bにゲートオン信号が印加され、第2データライン171bを通じて第2画素電極195に第2画素電圧が印加される。

40

【0040】

第1画素電圧と前記第2画素電圧とは、極性が互いに反対であってもよい。データライン(171a, 171b)などの配線構造は、第1画素電圧及び第2画素電圧の最大値を制限する。本実施形態においては、第1画素電極193及び第2画素電極195には互いに異なる極性の第1画素電圧及び第2画素電圧がそれぞれ印加されるため、第1画素電圧

50

及び第2画素電圧の極性が同一である場合よりも、液晶層3に印加される電圧をさらに大きくすることができる。従って、液晶層3に十分な大きさの駆動電圧を印加することができる、液晶31の応答速度を向上させることができる。

【0041】

第5ブランチ電極部195bは、第2支持電極部195aから第1ブランチ電極部193bに対して平行に延伸する。第5ブランチ電極部195bは、第1ブランチ電極部193b及び第3ブランチ電極部193dの間と、第1ブランチ電極部193b間にそれぞれ配置される。第6ブランチ電極部195cは、第2支持電極部195aから第2ブランチ電極部193cに対して平行に延伸する。第6ブランチ電極部195cは、第2ブランチ電極部193cと第4ブランチ電極部193eとの間と、第2ブランチ電極部193c間

10

【0042】

従って、単位画素領域は、複数のブランチ電極部によって4つのドメインに区分される。つまり、単位画素領域の上半部は、第1ブランチ電極部193b、第3ブランチ電極部193d、及び第5ブランチ電極部195bによって、第1ドメイン及び第2ドメインに区分される。単位画素領域の下半部は、第2ブランチ電極部193c、第4ブランチ電極部193e、及び第6ブランチ電極部195cによって第3ドメイン及び第4ドメインに区分される。液晶31の方向軸、例えば、長軸は、ブランチ電極部に実質的に直交して配置される。従って、第1及び第2ドメインにおいて、液晶31は、第1方向D01に実質的に直交する方向に配列される。第3及び第4ドメインにおいて、液晶31は、第2方向D02に実質的に直交する方向に配列される。

20

【0043】

一方、第1画素電極193と第2画素電極195とは、位置によって互いの離隔間隔が異なるように配置される。本実施形態において、第3ブランチ電極部193d及び第5ブランチ電極部195bと、第3ブランチ電極部193d付近の第1ブランチ電極部193b及び第5ブランチ電極部195bとは、それぞれ第1間隔で離隔される。

【0044】

単位画素領域の左側上段の端部付近で、第1ブランチ電極部193bと第5ブランチ電極部195bとは、第1間隔より小さい第2間隔で離隔される。印加される画素電圧が同一であっても、ブランチ電極部の離隔間隔が狭くなるほど形成される電界の強度はより大きくなる。従って、単位画素領域の左側上段端部領域は、電界が相対的に強いハイ領域になり、ブランチ電極部が第1間隔で離隔されている第3ブランチ電極部193d付近は、電界が相対的に弱いロー領域になる。

30

【0045】

前記中心線を基準に単位画素領域の下半部も上半部と対称的な構成を有する。従って、第4ブランチ電極部193e及び第6ブランチ電極部195cと、第4ブランチ電極部193e付近の第2ブランチ電極部193c及び第6ブランチ電極部195cとは、それぞれ前記第1間隔で離隔される。単位画素領域の左側下段端部付近では、第2ブランチ電極部193cと第6ブランチ電極部195cとは、前記第2間隔で離隔される。

【0046】

一方、第7ブランチ電極部193g及び第5ブランチ電極部195bは、前記第1間隔で配置される。第8ブランチ電極部193h及び第6ブランチ電極部195cは、前記第2間隔で配置される。従って、単位画素領域全体的に左側上段及び左側下段端部付近から単位画素領域の中央右側領域に向かって、ハイ-ロー-ハイ-ロー(high-low-high-low)領域に区分される。従って、第1~第4ドメインは、それぞれハイ領域及びロー領域に区分され、その結果、アレイ基板100には、8つのドメインを形成される。ブランチ電極部の離隔間隔は、一例として、狭い部分で3 μ mほどであってもよく、広い部分で24 μ m程度であってもよい。

40

【0047】

再び、図2を参照すると、第1及び第2画素電極(193, 195)を覆う下部配向膜

50

181が形成される。下部基板110の背面には下部偏光板5が取り付けられてもよく、下部偏光板5は、第1偏光軸方向P01または第2偏光軸方向P02と平行な第1偏光軸を有する。

【0048】

対向基板200は、上部基板210、遮光パターン220、カラーフィルタパターン230、オーバーコーティング層250、及び上部配向膜270を含む。

【0049】

遮光パターン220は、ゲートライン121、データライン(171a, 171b)、第1及び第2スイッチング素子(TFT1, TFT2)、及びストレージライン131に対応するように上部基板210に形成される。従って、遮光パターン220が形成されない単位画素領域には、カラーフィルタパターン230が形成される。カラーフィルタパターン230は、例えば、赤色フィルタ、緑色フィルタ、及び青色フィルタを含む。赤色フィルタ、緑色フィルタ、及び青色フィルタは、順に各単位画素領域に対応するように第1偏光軸方向P01に配置されてもよい。

【0050】

オーバーコーティング層250は、カラーフィルタパターン230及び遮光パターン220を覆う。上部配向膜270は、下部配向膜181と同一の材質でオーバーコーティング層上に形成される。本実施形態において、液晶層3は、ねじれネマチック液晶31を含んでもよい。下部配向膜181及び上部配向膜270は、ラビング処理されずに、液晶31を垂直配向する配向処理をされてもよい。

【0051】

本実施形態において、第1及び第2画素電極(193, 195)の間に水平電界が形成され、対向基板200には液晶に印加される電界を形成させる電極が形成されない。対向基板200の上面に上部偏光板7が取り付けられてもよい。上部偏光板7は、下部偏光板5の第1偏光軸と実質的に直交する第2偏光軸を有してもよい。

【0052】

図4は、図2に示す表示装置10の等価回路図である。図5及び図6は、図2に示す表示装置10の駆動状態を説明する断面図である。

【0053】

図4を参照すると、液晶層3には、第1及び第2スイッチング素子(TFT1, TFT2)を通じて第1及び第2画素電極(193, 195)にそれぞれ反対極性を有する第1及び第2画素電圧が印加される。第1及び第2画素電圧は、ストレージライン131と第1及び第2画素電極(193, 195)との間にそれぞれ形成される第1及び第2蓄積容量(Cst1, Cst2)によって、1フレームの間、維持される。第1及び第2データライン(171a, 171b)と第1及び第2画素電極(193, 195)の間には、それぞれ第1及び第2寄生容量(Cp1, Cp2)が形成されてもよい。

【0054】

図5を参照すると、第1及び第2画素電極(193, 195)に画素電圧が印加されないオフ状態であるとき、液晶31は、上述のように垂直に配列される。従って、アレイ基板100の背面に入射されるバックライト光L1は、下部偏光板5及び上部偏光板7の直交偏光によって遮断されて、ブラック状態が実現される。

【0055】

図6を参照すると、第1及び第2画素電極(193, 195)にそれぞれ第1及び第2画素電圧が印加されたオン状態であるとき、第1画素電極193と第2画素電極195との間に上述のように水平電界が形成される。液晶31は、図6に示すように、長軸が電界と平行に配列されるポジティブタイプであってもよい。液晶31は、電界の方向に沿って横たわり、前記ハイ領域と前記ロー領域とでは、液晶31の横たわる程度は互いに異なる。従って、ハイ領域とロー領域とにおける透過率は互いに異なる。低階調においては、ハイ領域が単位画素領域の輝度を実質的に寄与し、中高階調においては、ハイ領域だけでなく、ロー領域も単位画素領域の輝度に寄与する。アレイ基板100の背面に入射されるバ

10

20

30

40

50

ックライト光 L 1 は、下部偏光板 5 によって偏光され、液晶層 3 によって複屈折されて偏光状態が変更され、上部偏光板 7 を通過して透過光 L 2 として出射される。従って、ホワイト状態が実現される。

【 0 0 5 6 】

本実施形態において、第 1 画素電極 1 9 3 及び第 2 画素電極 1 9 5 がそれぞれ反対極性の第 1 画素電圧及び第 2 画素電圧の印加を受けるため、液晶層 3 の駆動電圧は、十分に確保される。従って、単位画素領域の縁でテクスチャを減少させることができる。また、上述のように、第 1 画素電極 1 9 3 及び第 2 画素電極 1 9 5 の第 1 及び第 2 ブランチ電極部 (1 9 3 b , 1 9 5 b) の間隔を調節して、ハイ領域及びロー領域を形成することができる。従って、4 ドメインを 8 ドメインに拡張することができる。従って、表示装置 1 0 の側面の視認性が向上される。

10

【 0 0 5 7 】

図 7 は、図 2 で説明した表示装置 1 0 に発生したテクスチャを説明する平面図である。

【 0 0 5 8 】

図 7 を参照すると、本実施形態において単位画素領域の中央領域で上側ドメインと下側ドメインとの境界、つまり、第 1 及び第 2 ドメインが第 3 及び第 4 ドメインと成す境界は直線に形成されず、上述のようにジグザグ形状に形成される。液晶 3 1 の長軸が偏光軸とほぼ 4 5 ° を成すとき、光利用効率が最大になる。

【 0 0 5 9 】

前記ジグザグ形状において、第 3 ブランチ電極部 1 9 3 d 及び第 4 ブランチ電極部 1 9 3 e は、第 1 偏光軸 P 0 1 及び第 2 偏光軸 P 0 2 と 4 5 ° を成す。従って、液晶 3 1 の長軸は、第 3 ブランチ電極部 1 9 3 d 及び第 4 ブランチ電極部 1 9 3 e に対して実質的に直交するため、第 1 偏光軸 P 0 1 及び第 2 偏光軸 P 0 2 と 4 5 ° を成すように配列される。従って、単位画素領域でテクスチャ T A 0 1 の発生が著しく減少することが分かる。

20

【 0 0 6 0 】

再び、図 3 を参照すると、第 2 画素電極 1 9 5 は、第 1 ヘッド部 1 9 5 d 1 及び第 2 ヘッド部 1 9 5 d 2 をさらに含む。第 1 ヘッド部 1 9 5 d 1 は、第 5 ブランチ電極部 1 9 5 b の端部から第 2 ブランチ電極部 1 9 3 c に対して平行に延伸する。第 2 ヘッド部 1 9 5 d 2 は、第 6 ブランチ電極部 1 9 5 c の端部から第 3 ブランチ電極部 1 9 3 d に対して平行に延伸する。第 1 ヘッド部 1 9 5 d 1 及び第 2 ヘッド部 1 9 5 d 2 は、隣接するブランチ電極部、例えば、第 2 ブランチ電極部 1 9 3 c 、第 3 ブランチ電極部 1 9 3 d 、第 4 ブランチ電極部 1 9 3 e と第 2 間隔で離隔される。第 1 ヘッド部 1 9 5 d 1 及び第 2 ヘッド部 1 9 5 d 2 は、第 5 ブランチ電極部 1 9 5 b 及び第 6 ブランチ電極部 1 9 5 c の端部で液晶 3 1 への制御力が減少することを防ぐ。従って、図 7 に示すように、上下ドメインのジグザグ形状の境界でテクスチャの発生が著しく減少することが分かる。

30

【 0 0 6 1 】

図 8 は、鋭角型アレイ基板の一画素の平面図である。

【 0 0 6 2 】

図 8 に示したアレイ基板 3 0 0 は、画素電極の形状を除いては、図 1 ~ 図 3 で説明したアレイ基板 1 0 0 と実質的に同一である。図 8 に示すアレイ基板 3 0 0 を鋭角型アレイ基板 3 0 0 と定義する。鋭角アレイ基板 3 0 0 において、第 1 支持電極部 3 9 3 a は、単位画素領域の左側縦辺及び前記左側縦辺から単位画素領域の第 1 偏光軸方向 P 0 1 への中心線に沿って延伸する。

40

【 0 0 6 3 】

従って、第 1 画素電極 3 9 3 は、マルチブランチ方式でブランチ電極部が配置されず、従って、単位画素領域の上側及び下側ドメインの境界がジグザグ形状を有さずに直線型境界が形成される。その結果、第 1 支持電極部 3 9 3 a のうち、前記中心線に沿って延伸する部分 3 9 3 a 2 と第 1 ~ 第 4 ブランチ電極部 3 9 3 b , 3 9 3 c , 3 9 5 b , 3 9 5 c (第 3 及び第 4 ブランチ電極部 3 9 5 b 、 3 9 5 c は、単位画素領域の右側縦辺に沿って延伸する第 2 画素電極 3 9 5 の第 2 支持電極 3 9 5 a から第 1 支持電極部 3 9 3 a に向か

50

って斜めに延伸される) とは、第 1 実施形態とは異なり、鋭角を成す。

【 0 0 6 4 】

従って、前記中心線に沿って延伸した第 1 支持電極部 3 9 3 a 2 付近の液晶 3 1 の長軸が第 1 偏光軸または第 2 偏光軸と 4 5 ° を成すことができず、不安定になる。その結果、単位画素領域の中間を横切る第 1 支持電極部 3 9 3 a 2 付近でテクスチャ発生が著しくなり、透過率を低下させる。

【 0 0 6 5 】

一方、本実施形態のアレイ基板 1 0 0 及び表示装置 1 0 によれば、第 1 画素電極 3 9 3 が上述したブランチ電極部を有し、第 5 ブランチ電極部 1 9 5 b 及び第 6 ブランチ電極部 1 9 5 c の端部に第 1 ヘッド部 1 9 5 d 1 及び第 2 ヘッド部 1 9 5 d 2 が形成されているため、テクスチャ発生が大きく減少する。

10

【 0 0 6 6 】

[第 2 実施形態]

図 9 は、第 2 実施形態によるアレイ基板を有する画素電極の平面図である。

【 0 0 6 7 】

図 9 を参照すると、本実施形態のアレイ基板は、画素電極の形状及び単位画素領域における配置方向を除いては、図 1 ~ 図 3 で説明したアレイ基板 1 0 0 と実質的に同一である。従って、重複する説明は省略する。

【 0 0 6 8 】

本実施形態のアレイ基板は、第 1 画素電極 5 9 3 及び第 2 画素電極 5 9 5 を含む。第 1 画素電極 5 9 3 及び第 2 画素電極 5 9 5 は、長方形の単位画素領域に配置される。第 1 画素電極 5 9 3 と第 2 画素電極 5 9 5 との間に電界が形成される。

20

【 0 0 6 9 】

第 1 画素電極 5 9 3 は、第 1 支持電極部 5 9 3 a、第 1 ブランチ電極部 5 9 3 b、及び第 2 ブランチ電極部 5 9 3 c を含む。

【 0 0 7 0 】

第 1 支持電極 5 9 3 a は、単位画素領域の左側縦辺及び上側横辺に沿って配置される。第 1 支持電極部 5 9 3 a の下段には第 1 コンタクト部 5 9 3 f が延伸される。第 1 ブランチ電極部 5 9 3 b は、前記横辺と平行な第 1 方向 D 0 1 に向かって単位画素領域の第 1 領域に配列されている。少なくとも 1 つの第 1 ブランチ電極部 5 9 3 b は、第 1 支持電極部 5 9 3 a から延伸される。

30

【 0 0 7 1 】

第 2 ブランチ電極部 5 9 3 c は、第 1 方向 D 0 1 と実質的に直交する第 2 方向 D 0 2 に向かって単位画素領域の第 2 領域に配置される。n 番目及び n + 1 番目第 2 ブランチ電極部 5 9 3 c は、m 番目及び m + 1 番目第 1 ブランチ電極部 5 9 3 b からそれぞれ延伸し、m + 1 番目第 1 ブランチ電極部 5 9 3 b は、n 番目第 2 ブランチ電極部 5 9 3 c から延伸する。従って、第 1 画素電極 5 9 3 は、図 9 に示すように、部分的にジグザグ形状を有する。

【 0 0 7 2 】

第 1 画素電極 5 9 3 は、第 1 ヘッド部 5 9 3 d 1 及び第 2 ヘッド部 5 9 3 d 2 をさらに含む。第 1 ヘッド部 5 9 3 d 1 及び第 2 ヘッド部 5 9 3 d 2 は、第 1 ブランチ電極部 5 9 3 b 及び第 2 ブランチ電極部 5 9 3 c の端部から第 2 方向 D 0 2 及び第 1 方向 D 0 1 にそれぞれ延伸して形成される。第 1 ヘッド部 5 9 3 d 1 及び第 2 ヘッド部 5 9 3 d 2 は、単位画素領域の縁でテクスチャの発生を減少させる。

40

【 0 0 7 3 】

第 2 画素電極 5 9 5 は、第 2 支持電極部 5 9 5 a、第 3 ブランチ電極部 5 9 5 b 及び第 4 ブランチ電極部 5 9 5 c を含む。

【 0 0 7 4 】

第 2 支持電極部 5 9 5 a は、単位画素領域 (図 9 に示す) の右側縦辺及び下側横辺に沿って形成される。第 2 支持電極部 5 9 5 a の右下下段端部から第 2 コンタクト部 5 9 5 f

50

が延伸する。第3ブランチ電極部595bは、第2支持電極部595aから延伸して第1ブランチ電極部593b間に第1ブランチ電極部593bと平行に配置される。第4ブランチ電極部595cは、第2支持電極部595aから延伸して第2ブランチ電極部593c間に第2ブランチ電極部593cと平行に配置される。

【0075】

第2画素電極595は、第3ヘッド部595d1及び第4ヘッド部595d2をさらに含む。第3ヘッド部595d1及び第4ヘッド部595d2は、第3ブランチ電極部595b及び第4ブランチ電極部595cの端部から第2ブランチ電極部593c及び第1ブランチ電極部593bに対してそれぞれ平行に延伸して形成される。

【0076】

第3ヘッド部595d1及び第4ヘッド部595d2は、第3ブランチ電極部195b及び第4ブランチ電極部195cの端部での液晶31への制御力が減少することを防ぐ。

【0077】

第1ブランチ電極部593b及び第3ブランチ電極部595bは、第1間隔で離隔され、第1ブランチ電極部593b及び第3ブランチ電極部595bによって2つのドメインが形成される。第2ブランチ電極部593c及び第4ブランチ電極部595cは、前記第1間隔で離隔され、第2ブランチ電極部593c及び第4ブランチ電極部595cによって、第1ブランチ電極部593b及び第3ブランチ電極部595bによって形成されたドメインとは異なる2つのドメインが形成される。

【0078】

本実施形態の表示装置は、図9で説明したアレイ基板を含むことと、偏光板の偏光軸方向(P01, P02)が第1ブランチ電極部593b及び第2ブランチ電極部593cの延伸方向とほぼ45°を成す方向を向いていることを除いては、図1～図3において説明した表示装置10と実質的に同一である。従って、重複する説明は省略する。

【0079】

本実施形態において、下部偏光板の第1偏光軸は、第1方向D01と45°を成す第1偏光軸方向P001と平行である。上部偏光板の第2偏光軸は、第1偏光軸と実質的に直交する第2偏光軸方向P002と平行である。従って、第1画素電極593及び第2画素電極595は、単位画素領域全ての部分で第1偏光軸及び第2偏光軸と45°を成すように配置される。

【0080】

液晶の長軸は、第1支持電極部593a、第2支持電極部595a、第1～第4ブランチ電極部(593b, 593c, 595b, 595c)と実質的に直交する。従って、電界が印加されるとき、液晶の長軸は、単位画素領域全ての位置で第1偏光軸及び第2偏光軸と45°を成す。従って、表示装置の光利用効率が大きく向上され、テクスチャの減少によって、透過率が向上して表示品質が向上する。

【0081】

図10は、図9に示す画素電極をモデリングしたテスト電極の平面図である。図11は、図10に示すテスト電極を有する表示装置より発生したテクスチャTA03を観測した写真である。

【0082】

図10に示す第1テスト電極TE01は、長方形セルの横辺及び縦辺に対して平行に形成された第1ブランチ電極部593b及び第2ブランチ電極部593cを有する。第2テスト電極TE02は、第1ブランチ電極部593bと対向する第3ブランチ電極部595b及び第2ブランチ電極部593cとの間に配置された第4ブランチ電極部595cを有する。偏光軸は、第1ブランチ電極部593a及び第2ブランチ電極部593cに対して45°を成す。従って、第1テスト電極TE01及び第2テスト電極TE02は、図9で説明した第1画素電極593及び第2画素電極595に対するモデルとして有効に使用される。

【0083】

10

20

30

40

50

液晶層に電界を印加してシミュレーションした結果、第1テスト電極TE01を有する表示装置においては、図11に示すように、縦辺付近の第2ブランチ電極部593c及び第4ブランチ電極部595cにおいて、テクスチャがほぼ発生せず、上側及び下側の横辺付近の第4ブランチ電極部595cの端部及び第2ブランチ電極部593cの端部に僅かなテクスチャTA03が形成されることが分かる。テクスチャは、図9において説明したように、第1～第4ブランチ電極部(593b, 593c, 595b, 595c)の端部のヘッド部を形成してさらに減少させることができる。

【0084】

図12は、図9で説明した表示装置と、図8で説明した表示装置の電圧-透過率のグラフである。図12において横軸は、液晶層に印加された電圧を示し、縦軸は表示装置の透過率を示す。曲線G1は、図9で説明した表示装置のシミュレーション結果を示す。曲線G2は、図8で説明した表示装置のシミュレーション結果を示す。

10

【0085】

図12を参照すると、実線で表示した曲線G1を参照すると、図9で説明した本実施形態の表示装置は、電圧が約4V以下では、透過率がほぼ0%に近く、電圧が約4V～8Vの間で透過率が急激に増加し、最終的に約20%の透過率を有する。点線で表示した曲線G2を参照すると、図8で説明した鋭角型表示装置は、最終的に16%～17%程度の透過率を有する。

【0086】

つまり、本実施形態のアレイ基板及び表示装置は、図8で説明した鋭角型表示装置より透過率面で著しく優れていることが分かる。

20

【0087】

図13、図14、図15、及び図16は、図9に示す画素電極の変形例を示す平面図である。

【0088】

図13に示す画素電極において、第1ブランチ電極部793bと第2ブランチ電極部793cとがマルチブランチ方式で接続されず、第2ブランチ電極部793cが何れかの1つの第1ブランチ電極部793bから延伸し、その他の第1ブランチ電極部793bは、第1支持電極部793aから延伸される。

【0089】

30

図14に示す画素電極において、第1支持電極部993aは、単位画素領域の外郭を取り囲むように配置され、第1ブランチ電極部993b及び第2ブランチ電極部993cは、全て第1支持電極部993aから延伸する。第2支持電極部995aは、十字状を有し、単位画素領域の中間に配置されて単位画素領域を複数のドメインに分割する。

【0090】

図15に示す画素電極において、図9に示した画素電極と類似するパターンで第1～第4ブランチ電極部(1193b, 1193c, 1195b, 1195c)が配置される。ただし、図9に示す画素電極とは異なって、図15に示す画素電極においては、単位画素領域の右側下段端部領域で、1つの第1ブランチ電極部1193bから複数の第2ブランチ電極部1193cが延伸し、1つの第2ブランチ電極部1193cから複数の第1ブランチ電極部1193bが延伸する。また、図9に示した画素電極とは異なって、単位画素領域の右側下段端部領域でブランチ電極部間の離隔間隔が狭くなって、右側下段端部領域は、ハイ領域を成す。従って、第1～第4ブランチ電極部(1193b, 1193c, 1195b, 1195c)、ロー領域、及びハイ領域によって、単位画素領域には8つのドメインが実現される。

40

【0091】

図16に示す画素電極は、図13に示す画素電極に類似である。ただし、図16に示す画素電極においては、図13に示す画素電極とは異なって、単位画素領域の右側下段端部領域で1つの第2ブランチ電極部1393cから複数の第1ブランチ電極部1393bが延伸し、下側の1つの第1ブランチ電極部1393bから複数の第2ブランチ電極部13

50

9 3 c が延伸する。また、図 1 3 に示す画素電極とは異なって、単位画素領域の右側下段端部領域で、ブランチ電極部間の離隔間隔が狭くなってハイ領域を成す。従って、第 1 ~ 第 4 ブランチ電極部 (1 3 9 3 b , 1 3 9 3 c , 1 3 9 5 b , 1 3 9 5 c) 、ロー領域、及びハイ領域によって、単位画素領域には 8 つのドメインが実現される。

【 0 0 9 2 】

図 9 及び図 1 3 ~ 図 1 6 に示した画素電極の形状は、画素電極の設計の変更、例えば、ロー領域及びハイ領域の比率及び位置を必要に応じて変更できる変形例を図示した。しかし、図 9 及び図 1 3 ~ 図 1 6 に示した画素電極は、支持電極部及びブランチ電極部の方向が全て偏光軸と 4 5 ° を成すという共通点を有する。従って、液晶層の光利用効率を極大化させるという長所がある。

10

【 0 0 9 3 】

また、第 1 画素電極 (7 9 3 , 9 9 3 , 1 1 9 3 , 1 3 9 3) 及び第 2 画素電極 (7 9 5 , 9 9 5 , 1 1 9 5 , 1 3 9 5) には、互いに異なる極性の第 1 及び第 2 画素電圧が交互に印加されるため、第 1 及び第 2 画素電圧自体は小さくても、液晶の駆動電圧を増加させることができ、応答速度を向上させることができる。

【 0 0 9 4 】

以上、図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特徴請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

20

【産業上の利用可能性】

【 0 0 9 5 】

本発明の実施形態によるアレイ基板によると、テクスチャを減少させて透過率が向上し、マルチドメインの実現が容易になり、液晶層の応答速度が向上して、液晶表示装置の表示品質が向上する。従って、本発明は液晶表示装置の画質向上に適用することができる。

【符号の説明】

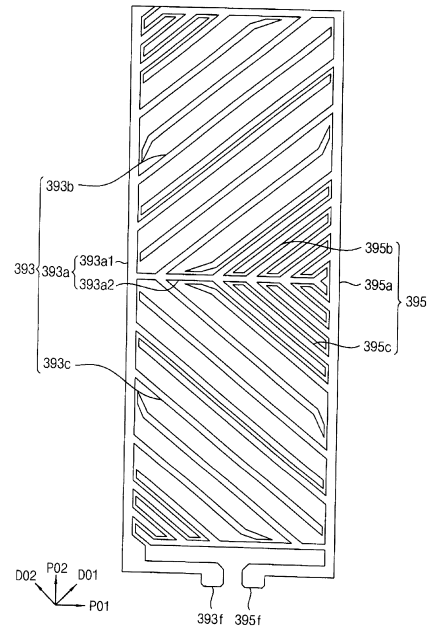
【 0 0 9 6 】

1 0	表示装置	
5	下部偏光板	
7	上部偏光板	
1 0 0	アレイ基板	
1 1 0	下部基板	
1 9 3	第 1 画素電極	
1 9 3 b	第 1 ブランチ電極部	
1 9 3 c	第 2 ブランチ電極部	
1 9 3 d	第 3 ブランチ電極部	
1 9 3 e	第 4 ブランチ電極部	
1 9 5	第 2 画素電極	
1 9 5 b	第 5 ブランチ電極部	
1 9 5 c	第 6 ブランチ電極部	
1 9 5 d 1 , 1 9 5 d 2	ヘッド部	
2 0 0	アレイ基板	
2 1 0	上部基板	

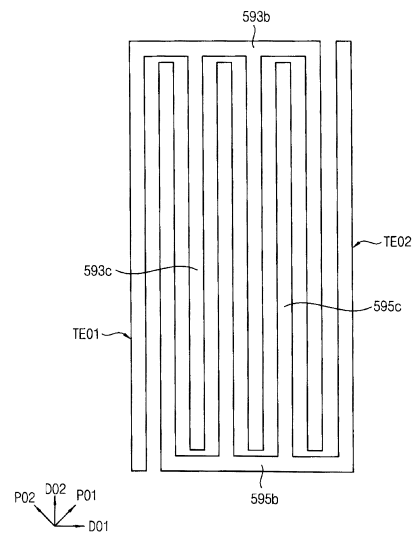
30

40

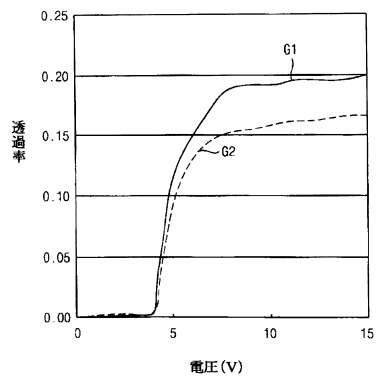
【 図 8 】



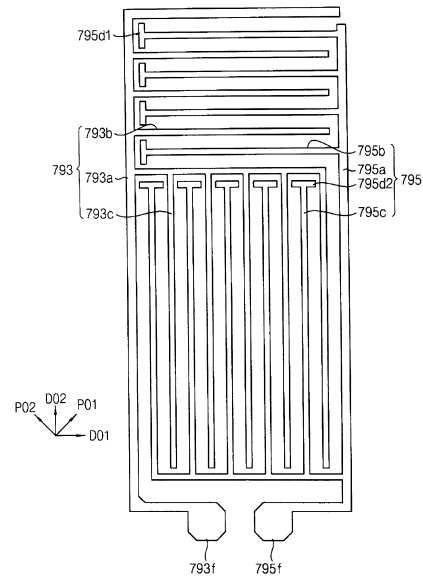
【 図 1 0 】



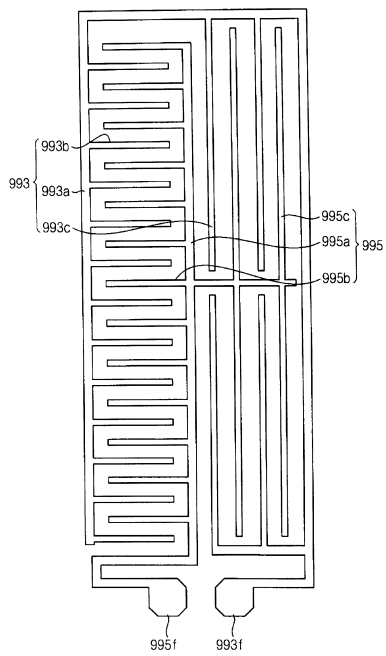
【図 12】



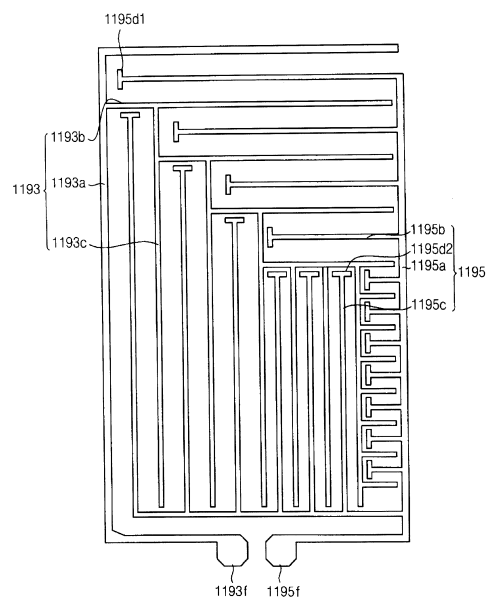
【図 13】



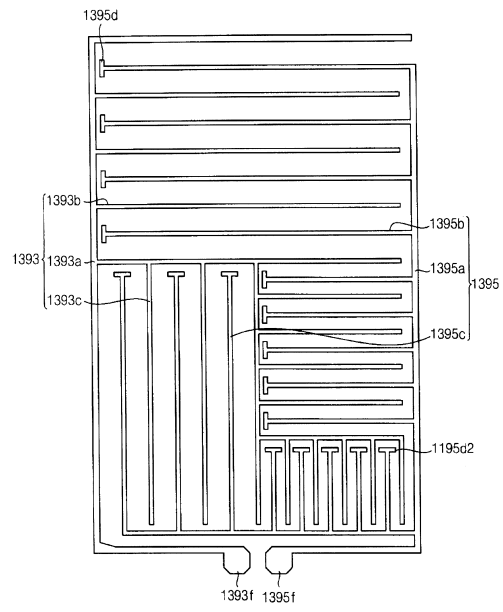
【図 14】



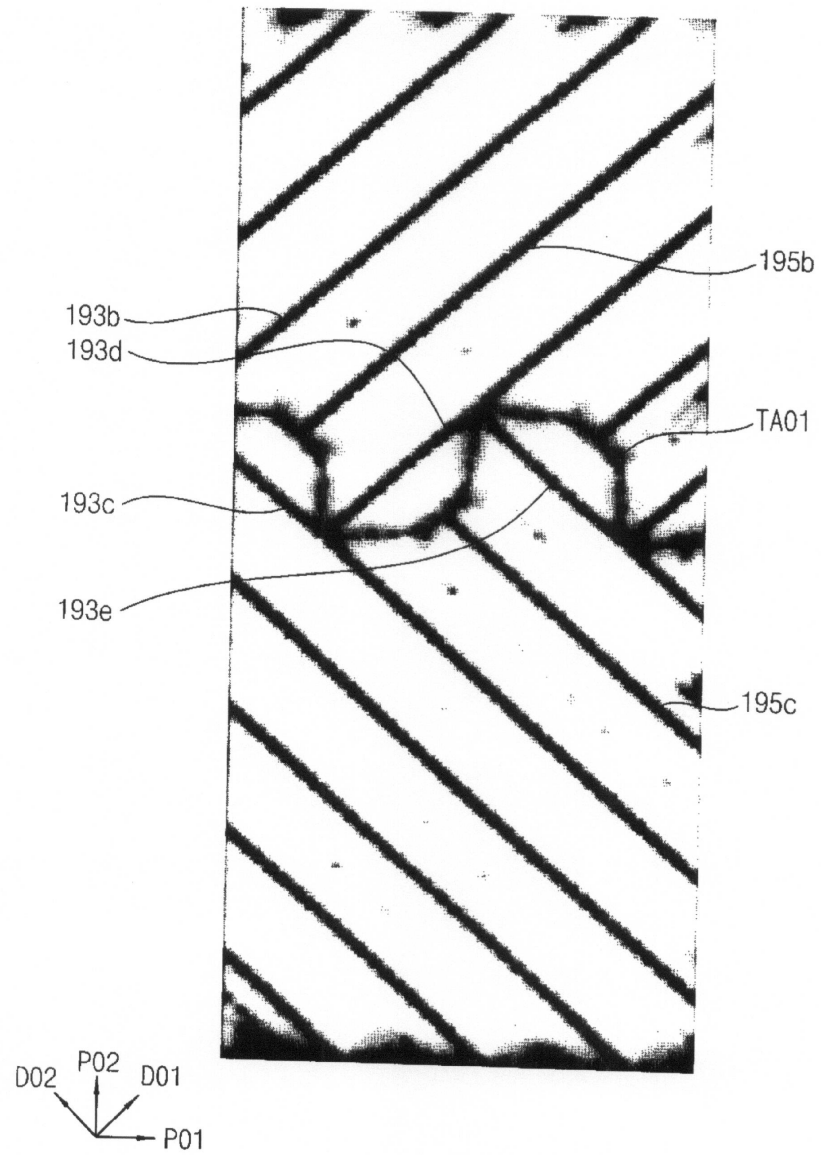
【図 15】



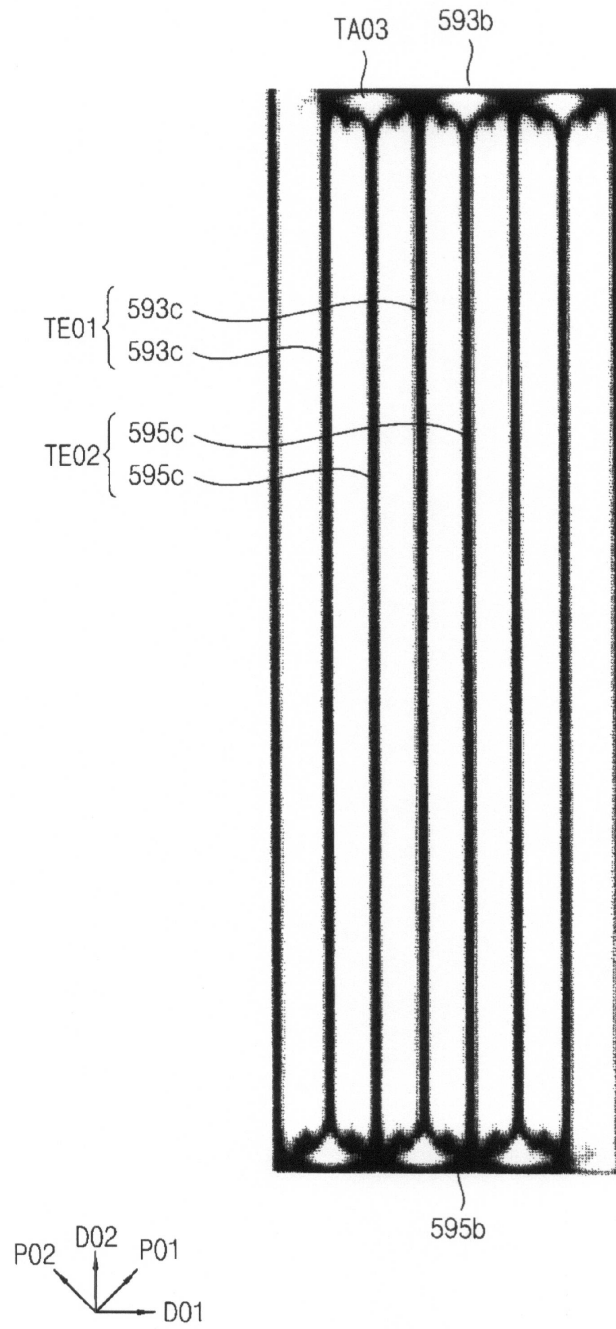
【図 16】



【図7】



【図 11】



フロントページの続き

- (72)発明者 章 珠 寧
大韓民国慶尚北道慶山市正坪洞 138 - 6 番地 慶山ウバンマンション 102 棟 102 号
- (72)発明者 金 熙 燮
大韓民国京畿道華城市半月洞 新ヨントン現代 1 次アパートメント 110 棟 304 号
- (72)発明者 蔡 鍾 哲
大韓民国ソウル特別市麻浦区塩里洞 LG ザイアアパートメント 106 棟 1902 号
- (72)発明者 鄭 美 惠
大韓民国京畿道水原市長安区亭子洞 大林振興アパートメント 824 棟 1402 号
- (72)発明者 禹 和 成
大韓民国京畿道水原市靈通区梅灘 1 洞 住公 4 団地アパートメント 419 棟 107 号
- (72)発明者 辛 哲
大韓民国京畿道華城市陵洞 ウナムファーストビル 2 次アパートメント 201 棟 203 号

審査官 弓指 洋平

- (56)参考文献 特開 2005 - 208609 (JP, A)
国際公開第 2005 / 059637 (WO, A1)
特開平 07 - 092504 (JP, A)
特開 2005 - 062276 (JP, A)

(58)調査した分野(Int.Cl., DB 名)

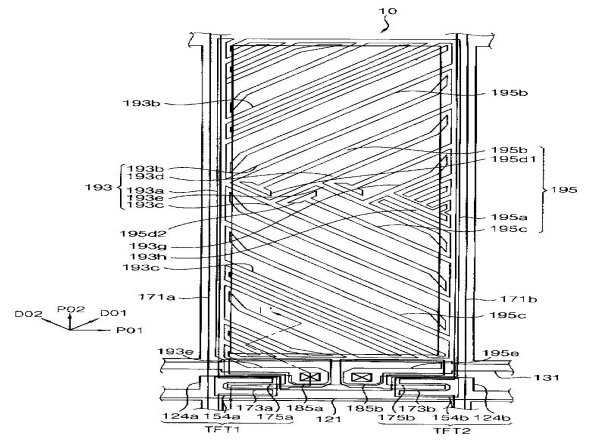
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 3 7

专利名称(译)	表示装置		
公开(公告)号	JP5706619B2	公开(公告)日	2015-04-22
申请号	JP2010029788	申请日	2010-02-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	鄭光哲 章珠寧 金熙燮 蔡鍾哲 鄭美惠 禹和成 辛哲		
发明人	鄭 光 哲 章 珠 寧 金 熙 燮 蔡 鍾 哲 鄭 美 惠 禹 和 成 辛 哲		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/136213 G02F1/13624 G02F2001/134372		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JB31 2H092/NA05 2H092/PA11 2H092/QA05 2H192/AA24 2H192/BB03 2H192/BB54 2H192/BB55 2H192/BB66 2H192/BB73 2H192/BB91 2H192/BC31 2H192/CB05 2H192/CC42 2H192/EA22 2H192/EA43 2H192/JA34		
优先权	1020090012448 2009-02-16 KR		
其他公开文献	JP2010191426A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种阵列基板，其增加透射率并改善液晶层的响应速度并改善液晶显示器的显示质量。解决方案：在阵列基板中，第一像素电极包括在第一方向上从第一支撑电极部分延伸的第一分支电极部分，在与第一方向交叉的第二方向上延伸的第二分支电极部分，第三分支电极部分和第四分支电极部分。第三分支电极部分从第二分支电极部分平行于第一分支电极部分延伸，第四分支电极部分从第三分支电极部分平行于第二分支电极部分和第一像素电极延伸部分有锯齿形状。第二像素电极包括设置在第一和第三分支电极部分之间以及第一分支电极部分之间的第五分支电极部分，以及设置在第二和第四分支电极部分之间以及第二分支电极部分之间的第六分支电极部分。

【 图 1 】



【图 3】