

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5504215号
(P5504215)

(45) 発行日 平成26年5月28日 (2014. 5. 28)

(24) 登録日 平成26年3月20日 (2014. 3. 20)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2011-152103 (P2011-152103)	(73) 特許権者	502356528
(22) 出願日	平成23年7月8日 (2011. 7. 8)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-20016 (P2013-20016A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年1月31日 (2013. 1. 31)	(74) 代理人	110001737
審査請求日	平成24年10月2日 (2012. 10. 2)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、第1方向に沿った長さが第1方向に交差する第2方向に沿った長さよりも短い画素の中央部に配置されるとともに前記第1ゲート配線と前記第2ゲート配線との間において第1方向に沿って延出した補助容量線と、第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記画素に配置された画素電極であって、前記補助容量線上から前記第1ゲート配線及び前記第2ゲート配線に向かって第2方向に沿って延出した主画素電極及び第1方向に沿って延出し前記主画素電極と電気的に接続された副画素電極を有する画素電極と、を備えた第1基板と、

前記主画素電極を挟んだ両側で前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し前記主画素電極と略平行に延出した主共通電極及び前記副画素電極を挟んだ両側で前記副画素電極と略平行に延出し前記主共通電極と電気的に接続された副共通電極を有する共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、

前記主画素電極と前記主共通電極との第1方向に沿った水平電極間距離は、前記主画素電極と前記主共通電極との第1方向及び第2方向に直交する第3方向に沿った垂直電極間距離よりも大きいことを特徴とする液晶表示装置。

【請求項 2】

前記主画素電極と前記主共通電極との間に電界が形成されていない状態で、前記液晶層

10

20

の液晶分子の初期配向方向は、前記主画素電極の延出方向と略平行であることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、第1方向に沿った長さが第1方向に交差する第2方向に沿った長さよりも短い画素の中央部に配置されるとともに前記第1ゲート配線と前記第2ゲート配線との間において第1方向に沿って延出した補助容量線と、第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間において前記補助容量線上から前記第1ゲート配線及び前記第2ゲート配線に向かって第2方向に沿って延出した主画素電極を有する画素電極と、を備えた第1基板と、

10

前記主画素電極を挟んだ両側で前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し前記主画素電極と略平行に延出した主共通電極を有する共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、

前記主画素電極と前記主共通電極との第1方向に沿った水平電極間距離は、前記主画素電極と前記主共通電極との第1方向及び第2方向に直交する第3方向に沿った垂直電極間距離よりも大きいことを特徴とする液晶表示装置。

【請求項4】

前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記液晶層の液晶分子の初期配向方向は、前記主画素電極の延出方向に対して0°乃至20°の範囲内の方向と略平行であることを特徴とする請求項3に記載の液晶表示装置。

20

【請求項5】

前記液晶分子は、前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記第1基板と前記第2基板との間においてスプレィ配向またはホモジニアス配向していることを特徴とする請求項1乃至4のいずれか1項に記載の液晶表示装置。

【請求項6】

前記第1基板は、さらに、前記画素電極を覆う第1配向膜を備え、

前記第2基板は、さらに、前記共通電極を覆う第2配向膜を備え、

前記第1配向膜では第1配向処理方向に前記液晶分子が初期配向し、前記第2配向膜では第2配向処理方向に前記液晶分子が初期配向し、前記第1配向処理方向と前記第2配向処理方向は互いに平行で且つ同じ向きであることを特徴とする請求項1乃至5のいずれか1項に記載の液晶表示装置。

30

【請求項7】

さらに、前記第1基板の外面に配置された第1偏光板及び第2基板の外面に配置された第2偏光板を備え、前記第1偏光板の第1偏光軸と前記第2偏光板の第2偏光軸とが直交し、前記第1偏光板の第1偏光軸が前記液晶層の液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項1乃至6のいずれか1項に記載の液晶表示装置。

【請求項8】

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、第1方向に沿った長さが第1方向に交差する第2方向に沿った長さよりも短い画素の中央部に配置されるとともに前記第1ゲート配線と前記第2ゲート配線との間において第1方向に沿って延出した補助容量線と、第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間において前記補助容量線上から前記第1ゲート配線及び前記第2ゲート配線に向かって第2方向に沿って直線的に延出した画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、

40

前記画素電極を挟んだ両側で前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し前記画素電極と略平行に延出した共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、

前記第1配向膜では第1配向処理方向に前記液晶分子が初期配向し、前記第2配向膜で

50

は第2配向処理方向に前記液晶分子が初期配向し、前記第1配向処理方向と前記第2配向処理方向は互いに平行で且つ同じ向きであり、

前記画素電極と前記共通電極との水平電極間距離は、前記画素電極と前記共通電極との垂直電極間距離よりも大きいことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(Fringe Field Switching)モードなどの横電界(フリンジ電界も含む)を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-192822号公報

【特許文献2】特開平9-160041号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第1方向に沿った長さが第1方向に交差する第2方向に沿った長さよりも短い画素に配置されるとともに、第2方向に沿って延出した主画素電極及び第1方向に沿って延出し前記主画素電極と電気的に接続された副画素電極を有する画素電極を備えた第1基板と、前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極及び前記副画素電極を挟んだ両側で前記副画素電極と略平行に延出し前記主共通電極と電気的に接続された副共通電極を有する共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記主画素電極と前記主共通電極との第1方向に沿った水平電極間距離は、前記主画素電極と前記主共通電極との第1方向及び第2方向に直交する第3方向に沿った垂直電極間距離よりも大きいことを特徴とする液晶表示装置が提供される。

【0007】

本実施形態によれば、

第1方向に沿って間隔をおいて隣接し第1方向に交差する第2方向に沿って延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間において第2方向に沿って延出した主画素電極を有する画素電極と、を備えた第1基板と、前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し前記主画素電極と略平行に

10

20

30

40

50

延出した主共通電極を有する共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記主画素電極と前記主共通電極との第1方向に沿った水平電極間距離は、前記主画素電極と前記主共通電極との第1方向及び第2方向に直交する第3方向に沿った垂直電極間距離よりも大きいことを特徴とする液晶表示装置が提供される。

【0008】

本実施形態によれば、

直線的に延出した画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記画素電極を挟んだ両側で前記画素電極と略平行に延出した共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記第1配向膜では第1配向処理方向に前記液晶分子が初期配向し、前記第2配向膜では第2配向処理方向に前記液晶分子が初期配向し、前記第1配向処理方向と前記第2配向処理方向は互いに平行で且つ同じ向きであり、前記画素電極と前記共通電極との水平電極間距離は、前記画素電極と前記共通電極との垂直電極間距離よりも大きいことを特徴とする液晶表示装置が提供される。

10

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

20

【図3】図3は、図2に示した液晶表示パネルをA-A線で切断したときの断面構造を概略的に示す断面図である。

【図4】図4は、図2に示した液晶表示パネルにおける画素電極と共通電極との間に形成される電界、及び、この電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

【図5】図5は、本実施形態の液晶層に含まれる液晶分子の配向状態を説明するための液晶表示パネルの概略断面図である。

【図6】図6は、比較例の液晶層に含まれる液晶分子の配向状態を説明するための液晶表示パネルの概略断面図である。

30

【図7】図7は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図8】図8は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

40

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

50

【 0 0 1 3 】

液晶表示パネル L P N は、アクティブエリア A C T において、n 本のゲート配線 G (G 1 ~ G n)、n 本の補助容量線 C (C 1 ~ C n)、m 本のソース配線 S (S 1 ~ S m) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

10

【 0 0 1 4 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【 0 0 1 5 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

20

【 0 0 1 6 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 1 7 】

スイッチング素子 S W は、例えば、n チャンネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

30

【 0 0 1 8 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

40

【 0 0 1 9 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。共通電極 C E は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

【 0 0 2 0 】

図 2 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

50

【 0 0 2 1 】

図示した画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形形状である。ゲート配線 G 1 及びゲート配線 G 2 は、第 1 方向 X に沿って延出している。補助容量線 C 1 は、隣接するゲート配線 G 1 とゲート配線 G 2 との間に配置され、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 2 方向 Y に沿って延出している。画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、この画素電極 P E は、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。

【 0 0 2 2 】

図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素の略中央部に配置されている。

【 0 0 2 3 】

スイッチング素子 S W は、図示した例では、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点に設けられ、そのドレイン配線はソース配線 S 1 及び補助容量線 C 1 に沿って延長され、補助容量線 C 1 と重なる領域に形成されたコンタクトホール C H を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【 0 0 2 4 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及びコンタクト部 P C を備えている。主画素電極 P A は、コンタクト部 P C から画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延出している。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。コンタクト部 P C は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。このコンタクト部 P C は、主画素電極 P A よりも幅広に形成されている。

【 0 0 2 5 】

このような画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。ソース配線 S 1 と画素電極 P E との第 1 方向 X に沿った間隔は、ソース配線 S 2 と画素電極 P E との第 1 方向 X に沿った間隔と略同等である。

【 0 0 2 6 】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 7 】

図示した例では、主共通電極 C A は、第 1 方向 X に沿って 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの主共通電極 C A を区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。主共通電極 C A L はソース配線 S 1 と対向し、主共通電極 C A R はソース配線

10

20

30

40

50

S 2 と対向している。これらの主共通電極 C A L 及び主共通電極 C A R は、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

【 0 0 2 8 】

画素 P X において、主共通電極 C A L は左側端部に配置され、主共通電極 C A R は右側端部に配置されている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【 0 0 2 9 】

画素電極 P E と主共通電極 C A との位置関係に着目すると、画素電極 P E と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。これらの画素電極 P E と主共通電極 C A とは、互いに略平行に配置されている。このとき、X - Y 平面内において、主共通電極 C A のいずれも画素電極 P E とは重ならない。

10

【 0 0 3 0 】

すなわち、隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の画素電極 P E が位置している。換言すると、主共通電極 C A L 及び主共通電極 C A R は、画素電極 P E の直上の位置を挟んだ両側に配置されている。あるいは、画素電極 P E は、主共通電極 C A L と主共通電極 C A R との間に配置されている。このため、主共通電極 C A L、主画素電極 P A、及び、主共通電極 C A R は、第 1 方向 X に沿ってこの順に配置されている。

【 0 0 3 1 】

20

これらの画素電極 P E と共通電極 C E との第 1 方向 X に沿った間隔は略一定である。すなわち、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った間隔は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。本実施形態では、主共通電極 C A と主画素電極 P A との第 1 方向 X に沿った間隔、つまり、X - Y 平面内において、主画素電極 P A 及び主共通電極 C A の互いに向かい合うエッジ間の第 1 方向 X に沿った距離は、水平電極間距離 H D と称する。

【 0 0 3 2 】

図 3 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【 0 0 3 3 】

30

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 3 4 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。ソース配線 S は、第 1 層間絶縁膜 1 1 の上に形成され、第 2 層間絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第 1 絶縁基板 1 0 と第 1 層間絶縁膜 1 1 の間に配置されている。画素電極 P E は、第 2 層間絶縁膜 1 2 の上に形成されている。この画素電極 P E は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。

40

【 0 0 3 5 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 2 層間絶縁膜 1 2 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 3 6 】

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。

【 0 0 3 7 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対

50

向基板ＣＴは、ブラックマトリクスＢＭ、カラーフィルタＣＦ、オーバーコート層ＯＣ、共通電極ＣＥ、第２配向膜ＡＬ２などを備えている。

【００３８】

ブラックマトリクスＢＭは、各画素ＰＸを区画し、画素電極ＰＥと対向する開口部ＡＰを形成する。すなわち、ブラックマトリクスＢＭは、ソース配線Ｓ、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスＢＭは、第２方向Ｙに沿って延出した部分のみが図示されているが、第１方向Ｘに沿って延出した部分を備えていても良い。このブラックマトリクスＢＭは、第２絶縁基板２０のアレイ基板ＡＲに対向する内面２０Ａに配置されている。

【００３９】

カラーフィルタＣＦは、各画素ＰＸに対応して配置されている。すなわち、カラーフィルタＣＦは、第２絶縁基板２０の内面２０Ａにおける開口部ＡＰに配置されるとともに、その一部がブラックマトリクスＢＭに乗り上げている。第１方向Ｘに隣接する画素ＰＸにそれぞれ配置されたカラーフィルタＣＦは、互いに色が異なる。例えば、カラーフィルタＣＦは、赤色、青色、緑色といった３原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタＣＦＲは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタＣＦＢは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタＣＦＧは、緑色画素に対応して配置されている。これらのカラーフィルタＣＦ同士の境界は、ブラックマトリクスＢＭと重なる位置にある。

【００４０】

オーバーコート層ＯＣは、カラーフィルタＣＦを覆っている。このオーバーコート層ＯＣは、カラーフィルタＣＦの表面の凹凸の影響を緩和する。

【００４１】

共通電極ＣＥは、オーバーコート層ＯＣのアレイ基板ＡＲと対向する側に形成されている。この共通電極ＣＥと画素電極ＰＥとの第３方向Ｚに沿った間隔は略一定である。第３方向Ｚとは、第１方向Ｘ及び第２方向Ｙに直交する方向、あるいは、液晶表示パネルＬＰＮの法線方向である。本実施形態では、共通電極ＣＥと画素電極ＰＥとの第３方向Ｚに沿った間隔、つまり、Ｘ－Ｚ平面内において、画素電極ＰＥ及び共通電極ＣＥの互いに向かい合う表面間の第３方向Ｚに沿った距離は、垂直電極間距離ＶＤと称する。

【００４２】

画素電極ＰＥと共通電極ＣＥとの水平電極間距離ＨＤは、画素電極ＰＥと共通電極ＣＥとの垂直電極間距離ＶＤよりも大きい。

【００４３】

第２配向膜ＡＬ２は、対向基板ＣＴのアレイ基板ＡＲと対向する面に配置され、アクティブエリアＡＣＴの略全体に亘って延在している。この第２配向膜ＡＬ２は、共通電極ＣＥ及びオーバーコート層ＯＣなどを覆っている。このような第２配向膜ＡＬ２は、水平配向性を示す材料によって形成されている。

【００４４】

これらの第１配向膜ＡＬ１及び第２配向膜ＡＬ２には、液晶層ＬＱの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第１配向膜ＡＬ１が液晶分子を初期配向させる第１配向処理方向ＰＤ１、及び、第２配向膜ＡＬ２が液晶分子を初期配向させる第２配向処理方向ＰＤ２は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第１配向処理方向ＰＤ１及び第２配向処理方向ＰＤ２は、図２に示したように、第２方向Ｙと略平行であって、同じ向きである。

【００４５】

上述したようなアレイ基板ＡＲと対向基板ＣＴとは、それぞれの第１配向膜ＡＬ１及び第２配向膜ＡＬ２が対向するように配置されている。このとき、アレイ基板ＡＲの第１配向膜ＡＬ１と対向基板ＣＴの第２配向膜ＡＬ２との間には、例えば、樹脂材料によって一

10

20

30

40

50

方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば $2 \sim 7 \mu\text{m}$ のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材 S B によって貼り合わせられている。なお、ここでのセルギャップとは、上記の垂直電極間距離 V D と略同等である。

【 0 0 4 6 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 4 7 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。

【 0 0 4 8 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。

【 0 0 4 9 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

【 0 0 5 0 】

図 2 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 5 1 】

また、図 2 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 5 2 】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 及び図 3 を参照しながら説明する。

【 0 0 5 3 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成されていない状態（O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当す

10

20

30

40

50

る。

【0054】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0055】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。OFF時においては、液晶分子LMは、図2に破線で示したように、その長軸が第2方向Yと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行（あるいは、第2方向Yに対して0°）である。

10

【0056】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

【0057】

ここで、第1配向膜AL1を第1配向処理方向PD1に配向処理した結果、第1配向膜AL1の近傍における液晶分子LMは第1配向処理方向PD1に初期配向され、第2配向膜AL2を第2配向処理方向PD2に配向処理した結果、第2配向膜AL2の近傍における液晶分子LMは第2配向処理方向PD2に初期配向される。そして、第1配向処理方向PD1と第2配向処理方向PD2は互いに平行で且つ同じ向きである場合には、上述のように液晶分子LMはスプレイ配向になり、上記したように液晶層LQの中間部を境界として、アレイ基板AR上の第1配向膜AL1の近傍での液晶分子LMの配向と対向基板CT上の第2配向膜AL2の近傍での液晶分子LMの配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

20

30

【0058】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0059】

バックライト4からのバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

40

【0060】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

【0061】

図2に示した例では、画素電極PEと主共通電極CALとの間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極

50

P Eと主共通電極C A Rとの間の領域内の液晶分子L Mは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。

【0062】

このように、各画素P Xにおいて、画素電極P Eと共通電極C Eとの間に電界が形成された状態では、液晶分子L Mの配向方向は、画素電極P Eと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素P Xには、複数のドメインが形成される。

【0063】

このようなON時には、バックライト4から液晶表示パネルL P Nに入射したバックライト光は、その一部が第1偏光板P L 1を透過し、液晶表示パネルL P Nに入射する。液晶層L Qに入射したバックライト光は、その偏光状態が変化する。このようなON時には、液晶層L Qを通過した少なくとも一部の光は、第2偏光板P L 2を透過する（白表示）。

10

【0064】

図4は、図2に示した液晶表示パネルL P Nにおける画素電極P Eと共通電極C Eとの間に形成される電界、及び、この電界による液晶分子L Mのダイレクタと透過率との関係を説明するための図である。

【0065】

OFF状態では、液晶分子L Mは、第2方向Yに略平行な方向に初期配向している。画素電極P Eと共通電極C Eとの間に電位差が形成されたON状態では、液晶分子L Mのダイレクタ（あるいは液晶分子L Mの長軸方向）が、X-Y平面内で、第1偏光板P L 1の第1偏光軸A X 1及び第2偏光板P L 2の第2偏光軸A X 2に対して概ね45°ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

20

【0066】

図示した例では、ON状態となったとき、主共通電極C A Lと画素電極P Eとの間の液晶分子L MのダイレクタはX-Y平面内で45°-225°の方位と略平行となり、主共通電極C A Rと画素電極P Eとの間の液晶分子L MのダイレクタはX-Y平面内で135°-315°の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、画素電極P E上及び共通電極C E上においては透過率が略ゼロとなる一方で、画素電極P Eと共通電極C Eとの間の電極間隙では、略全域に亘って高い透過率が得られる。

30

【0067】

なお、ソース配線S 1の直上に位置する主共通電極C A L及びソース配線S 2の直上に位置する主共通電極C A Rは、それぞれブラックマトリクスB Mと対向しているが、これらの主共通電極C A L及び主共通電極C A Rは、ともにブラックマトリクスB Mの第1方向Xに沿った幅と同等以下の幅を有しており、ブラックマトリクスB Mと重なる位置よりも画素電極P Eの側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクスB Mの間もしくはソース配線S 1とソース配線S 2との間の領域のうち、画素電極P Eと主共通電極C A L及び主共通電極C A Rとの間の領域に相当する。

40

【0068】

また、本実施形態においては、画素電極P Eと共通電極C Eとの水平電極間距離H Dは、画素電極P Eと共通電極C Eとの垂直電極間距離V Dよりも大きい。このため、開口部において高い透過率を得ることが可能である。この点について、以下により具体的に説明する。

【0069】

図5は、本実施形態の液晶層L Qに含まれる液晶分子L Mの配向状態を説明するための液晶表示パネルL P Nの概略断面図である。なお、この図5は、第2方向Yに沿った液晶表示パネルL P Nの断面に相当し、説明に必要な構成のみを図示している。ここに示した

50

例は、主画素電極 P A と主共通電極 C A との第 1 方向 X に沿った水平電極間距離 H D が主画素電極 P A と主共通電極 C A との第 3 方向 Z に沿った垂直電極間距離 V D よりも大きい場合に相当する。

【 0 0 7 0 】

O N 時には、主画素電極 P A と主共通電極 C A との間に電界が形成される。主画素電極 P A と主共通電極 C A との間の領域では、液晶分子 L M は、このような電界により配向制御される。このとき、液晶分子 L M は、X - Y 平面に対して比較的平行な配向状態を維持している。このような配向状態の液晶分子 L M を含む液晶層 L Q は、通過する光を変調するのに必要なリタデーション $\Delta n \cdot d$ を有している（但し、 Δn は屈折率異方性であり、 d は液晶層 L Q の厚さである）。つまり、第 1 光学素子 O D 1 を通過した直線偏光は、液晶層 L Q を通過する際に、第 2 光学素子 O D 2 を透過可能な偏光状態に変調される。このため、主画素電極 P A と主共通電極 C A との間の液晶層 L Q を通過した光は、第 2 光学素子 O D 2 を透過し、表示に寄与する。これにより、所望の透過率を得ることが可能となる。

10

【 0 0 7 1 】

図 6 は、比較例の液晶層 L Q に含まれる液晶分子 L M の配向状態を説明するための液晶表示パネル L P N の概略断面図である。ここに示した例は、主画素電極 P A と主共通電極 C A との第 3 方向 Z に沿った垂直電極間距離 V D が主画素電極 P A と主共通電極 C A との第 1 方向 X に沿った水平電極間距離 H D よりも大きい場合に相当する。

【 0 0 7 2 】

20

O N 時には、主画素電極 P A と主共通電極 C A との間に電界が形成され、これらの間の領域の液晶分子 L M は、形成された電界により配向制御される。このとき、液晶分子 L M は、X - Y 平面に対して比較的立ち上がった配向状態となる。このような配向状態の液晶分子 L M を含む液晶層 L Q では、通過する光を変調するのに十分なリタデーションを得ることが困難となる。このため、図 5 に示した例と比較して、主画素電極 P A と主共通電極 C A との間の液晶層 L Q を通過した光のうち、第 2 光学素子 O D 2 を透過する光の割合が低減し、透過率の低下を招く。

【 0 0 7 3 】

上記の現象を確認するため、発明者は、図 5 に示した本実施形態に相当する液晶表示装置と、図 6 に示した比較例に相当する液晶表示装置とを用意し、同一印加電圧の O N 状態で、透過率を測定した。本実施形態に相当する液晶表示装置では、主画素電極 P A と主共通電極 C A の電極間距離について、水平電極間距離 H D を $10 \mu\text{m}$ とし、垂直電極間距離 V D を $4 \mu\text{m}$ とした。比較例に相当する液晶表示装置では、主画素電極 P A と主共通電極 C A の電極間距離について、水平電極間距離 H D を $2.5 \mu\text{m}$ とし、垂直電極間距離 V D を $4 \mu\text{m}$ とした。他の条件については全て同一である。比較例に相当する液晶表示装置での透過率を 1 としたとき、本実施形態に相当する液晶表示装置では、1.54 の透過率を得ることができた。

30

【 0 0 7 4 】

このような本実施形態によれば、アレイ基板 A R に備えられる画素電極 P E の主画素電極 P A と、対向基板 C T に備えられる共通電極 C E の主共通電極 C A との電極間距離について、それらの水平電極間距離 H D がそれらの垂直電極間距離 V D よりも大きいため、O N 時において液晶分子 L M の立ち上がりを抑制することができ、液晶層 L Q を通過する光を変調するのに十分なリタデーションを得ることが可能となる。したがって、透過率の低下を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

40

【 0 0 7 5 】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更

50

する（つまり、画素 P X の略中央に配置された画素電極 P E に対して主共通電極 C A の配置位置を変更する）ことで、図 4 に示したような透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

【 0 0 7 6 】

また、本実施形態によれば、図 4 に示したように、ブラックマトリクス B M と重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子が O F F 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 7 7 】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との水平電極間距離 H D に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 7 8 】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A L 及び主共通電極 C A R がそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置されている場合には、主共通電極 C A L 及び主共通電極 C A R がソース配線 S 1 及びソース配線 S 2 よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

【 0 0 7 9 】

また、主共通電極 C A L 及び主共通電極 C A R をそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置することによって、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【 0 0 8 0 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【 0 0 8 1 】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、図 2 に示したように、第 2 方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、第 2 方向 Y に対する初期配向方向 D のなす角度 $\theta 1$ は、 0° より大きく 45° より小さい角度である。なお、このなす角度 $\theta 1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 L M の配向制御の観点で極めて有効である。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【 0 0 8 2 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 θ_1 が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

【0083】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

【0084】

本実施形態において、画素 P X の構造は、図 2 に示した例に限定されるものではない。

【0085】

図 7 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【0086】

この構造例は、図 2 に示した構造例と比較して、画素電極 P E が十字状に形成された点、及び、共通電極 C E が一画素 P X を取り囲むように格子状に形成された点で相違している。

【0087】

すなわち、画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及び副画素電極 P B を備えている。主画素電極 P A は、副画素電極 P B から画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延出している。副画素電極 P B は、第 1 方向 X に沿って延出している。この副画素電極 P B は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール C H を介してスイッチング素子と電氣的に接続されている。図示した例では、副画素電極 P B が画素 P X の略中央に設けられており、画素電極 P E は、十字状となっている。

【0088】

共通電極 C E は、上記した主共通電極 C A の他に、第 1 方向 X に沿って延出した副共通電極 C B を含んでいる。これらの主共通電極 C A 及び副共通電極 C B は、一体的あるいは連続的に形成されている。副共通電極 C B は、ゲート配線 G の各々と対向している。図示した例では、副共通電極 C B は第 1 方向 X に沿って 2 本平行に並んでおり、以下では、これらを区別するために、図中の上側の副共通電極を C B U と称し、図中の下側の副共通電極を C B B と称する。副共通電極 C B U は、画素 P X の上側端部に配置され、ゲート配線 G 1 と対向している。つまり、副共通電極 C B U は、当該画素 P X とその上側に隣接する画素との境界に跨って配置されている。また、副共通電極 C B B は、画素 P X の下側端部に配置され、ゲート配線 G 2 と対向している。つまり、副共通電極 C B B は、当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

【0089】

画素電極 P E と共通電極 C E との位置関係に着目すると、主画素電極 P A と主共通電極 C A とは第 1 方向 X に沿って交互に配置され、副画素電極 P B と副共通電極 C B とは第 2 方向 Y に沿って交互に配置されている。すなわち、隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の主画素電極 P A が位置し、第 1 方向 X に沿って主共通電極 C A L、主画素電極 P A、及び、主共通電極 C A R の順に並んでいる。また、隣接する副共通電極 C B B 及び副共通電極 C B U の間には、1 本の副画素電極 P B が位置し、第 2 方向 Y に沿って副共通電極 C B B、副画素電極 P B、及び、副共通電極 C B U の順に並んでい

る。

【0090】

このような構造例によれば、OFF時において第2方向Yに初期配向していた液晶分子LMは、ON時に画素電極PEと共通電極CEとの間に形成される電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。画素電極PEと主共通電極CAL及び副共通電極CBBとで囲まれた領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極PEと主共通電極CAR及び副共通電極CBBとで囲まれた領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。画素電極PEと主共通電極CAL及び副共通電極CBUとで囲まれた領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の左上を向くように配向する。画素電極PEと主共通電極CAR及び副共通電極CBUとで囲まれた領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の右上を向くように配向する。

10

【0091】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、図2に示した例よりも多くのドメインを形成することが可能となり、視野角を拡大することが可能となる。

【0092】

図8は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。

20

【0093】

この構造例は、図7に示した構造例と比較して、画素電極PEが第1方向Xに間隔をおいて略平行に並んだ複数の主画素電極PAを備えている点、及び、共通電極CEが一画素PXを取り囲むように格子状に形成されたのに加えて隣接する主画素電極PAの間に主共通電極CAを備えている点で相違している。

【0094】

すなわち、画素電極PEは、主画素電極PA1、主画素電極PA2、及び、副画素電極PBを備えている。これらの主画素電極PA1、主画素電極PA2、及び、副画素電極PBは互いに電氣的に接続されている。主画素電極PA1及び主画素電極PA2は、第1方向Xに間隔をおいて略平行に並んでいる。これらの主画素電極PA1及び主画素電極PA2は、副画素電極PBから画素PXの上側端部付近及び下側端部付近まで第2方向Yに沿って直線的に延出している。副画素電極PBは、第1方向Xに沿って延出している。この副画素電極PBは、補助容量線C1と重なる領域に位置し、コンタクトホールCHを介してスイッチング素子SWと電氣的に接続されている。

30

【0095】

共通電極CEは、主共通電極CAL、主共通電極CAR、主共通電極CAC、副共通電極CBB、及び、副共通電極CBUを備えている。これらの主共通電極CAL、主共通電極CAR、主共通電極CAC、副共通電極CBB、及び、副共通電極CBUは互いに電氣的に接続されている。

【0096】

主共通電極CAL、主共通電極CAR、及び、主共通電極CACは、第1方向Xに間隔をおいて略平行に並び、それぞれ第2方向Yに沿って延出している。画素PXにおいて、主共通電極CALは左側端部に配置され、主共通電極CARは右側端部に配置され、主共通電極CACは主画素電極PA1と主画素電極PA2との間に配置されている。

40

【0097】

副共通電極CBB、及び、副共通電極CBUは、第2方向Yに間隔をおいて略平行に並び、それぞれ第1方向Xに沿って延出している。画素PXにおいて、副共通電極CBBは下側端部に配置され、副共通電極CBUは上側端部に配置されている。副画素電極PBは、副共通電極CBBと副共通電極CBUとの間に配置されている。

【0098】

50

画素電極 P E と共通電極 C E との位置関係に着目すると、主画素電極 P A と主共通電極 C A とは第 1 方向 X に沿って交互に配置され、副画素電極 P B と副共通電極 C B とは第 2 方向 Y に沿って交互に配置されている。すなわち、隣接する主共通電極 C A L 及び主共通電極 C A C の間には 1 本の主画素電極 P A 1 が位置し、隣接する主共通電極 C A C 及び主共通電極 C A R の間には 1 本の主画素電極 P A 2 が位置しており、第 1 方向 X に沿って主共通電極 C A L、主画素電極 P A 1、主共通電極 C A C、主画素電極 P A 2、及び、主共通電極 C A R の順に並んでいる。また、隣接する副共通電極 C B B 及び副共通電極 C B U の間には 1 本の副画素電極 P B が位置し、第 2 方向 Y に沿って副共通電極 C B B、副画素電極 P B、及び、副共通電極 C B U の順に並んでいる。

【 0 0 9 9 】

10

主共通電極 C A L と主画素電極 P A 1 との水平電極間距離、主共通電極 C A C と主画素電極 P A 1 との水平電極間距離、主共通電極 C A C と主画素電極 P A 2 との水平電極間距離、及び、主共通電極 C A R と主画素電極 P A 2 との水平電極間距離は、いずれも略同等 (H D) である。

【 0 1 0 0 】

このような構造例においても、O F F 時において第 2 方向 Y に初期配向していた液晶分子 L M は、O N 時に画素電極 P E と共通電極 C E との間に形成された状態では、各画素 P X において、多くのドメインを形成することが可能となり、視野角を拡大することが可能となる。

【 0 1 0 1 】

20

なお、本実施形態においては、共通電極 C E は、対向基板 C T に備えられた主共通電極 C A に加えて、アレイ基板 A R に備えられ主共通電極 C A と対向する (あるいはソース配線 S と対向する) 第 2 主共通電極を備えていても良い。この第 2 主共通電極は、主共通電極 C A と略平行に延出し、しかも、主共通電極 C A と同電位である。このような第 2 主共通電極を設けることにより、ソース配線 S からの不所望な電界をシールドすることが可能である。また、共通電極 C E は、対向基板 C T に備えられた主共通電極 C A に加えて、アレイ基板 A R に備えられゲート配線 G や補助容量線 C と対向する第 2 副共通電極を備えていても良い。この第 2 副共通電極は、主共通電極 C A と交差する方向に延出し、しかも、主共通電極 C A と同電位である。このような第 2 副共通電極を設けたことにより、ゲート配線 G や補助容量線 C からの不所望な電界をシールドすることが可能である。このような第 2 主共通電極や第 2 副共通電極を備えた構成によれば、更なる表示品位の劣化を抑制することが可能となる。

30

【 0 1 0 2 】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 1 0 3 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【 符号の説明 】

【 0 1 0 4 】

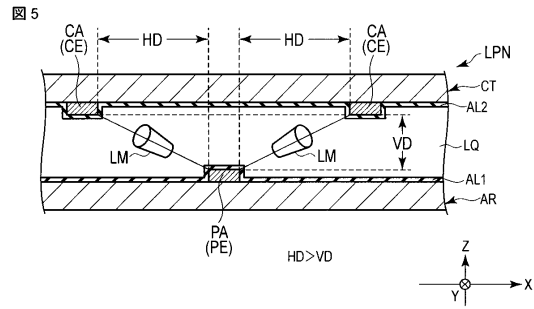
L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

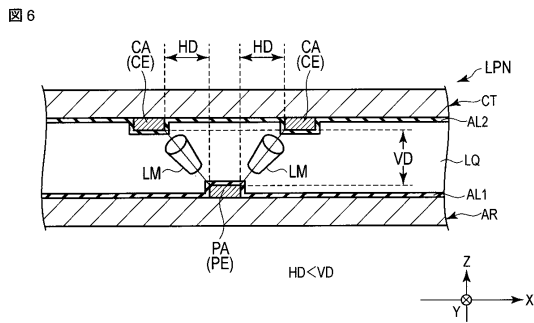
P E ... 画素電極 P A ... 主画素電極 P B ... 副画素電極 P C ... コンタクト部

C E ... 共通電極 C A ... 主共通電極 C B ... 副共通電極

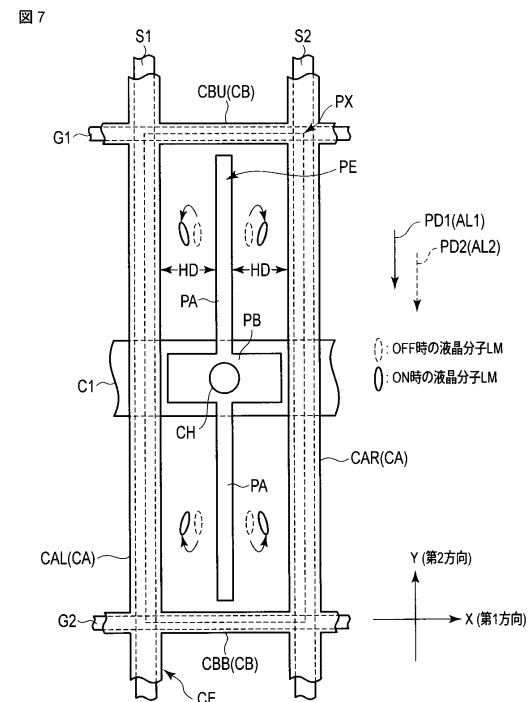
【図 5】



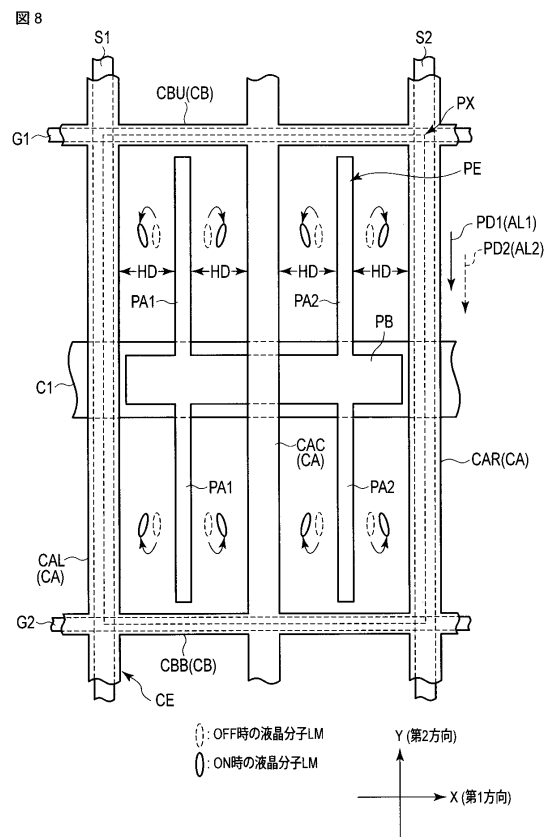
【図 6】



【図 7】



【図 8】



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 武田 有広
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

審査官 鈴木 俊光

- (56)参考文献 特開2009-192822(JP,A)
特開2000-098405(JP,A)
特開2000-081641(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP5504215B2	公开(公告)日	2014-05-28
申请号	JP2011152103	申请日	2011-07-08
申请(专利权)人(译)	有限公司日本展示中心		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁 武田有広		
发明人	廣澤 仁 武田 有広		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/1337 G02F1/13378 G02F2001/134318 G02F2001/134381 G02F2001/136218		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA29 2H092/GA59 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB14 2H092/JB69 2H092/KA04 2H092/KA05 2H092/NA01 2H092/PA02 2H192/AA24 2H192/BA22 2H192/BA32 2H192/BC31 2H192/DA12 2H192/EA22 2H192/EA43 2H192/JA03		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
审查员(译)	铃木俊光		
其他公开文献	JP2013020016A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制显示质量劣化的液晶显示装置。解决方案：一种液晶显示装置，包括：第一基板，包括像素电极，所述像素电极设置在像素中，所述像素的长度在第一方向上短于a在与第一方向正交的第二方向上的长度，具有在第二方向上延伸的主像素电极和在第一方向上延伸并与主像素电极电连接的子像素电极；第二基板包括公共电极和公共电极，所述公共电极具有主公共电极，所述公共电极在两侧与主像素电极大致平行地延伸，主像素电极保持在所述公共电极之间，子公共电极在两侧与所述子像素电极大致平行地延伸。子像素电极保持在其间并电连接到主公共电极；和包括保持在第一基板和第二基板之间的液晶分子的液晶层。沿第一方向的水平电极之间的距离（对应于主像素电极和主公共电极之间的距离）大于沿垂直于第一和第二方向的第三方向的垂直电极之间的距离，这对应于到主像素电极和主公共电极之间的距离。

【图3】

