

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5493547号
(P5493547)

(45) 発行日 平成26年5月14日 (2014. 5. 14)

(24) 登録日 平成26年3月14日 (2014. 3. 14)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 624B

G09G 3/20 623D

G09G 3/20 623L

G09G 3/20 621E

請求項の数 10 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2009-176264 (P2009-176264)
 (22) 出願日 平成21年7月29日 (2009. 7. 29)
 (65) 公開番号 特開2011-28159 (P2011-28159A)
 (43) 公開日 平成23年2月10日 (2011. 2. 10)
 審査請求日 平成24年3月29日 (2012. 3. 29)

(73) 特許権者 308036402
 株式会社 J V C ケンウッド
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 井澤 俊輔
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地
 (72) 発明者 伊藤 博友
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地

審査官 山崎 仁之

最終頁に続く

(54) 【発明の名称】 液晶表示装置及び液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

2本のデ-タ線を一組とする複数組のデ-タ線と複数本のゲ-ト線とがそれぞれ交差する交差部に設けられた複数の画素と、

前記複数組のデ-タ線に対してそれぞれ設けられており、一組の前記2本のデ-タ線の一方に正極性映像信号を供給し、かつ、他方のデ-タ線に負極性映像信号を供給することを、前記複数組のデ-タ線に対して組単位で順次行う複数のスイッチと、

前記複数のスイッチを水平走査期間内で前記組単位で駆動する水平方向駆動と、複数本の前記ゲ-ト線を水平走査期間毎に選択する垂直方向駆動とを行う水平方向及び垂直方向駆動手段と、

を有し、前記複数の画素のそれぞれは、

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、

前記正極性映像信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段と、

前記負極性映像信号をサンプリングして前記一定期間保持する第2のサンプリング及び保持手段と、

前記第1のサンプリング及び保持手段により保持された正極性映像信号電圧と、前記第2のサンプリング及び保持手段により保持された負極性映像信号電圧とを、前記垂直走査期間より短い所定の周期で切り替えて前記画素駆動電極に交互に印加するスイッチング手段と

を備え、

表示画面を構成する前記複数の画素からなる画素部全体を、連続する複数行の各画素を1グループとする複数のグループに分割したとき、複数の前記分割グループ内の複数の前記スイッチング手段を、前記垂直走査期間より短い所定の周期の極性切り替えパルスにより各分割グループ単位で時分割的にアクティブに制御するスイッチング制御手段を備え、

前記スイッチング制御手段は、前記正極性映像信号及び前記負極性映像信号の水平ブラッキング期間内で前記極性切り替えパルスを転送して、前記スイッチング手段をアクティブに制御することを特徴とする液晶表示装置。

【請求項2】

2本のデ・タ線を一組とする複数組のデ・タ線と複数本のゲ・ト線とがそれぞれ交差する交差部に設けられた複数の画素と、

前記複数組のデ・タ線に対してそれぞれ設けられており、一組の前記2本のデ・タ線の一方に正極性映像信号を供給し、かつ、他方のデ・タ線に負極性映像信号を供給することを、前記複数組のデ・タ線に対して組単位で順次行う複数のスイッチと、

前記複数のスイッチを水平走査期間内で前記組単位で駆動する水平方向駆動と、複数本の前記ゲ・ト線を水平走査期間毎に選択する垂直方向駆動とを行う水平方向及び垂直方向駆動手段と、

を有し、前記複数の画素のそれぞれは、

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、

前記正極性映像信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段と、

前記負極性映像信号をサンプリングして前記一定期間保持する第2のサンプリング及び保持手段と、

前記第1のサンプリング及び保持手段により保持された正極性映像信号電圧と、前記第2のサンプリング及び保持手段により保持された負極性映像信号電圧とを、前記垂直走査期間より短い所定の周期で切り替えて前記画素駆動電極に交互に印加するスイッチング手段と、

を備え、

表示画面を構成する前記複数の画素からなる画素部全体を、連続する複数行の各画素を1グループとする複数のグループに分割したとき、複数の前記分割グループ内の複数の前記スイッチング手段を、前記垂直走査期間より短い所定の周期の極性切り替えパルスにより各分割グループ単位で時分割的にアクティブに制御するスイッチング制御手段を備え、

前記スイッチング制御手段は、前記正極性映像信号及び前記負極性映像信号の中間以上の階調において前記極性切り替えパルスを転送して、前記スイッチング手段をアクティブに制御することを特徴とする液晶表示装置。

【請求項3】

2本のデ・タ線を一組とする複数組のデ・タ線と複数本のゲ・ト線とがそれぞれ交差する交差部に設けられた複数の画素と、

前記複数組のデ・タ線に対してそれぞれ設けられており、一組の前記2本のデ・タ線の一方に正極性映像信号を供給し、かつ、他方のデ・タ線に負極性映像信号を供給することを、前記複数組のデ・タ線に対して組単位で順次行う複数のスイッチと、

前記複数のスイッチを水平走査期間内で前記組単位で駆動する水平方向駆動と、複数本の前記ゲ・ト線を水平走査期間毎に選択する垂直方向駆動とを行う水平方向及び垂直方向駆動手段と、

を有し、前記複数の画素のそれぞれは、

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、

前記正極性映像信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段と、

前記負極性映像信号をサンプリングして前記一定期間保持する第2のサンプリング及び保持手段と、

10

20

30

40

50

前記第 1 のサンプリング及び保持手段により保持された正極性映像信号電圧と、前記第 2 のサンプリング及び保持手段により保持された負極性映像信号電圧とを、前記垂直走査期間より短い所定の周期で切り替えて前記画素駆動電極に交互に印加するスイッチング手段と、

表示画面を構成する前記複数の画素からなる画素部全体を、連続する複数行の各画素を 1 グループとする複数のグループに分割したとき、複数の前記分割グループ内の複数の前記スイッチング手段を、前記垂直走査期間より短い所定の周期の極性切り替えパルスにより各分割グループ単位で時分割的にアクティブに制御するスイッチング制御手段とを備え、

前記スイッチング制御手段は、前記正極性映像信号及び前記負極性映像信号の 1 水平走査期間に 1 回の割合で前記極性切り替えパルスを転送して、前記スイッチング手段をアクティブに制御することを特徴とする液晶表示装置。

【請求項 4】

2 本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた複数の画素と、

前記複数組のデータ線に対してそれぞれ設けられており、一組の前記 2 本のデータ線の一方に正極性映像信号を供給し、かつ、他方のデータ線に負極性映像信号を供給することを、前記複数組のデータ線に対して組単位で順次行う複数のスイッチと、

前記複数のスイッチを水平走査期間内で前記組単位で駆動する水平方向駆動と、複数本の前記ゲート線を水平走査期間毎に選択する垂直方向駆動とを行う水平方向及び垂直方向駆動手段と、

を有し、前記複数の画素のそれぞれは、

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、

前記正極性映像信号をサンプリングして一定期間保持する第 1 のサンプリング及び保持手段と、

前記負極性映像信号をサンプリングして前記一定期間保持する第 2 のサンプリング及び保持手段と、

前記第 1 のサンプリング及び保持手段により保持された正極性映像信号電圧と、前記第 2 のサンプリング及び保持手段により保持された負極性映像信号電圧とを、前記垂直走査期間より短い所定の周期で切り替えて前記画素駆動電極に交互に印加するスイッチング手段と、

を備え、

表示画面を構成する前記複数の画素からなる画素部全体を、連続する複数行の各画素を 1 グループとする複数のグループに分割したとき、複数の前記分割グループ内の複数の前記スイッチング手段を、前記垂直走査期間より短い所定の周期の極性切り替えパルスにより各分割グループ単位で時分割的にアクティブに制御するスイッチング制御手段を備え、

前記画素駆動電極に印加される前記正極性映像信号電圧と前記負極性映像信号電圧との切り替え周期に同期して、前記液晶層にかかる電位差の絶対値が常に略同一となるよう前記共通電極に印加する共通電極電圧を 2 つの異なるレベル間で変化させる共通電極電圧制御手段と、

前記スイッチング手段による前記画素駆動電極に印加される前記正極性映像信号電圧と前記負極性映像信号電圧との切り替えタイミングと、前記共通電極電圧制御手段による前記共通電極電圧の極性反転タイミングとを、前記正極性映像信号及び前記負極性映像信号のフレーム単位で変更するタイミング変更手段と

を更に備えたことを特徴とする液晶表示装置。

【請求項 5】

前記共通電極電圧制御手段は、前記画素駆動電極に印加される前記正極性映像信号電圧と前記負極性映像信号電圧との切り替えタイミングに先行して、前記共通電極に印加する共通電極電圧を 2 つの異なるレベル間で変化させることを特徴とする請求項 4 記載の液晶表示装置。

10

20

30

40

50

【請求項 6】

2本のデ・タ線を一組とする複数組のデ・タ線と複数本のゲ・ト線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれにおいて各組2本のデ・タ線の一方で伝送される正極性映像信号に対応した駆動電圧を画素駆動電極に垂直走査期間より短い所定期間でサンプリングして第1の一定期間保持する第1のサンプリングステップと、

前記第1のステップによるサンプリング時点より前記所定期期の半分の周期の時間差のタイミングで、各組2本の前記デ・タ線の他方で伝送される負極性映像信号に対応した駆動電圧を画素駆動電極に前記所定期期でサンプリングして前記第1の一定期間保持する第2のサンプリングステップと、

前記第1及び第2のサンプリングステップにより保持された前記正極性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期で切り替えて、前記複数の画素のそれぞれに設けられた液晶素子の画素駆動電極に交互に印加する画素駆動電極電圧印加ステップと、

を含み、

前記画素駆動電極電圧印加ステップは、前記正極性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期で、かつ、前記正極性映像信号及び前記負極性映像信号の水平ブランキング期間内で転送される極性切り替えパルスにより切り替えて、前記複数の画素のそれぞれに設けられた前記液晶素子の前記画素駆動電極に交互に印加することを特徴とする液晶表示装置の駆動方法。

【請求項 7】

2本のデ・タ線を一組とする複数組のデ・タ線と複数本のゲ・ト線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれにおいて各組2本のデ・タ線の一方で伝送される正極性映像信号に対応した駆動電圧を画素駆動電極に垂直走査期間より短い所定期間でサンプリングして第1の一定期間保持する第1のサンプリングステップと、

前記第1のステップによるサンプリング時点より前記所定期期の半分の周期の時間差のタイミングで、各組2本の前記デ・タ線の他方で伝送される負極性映像信号に対応した駆動電圧を画素駆動電極に前記所定期期でサンプリングして前記第1の一定期間保持する第2のサンプリングステップと、

前記第1及び第2のサンプリングステップにより保持された前記正極性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期で切り替えて、前記複数の画素のそれぞれに設けられた液晶素子の画素駆動電極に交互に印加する画素駆動電極電圧印加ステップと、

を含み、

前記画素駆動電極電圧印加ステップは、前記正極性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期で、かつ、前記正極性映像信号及び前記負極性映像信号の中間以上の階調において転送される極性切り替えパルスにより切り替えて、前記複数の画素のそれぞれに設けられた前記液晶素子の前記画素駆動電極に交互に印加することを特徴とする液晶表示装置の駆動方法。

【請求項 8】

2本のデ・タ線を一組とする複数組のデ・タ線と複数本のゲ・ト線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれにおいて各組2本のデ・タ線の一方で伝送される正極性映像信号に対応した駆動電圧を画素駆動電極に垂直走査期間より短い所定期間でサンプリングして第1の一定期間保持する第1のサンプリングステップと、

前記第1のステップによるサンプリング時点より前記所定期期の半分の周期の時間差のタイミングで、各組2本の前記デ・タ線の他方で伝送される負極性映像信号に対応した駆動電圧を画素駆動電極に前記所定期期でサンプリングして前記第1の一定期間保持する第2のサンプリングステップと、

前記第1及び第2のサンプリングステップにより保持された前記正極性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期で切り替えて、前記複数の画素のそれぞれに設けられた液晶素子の画素駆動電極に交互に印加する画素駆動電極電

10

20

30

40

50

圧印加ステップと、
を含み、

前記画素駆動電極電圧印加ステップは、前記正極性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期で、かつ、前記正極性映像信号及び前記負極性映像信号の1水平走査期間に1回の割合で転送される極性切り替えパルスにより切り替えて、前記複数の画素のそれぞれに設けられた前記液晶素子の前記画素駆動電極に交互に印加することを特徴とする液晶表示装置の駆動方法。

【請求項9】

表示画面を構成する前記複数の画素からなる画素部全体を、連続する複数行の各画素を1グル-ブとする複数のグル-ブに分割したとき、前記画素駆動電極電圧印加ステップは、前記正極性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期の極性切り替えパルスにより各分割グル-ブ単位で時分割的に切り替えて、前記複数の画素のそれぞれに設けられた前記液晶素子の前記画素駆動電極に交互に印加することを特徴とする請求項6乃至8のうちいずれか一項記載の液晶表示装置の駆動方法。

【請求項10】

2本のデ-タ線を一組とする複数組のデ-タ線と複数本のゲ-ト線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれにおいて各組2本のデ-タ線の一方で伝送される正極性映像信号に対応した駆動電圧を画素駆動電極に垂直走査期間より短い所定期間でサンプリングして第1の一定期間保持する第1のサンプリングステップと、

前記第1のステップによるサンプリング時点より前記所定期間の半分の周期の時間差のタイミングで、各組2本の前記デ-タ線の他方で伝送される負極性映像信号に対応した駆動電圧を画素駆動電極に前記所定期間でサンプリングして前記第1の一定期間保持する第2のサンプリングステップと、

前記第1及び第2のサンプリングステップにより保持された前記正極性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期で切り替えて、前記複数の画素のそれぞれに設けられた液晶素子の画素駆動電極に交互に印加する画素駆動電極電圧印加ステップと、

を含み、

前記画素駆動電極に印加される前記正極性映像信号電圧と前記負極性映像信号電圧との切り替え周期に同期して、前記液晶素子の液晶層にかかる電位差の絶対値が常に略同一となるよう前記液晶素子の前記画素駆動電極に対向する共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させる共通電極電圧制御ステップと、

前記画素駆動電極電圧印加ステップによる前記正極性映像信号電圧と前記負極性映像信号電圧との切り替えタイミングと、前記共通電極電圧制御ステップによる前記共通電極電圧の極性反転タイミングとを、前記正極性映像信号電圧及び前記負極性映像信号電圧のフレ-ム単位で変更するタイミング変更ステップと

を更に含み、前記共通電極電圧制御ステップにより前記共通電極電圧のレベルを変化させた後に、前記第1のサンプリングステップによるサンプリングと前記第2のサンプリングステップによるサンプリングとを順次に行うことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及び液晶表示装置の駆動方法に係り、特にアクティブマトリクス型の液晶表示装置及び液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品としてLCOS(Liquid Crystal on Silicon)型の液晶表示装置が多く用いられている。このLCOS型の液晶表示装置は、透明電極、液晶層、マトリクス状に配置された反射

10

20

30

40

50

電極、及びシリコン基板上に液晶駆動回路が形成された液晶駆動素子などが重なった構造を有している。

【 0 0 0 3 】

従来の液晶表示装置は、複数本のデータ線（列信号線）と複数本のゲート線（行走査線）との各交差部にそれぞれ画素がマトリクス状に配置されている。各画素は、図 2 4 に示すように、画素選択トランジスタ Q、信号保持容量 C s、及び反射電極 P E を備えている。画素選択トランジスタ Q は、ゲートがゲート線（行走査線）G に接続され、ドレインがデータ線（列信号線）D に接続されている。また、図 2 4 に示すように、液晶素子 L C は、対向する反射電極（画素駆動電極）P E と対向電極（共通電極）C E との間に液晶表示体（液晶層）L C M が挟持された構成とされている。

10

【 0 0 0 4 】

液晶素子 L C は、共通電極 C E に固定電圧 V com が印加され、反射電極（画素駆動電極）P E に映像信号に応じた様々な電圧が供給されることで、液晶表示体 L C M の光変調率を制御し、映像として表示する。普通、液晶素子 L C は交流駆動した方が信頼性の長期安定化が図れることから、共通電極 C E の固定電圧 V com に対して、反射電極（画素駆動電極）P E には映像信号に応じて光の変調率が同じになるような正側と負側の電圧を交互に与えて交流駆動を行っている。

【 0 0 0 5 】

場合によっては、映像信号のダイナミックレンジ縮小などの目的で、正側と負側の電圧で駆動するタイミングに合わせて、共通電極の電圧を切り替えたりする応用例もあるが、基本的な考え方は同じである。

20

【 0 0 0 6 】

図 2 4 の例のような液晶素子 L C においては、通常、各画素への映像信号の書き込みは 1 フレームに 1 回行われ、1 フレーム毎に交互に、共通電極に対して正側と負側の映像信号を信号保持容量 C s に書き込んで、液晶を交流駆動することになる。なお、この場合の書き込み周波数の 2 倍の周波数で液晶を交流駆動する倍速駆動の例もあるが、周波数としては、6 0 H z が 1 2 0 H z になる程度であり、いずれにしても高い周波数ではない。

【 0 0 0 7 】

これは、信号保持容量 C s に対する映像信号の書き込みが、ビデオスイッチのオン抵抗とデータ線の寄生容量、あるいは画素選択トランジスタ Q のオン抵抗と信号保持容量 C s の関係での充放電によって行われるために、書き込み周波数をこれ以上高くすることは素子コストなどの観点から簡単ではないという事情もある。

30

【 0 0 0 8 】

一方、液晶素子に対しては、より高い周波数で交流駆動することで、反射電極（画素駆動電極）P E と共通電極 C E との間の直流分をゼロにできれば、焼き付き防止など信頼性の向上につながり、画像の表示品質も高まる。

【 0 0 0 9 】

これまで、画素選択トランジスタの寄生容量に起因するフィードスルへの対策（例えば、特許文献 1 参照）や保持容量のリーク対策（例えば、特許文献 2 参照）など、書き込まれた信号分の劣化を防止する方法が開示されている。しかしながら、液晶素子をより高い周波数で交流駆動する取り組みはあまり検討されてこなかったようである。

40

【 0 0 1 0 】

なお、同一の走査線に接続された複数個の画素毎に、各画素の保持容量をその走査線に対応する保持容量線と隣接する走査線に対応する別の保持容量線とに交互に接続し、画素駆動電極と対向電極の間の直流分を補償するための補償電圧を、保持容量線毎に反転させて与えることにより、共通電極線や共通電極の電位変動等に起因する画質劣化の発生を防止するようにした液晶表示装置は従来知られている（例えば、特許文献 3 参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 1 】

50

【特許文献1】特開2006-10897号公報

【特許文献2】特開2002-250938号公報

【特許文献3】特開2004-354742号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

前述したように、液晶素子の焼き付き防止などの信頼性を高める手段として、高い周波数で液晶素子を交流駆動することが望ましいが、画素への書き込み時間などの制約から対向電極電圧に対して正側と負側の映像信号を交互に高速に書き込むことは難しく、従来は交流駆動の周波数はフレムレトあるいはその2倍ぐらいの周波数でしか行われていない。

10

【0013】

また、特許文献3記載の液晶表示装置では、補償電圧はフレム毎にしか極性反転ができず、また、画像信号電圧は共通電極の電圧Vcomに対して正側と負側の2種類の電圧が必要である。

【0014】

本発明は以上の点に鑑みなされたもので、液晶素子を従来よりも高速に交流駆動すると共に、画素部全体を、複数行を1グループとする複数グループの分割画素毎に分割して時分割に駆動する時に発生することのある、隣接配線の干渉ノイズを視覚上低減し、高品質な画像を表示し得る液晶表示装置及び液晶表示装置の駆動方法を提供することを目的とする。

20

【課題を解決するための手段】

【0015】

上記目的を達成するため、第1の発明の液晶表示装置は、2本のデタ線を一組とする複数組のデタ線と複数本のゲト線とがそれぞれ交差する交差部に設けられた複数の画素と、複数組のデタ線に対してそれぞれ設けられており、一組の2本のデタ線の一方に正極性映像信号を供給し、かつ、他方のデタ線に負極性映像信号を供給することを、複数組のデタ線に対して組単位で順次行う複数のスイッチと、複数のスイッチを水平走査期間内で組単位で駆動する水平方向駆動と、複数本のゲト線を水平走査期間毎に選択する垂直方向駆動とを行う水平方向及び垂直方向駆動手段と、を有し、

30

複数の画素のそれぞれは、

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、正極性映像信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段と、負極性映像信号をサンプリングして一定期間保持する第2のサンプリング及び保持手段と、第1のサンプリング及び保持手段により保持された正極性映像信号電圧と、第2のサンプリング及び保持手段により保持された負極性映像信号電圧とを、垂直走査期間より短い所定の周期で切り替えて画素駆動電極に交互に印加するスイッチング手段とを備え、

表示画面を構成する複数の画素からなる画素部全体を、連続する複数行の各画素を1グループとする複数のグループに分割したとき、複数の分割グループ内の複数のスイッチング手段を、垂直走査期間より短い所定の周期の極性切り替えパルスにより各分割グループ単位で時分割的にアクティブに制御するスイッチング制御手段を備え、

40

スイッチング制御手段は、正極性映像信号及び負極性映像信号の水平ブランキング期間内で極性切り替えパルスを転送して、スイッチング手段をアクティブに制御することを特徴とする。

【0017】

また、上記の目的を達成するため、第2の発明の液晶表示装置は、第1の発明におけるスイッチング制御手段に代えて、スイッチング制御手段を、正極性映像信号及び負極性映像信号の中間以上の階調において極性切り替えパルスを転送して、スイッチング手段をアクティブに制御することを特徴とする。

【0018】

50

また、上記の目的を達成するため、第3の発明の液晶表示装置は、第1の発明におけるスイッチング制御手段に代えて、スイッチング制御手段を、正極性映像信号及び負極性映像信号の1水平走査期間に1回の割合で極性切り替えパルスを送送して、スイッチング手段をアクティブに制御することを特徴とする。

【0019】

また、上記の目的を達成するため、第4の発明の液晶表示装置は、画素駆動電極に印加される正極性映像信号電圧と負極性映像信号電圧との切り替え周期に同期して、液晶層にかかる電位差の絶対値が常に略同一となるよう共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させる共通電極電圧制御手段と、スイッチング手段による画素駆動電極に印加される正極性映像信号電圧と負極性映像信号電圧との切り替えタイミングと、共通電極電圧制御手段による共通電極電圧の極性反転タイミングとを、正極性映像信号及び負極性映像信号のフレーム単位で変更するタイミング変更手段とを更に備えたことを特徴とする。

【0020】

また、上記の目的を達成するため、第5の発明の液晶表示装置は、共通電極電圧制御手段を、画素駆動電極に印加される正極性映像信号電圧と負極性映像信号電圧との切り替えタイミングに先行して、共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させることを特徴とする。

【0021】

また、上記の目的を達成するため、第6の発明の液晶表示装置の駆動方法は、2本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれにおいて各組2本のデータ線の一方で伝送される正極性映像信号に対応した駆動電圧を画素駆動電極に垂直走査期間より短い所定周期でサンプリングして第1の一定期間保持する第1のサンプリングステップと、第1のステップによるサンプリング時点より所定周期の半分の周期の時間差のタイミングで、各組2本のデータ線の他方で伝送される負極性映像信号に対応した駆動電圧を画素駆動電極に所定周期でサンプリングして第1の一定期間保持する第2のサンプリングステップと、第1及び第2のサンプリングステップにより保持された正極性映像信号電圧と負極性映像信号電圧とを、垂直走査期間より短い所定の周期で切り替えて、複数の画素のそれぞれに設けられた液晶素子の画素駆動電極に交互に印加する画素駆動電極電圧印加ステップとを含み、画素駆動電極電圧印加ステップは、正極性映像信号電圧と負極性映像信号電圧とを、垂直走査期間より短い所定の周期で、かつ、正極性映像信号及び負極性映像信号の水平ブランキング期間内で送送される極性切り替えパルスにより切り替えて、複数の画素のそれぞれに設けられた液晶素子の画素駆動電極に交互に印加することを特徴とする。

【0024】

また、第7の発明の液晶表示装置の駆動方法は、上記画素駆動電極電圧印加ステップが、正極性映像信号電圧と負極性映像信号電圧とを、垂直走査期間より短い所定の周期で、かつ、正極性映像信号及び負極性映像信号の中間以上の階調において送送される極性切り替えパルスにより切り替えて、複数の画素のそれぞれに設けられた液晶素子の画素駆動電極に交互に印加することを特徴とする。

【0025】

また、第8の発明の液晶表示装置の駆動方法は、上記の画素駆動電極電圧印加ステップが、正極性映像信号電圧と負極性映像信号電圧とを、垂直走査期間より短い所定の周期で、かつ、正極性映像信号及び負極性映像信号の1水平走査期間に1回の割合で送送される極性切り替えパルスにより切り替えて、複数の画素のそれぞれに設けられた液晶素子の画素駆動電極に交互に印加することを特徴とする。

【0026】

また、上記の目的を達成するため、第9の発明の液晶表示装置の駆動方法は、表示画面を構成する前記複数の画素からなる画素部全体を、連続する複数行の各画素を1グループとする複数のグループに分割したとき、前記画素駆動電極電圧印加ステップは、前記正極

10

20

30

40

50

性映像信号電圧と前記負極性映像信号電圧とを、垂直走査期間より短い所定の周期の極性切り替えパルスにより各分割グル - プ単位で時分割的に切り替えて、前記複数の画素のそれぞれに設けられた前記液晶素子の前記画素駆動電極に交互に印加することを特徴とする。

更に、上記の目的を達成するため、第 10 の発明の液晶表示装置の駆動方法は、画素駆動電極に印加される正極性映像信号電圧と負極性映像信号電圧との切り替え周期に同期して、液晶素子の液晶層にかかる電位差の絶対値が常に略同一となるよう液晶素子の画素駆動電極に対向する共通電極に印加する共通電極電圧を 2 つの異なるレベル間で変化させる共通電極電圧制御ステップと、画素駆動電極電圧印加ステップによる正極性映像信号電圧と負極性映像信号電圧との切り替えタイミングと、共通電極電圧制御ステップによる共通電極電圧の極性反転タイミングとを、正極性映像信号電圧及び負極性映像信号電圧のフレ - ム単位で変更するタイミング変更ステップとを更に含み、共通電極電圧制御ステップにより共通電極電圧のレベルを変化させた後に、第 1 のサンプリングステップによるサンプリングと第 2 のサンプリングステップによるサンプリングとを順次に行うことを特徴とする。

【発明の効果】

【0027】

本発明によれば、液晶素子を従来よりも高速に交流駆動すると共に、画素部全体を複数行を 1 グループとする複数グループの分割画素部に分割して時分割に駆動するとき発生することのある、横線状ノイズを視覚上低減し、高品質な画像を表示することができる。

【図面の簡単な説明】

【0028】

【図 1】本発明の液晶表示装置における画素回路の第 1 の実施の形態の回路図である。

【図 2】本発明の液晶表示装置の第 1 の実施の形態の基本構成図である。

【図 3】図 1 に示した第 1 の実施の形態の一画素をより詳細に表した詳細回路図である。

【図 4】本発明の液晶表示装置における一画素の第 2 の実施の形態の詳細回路図である。

【図 5】本発明の液晶表示装置の交流駆動制御の概要を説明するためのタイミングチャ - トである。

【図 6】液晶表示装置の画素に書込まれる正極性映像信号と、負極性映像信号の黒レベルから白レベルまでの関係を示す図である。

【図 7】本発明の液晶表示装置の要部の他の実施の形態の構成図である。

【図 8】図 7 の各部の信号のタイミングチャ - トである。

【図 9】図 7 に示した実施の形態に生じる可能性のある課題の説明図である。

【図 10】図 9 に示した課題が発生する原因の波形説明図である。

【図 11】本発明の液晶表示装置の駆動方法の第 1 及び第 2 の実施の形態で用いるタイミング制御回路の回路図である。

【図 12】図 11 に示したタイミング制御回路を用いた本発明の液晶表示装置の駆動方法の第 1 の実施の形態を説明するタイミングチャ - トである。

【図 13】図 11 に示したタイミング制御回路を用いた本発明の液晶表示装置の駆動方法の第 2 の実施の形態を説明するタイミングチャ - トである。

【図 14】本発明の液晶表示装置の駆動方法の第 3 の実施の形態で用いるタイミング制御回路の回路図である。

【図 15】図 14 に示したタイミング制御回路を用いた本発明の液晶表示装置の駆動方法の第 3 の実施の形態を説明するタイミングチャ - トである。

【図 16】本発明になる液晶表示装置の駆動方法の第 4 ~ 第 6 の実施の形態を説明するタイミングチャ - トである。

【図 17】本発明の液晶表示装置の駆動方法の第 4 ~ 第 6 の実施の形態で用いるタイミング制御回路の回路図である。

【図 18】図 17 に示したタイミング制御回路を用いた本発明の液晶表示装置の駆動方法の第 4 の実施の形態を説明する図である。

【図 19】図 17 に示したタイミング制御回路を用いた本発明の液晶表示装置の駆動方法の第 5 の実施の形態を説明する図である。

【図 20】図 17 に示したタイミング制御回路を用いた本発明の液晶表示装置の駆動方法の第 6 の実施の形態を説明する図である。

【図 21】本発明の液晶表示装置の一実施例の全体構成図である。

【図 22】図 21 中の水平ドライバ回路の回路図である。

【図 23】図 21 及び図 22 の動作説明用タイミングチャートである。

【図 24】液晶表示装置の画素を構成する液晶素子の一例の構成図である。

【発明を実施するための形態】

【0029】

10

以下、図面を用いて本発明の実施の形態について説明する。

【0030】

図 1 は、本発明になる液晶表示装置における画素回路の第 1 の実施の形態の回路図、図 2 は、本発明になる液晶表示装置の第 1 の実施の形態の基本構成図を示す。両図中、同一構成部分には同一符号を付してある。

【0031】

本実施の形態の液晶表示装置における各画素は、図 1 に示す画素回路で表される。なお、本明細書において、画素回路は、画素を等価回路で表したものをいい、両者は実質的には同じである。図 1 に示すように、本実施の形態の一つの画素回路は、ゲート線 8 - 1 にゲートがそれぞれ接続された画素選択トランジスタ Q 1 及び Q 2 と、画素選択トランジスタ Q 1、Q 2 の各ソースに一端がそれぞれ接続され、他端が共通電極線 7 に共通に接続された保持容量（キャパシタ）C 1 及び C 2 と、画素選択トランジスタ Q 1 と保持容量 C 1 との接続点、及び画素選択トランジスタ Q 2 と保持容量 C 2 との接続点に入力端がそれぞれ接続されたバッファアンプ A 1 及び A 2 と、バッファアンプ A 1 及び A 2 の各出力端に一端が接続された切り替えスイッチ S 1 及び S 2 と、切り替えスイッチ S 1 及び S 2 の各他端の共通接続点と共通電極線 7 との間に接続された液晶駆動用の保持容量 C 3 と、反射電極（以下、画素駆動電極ともいう）4 とで構成されている。画素選択トランジスタ Q 1 及び Q 2 の各ドレインは、データ線 6 - 1 a 及び 6 - 1 b に別々に接続されている。

20

【0032】

また、各画素の液晶素子は、図 24 に示した周知の構造の液晶素子で、上記の反射電極 4 に相当する画素駆動電極 P E と、上記の画素駆動電極 P E に対向する対向電極に相当する共通電極 C E との間に液晶表示体（液晶層）L C M が挟持された構造である。

30

【0033】

図 2 に示す本発明になる液晶表示装置の第 1 の実施の形態の基本構成は従来と同様である。ただし、本実施の形態では、図 2 に示すように、水平信号線と、データ線、スイッチはそれぞれ 2 系統設けられている。すなわち、本実施の形態は、水平方向駆動回路 10、垂直方向駆動回路 20、共通電極電圧に対して正側の映像信号 71 a と、負側の映像信号 71 b とを 2 系統のビデオスイッチ 1 - 1 a と 1 - 1 b、1 - 2 a と 1 - 2 b、・・・に別々に供給する 2 系統の水平信号線 5 a、5 b と、画素部 30 と、2 系統のデータ線 6 - 1 a と 6 - 1 b、6 - 2 a と 6 - 2 b、・・・、及びゲート線 8 - 1、8 - 2、・・・などから構成されている。

40

【0034】

なお、図 1、図 2 中で、各符号のハイフン後のサフィックス番号は、同一種類の構成要素で異なった位置にあることを示している。また、サフィックス番号に続くアルファベットの小文字 a は 2 系統のうちの 1 系統目、b は 2 系統目であることを示す。なお、図 2 は構成要素全体の一部を示したものである。

【0035】

画素部 30 は、2 系統のデータ線（6 - 1 a と 6 - 1 b、・・・）とゲート線（8 - 1、8 - 2、・・・）の交差部にマトリクス状に配置された、それぞれ図 1 の回路構成の画素 41、42、51、52 等からなる。水平方向駆動回路 10 は 2 系統のスイッチ 1 - 1

50

a、1 - 1 bと2系統のデ - タ線6 - 1 a、6 - 1 bを介して第1列目の画素4 1、5 1、・・・の画素選択トランジスタQ 1、Q 2のドレインにそれぞれ接続されている。

【0036】

同様に、水平方向駆動回路10は、2系統のスイッチ1 - 2 a、1 - 2 bと2系統のデ - タ線6 - 2 a、6 - 2 bを介して第2列目の画素4 2、5 2、・・・の画素選択トランジスタQ 1、Q 2のドレインにそれぞれ接続され、第3列目以降の画素の2つの画素選択トランジスタのドレインにも同様に2系統のスイッチと2系統のデ - タ線を介してそれぞれ接続されている。

【0037】

垂直方向駆動回路20は、ゲ - ト線8 - 1を介して画素部30内の第1行目の画素4 1、4 2、・・・のそれぞれ2つの画素選択トランジスタQ 1及びQ 2のゲ - トに共通接続されている。同様に、垂直方向駆動回路20は、各ゲ - ト線を介して画素部30内の同じ行の画素のそれぞれ2つの画素選択トランジスタのゲ - トに共通接続されている。

【0038】

また、コントロ - ラ60は、入力映像信号7 1 a、7 1 bに同期するように生成した各種クロック信号を水平方向駆動回路10と垂直方向駆動回路20に供給し（経路は図示せず）、入力映像信号7 1 a、7 1 bと同期した形でデ - タ線（6 - 1 a、6 - 1 b、・・・）、ゲ - ト線（8 - 1、8 - 2、・・・）をそれぞれ駆動することで、水平と垂直の各走査を伴った画素選択を行う。これにより、本実施の形態では、液晶の交流駆動を高速に行うことが可能になる。

【0039】

次に、図1に示す第1の実施の形態の画素回路の動作について説明する。デ - タ線6 - 1 aは、液晶の共通電極電圧に対して正側の映像信号7 1 aを供給する。また、これと同時に、デ - タ線6 - 1 bは、共通電極電圧に対して負側の映像信号7 1 bを供給する。画素選択トランジスタQ 1及びQ 2は、ゲ - ト線8 - 1を介してゲ - トに印加される電圧により同時にオンになる。これにより、デ - タ線6 - 1 aから供給される正側の映像信号7 1 aが、画素選択トランジスタQ 1のドレイン、ソ - スを介して保持容量C 1に書き込まれる。一方、これと同時に、デ - タ線6 - 1 bから供給される負側の映像信号7 1 bが、画素選択トランジスタQ 2のドレイン、ソ - スを介して保持容量C 2に書き込まれる。

【0040】

続いて、画素選択トランジスタQ 1及びQ 2は、ゲ - ト線8 - 1を介してゲ - トに印加される電圧により同時にオフになる。これにより、画素選択トランジスタQ 1及びQ 2が次にオンとなる次の映像信号7 1 a、7 1 bの書き込みまで、保持容量C 1、C 2に正側と負側の映像信号7 1 a、7 1 bがそれぞれ保持される。

【0041】

保持容量C 1、C 2にそれぞれ保持された正側と負側の映像信号7 1 a、7 1 bは、それぞれ高入力抵抗のインピ - ダンス変換回路であるバッファアンプA 1、A 2を介して読み出され、切り替えスイッチS 1、S 2で交互に選択されて、反射電極4（画素駆動電極P E）の電圧を変化させることで液晶を交流駆動する。

【0042】

この画素構成によれば、1フレ - ムに1度、正側と負側の映像信号7 1 a、7 1 bを保持容量C 1、C 2に書き込んでしまえば、次のフレ - ムの映像信号が書き込まれるまでの1フレ - ム期間、何回でも切り替えスイッチS 1及びS 2を交互に切り替えて液晶を交流駆動できる。

【0043】

つまり、図1の本実施の形態の画素回路によれば、映像信号の書き込み周期とは独立に液晶を、例えばフレ - ム周波数の数十倍の高周波数で交流駆動することが可能になる。これにより、本実施の形態は、焼き付き防止、信頼性向上、シミ・ムラなどが見えない表示品位の向上、などの効果が得られる。また、本実施の形態では、極性反転に合わせて、液晶の共通電極の電圧を振る（変える）ことが可能になり、信号電圧を従来の半分以下にす

10

20

30

40

50

ることも可能になる。

【 0 0 4 4 】

また、本実施の形態の液晶表示装置を標準のCMOSプロセスを用いて作製することができるので、1画素に2つの選択画素トランジスタQ1及びQ2、2つのバッファアンプA1及びA2、2つの切り替えスイッチS1及びS2、2つの保持容量C1及びC2が存在し、素子数が比較的多くても、この素子数の増加が必ずしもコストアップにはならない。

【 0 0 4 5 】

ここで、各画素にはバッファアンプA1及びA2があり、小電流といえどもここに直流電流を流し続けると、液晶駆動素子全体としては100万画素以上あるのが普通なので、消費電力増加や発熱などの悪影響も考えられる。

10

【 0 0 4 6 】

この防止策として、バッファアンプA1及びA2や切り替えスイッチS1及びS2は、信号読み出しに必要な期間だけイネ－ブルするパルス駆動を行うのが有効である。保持容量C3はこの動作を行わせるためのもので、イネ－ブル期間にはオンとされた切り替えスイッチS1又はS2を通した信号を保持容量C3に書き込み、どちらもオフの時には書き込まれた信号を保持容量C3に保持しつつ液晶を駆動する。これにより、消費電力の大幅な増加を抑えつつ、従来よりも高い周波数で液晶を交流駆動することができ、前述したような多くの効果が得られる。

【 0 0 4 7 】

20

図3は、図1に示した本発明になる液晶表示装置の第1の実施の形態の一つの画素をより詳細に表した詳細回路図を示す。図3に示すように、本実施形態の液晶表示装置の一つの画素は、正極性、負極性の画素信号を書き込むための画素選択トランジスタQ1及びQ2と、各々の極性の画像信号電圧を並列的に保持する独立した2つの保持容量Cs1及びCs2(図1のC1、C2に相当)と、トランジスタQ3～Q8と、画素駆動電極PEと共通電極CEとの間に液晶表示体(液晶層)LCMが挟持された構造の、図24に示したと同じ構成の液晶素子とからなる。

【 0 0 4 8 】

トランジスタQ3及びQ7からなるインピ－ダンス変換用ソ－スフォロワ回路は、図1のバッファアンプA1を構成している。トランジスタQ4及びQ8からなるインピ－ダンス変換用ソ－スフォロワ回路は、図1のバッファアンプA2を構成している。また、トランジスタQ3のソ－スにドレインが接続されたトランジスタQ5と、トランジスタQ4のソ－スにドレインが接続されたトランジスタQ6とは、それぞれ図1の切り替えスイッチS1、S2に相当するスイッチングトランジスタである。トランジスタQ5及びQ6の各ソ－スは液晶素子の画素駆動電極PEに接続されている。

30

【 0 0 4 9 】

なお、図1の保持容量C3は図3には図示されていない。保持容量C3は、トランジスタQ5及びQ6の寄生容量や液晶の寄生容量で代用することが可能であり、また画素駆動電極PEのノ－ドのリ－ク電流が十分に小さい場合は作成しなくてもよいためである。

【 0 0 5 0 】

40

画素部デ－タ線は、各画素回路について正極性用デ－タ線D+、負極性用デ－タ線D-の2本一組で構成され、図示しないデ－タ線駆動回路でサンプリングされた互いに極性の異なる映像信号が供給される。画素選択トランジスタQ1、Q2の各ドレイン端子は各々正極性用デ－タ線Di+(図1の6-1aに相当)、負極性用デ－タ線Di-(図1の6-1bに相当)に接続され、各ゲ－ト端子は同一行について行走査線Gj(図1のゲ－ト線8-1に相当)に共通に接続されている。

【 0 0 5 1 】

画素選択トランジスタQ1、Q2は、それらのゲ－トに図示しない垂直走査回路より走査パルスが共通の行走査線Gjを介して供給されると、同時にオンとなる。オンとされた画素選択トランジスタQ1は、正極性用デ－タ線Di+を介して入力される正極性の信号

50

電圧を保持容量 C_{s1} に印加して蓄積する。また、オンとされた画素選択トランジスタ Q_2 は、負極性用デ - タ線 D_i - を介して入力される負極性の信号電圧を保持容量 C_{s2} に印加して蓄積する。

【0052】

トランジスタ Q_3 及び Q_7 からなる回路部と、トランジスタ Q_4 及び Q_8 からなる回路部は、それぞれ所謂ソ - スフォロワ・バッファであり、トランジスタ Q_3 、 Q_4 が信号入力トランジスタ、トランジスタ Q_7 、 Q_8 が定電流源負荷として機能する。定電流源負荷用トランジスタ Q_7 、 Q_8 は、ゲ - トが同一行画素について行方向配線 B に共通配線され、定電流負荷のバイアス制御が可能な構成となっている。MOS型トランジスタ Q_3 、 Q_7 、 Q_4 、 Q_8 によるソ - スフォロワ・バッファの入力抵抗はほぼ無限大である。このため、従来のアクティブマトリクス型液晶表示装置と同様に、保持容量 C_{s1} 、 C_{s2} の蓄積電荷はリ - クすることなく、1 垂直走査期間後に保持容量 C_{s1} 、 C_{s2} に信号電圧が新たに書き込まれるまで保持される。

10

【0053】

スイッチングトランジスタ Q_5 、 Q_6 は、ソ - スフォロワ・バッファの出力信号を反射電極（画素駆動電極） PE 、液晶表示体 LCM 及び共通電極 CE からなる液晶素子にスイッチして送出する。正極性信号のスイッチングを行うトランジスタ Q_5 と、負極性信号のスイッチングを行うトランジスタ Q_6 の各々のゲ - ト端子は独立しており、各々が同一行画素について行方向の配線 $S+$ 、 $S-$ に接続されている。

【0054】

20

この配線 $S+$ 、 $S-$ に交互に供給されるゲ - ト制御信号は、スイッチングトランジスタ Q_5 、 Q_6 を交互にオン状態とする。スイッチングトランジスタ Q_5 がオン状態のときは、保持容量 C_{s1} に保持されている正極性の信号電圧が、トランジスタ Q_3 及び Q_7 からなるソ - スフォロワ・バッファと、トランジスタ Q_5 のドレイン・ソ - スを通して液晶素子の画素駆動電極 PE に印加される。また、スイッチングトランジスタ Q_6 がオン状態のときは、保持容量 C_{s2} に保持されている負極性の信号電圧が、トランジスタ Q_4 及び Q_8 からなるソ - スフォロワ・バッファと、トランジスタ Q_6 のドレイン・ソ - スを通して液晶素子の画素駆動電極 PE に印加される。

【0055】

ここで、配線 $S+$ 、 $S-$ に供給される 2 つのゲ - ト制御信号は、1 垂直走査周期よりも短い所定の周期で、かつ、互いに相反する論理値のパルス列である。従って、本実施の形態の画素中の液晶素子は、その画素駆動電極 PE に対して、2 つのゲ - ト制御信号に同期して正極性、負極性に交互に反転する液晶駆動信号が与えられる。従来のアクティブマトリクス型液晶表示装置では、垂直走査周期でしか極性反転を実現できなかった。これに対し、本実施の形態では上記のように画素回路そのものに極性反転機能を備えているため、液晶素子に対して、2 つのゲ - ト制御信号に同期した、垂直走査周波数の制約のない、高い周波数での交流駆動が可能である。

30

【0056】

なお、画素回路は、図 3 の構成に限定されるものではなく、図 4 に示す構成でもよい。図 4 に示す画素回路は、ソ - スフォロワ・バッファを形成する定電流負荷用トランジスタ Q_9 が、極性切り替えスイッチングトランジスタ Q_5 、 Q_6 の後段、すなわち画素駆動電極 PE のノ - ドに配置され、正極性・負極性のソ - スフォロワ回路双方の負荷として共通に機能する構成となっている点にある。

40

【0057】

次に、本発明になる液晶表示装置の交流駆動制御の概要について説明する。図 5 は、本発明になる液晶表示装置の交流駆動制御の概要を説明するためのタイミングチャ - トを示す。図 5 (A) は、垂直同期信号 VD を示し、図 5 (B) は、図 3、図 4 の画素回路におけるトランジスタ Q_7 、 Q_8 のゲ - トに印加される配線 B の負荷特性制御信号を示す。また、図 5 (C) は、上記画素回路における正極性側駆動電圧を転送するスイッチングトランジスタ Q_5 のゲ - トに印加される配線 $S+$ のゲ - ト制御信号、同図 (D) は、上記画素

50

回路における負極性側駆動電圧を転送するスイッチングトランジスタQ6のゲートに印加される配線S-のゲート制御信号の各信号波形を示す。トランジスタQ7、Q8は、前述したように画素回路におけるソースフォロワ・バッファ回路の定電流負荷である。

【0058】

なお、図6は、画素に書込まれる正極性映像信号Iと、負極性映像信号IIの黒レベルから白レベルまでの関係を示す。正極性映像信号Iは、レベルが最小のとき黒レベル、最大のとき白レベルであるのに対し、負極性映像信号IIは、レベルが最小のとき白レベル、最大のとき黒レベルである。正極性映像信号Iと負極性映像信号IIの反転中心は、IIIで示される。

【0059】

10

図6では、正極性映像信号Iは、レベルが最小のとき黒レベル、最大のとき白レベルで、負極性映像信号IIは、レベルが最小のとき白レベル、最大のとき黒レベルの場合を示しているが、本発明の液晶表示装置の画素回路では、正極性映像信号Iは、レベルが最小のとき白レベル、最大のとき黒レベルで、負極性映像信号IIは、レベルが最小のとき黒レベル、最大のとき白レベルであってもよい。

【0060】

前記図3や図4で示した画素回路において、図5(C)に示す配線S+のゲート制御信号がハイレベルの期間、正極性側スイッチングトランジスタQ5がオンとなる。このトランジスタQ5がオンの期間に配線Bに供給される負荷特性制御信号を図5(B)に示すようにハイレベルとすると、ソースフォロワ・バッファ回路がアクティブとなる。これにより、画素駆動電極PEノードは、保持容量Cs1に保持されている正極性の映像信号レベルが、アクティブとされたソースフォロワ・バッファ回路を通して充電される。画素駆動電極PEの電位が完全に充電された状態となった時点で、配線Bの負荷特性制御信号をロレベルとし、かつ、そのとき配線S+のゲート制御信号もロレベルに切り替えると、画素駆動電極PEはフロティングとなり、液晶容量に正極性駆動電圧が保持される。

20

【0061】

一方、図5(D)に示す配線S-のゲート制御信号がハイレベルの期間、負極性側スイッチングトランジスタQ6がオンとなる。このトランジスタQ6がオンの期間に配線Bに供給される負荷特性制御信号を同図(B)に示すようにハイレベルとすると、ソースフォロワ・バッファ回路がアクティブとなる。これにより、画素駆動電極PEノードは、保持容量Cs2に保持されている負極性の映像信号レベルが、アクティブとされたソースフォロワ・バッファ回路を通して充電される。画素駆動電極PEの電位が完全に充電された状態となった時点で、配線Bの負荷特性制御信号をロレベルとし、かつ、そのとき配線S-のゲート制御信号もロレベルに切り替えると、画素駆動電極PEはフロティングとなり、液晶容量に負極性駆動電圧が保持される。

30

【0062】

以下、上記のスイッチングトランジスタQ5及びQ6を交互にオンとするスイッチングに同期して、図3の定電流負荷トランジスタQ7及びQ8、又は図4の定電流負荷トランジスタQ9を間欠的にアクティブとする動作を繰り返すことで液晶素子の画素駆動電極PEには正極性と負極性の各映像信号で交流化された駆動電圧VPEが図5(E)に示すように印加される。

40

【0063】

本実施の形態では、保持容量Cs1、Cs2の保持電荷を直接に画素駆動電極PEに転送するのではなく、アクティブとされたソースフォロワ・バッファ回路を介して電圧を画素駆動電極PEに供給する構成のため、正負極性での繰り返し充放電を行っても電荷の中和の問題はなく、極性切り替えを多数回行っても電圧レベルの減衰がない駆動が実現できる。

【0064】

また、図5(F)に示すVcomは、液晶表示装置の対向基板に形成した共通電極CEに印加する電圧を表している。液晶表示体LCMの実質的な交流駆動電圧は、この共通電極CEの印加電圧Vcomと画素駆動電極PEの印加電圧VPEとの差電圧である。本実施の

50

形態では、図5(F)に示すように、共通電極CEの印加電圧 V_{com} は、画素駆動電極電圧 V_{PE} の反転基準レベル V_c とほぼ等しい基準レベルに対して、配線 S_+ 、 S_- のゲート制御信号による画素極性切り替えと同期して反転されている。これにより、共通電極CEの印加電圧 V_{com} と画素駆動電極PEの印加電圧 V_{PE} との電位差の絶対値が常に同一となり、液晶表示体LCMには図5(G)に示すような直流成分のない交流電圧 V_{LC} が印加される。この共通電極CEの印加電圧 V_{com} は、図2に示したコントローラ60より出力される。

【0065】

このように、本実施の形態は、共通電極CEの印加電圧 V_{com} を画素駆動電極PEと逆相で切り替えることによって、画素(PE)側の駆動電圧の振幅を1/2程度以下に低減できる。これより、画素回路や周辺走査回路を構成するトランジスタの必要耐圧が大幅に低減され、特殊な高耐圧構造、プロセスの適用が不要となり、装置コストが低減できる。また、本実施の形態では、上記のように低耐圧、小型トランジスタで画素回路などの駆動部が構成できるため、より高画素密度の液晶表示装置が実現でき、トランジスタ耐圧の低減により単位チャンネル幅あたりの駆動能力の高いトランジスタの採用が可能となるため、高速駆動動作への対応が容易となる、という効果が得られる。

【0066】

また、本実施の形態では、図5(A)に示すように、配線Bの負荷特性制御信号をパルス列として、ソースフォロワ・バッファ回路の定電流負荷トランジスタ(図3のQ7、Q8)を常時アクティブにせず、極性切り替え用スイッチングトランジスタ(図3のQ5、Q6)の導通期間の内の限られた期間でのみアクティブになるように制御を行っている。液晶表示装置での消費電流低減を考慮したためである。例えば、1画素回路あたりの定常的なソースフォロワ・バッファ回路の電流が $1\mu A$ の微少電流であったとしても、液晶表示装置の全画素が定常的に電流を消費する条件では多大な消費電流となってしまう、という問題がある。例えば、フルハイビジョン(200万画素)の液晶表示装置では、消費電流が2Aにも達してしまう。

【0067】

そのため、本実施の形態では、図5(A)~(C)に示したように、配線 S_+ 、 S_- を介して供給されるゲート制御信号がハイレベルである極性切り替え用スイッチングトランジスタ(Q5、Q6)の導通期間内のみ、配線Bを介して供給される負荷特性制御信号をハイレベルとしてソースフォロワ・バッファ回路の定電流負荷トランジスタ(図3のQ7、Q8)の駆動期間を制限している。

【0068】

これにより、本実施の形態では、液晶素子の電極電圧 V_{PE} が図5(E)に示すように目標レベルまで充放電された直後には、即座に負荷特性制御信号をロレベルとして定電流負荷トランジスタ(Q7、Q8)をオフし、ソースフォロワ・バッファ回路の電流を停止することができる。従って、本実施の形態によれば、全画素にバッファアンプを備えた構成でありながら、実質的な消費電流を小さく抑えることが可能である。

【0069】

次に、ソースフォロワ・バッファ回路の他の制御手段について、図7及び図8を用いて説明する。

【0070】

図7は、本発明になる液晶表示装置の他の実施の形態の要部の構成図を示す。この実施の形態は、極性反転制御及びソースフォロワ・バッファ回路のアクティブ制御を画面の垂直方向について時間差を持たせて実現する実施の形態である。図5のタイミングチャートと共に説明した実施の形態では、ソースフォロワ・バッファ回路に定常的に電流が流れないように、間欠的なアクティブ制御を行う例について述べた。これに対し、図7に示す本実施の形態の液晶表示装置では、さらに、全画素が同時にオン状態とならないような制御手段を設けたことを特徴とする。

【0071】

図 7 に示すように、本実施の形態は、図 2 の画素部 3 0 が垂直方向に h 分割 (h は 2 以上の自然数) された分割画素部 9 0 - 1、9 0 - 2、 $\dots$ 、9 0 - h と、配線 $S+$ の極性切替用ゲート制御信号、配線 $S-$ の極性切替用ゲート制御信号、配線 B の負荷特性制御信号をそれぞれ同じシフトクロック SCK に同期してシフトする h 段のシフトレジスタ 9 1 a、9 1 b 及び 9 1 c とを有する構成である。シフトレジスタ 9 1 a、9 1 b 及び 9 1 c は、それぞれ図 2 に示した垂直方向駆動回路 2 0 に相当する。なお、図 7 には、ソースフォロワ・バッファ回路のアクティブ制御に必要な回路部のみを図示してあり、水平方向駆動回路 1 0 等の図示は省略してある。

【0072】

分割画素部 9 0 - 1、9 0 - 2、 $\dots$ 及び 9 0 - h のそれぞれは、画素部の複数行を 1 グループとするグループ # 1、# 2、 $\dots$ 及び # h の分割画素部である。シフトレジスタ 9 1 a は、分割画素部 9 0 - 1、9 0 - 2、 $\dots$ 及び 9 0 - h の各入力端子 $S+(1)$ 、 $S+(2)$ 、 $\dots$ 及び $S+(h)$ に、配線 $S+$ の極性切替用ゲート制御信号 (以下、正極性スイッチ制御信号ともいう) を 1 段目、2 段目、 $\dots$ h 段目の出力端子から供給する。また、シフトレジスタ 9 1 b は、分割画素部 9 0 - 1、9 0 - 2、 $\dots$ 及び 9 0 - h の各入力端子 $S-(1)$ 、 $S-(2)$ 、 $\dots$ 及び $S-(h)$ に、配線 $S-$ の極性切替用ゲート制御信号 (以下、負極性スイッチ制御信号ともいう) を 1 段目、2 段目、 $\dots$ h 段目の出力端子から供給する。更に、シフトレジスタ 9 1 c は、分割画素部 9 0 - 1、9 0 - 2、 $\dots$ 及び 9 0 - h の各入力端子 $B(1)$ 、 $B(2)$ 、 $\dots$ 及び $B(h)$ に、配線 B の負荷特性制御信号を 1 段目、2 段目、 $\dots$ h 段目の出力端子から供給する。

【0073】

図 8 は、図 7 の各部の信号のタイミングチャートを示す。図 8 (A) はシフトレジスタ 9 1 a、9 1 b 及び 9 1 c に供給されるシフトクロック SCK を示す。このシフトクロック SCK に同期してシフトレジスタ 9 1 a は、図 8 (B) に示す配線 $S+$ の極性切替用ゲート制御信号をシフトして 1 段目、2 段目、 h 段目の出力端子から図 8 (C)、(D)、(E) に示すゲート制御信号を出力し、分割画素部 9 0 - 1、9 0 - 2、9 0 - h の各入力端子 $S+(1)$ 、 $S+(2)$ 、 $S+(h)$ に供給する。

【0074】

同様に、シフトレジスタ 9 1 b は、図 8 (F) に示す配線 $S-$ の極性切替用ゲート制御信号をシフトして 1 段目、2 段目、 h 段目の出力端子から図 8 (G)、(H)、(I) に示すゲート制御信号を出力し、分割画素部 9 0 - 1、9 0 - 2、9 0 - h の各入力端子 $S-(1)$ 、 $S-(2)$ 、 $S-(h)$ に供給する。なお、シフトレジスタ 9 1 a に供給される配線 $S+$ の極性切替用ゲート制御信号と、シフトレジスタ 9 1 b に供給される配線 $S-$ の極性切替用ゲート制御信号とによる画素回路切り替え周期は、各分割画素部 9 0 - 1 ~ 9 0 - h それぞれの画素行 (ライン数) に対応している。

【0075】

更に、シフトレジスタ 9 1 c は、図 8 (J) に示す配線 B の負荷特性制御信号をシフトして 1 段目、2 段目、 h 段目の出力端子から図 8 (K)、(L)、(M) に示す負荷特性制御信号を出力し、分割画素部 9 0 - 1、9 0 - 2、9 0 - h の各入力端子 $B(1)$ 、 $B(2)$ 、 $B(h)$ に供給する。

【0076】

この実施の形態によれば、画面の垂直方向の分割グループについて、時間差を持たせた極性反転とバッファアクティブ制御とが可能となり、電流値が時間的に分散、平均化するため、瞬時過大電流による誤動作や故障などを回避できる。制御の時間差の影響が表示特性に影響しないようにするには、シフトクロック SCK の周波数を極性反転周波数に対して十分高い周波数に選定すればよい。

【0077】

以上説明した各実施形態の液晶表示装置によれば、液晶の交流駆動周波数は、垂直走査周波数によらず、画素回路での反転制御周期で自由に設定することができる。例えば、垂直走査周波数が一般的なテレビ映像信号で用いられる 60 Hz で、走査線数が 1125 ラ

10

20

30

40

50

インで構成されているとし、画素回路の極性切り替えを15ライン期間程度の周期で行うとすれば、以上説明した本発明の液晶表示装置の液晶素子の交流駆動周波数は、 $2.25 \text{ kHz} (= 60 (\text{Hz}) \times 1125 \div (15 \times 2))$ となる。

【0078】

一方、フレムメモリで映像信号の垂直走査周波数60Hzを2倍の120Hzに変換し、垂直走査周期毎に映像信号の極性反転を行う従来のアクティブマトリクス型液晶表示装置の液晶素子の交流駆動周波数は、変換後の周波数の1/2倍の60Hzである。このような液晶素子の交流駆動周波数が数十Hz~100Hz台程度の駆動条件では、液晶素子に残留電荷の影響が発生し易く信頼性や安定性に問題があり、また液晶材料特性にイオン成分や異物混入などによるシミ状の表示欠陥に起因する表示品位低下の影響が顕著に現れる傾向にある。

10

【0079】

これに対し、本発明のアクティブマトリクス型の液晶表示装置の液晶素子の上記の交流駆動周波数は、従来のアクティブマトリクス型の液晶表示装置の液晶素子の交流駆動周波数である60Hzと比較して飛躍的に高い周波数であるため、本発明の液晶表示装置によれば、従来の液晶表示装置に比べて信頼性・安定性やシミなどの表示品位低下などを大幅に改善することが可能となる。

【0080】

しかしながら、本発明になる液晶表示装置では、上記のように液晶素子の交流駆動周波数を飛躍的に高い周波数にすることができる反面、各画素内に、図1、図3又は図4に示すように、二つの保持容量C1及びC2（又は、Cs1及びCs2）を設ける必要があるため、図24に示した画素回路に比べて画素回路内のトランジスタ数が7倍又は8倍程度に増加し、その結果配線密度が高い。このため、本発明になる液晶表示装置では、隣接配線の干渉ノイズ（以下、クロストークノイズと称す）の対策が必要となる場合がある。

20

【0081】

このクロストークノイズが画素内において存在する場合、正しい電圧が液晶素子に印加されず、それにより表示画像に悪影響を与えることが知られている。クロストークノイズは、隣接する配線の一方の信号変化が配線間容量を介して他方の信号に影響を及ぼすもので、平行配線長が長く配線間容量が大きい場合や、一方の信号変化が急激な場合に発生し易くなる。そのため、クロストークノイズを低減するには、隣接配線の配線間容量を小さくするか、あるいはノイズを与える側の信号変化を緩くする必要がある。

30

【0082】

隣接配線の配線間容量を小さくする方法は、隣接配線間距離を大きくする、あるいは別配線層に配線を移す、あるいはシールド配線を実施するなど、隣接するどちらかの配線経路を変更する必要がある。そのため、クロストークノイズ発生箇所の周辺の配線が混雑している場合は、配線経路を変更するための配線領域を十分確保することができず、クロストークノイズの改善が困難になるという問題が発生する。実際に、クロストークノイズが発生する配線は平行配線長が長い場合が多い。しかし、クロストークノイズの改善のために配線変更用の配線領域が全て確保される可能性が低い場合が多い。また、画素の微細化や高精細化が進むと、このような配線変更によるクロストーク対策はさらに困難なものとなる。

40

【0083】

また、ノイズを与える側の信号変化を緩くする方法は、クロストークノイズを与える側の駆動素子能力を小さくして信号変化を緩くする。この方法では、隣接配線の経路を変更する必要が殆ど無いため、周辺の配線が混雑している場合でも改善が可能である。しかし、この方法では、駆動素子電圧の変更に伴い多種類の駆動素子電圧が混在することで、プロセスの工程数が増加する。また、本発明になる液晶表示装置では画素への供給電圧が足りなくなるという致命的な課題があり、実現困難である。

【0084】

また、図7に示した本発明の液晶表示装置の第3の実施の形態において、図2の画素部

50

30を、それぞれ複数行を1グル-プとするグル-プ#1、#2、・・・及び#hの分割画素部90-1、90-2、・・・、90-hにh分割して、図8に示したタイミングチャ-トに従って順次に駆動制御すると、モニタ画面上では、図9に示すように、分割画素部90-1~90-hに対応した画像表示部93-1~93-hの、隣接する画像表示位置94-1~94-(h-1)において、表示画像上の不良(階調の変動)が発生することがある。この隣接する画像表示位置94-1~94-(h-1)は、配線S+、S-のゲ-ト制御信号や配線Bの負荷特性制御信号の極性切替行である。

【0085】

この極性切り替え行で発生する表示画像上の不良(階調の変動)は、上記のゲ-ト制御信号や負荷特性制御信号が、デ-タ線Di+、Di-のデ-タ信号にクロスト-クするためであると考えられる。図10(A)は、上記のデ-タ線Di-により伝送されるデ-タ信号(後述するランプ基準電圧)の波形を示し、その波形の95で示す部分が同図(B)に示す配線S-で伝送されるゲ-ト制御信号のクロスト-クにより若干変形している。上記の変形波形部分95は、ゲ-ト制御信号のパルス幅を狭くすることにより、ある程度の改善は見られるものの、完全にクロスト-クによる階調の変動をなくすことは不可能である。また、これは画素回路が図3(図1)、図4のいずれであっても共通の課題である。

【0086】

そこで、以下説明する本発明になる液晶表示装置の駆動方法の各実施の形態では、図3(図1)又は図4のように、複数の画素のそれぞれが複数のトランジスタを持つと共に、画素部が図7に示したように複数の分割画素部により分割された場合において、配線間のクロスト-クノイズが発生したり、デ-タ信号がクロスト-クにより変動した場合でも、トランジスタの駆動タイミングを最適化することで、表示画像の視覚上の悪影響を軽減又は除去するものである。

【0087】

図11は、本発明になる液晶表示装置の駆動方法の第1及び第2の実施の形態で用いるタイミング制御回路の回路図を示す。図11に示すタイミング制御回路140は、水平同期信号HDを分周する2n分周回路141と、カスケ-ド接続されたx+2個のD型フリップフロップ(以下、D-FF)142₁~142_{x+2}と、2段目~(x-1)段目のD-FFのQ出力信号を選択するセレクト回路143と、セレクト回路143の出力信号を反転するインバ-タ144と、(x+2)段目のD-FFのQ出力信号を反転するインバ-タ145と、2つの2入力AND回路146及び147と、x段目と(x+1)段目のD-FF142_x及び142_{x+1}の各Q出力信号の排他的論理和演算を行う排他的論理和(以下、EX-OR)回路148とから構成される。遅延回路149は、カスケ-ド接続されたx+2個のD-FF142₁~142_{x+2}のうち、2段目以降のD-FF142₂~142_{x+2}とセレクト回路143とからなる。

【0088】

2n分周回路141は、クロック入力を水平同期信号HD、リセット入力を垂直同期信号VDとするカウンタ回路であり、水平同期信号HDをn個カウントする毎にハイレベル又はロ-レベルに極性が反転する対称矩形波を発生する。この2n分周回路141は、垂直同期信号VDの入力毎にリセットされることから垂直走査と同期したカウンタ出力を得ることができる。

【0089】

2n分周回路141の分周比は、その分周出力の切り替わり周期が所望の極性反転周期となるように選択されている。これにより、2n分周回路141の分周出力信号を液晶駆動電圧の極性切り替えの基本タイミング信号として利用することができる。2n分周回路141から出力される対称矩形波は、水平、垂直走査タイミングと同期した共通電極電圧切り替え制御信号の原信号として、初段のD-FF142₁のデ-タ入力端子に印加される。

【0090】

また、図11中の遅延回路149は、D-FFの段数により一定期間信号を遅延させる

10

20

30

40

50

役割を果たし、水平同期信号HDと配線S+、S-の信号発生タイミングの位相を、この遅延回路149による遅延量分だけずらして設定することも可能である。この場合、遅延回路149の遅延量は、セクタ回路143によりD-FF142₂~142_{x-1}の各Q出力信号のうちの一つのQ出力信号を選択することで加減することができる。この遅延量の加減により、水平走査の動作タイミングと極性切り替え動作との同期を保ったまま相互位相を調整することが可能となり、映像信号走査と極性切り替え動作の相互干渉により発生するノイズが最も軽減される条件を選ぶことが可能になる。

【0091】

D-FF142₁~142_{x+2}のそれぞれは、1ビットラッチ回路であり、クロック端子には本実施の形態のタイミング制御の時間単位に相当する周期を有する基本クロックCLKが共通に入力される。また、D-FF142₁~142_{x+2}はシフトレジスタを構成する。そのシフトレジスタの初段のD-FF142₁のデータ入力端子Dには、2n分周回路141から出力される、共通電極電圧Vcomの極性切り替え周期と一致した制御タイミングパルスが供給され、これが各D-FF142₁~142_{x-1}のQ出力端子に1クロック時間単位ずつ遅延して出力される。また、セクタ回路143の出力信号は、3個のD-FF14x~142_{x+2}のQ出力端子から1クロック時間単位ずつ遅延して出力される。

【0092】

本実施の形態では、共通電極電圧Vcomの極性切り替えを画素駆動電極電圧VPEの極性切り替えに先行するように制御するので、初段のD-FF142₁のQ出力信号を共通電極電圧Vcomとする。また、AND回路146は、セクタ回路143の出力信号をインバタ144で論理反転した信号と、D-FF142_{x+2}のQ出力信号とを論理積演算して配線S+で伝送されるゲート制御信号（以下、正極性スイッチ制御信号ともいう）を出力する。また、AND回路147は、セクタ回路143の出力信号と、D-FF142_{x+2}のQ出力信号をインバタ145で論理反転した信号とを論理積演算して配線S-で伝送されるゲート制御信号（以下、負極性スイッチ制御信号ともいう）を出力する。

【0093】

更に、EX-OR回路148は、D-FF142_xのQ出力信号とD-FF142_{x+1}のQ出力信号とを排他的論理和演算して、画素回路のソースフォロワ・バッファ回路の定電流負荷トランジスタをアクティブとする配線Bの負荷特性制御信号を出力する。

【0094】

なお、画素回路のソースフォロワ・バッファ回路の定電流負荷トランジスタ（図3のQ7及びQ8、又は図4のQ9）をオンからオフに移行する制御は、画素極性切り替えスイッチ（図3、図4のQ5及びQ6）がオン状態を保っている期間に完了させる必要があることから、タイミング制御回路140は、定電流負荷トランジスタのオフタイミングを、x+1段目のD-FF142_{x+1}のQ出力信号から生成し、また、画素極性切り替えスイッチのオフタイミングはそれより遅延したx+2段目のD-FF142_{x+2}のQ出力信号から生成している。

【0095】

次に、上記の図11に示したタイミング制御回路140を用いて行う本発明の液晶表示装置の駆動方法の各実施の形態についてタイミングチャートと共に説明する。

【0096】

図12は、図11に示したタイミング制御回路140を用いた本発明になる液晶表示装置の駆動方法の第1の実施の形態を説明するタイミングチャートを示す。この実施の形態の駆動方法は、図7に示した本発明になる液晶表示装置の実施の形態のシフトレジスタ91a、91b及び91cにそれぞれ図12(A)に示すシフトクロックSCKを供給すると共に、図11に示したタイミング制御回路140の遅延回路149の遅延量を調整して、図12(J)に示す水平同期信号HDの水平ブランキング(HBLK)期間内で、図11のAND回路146から図12(B)に示す正極性スイッチ制御信号を出力し、かつ、図11のEX-OR回路148から図12(F)に示す負荷特性制御信号を出力する。

【0097】

なお、図 1 2 (B) に示す正極性スイッチ制御信号と、図 1 1 の A N D 回路 1 4 7 から出力される負極性スイッチ制御信号とは、図 7 に示した各分割画素部 9 0 - 1 ~ 9 0 - h のそれぞれの行数 (ライン数) に対応した水平走査期間毎に交互に出力される。また、図 1 2 (F) に示す負荷特性制御信号は、図 7 に示した各分割画素部 9 0 - 1 ~ 9 0 - h のそれぞれの行数 (ライン数) に対応した水平走査期間の周期で出力される。

【 0 0 9 8 】

これにより、図 7 に示したシフトレジスタ 9 1 a からは、図 1 2 (C)、(D)、(E) に示す正極性スイッチ制御信号が、分割画素部 9 0 - 1、9 0 - 2、9 0 - h の各入力端子 S+(1)、S+(2)、S+(h) に、各分割画素部 9 0 - 1 ~ 9 0 - h のそれぞれの行数 (ライン数) の 2 倍の値に対応した水平走査期間毎に供給される。また、図 7 に示したシフトレジスタ 9 1 c からは、図 1 2 (G)、(H)、(I) に示す負荷特性制御信号が、分割画素部 9 0 - 1、9 0 - 2、9 0 - h の各入力端子 B(1)、B(2)、B(h) に各分割画素部 9 0 - 1 ~ 9 0 - h のそれぞれの行数 (ライン数) に対応した水平走査期間毎に供給される。

【 0 0 9 9 】

また、図 1 2 では図示を省略したが、正極性スイッチ制御信号が出力されない期間で、かつ、H . B L K 期間内で、各分割画素部 9 0 - 1 ~ 9 0 - h のそれぞれの行数 (ライン数) の 2 倍の値に対応した水平走査期間毎に図 1 1 の A N D 回路 1 4 7 から負極性スイッチ制御信号が出力されて図 7 のシフトレジスタ 9 1 b に供給される。これにより、図 7 に示した分割画素部 9 0 - 1 ~ 9 0 - h の各入力端子 S-(1) ~ S-(h) には、時分割で、かつ、正極性スイッチ制御信号が出力されない別の H . B L K 期間内で負極性制御信号が供給される。

【 0 1 0 0 】

なお、図 1 2 (K) に示すランプ波形は、デジタル映像信号をアナログ映像信号に変換して、図 3 等 に示した正極性用デ - タ線 D i + に供給するために用いられる、一定傾斜の正極性用基準ランプ電圧であり、その詳細については後述する。なお、同様の表示するデジタル映像信号をアナログ映像信号に変換して、図 3 等 に示した負極性用デ - タ線 D i - に供給するために用いられる基準ランプ電圧は図 1 2 では図示を省略してある。

【 0 1 0 1 】

この実施の形態の駆動方法によれば、クロスト - クにより基準ランプ電圧が変動して、正極性用デ - タ線 D i + に供給される正極性映像信号及び負極性用デ - タ線 D i - に供給される負極性映像信号が変動したとしても、H . B L K 期間内でランプ波形が本来の波形に戻っていれば、正しい映像信号を書き込むことができる。これにより、図 9 に示した分割画素部 9 0 - 1 ~ 9 0 - h に対応した画像表示部 9 3 - 1 ~ 9 3 - h の、隣接する画像表示位置 9 4 - 1 ~ 9 4 - (h-1) において、表示画像上の不良 (階調の変動) が発生しても、本実施の形態では、クロスト - クによる影響は H . B L K 期間内であるので、表示画像の視覚上の画質劣化を除去することができる。

【 0 1 0 2 】

図 1 3 は、図 1 1 に示したタイミング制御回路を用いた本発明になる液晶表示装置の駆動方法の第 2 の実施の形態を説明するタイミングチャ - トを示す。

【 0 1 0 3 】

この実施の形態の駆動方法は、図 7 に示した本発明になる液晶表示装置の第 3 の実施の形態のシフトレジスタ 9 1 a、9 1 b 及び 9 1 c にそれぞれ図 1 3 (A) に示すシフトクロック S C K を供給すると共に、図 1 1 の A N D 回路 1 4 6 から図 1 3 (B) に示す正極性スイッチ制御信号を出力し、かつ、図 1 1 の E X - O R 回路 1 4 8 から図 1 3 (F) に示す負荷特性制御信号を出力する。

【 0 1 0 4 】

これにより、図 7 に示したシフトレジスタ 9 1 a からは、図 1 3 (C)、(D)、(E) に示す正極性スイッチ制御信号が、分割画素部 9 0 - 1、9 0 - 2、9 0 - h の各入力端子 S+(1)、S+(2)、S+(h) に供給される。また、図 7 に示したシフトレジスタ 9 1 c からは、図 1 3 (G)、(H)、(I) に示す負荷特性制御信号が、分割画素部 9 0 - 1、9

10

20

30

40

50

0 - 2、90 - hの各入力端子B(1)、B(2)、B(h)に、各分割画素部90 - 1 ~ 90 - hのそれぞれの行数(ライン数)に対応した水平走査期間毎に供給される。

【0105】

また、図13では図示を省略したが、図11のAND回路147から負極性スイッチ制御信号が出力されて図7のシフトレジスタ91bに供給される。なお、図13(B)に示す正極性スイッチ制御信号と、図11のAND回路147から出力される上記の負極性スイッチ制御信号とは、図7に示した各分割画素部90 - 1 ~ 90 - hのそれぞれの行数(ライン数)に対応した水平走査期間毎に交互に出力される。また、図13(F)に示す負荷特性制御信号は、図7に示した各分割画素部90 - 1 ~ 90 - hのそれぞれの行数(ライン数)に対応した水平走査期間の周期で出力される。また、図13(K)は、後述する正極性映像信号用の基準ランプ電圧を示す。

10

【0106】

ところで、図12と共に説明した上記の本発明の駆動方法の第1の実施の形態では、H・BLK期間内に正極性スイッチ制御信号、負極性スイッチ制御信号、及び負荷特性制御信号を転送する必要があるため、十分高いシフトクロック周波数を選択する必要がある。ところが、動画応答などの改善を目的として垂直走査周波数が60Hzから120Hz、240Hzとなった場合や、ビット深度の向上が図られた場合などには、十分な時間のH・BLK期間を確保できない場合がある。

【0107】

そこで、図13に示すタイミングチャートの本発明の駆動方法の第2の実施の形態では、図11に示したタイミング制御回路140の遅延回路149の遅延量を調整して、正極性スイッチ制御信号、負極性スイッチ制御信号、及び負荷特性制御信号を1水平走査期間において、図13(K)に示すように基準ランプ電圧の中間点X以降(高輝度側の階調)に転送する。

20

【0108】

これにより、本実施の形態の駆動方法によれば、高周波化に伴う上記の時間的課題が解決される。また、本実施の形態の駆動方法によれば、正極性スイッチ制御信号、負極性スイッチ制御信号、及び負荷特性制御信号の切り替えに伴い発生するクロストークノイズにより基準ランプ電圧が変動して、図9に示した分割画素部90 - 1 ~ 90 - hに対応した画像表示部93 - 1 ~ 93 - hの、隣接する画像表示位置94 - 1 ~ 94 - (h-1)において、表示画像の階調が変動しても、その変動する階調は高輝度側の階調となるため人の目に視認されにくいものとなる。

30

【0109】

ところで、上記の本発明になる液晶表示装置では、液晶素子の交流駆動周波数は画素回路での反転制御周期で自由に設定することができる。例えば、垂直走査周波数が一般的なテレビ映像信号で用いられる60Hzで、フルハイビジョンの走査線数が1125ラインで構成されているとする。画素回路の極性切り替えを15ライン期間程度の周期で行うとすれば、図7に示した分割画素部90 - 1 ~ 90 - hのそれぞれは、15ラインの画素から構成され、各分割画素部90 - 1 ~ 90 - hの液晶素子の交流駆動周波数は2.25($= 60(\text{Hz}) \times 1125 \div (15 \times 2)$)kHzとなり、このとき正極性スイッチ制御信号、負極性スイッチ制御信号も15ラインに1回転送することとなる。

40

【0110】

この場合、図9と共に説明したように、正極性スイッチ制御信号、負極性スイッチ制御信号のクロストークにより、15ラインに1回、隣接する画像表示位置94 - 1 ~ 94 - (h-1)において、基準ランプ電圧が変動した階調が横縞として表示されることとなる。

【0111】

そこで、次に、この現象を解決した本発明になる液晶表示装置の駆動方法の第3の実施の形態について説明する。図14は、本発明になる液晶表示装置の駆動方法の第3の実施の形態で用いるタイミング制御回路の回路図を示す。図14に示すタイミング制御回路150は、水平同期信号HDを分周する2n分周回路151と、カスケード接続されたx個

50

のD型フリップフロップ(以下、D - F F) 1 5 2₁ ~ 1 5 2_xと、D - F F) 1 5 2₁のQ出力信号を論理反転するインバ - タ1 5 3と、AND回路1 5 4と、3段目 ~ (x - 2)段目のD - F FのQ出力信号を選択するセクタ回路1 5 5と、排他的論理和回路(E X - O R)回路1 5 6と、セクタ回路1 5 5の出力信号とx - 1段目及び最終のx段目のD - F F 1 5 2_{x-1}及び1 5 2_xの各Q出力信号の論理和演算を行うOR回路1 5 7と、2n分周回路1 5 1の出力信号を論理反転するインバ - タ1 5 8と、OR回路1 5 7の出力信号のスイッチングを行う2つのセクタ回路1 5 9及び1 6 0とから構成される。遅延回路1 6 1は、カスケ - ド接続されたx個のD - F F 1 4 2₁ ~ 1 4 2_xのうち、3段目以降のD - F F 1 4 2₃ ~ 1 4 2_xとセクタ回路1 5 5とからなる。

【0 1 1 2】

10

2n分周回路1 5 1は、2n分周回路1 4 1と同一構成であり、2n分周回路1 5 1の分周比は、その分周出力の切り替わり周期が所望の極性反転周期となるように選択されている。これにより、2n分周回路1 5 1の分周出力信号を液晶駆動電圧の極性切り替えの基本タイミング信号として利用することができる。また、2n分周回路1 5 1から出力される対称矩形波は、水平、垂直走査タイミングと同期した共通電極電圧切り替え制御信号とされる。

【0 1 1 3】

D - F F 1 5 2₁ ~ 1 5 2_xのそれぞれは、1ビットラッチ回路であり、クロック端子には本実施の形態のタイミング制御の時間単位に相当する周期を有する基本クロックCLKが共通に入力される。また、D - F F 1 5 2₁ ~ 1 5 2_xはシフトレジスタを構成する。そのシフトレジスタの初段のD - F F 1 5 2₁のデ - タ入力端子Dには、水平同期信号HDが入力され、これが各D - F F 1 5 2₁及び1 5 2₂のQ出力端子から1クロック時間単位ずつ遅延して出力される。また、D - F F 1 5 2₃ ~ 1 5 2_{x-2}の各Q出力端子からはAND回路1 5 4から出力された水平同期信号HD又はインバ - タ1 5 3により論理反転された水平同期信号が、1クロック時間単位ずつ順次に遅延して出力される。更に、D - F F 1 5 2_{x-1} ~ 1 5 2_xの各Q出力端子からはセクタ回路1 5 5の出力信号が、1クロック時間単位ずつ遅延して出力される。

20

【0 1 1 4】

本実施の形態のタイミング制御回路1 5 0では、AND回路1 5 4は、初段のD - F F 1 5 2₁のQ出力信号をインバ - タ1 5 3で論理反転した信号と、2段目のD - F F 1 5 2₂のQ出力信号とを論理積演算し、それにより得られた信号を遅延回路1 6 1を通過させてOR回路1 5 7に供給する。タイミング制御回路1 5 0は、OR回路1 5 7から出力される信号をセクタ回路1 5 9及び1 6 0にそれぞれ供給し、セクタ回路1 5 9及び1 6 0を共通電極電圧切り替え制御信号により交互に選択動作させて、セクタ回路1 5 9から配線S+に供給させる正極性スイッチ制御信号を出力させ、セクタ回路1 6 0から配線S-に供給させる負極性スイッチ制御信号を出力させる。

30

【0 1 1 5】

また、E X - O R回路1 5 6は、セクタ回路1 5 5の出力信号とD - F F 1 5 2_{x-1}のQ出力信号とを排他的論理和演算して、画素回路のソ - スフォロワ・バッファ回路の定電流負荷トランジスタをアクティブとする配線Bの負荷特性制御信号を出力する。

40

【0 1 1 6】

なお、画素回路のソ - スフォロワ・バッファ回路の定電流負荷トランジスタ(図3のQ7及びQ8、又は図4のQ9)をオンからオフに移行する制御は、画素極性切り替えスイッチ(図3、図4のQ5及びQ6)がオン状態を保っている期間に完了させる必要があることから、タイミング制御回路1 5 0は、定電流負荷トランジスタのオフタイミングを、x - 1段目のD - F F 1 5 2_{x-1}のQ出力信号から生成し、また、画素極性切り替えスイッチのオフタイミングはそれより遅延したx段目のD - F F 1 4 2_xのQ出力信号から生成している。

【0 1 1 7】

このタイミング制御回路1 5 0内の遅延回路1 6 1は、D - F Fの段数により一定期間

50

信号を遅延させる役割を果たし、水平同期信号HDと配線S+、S-のスイッチ制御信号発生タイミングの位相を、この遅延回路161による遅延量分だけずらして設定することが可能である。この場合、遅延回路161の遅延量は、セクタ回路155によりD-FF152₃~152_{x-2}の各Q出力信号のうちの一つのQ出力信号を選択することで加減することができる。この遅延量の加減により、水平走査の動作タイミングと極性切り替え動作との同期を保ったまま相互位相を調整することが可能となり、映像信号走査と極性切り替え動作の相互干渉により発生するノイズが最も軽減される条件を選ぶことが可能になる。

【0118】

次に、上記の図14に示したタイミング制御回路150を用いて行う本発明の液晶表示装置の駆動方法の実施の形態について図15のタイミングチャートと共に説明する。

10

【0119】

図15は、図14に示したタイミング制御回路150を用いた本発明になる液晶表示装置の駆動方法の第3の実施の形態を説明するタイミングチャートを示す。この実施の形態の駆動方法は、図7に示した本発明になる液晶表示装置の第3の実施の形態のシフトレジスタ91a、91b及び91cにそれぞれ図15(A)に示すシフトクロックSCKを供給すると共に、図14に示したタイミング制御回路150の遅延回路161の遅延量を調整して、図14のセクタ回路159から図15(B)に示す正極性スイッチ制御信号を出力し、かつ、図14のEX-OR回路156から図15(F)に示す負荷特性制御信号を出力する。

【0120】

20

ここで、図12(F)及び図13(F)に示した負荷特性制御信号は、各分割画素部90-1~90-hのそれぞれの行数(ライン数)に対応した水平走査期間毎(上記の例では15H周期)に供給され、図12(B)及び図13(B)に示した正極性スイッチ制御信号と図示しない負極性スイッチ制御信号とは、上記の15H毎に交互に供給されるのに対し、本実施の形態の駆動方法では、図15(B)に示す正極性スイッチ制御信号と、図15(F)に示す負荷特性制御信号とは、図15に示すように、15Hの出力期間において1H毎に出力される点に特徴がある。

【0121】

すなわち、本実施の形態の駆動方法では、或る15H期間では正極性スイッチ制御信号は1H毎に出力され、かつ、負極性スイッチ制御信号が一定レベルに保持され、続く15H期間では負極性スイッチ制御信号が1H毎に出力され、かつ、正極性スイッチ制御信号が一定レベルに保持されることが15H周期で交互に繰り返される。

30

【0122】

図15では図示を省略したが、負極性スイッチ制御信号も15Hの出力期間において1H毎に出力される。なお、図12~図15に示した各実施の形態では、いずれも共通電極電圧Vcomは、画素電極極性切り替えパルス(すなわち、正極性スイッチ制御信号及び負極性スイッチ制御信号)、負荷特性制御信号にそれぞれ同期して15H毎に反転される波形状である。また、上記の15Hは一例であり、図7に示した各分割画素部90-1~90-hの画素の行数(ライン数)に応じて設定される。

【0123】

40

なお、図15(K)に示すランプ波形は、デジタル映像信号をアナログ映像信号に変換して、図3等 に示した正極性用デ-タ線Di+に供給するために用いられる、一定傾斜の正極性用基準ランプ電圧であり、その詳細については後述する。なお、同様にデジタル映像信号をアナログ映像信号に変換して、図3等 に示した負極性用デ-タ線Di-に供給するために用いられる基準ランプ電圧は図15では図示を省略してある。

【0124】

これにより、図7に示したシフトレジスタ91aから分割画素部90-1、90-2、90-hの各入力端子S+(1)、S+(2)、S+(h)に供給される図15(C)、(D)、(E)に示す正極性スイッチ制御信号は、それぞれ互いに位相が異なる1H周期の信号である。同様に、図7に示したシフトレジスタ91cから分割画素部90-1、90-2、90-

50

hの各入力端子B(1)、B(2)、B(h)に供給される図15(G)、(H)、(I)に示す負荷特性制御信号も、それぞれ互いに位相が異なる1H周期の信号である。

【0125】

また、図15では図示を省略したが、正極性スイッチ制御信号が出力されない期間で、図14のセクタ回路160から1H周期の負極性スイッチ制御信号が出力されて図7のシフトレジスタ91bに供給される。なお、正極性スイッチ制御信号と負極性スイッチ制御信号とは、各分割画素部90-1~90-hそれぞれの画素の複数行(複数ライン数)に対応した水平走査期間毎に交互に出力される。

【0126】

このように、本実施の形態の駆動方法では、図15(J)に示す水平同期信号HDに対して、遅延回路161の遅延量を調整することで、正極性スイッチ制御信号、負極性スイッチ制御信号及び負荷特性制御信号が、1H内で1回、すなわち、1ラインに1回転送されて極性切り替えが行われるため、それぞれ極性切り替え時に発生するクロストークした階調が液晶表示装置の画素部全体の各ラインに表示され、その結果、画面全体として横縞が目立たない画像を表示することができる。

【0127】

次に、本発明になる液晶表示装置の駆動方法の第4~第6の実施の形態について説明する。

【0128】

本発明になる液晶表示装置の駆動方法の第4~第6の実施の形態では、図16に示すように、画素極性切り替えの制御パルス転送及び共通電極電圧の極性反転をフレーム毎に変更して転送させる方法をとることで、前述した画素回路の極性切り替え時に発生するクロストークした階調の横縞を散らすことで、視覚上横縞(横線状ノイズ)を目立たなくすることを特徴とする。ここで、画素極性切り替えの制御パルスとは、正極性スイッチ制御信号及び負極性スイッチ制御信号であり、負荷特性制御信号を含めてもよい。

【0129】

図16(A)、(B)、(C)、(D)は、それぞれ1フレーム目、2フレーム目、3フレーム目、nフレーム目における、垂直同期信号VD、配線Bにて伝送される負荷特性制御信号、配線S+にて伝送される正極性スイッチ制御信号、配線S-にて伝送される負極性スイッチ制御信号、及び液晶素子の共通電極電圧Vcomの波形を示す。なお、ここでは、1フレーム目とnフレーム目とは同じである。図16(A)~(D)に示すように、垂直同期信号VDに対して、負荷特性制御信号、正極性スイッチ制御信号、負極性スイッチ制御信号、及び共通電極電圧Vcomは、フレーム毎に位相がずらされる。

【0130】

これにより、例えば前記したように、各分割画素部90-1~90-hそれぞれが15ラインの画素から構成されており、図9に示した15ラインおき毎の隣接する画像表示位置94-1~94-(h-1)において、表示画像上の不良(階調の変動)による横縞が発生したとしても、フレーム毎にその発生する垂直方向のライン位置が変化するため、人間の目に見える積分値としてはクロストークによる階調の変動が平均化されることとなり、視覚上は横縞が目立たない画像を表示することが可能となる。

【0131】

図17は、本発明になる液晶表示装置の駆動方法の第4~第6の実施の形態で用いるタイミング制御回路の回路図を示す。なお、この例では、垂直走査周波数が一般的なテレビ映像信号で用いられる60Hzで、フルハイビジョンの走査線数1125ラインで構成されているとする。また、このタイミング制御回路が適用される液晶表示装置は、画素回路の極性切り替えを5ライン期間の周期で行い、液晶素子の交流駆動周波数は6.75(=60(Hz)×1125÷5×2)kHzとし、前記のように極性切り替えの制御パルス(正極性スイッチ制御信号、負極性スイッチ制御信号、負荷特性制御信号)によるクロストークの影響により、5ラインに1回基準ランプ電圧が変動した階調が横縞として表示されているものとする。

【0132】

図17に示すタイミング制御回路170は、初期値テ-ブル171と、水平同期信号HDを分周する2n分周回路172と、カスケ-ド接続された5個のD-FF173₁~173₅と、D-FF173₂のQ出力信号を論理反転するインバ-タ174と、D-FF173₅のQ出力信号を論理反転するインバ-タ175と、AND回路176及び177と、D-FF173₃とD-FF173₄の各Q出力信号を排他的論理和演算するEX-OR回路178とより構成されている。

【0133】

2n分周回路172は、HDカウンタとVDカウンタを内蔵し、これらのカウント値に応じて波形を生成する。すなわち、2n分周回路172は、クロック入力を水平同期信号HDとし、垂直同期信号VDの入力毎に初期値テ-ブル171からロードされた初期データの次の値から水平同期信号HDのカウントを開始するカウンタ回路であり、水平同期信号HDをn個カウントする毎にハイレベル又はロ-レベルに極性が反転する対称矩形波を発生する。ここでは、2n分周回路172は、水平同期信号を5個カウントする毎に極性が反転する対称方形波を発生するものとして説明する。これにより、このタイミング制御回路170から出力される正極性スイッチ制御信号及び負極性スイッチ制御信号は、5H毎に交互に出力されて図7に示したシフトレジスタ91a及び91bに供給される。なお、この場合は分割画素部90-1~90-hのそれぞれは5ライン毎に分割されている。

【0134】

図17に戻って説明する。初期値テ-ブル171は、垂直同期信号VDをカウントし、カウント数に応じて後述する図18乃至図20の各実施の形態の駆動方法にて示されるタイミングの初期値を2n分周回路172にロ-ドする。例えば、垂直同期信号VDが入力されると、初期値テ-ブル171は、そのときのVDカウンタ値に応じた初期値を2n分周回路172にロードする。これにより、2n分周回路172は、初期値として「0」がロードされたときは、垂直同期信号VD入力後、水平同期信号HDを「1」からカウント開始して5個目の水平同期信号HDが入力された時にHDカウンタ値が「5」になるので、所定レベルになり、以降水平同期信号HDが5個入力される毎に反転する対称方形波を発生する。また、2n分周回路172は、初期値として「1」がロードされたときは、垂直同期信号VD入力後、水平同期信号HDを「2」からカウント開始して4個目の水平同期信号HDが入力された時にHDカウンタ値が「5」になるので、所定レベルになり、以降水平同期信号HDが5個入力される毎に反転する対称方形波を発生する。

【0135】

2n分周回路172の分周比は、その分周出力の切り替わり周期が所望の極性反転周期となるように選択されている。これにより、2n分周回路172の分周出力信号を液晶駆動電圧の極性切り替えの基本タイミング信号として利用することができる。2n分周回路172から出力される対称矩形波は、水平、垂直走査タイミングと同期した共通電極電圧切り替え制御信号の原信号として、D-FF173₁のデ-タ入力端子Dに印加される。

【0136】

なお、図示はしていないが、2n分周回路172の出力端子とD-FF173₁のデ-タ入力端子Dとの間に、一定期間信号を遅延する遅延回路を介在させることにより、水平同期信号HDと極性切り替えタイミングの基準電圧との間の位相を、この遅延回路による遅延量分だけずらして設定することも可能である。この場合、上記の遅延量を加減することにより、水平走査の動作タイミングと極性切り替え動作との同期を保ったまま相互位相を調整することが可能となり、映像信号走査と極性切り替え動作の相互干渉により発生するノイズが最も軽減される条件を選ぶことが可能になる。

【0137】

D-FF173₁~173₅の各々は1ビットラッチ回路であり、クロック端子には本実施の形態のタイミング制御の時間単位に相当する周期を有する基本クロックCLKが共通に入力される。カスケ-ド接続された5個のD-FF173₁~173₅は、5段のシフトレジスタを構成し、初段のD-FF173₁のデ-タ入力端子Dには、2n分周回路17

10

20

30

40

50

2 から共通電極電圧 V_{com} の極性切り替え周期と一致した制御タイミングパルスが入力され、これが $D - FF173_1 \sim 173_5$ の各 Q 出力端子に 1 クロック時間単位ずつ遅延して出力される。

【0138】

本実施の形態では、共通電極電圧 V_{com} の極性切り替えを画素駆動電極電圧 V_{PE} の極性切り替えに先行するように制御するので、初段の $D - FF173_1$ の Q 出力信号を共通電極電圧 V_{com} とする。また、AND 回路 176 は、2 段目の $D - FF173_2$ の Q 出力信号をインバ - タ 174 で論理反転した信号と、5 段目の $D - FF173_5$ の Q 出力信号を論理積演算し、配線 $S+$ で伝送される正極性スイッチ制御信号を出力する。また、AND 回路 177 は、5 段目の $D - FF173_5$ の Q 出力信号をインバ - タ 175 で論理反転した信号と、2 段目の $D - FF173_2$ の Q 出力信号を論理積演算し、配線 $S-$ で伝送される負極性スイッチ制御信号を出力する。

10

【0139】

従って、AND 回路 176 及び 177 は、正極性スイッチ制御信号及び負極性スイッチ制御信号を共通電極電圧 V_{com} の 5 H 毎の変化に同期して、5 H 毎に交互に出力して図 7 に示したシフトレジスタ 91a 及び 91b に供給する。また、EX - OR 回路 178 は、図 3 又は図 4 に示した画素回路のソ - スフォロワ・バッファ回路の定電流負荷トランジスタをアクティブとする配線 B の負荷制御信号を生成して、図 7 に示したシフトレジスタ 91c に供給する。

【0140】

20

なお、上記画素回路のソ - スフォロワ・バッファ回路の定電流負荷トランジスタ（図 3 の $Q7$ 及び $Q8$ 、又は図 4 の $Q9$ ）をオンからオフに移行する制御は、画素極性切り替えスイッチ（図 3、図 4 の $Q5$ 及び $Q6$ ）がオン状態を保っている期間に完了させる必要があることから、定電流負荷トランジスタのオフタイミングを 4 段目の $D - FF173_4$ の Q 出力信号から生成し、また、画素極性切り替えスイッチのオフタイミングはそれより遅延した 5 段目の $D - FF173_5$ の Q 出力信号から生成している。

【0141】

以上のように、このタイミング制御回路 170 は、基準クロック CLK の周期で共通電極、画素スイッチ、画素バッファ負荷の制御を所定のタイミング関係で確実に実現することができる。

30

【0142】

なお、図 17 に示すタイミング制御回路 170 は、原入力信号が共通電極制御信号で、これを遅延させて所望のタイミング制御信号を生成する構成となっている。しかし、タイミング制御回路は、図 17 に示す回路構成に限定されるものではなく、図 16 に説明したタイミング制御の基本を実現するものであればよい。

【0143】

次に、上記の図 17 に示したタイミング制御回路 170 を用いて行う本発明の液晶表示装置の駆動方法の各実施の形態について図 18 乃至図 20 と共に説明する。

【0144】

図 18 は、図 17 に示したタイミング制御回路 170 を用いた本発明になる液晶表示装置の駆動方法の第 4 の実施の形態の説明図を示す。この実施の形態の駆動方法は、図 18 (A) に示すように、最初のフレ - ムはライン 1 で極性切り替えを行い、その後、垂直走査方向にライン 6、ライン 11、・・・と順次 5 ライン毎に極性切り替えを行う。

40

【0145】

続いて、次のフレ - ム（2 フレ - ム目）になると、図 18 (A) に示すように、垂直走査方向に 1 ラインシフトしてライン 2 から切り替えを行い、その後、垂直走査方向にライン 7、ライン 12、・・・と順次 5 ライン毎に極性切り替えを行う。以下、同様に、図 18 (A) に示すように、3 フレ - ム目は、ライン 3 から順次 5 ライン毎に極性切り替えを行い、4 フレ - ム目は、ライン 4 から順次 5 ライン毎に極性切り替えを行う。そして、そして 5 フレ - ム目にライン 5 から順次 5 ライン毎に極性切り替えを行った後、6 フレ - ム

50

目において再びライン 1 で行ったと同じ極性切り替えを行う、という動作を 5 フレーム周期で繰り返す。

【0146】

上記の動作を行うため、図 17 に示したタイミング制御回路 170 は、1 フレーム目の垂直同期信号が入力されたときは、初期値テーブル 171 は、VD カウンタ値が「1」であるので、このとき初期値「4」を 2n 分周回路 172 にロードする。これにより、2n 分周回路 172 は、垂直同期信号 VD 入力後、水平同期信号 HD を「4」からカウント開始して 1 個目の水平同期信号 HD が入力された時に HD カウンタ値が「5」になるので、所定レベルになり、以降水平同期信号 HD が 5 個入力される毎に反転する対称方形波を発生する。従って、1 フレーム目は、ライン 1、ライン 6、ライン 11、・・・と順次 5 ライン毎に正極性スイッチ制御信号及び負極性制御信号が交互に出力されると共に、負荷制御信号が出力されて極性切り替えを行う。

10

【0147】

続いて、2 フレーム目の垂直同期信号が入力されたときは、初期値テーブル 171 は、VD カウンタ値が「2」であるので、このとき初期値「3」を 2n 分周回路 172 にロードする。これにより、2n 分周回路 172 は、垂直同期信号 VD 入力後、水平同期信号 HD を「3」からカウント開始して 2 個目の水平同期信号 HD が入力された時に HD カウンタ値が「5」になるので、所定レベルになり、以降水平同期信号 HD が 5 個入力される毎に反転する対称方形波を発生する。従って、2 フレーム目は、ライン 2、ライン 7、ライン 12、・・・と順次 5 ライン毎に正極性スイッチ制御信号及び負極性制御信号が交互に出力されると共に、負荷制御信号が出力されて極性切り替えを行う。

20

【0148】

以下、同様にして、初期値テーブル 171 は、3 フレーム目の垂直同期信号が入力されたときは初期値「2」を、4 フレーム目の垂直同期信号が入力されたときは初期値「1」を、5 フレーム目の垂直同期信号が入力されたときは初期値「0」を、2n 分周回路 172 にロードする。これにより、2n 分周回路 172 は、3 フレーム目では垂直同期信号 VD 入力後 3 個目の水平同期信号 HD 入力時点から、4 フレーム目では垂直同期信号 VD 入力後 4 個目の水平同期信号 HD 入力時点から、5 フレーム目では垂直同期信号 VD 入力後 5 個目の水平同期信号 HD 入力時点から、水平同期信号 HD が 5 個入力される毎に反転する対称方形波を発生する。なお、初期値テーブル 171 及び 2n 分周回路 172 は、5 フレーム周期で上記の動作を行う。

30

【0149】

このようにして、本実施の形態の駆動方法によれば、図 18 (B) に模式的に示すように、画面には画素回路の極性切り替えによる横縞の発生するライン位置が、各フレームにおいて 5 ライン毎に表示され、かつ、そのライン位置が 5 フレーム周期で変化するため、クロストークによる階調の変動が人間の目の積分効果により平均化して見え、視覚上横縞の発生位置を目立たなくすることができる。

【0150】

図 19 は、図 17 に示したタイミング制御回路 170 を用いた本発明になる液晶表示装置の駆動方法の第 5 の実施の形態の説明図を示す。この実施の形態の駆動方法は、前述したように液晶表示装置が、垂直走査周波数が 60 Hz で、走査線数 1125 ラインで構成されているフルハイビジョンの映像信号を表示するものとする、図 19 (A) に示すように、最初のフレームはライン 1 で極性切り替えを行い、その後、垂直走査方向にライン 6、ライン 11、・・・と順次 5 ライン毎に極性切り替えを行う。

40

【0151】

続いて、次のフレーム (2 フレーム目) になると、図 19 (A) に示すように、垂直走査方向に 2 ラインシフトしてライン 3 から切り替えを行い、その後、垂直走査方向にライン 8、ライン 13、・・・と順次 5 ライン毎に極性切り替えを行う。以下、同様に、図 19 (A) に示すように、3 フレーム目は、ライン 5 から順次 5 ライン毎に極性切り替えを行う。このように 1 フレームから 3 フレームでは極性切り替えの開始ライン位置を 1 ライ

50

ンから5ラインのうち奇数ラインの位置とし、かつ、その位置を変更する。そして、奇数ラインの極性切り替えの開始ライン位置の指定が終了した4フレ-ム目は、1ラインから5ラインのうち偶数ラインのライン2から順次5ライン毎に極性切り替えを行う。そして、そして5フレ-ム目に偶数ラインのライン4から順次5ライン毎に極性切り替えを行った後、6フレ-ム目において再びライン1で行ったと同じ極性切り替えを行う、という動作を5フレ-ム周期で繰り返す。

【0152】

図19(A)と共に説明した動作を行うため、図17に示したタイミング制御回路170は、初期値テーブル171が、垂直同期信号のカウント値とロードする初期値の関係が図18の場合とは異なるだけで、上記と同様の動作を行う。

10

【0153】

すなわち、図17に示したタイミング制御回路170は、1フレ-ム目の垂直同期信号が入力されたときは、初期値テーブル171は、VDカウンタ値が「1」であるので、このとき初期値「4」を2n分周回路172にロードする。これにより、2n分周回路172は、垂直同期信号VD入力後、水平同期信号HDを「4」からカウント開始して1個目の水平同期信号HDが入力された時にHDカウンタ値が「5」になるので、所定レベルになり、以降水平同期信号HDが5個入力される毎に反転する対称方形波を発生する。従って、1フレ-ム目は、ライン1、ライン6、ライン11、・・・と順次5ライン毎に正極性スイッチ制御信号及び負極性制御信号が交互に出力されると共に、負荷制御信号が出力されて極性切り替えを行う。

20

【0154】

続いて、2フレ-ム目の垂直同期信号が入力されたときは、初期値テーブル171は、VDカウンタ値が「2」であるので、このとき初期値「2」を2n分周回路172にロードする。これにより、2n分周回路172は、垂直同期信号VD入力後、水平同期信号HDを「2」からカウント開始して3個目の水平同期信号HDが入力された時にHDカウンタ値が「5」になるので、所定レベルになり、以降水平同期信号HDが5個入力される毎に反転する対称方形波を発生する。従って、2フレ-ム目は、ライン3、ライン8、ライン13、・・・と順次5ライン毎に正極性スイッチ制御信号及び負極性制御信号が交互に出力されると共に、負荷制御信号が出力されて極性切り替えを行う。

【0155】

30

以下、同様にして、初期値テーブル171は、3フレ-ム目の垂直同期信号が入力されたときは初期値「0」を、4フレ-ム目の垂直同期信号が入力されたときは初期値「3」を、5フレ-ム目の垂直同期信号が入力されたときは初期値「1」を、2n分周回路172にロードする。これにより、タイミング制御回路170は、3フレ-ム目はライン5から、4フレ-ム目はライン2から、5フレ-ム目はライン4からそれぞれ5ライン毎に正極性スイッチ制御信号及び負極性制御信号が交互に出力すると共に、負荷制御信号を出力して極性切り替えを行う。

【0156】

このようにして、本実施の形態の駆動方法によれば、図19(B)に模式的に示すように、画面には画素回路の極性切り替えによる横縞の発生するライン位置が、各フレ-ムにおいて5ライン毎に表示され、かつ、各フレ-ムの横縞の発生するライン開始位置が丸数字で示す順番で5フレ-ム周期で分散される(散らされる)ため、クロスト-クによる階調の変動が人間の目の積分効果により平均化して見え、視覚上横縞の発生位置を目立たなくすることができる。

40

【0157】

図20は、図17に示したタイミング制御回路170を用いた本発明になる液晶表示装置の駆動方法の第6の実施の形態の説明図を示す。この実施の形態の駆動方法は、前述したように液晶表示装置が、垂直走査周波数が60Hzで、走査線数1125ラインで構成されているフルハイビジョンの映像信号を表示するものとする、図20(A)に示すように、最初のフレ-ムはライン1で極性切り替えを行い、その後、垂直走査方向にライン

50

6、ライン11、・・・と順次5ライン毎に極性切り替えを行う。

【0158】

続いて、次のフレーム(2フレーム目)になると、図20(A)に示すように、垂直走査方向に最も離れたラインヘシフトしてライン5から極性切り替えを行い、その後、垂直走査方向にライン10、ライン15、・・・と順次5ライン毎に極性切り替えを行う。続いて、次のフレーム(3フレーム目)になると、図20(A)に示すように、極性切り替えを行っていない最も遠いライン2から極性切り替えを行い、その後、垂直走査方向にライン7、ライン12、・・・と順次5ライン毎に極性切り替えを行う。以下、同様にして、図20(A)に示すように、4フレーム目はライン4から極性切り替えを5ライン毎に行い、5フレーム目はライン3から極性切り替えを5ライン毎に行う。そして、6フレーム目で再びライン1で行ったと同じ極性切り替えを行う、という動作を5フレーム周期で繰り返す。

10

【0159】

図20(A)と共に説明した動作を行うため、図17に示したタイミング制御回路170は、図17に示したタイミング制御回路170は、初期値テーブル171が、垂直同期信号のカウント値とロードする初期値の関係が図18、図19の場合とは異なるだけで、上記と同様の動作を行う。

【0160】

すなわち、図17に示したタイミング制御回路170は、1フレーム目の垂直同期信号が入力されたときは、初期値テーブル171は、VDカウンタ値が「1」であるので、このとき初期値「4」を2n分周回路172にロードする。これにより、2n分周回路172は、垂直同期信号VD入力後、水平同期信号HDを「4」からカウント開始して1個目の水平同期信号HDが入力された時にHDカウンタ値が「5」になるので、所定レベルになり、以降水平同期信号HDが5個入力される毎に反転する対称方形波を発生する。従って、1フレーム目は、ライン1、ライン6、ライン11、・・・と順次5ライン毎に正極性スイッチ制御信号及び負極性制御信号が交互に出力されると共に、負荷制御信号が出力されて極性切り替えを行う。

20

【0161】

続いて、2フレーム目の垂直同期信号が入力されたときは、初期値テーブル171は、VDカウンタ値が「2」であるので、このとき初期値「0」を2n分周回路172にロードする。これにより、2n分周回路172は、垂直同期信号VD入力後、水平同期信号HDを「0」からカウント開始して5個目の水平同期信号HDが入力された時にHDカウンタ値が「5」になるので、所定レベルになり、以降水平同期信号HDが5個入力される毎に反転する対称方形波を発生する。従って、2フレーム目は、ライン5、ライン10、ライン15、・・・と順次5ライン毎に正極性スイッチ制御信号及び負極性制御信号が交互に出力されると共に、負荷制御信号が出力されて極性切り替えを行う。

30

【0162】

以下、同様にして、初期値テーブル171は、3フレーム目の垂直同期信号が入力されたときは初期値「3」を、4フレーム目の垂直同期信号が入力されたときは初期値「1」を、5フレーム目の垂直同期信号が入力されたときは初期値「2」を、2n分周回路172にロードする。これにより、タイミング制御回路170は、3フレーム目はライン2から、4フレーム目はライン4から、5フレーム目はライン3からそれぞれ5ライン毎に正極性スイッチ制御信号及び負極性制御信号が交互に出力すると共に、負荷制御信号を出力して極性切り替えを行う。

40

【0163】

このようにして、本実施の形態の駆動方法によれば、図20(B)に模式的に示すように、画面には画素回路の極性切り替えによる横縞の発生するライン位置が、各フレームにおいて5ライン毎に表示され、かつ、各フレームの横縞の発生するライン開始位置が丸数字で示す順番で5フレーム周期で分散される(散らされる)。この分散は、極性切り替えが行われていない垂直方向に最も離れたラインヘシフトするように行われるため、クロス

50

ト・クによる階調の変動が人間の目の積分効果により、より一層平均化して見え、視覚上横縞の発生位置をより目立たなくすることができる。

【 0 1 6 4 】

なお、図 1 8 ~ 図 2 0 に示した実施の形態において、最初のフレームの極性切り替えラインは、ライン 1 として説明したが、本発明はこれに限定されるものではなく、どのラインから極性切り替えを開始するようにしてもよい。

【実施例】

【 0 1 6 5 】

次に、本発明になる液晶表示装置のより具体的な全体構成及び映像信号のサンプリング回路（水平方向駆動回路）の実施例について説明する。

10

【 0 1 6 6 】

図 2 1 は、本発明になる液晶表示装置の一実施例の全体構成図、図 2 2 は、図 2 1 中の水平ドライバ回路の回路図を示す。図 2 1 に示すように、液晶表示装置 2 0 0 は、シフトレジスタ回路 2 0 1 a 及び 2 0 1 b と、1 ラインラッチ回路 2 0 2 と、コンパレタ 2 0 3 と、階調カウンタ 2 0 4 と、アナログスイッチ 2 0 5 と、水平方向に m 個、垂直方向に n 個それぞれマトリクス状に配置された画素回路 2 0 6 と、タイミング発生器 2 0 7 と、極性切り替え制御回路 2 0 8 と、垂直シフトレジスタ及びレベルシフタ 2 0 9 とから構成される。なお、画素回路 2 0 6 は、各々液晶素子を含んでおり、画素でもある。

【 0 1 6 7 】

シフトレジスタ回路 2 0 1 a 及び 2 0 1 b、1 ラインラッチ回路 2 0 2、コンパレタ 2 0 3、及び階調カウンタ 2 0 4 は、水平ドライバ回路を構成している。この水平ドライバ回路は、図 2 に示した水平方向駆動回路 1 0 に相当し、アナログスイッチ 2 0 5 と共にデタ線駆動回路を構成している。デタ線駆動回路は、図 2 2 にも示してある。なお、コンパレタ 2 0 3 は、図 2 1 では図示の簡単のために一つのブロックで示しているが、実際には図 2 2 に示すように各画素列毎に設けられている。

20

【 0 1 6 8 】

図 2 1 及び図 2 2 に示すアナログスイッチ 2 0 5 は、各画素列毎に正極性用及び負極性用の 2 つ 1 組のサンプリング用アナログスイッチが配置された構成である。正極性用のサンプリング用アナログスイッチは、図 2 に示したスイッチ 1 - 1 a、1 - 2 a 等に相当し、負極性用のサンプリング用アナログスイッチは、図 2 に示したスイッチ 1 - 1 b、1 - 2 b 等に相当する。図 2 1 に示す画素回路 2 0 6 は、2 系統のデタ線（D1+と D1-、・・・、Dm+と Dm-）とゲト線（G1、・・・、Gn）との交差部に配置されている。これら n・m 個の画素回路 2 0 6 は、それぞれ図 3（図 1）又は図 4 の回路構成とされている。

30

【 0 1 6 9 】

図 2 1 に示す極性切り替え制御回路 2 0 8 は、タイミング発生器 2 0 7 からのタイミング信号に基づいて、前述した配線 S+に第 1 のゲト制御信号（正極性スイッチ制御信号）、配線 S-に第 2 のゲト制御信号（負極性スイッチ制御信号）、配線 B に負荷特性制御信号をそれぞれ出力する。図 2 1 に示す垂直シフトレジスタ及びレベルシフタ 2 0 9 は、図 2 に示した垂直方向駆動回路 2 0 に相当し、ゲト線 G1 ~ Gn に対してゲト信号を 1 水平走査周期で順次出力して、ゲト線 G1 ~ Gn を 1 水平走査周期で順次選択する。なお、図 2 1 において、画素回路 2 0 6 を複数行ずつグルーピングして図 7 に示した分割画素部 9 0 - 1 ~ 9 0 - h を構成した場合は、極性切り替え制御回路 2 0 8 を、図 1 1、図 1 4、図 1 7 のタイミング制御回路の構成とすることもできる。

40

【 0 1 7 0 】

次に、図 2 1 及び図 2 2 の動作について、図 2 3 のタイミングチャートを併せ参照して説明する。図 2 1 及び図 2 2 において、図 2 3（A）に示す水平同期信号 HD に同期した、同図（B）に示す複数ビットの画素デタ（DATA）が時系列的に合成されたデジタル映像信号は、シフトレジスタ回路 2 0 1 a、2 0 1 b で 1 ライン分のデタとして順次展開され、1 ライン分の展開が終了した時点で、1 ラインラッチ回路 2 0 2 でラッチされる。

50

【 0 1 7 1 】

なお、図 2 3 (B) に示す画素デ - タ (DATA) のうち、白地の一つ置きに示す水平方向の偶数列画素デ - タ DATA (even) がシフトレジスタ回路 2 0 1 a に供給され、斜線を付した残りの一つ置きに示す水平方向の奇数列画素デ - タ DATA (odd) がシフトレジスタ回路 2 0 1 b に供給される。これは、高解像度パネルでの高速動作への対応を容易とするためである。

【 0 1 7 2 】

1 ラインラッチ回路 2 0 2 は、シフトレジスタ回路 2 0 1 a から出力される奇数列画素デ - タ DATA (odd) と、シフトレジスタ回路 2 0 1 b から出力される偶数列画素デ - タ DATA (even) とからなる同じラインの 1 ライン期間の画素デ - タ DATA を図 2 3 (D) に模式的に示すように保持した後、各画素列のコンパレ - タ 2 0 3 の第 1 のデ - タ入力部に供給する。

10

【 0 1 7 3 】

階調カウンタ 2 0 4 は、図 2 3 (E) に示すクロック Count - CK をカウントして、同図 (F) に示すように複数の階調値が水平走査期間内で最小値から最大値まで順次に変化する基準階調デ - タ C - out を水平走査期間毎に出力し、各画素列のコンパレ - タ 2 0 3 の第 2 のデ - タ入力部に供給する。コンパレ - タ 2 0 3 は、第 1 のデ - タ入力部の入力画素デ - タ DATA の値と第 2 のデ - タ入力部の入力基準階調デ - タ C - out の値 (階調値) とを比較し、両者の値が一致したタイミングで一致パルスを生成して出力する。

【 0 1 7 4 】

20

アナログスイッチ 2 0 5 を構成する正極性用及び負極性用の 2 つ 1 組のサンプリング用アナログスイッチのうち、正極性用のサンプリング用アナログスイッチは、入力側共通配線に基準ランプ電圧 Ref_Ramp (+) が印加される。一方、負極性用のサンプリング用アナログスイッチは、入力側共通配線に基準ランプ電圧 Ref_Ramp (-) が印加される。図 2 に示したコントロ - ラ 6 0 内に存在する基準電圧発生回路が発生する上記の基準ランプ電圧 Ref_Ramp (+) 及び Ref_Ramp (-) のうち、Ref_Ramp (+) は、図 2 3 (I) に示すように水平走査期間周期で映像の黒レベルから白レベルにレベルが上昇する方向に変化する周期的な掃引信号である。一方、上記の基準ランプ電圧 Ref_Ramp (-) は、図 2 3 (J) に示すように水平走査期間周期で映像の黒レベルから白レベルにレベルが減少する方向に変化する周期的な掃引信号である。従って、基準ランプ電圧 Ref_Ramp (+) と Ref_Ramp (-) は、所定の基準電位について反転関係となっている。

30

【 0 1 7 5 】

アナログスイッチ 2 0 5 は、図 2 3 (G) に示す SW - Start 信号を受け、水平走査期間の開始時点で一斉にオンとなった後、コンパレ - タ 2 0 3 から一致パルスを受けた時点でオフに移行するように開閉制御される。図 2 3 のタイミングチャ - トでは、一例として階調レベル k の画素デ - タ DATA に対応した画素列のアナログスイッチ 2 0 5 の開閉タイミングを、同図 (H) に示す波形 SPk として図示している。その結果、上記画素列のアナログスイッチ 2 0 5 を構成する正極性用及び負極性用の 2 つ 1 組のサンプリング用アナログスイッチが、上記一致パルスを受けて同時にオフした時点の基準ランプ電圧 Ref_Ramp (+) と Ref_Ramp (-) の対応レベル (図 2 3 (I) 、 (J) の点 P 、点 Q) が、同時にサンプリングされて、その画素列の画素デ - タ線 D (+) 、 D (-) に出力される。

40

【 0 1 7 6 】

以上、構成と動作について説明した本実施例の水平ドライバ回路によれば、簡易な構成で各画素に正負両極性の画素デ - タを供給することができる。また、本実施例の水平ドライバ回路によれば、図 2 1 に示すように液晶表示装置への映像入力をデジタル信号でインタ - フェイスすることが可能で、外部駆動回路で高帯域の映像信号を高精度で処理するためのアナログ回路ブロックが不要となるため、回路コストを低減することができる。

【 符号の説明 】

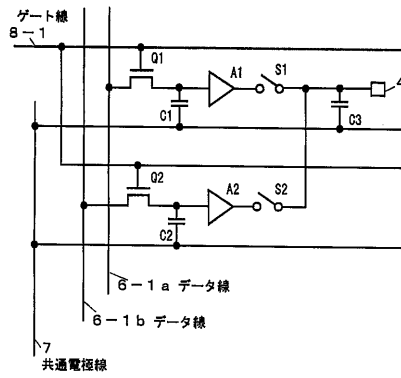
【 0 1 7 7 】

1 - 1 a , 1 - 1 b , 1 - 2 a , 1 - 2 b ビデオスイッチ

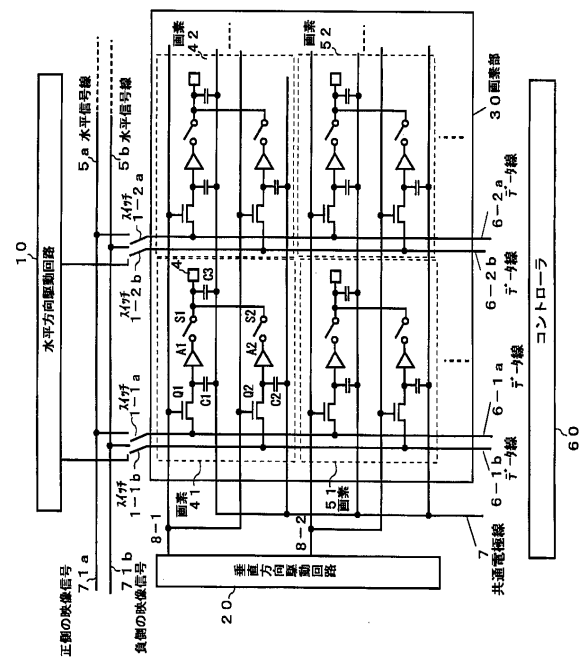
50

4、P E 反射電極 (画素駆動電極)	
5 a、5 b 水平信号線	
6 - 1 a、6 - 1 b、6 - 2 a、6 - 2 b、D1(+) ~ Dm(+)、D1(-) ~ Dm(-)、Di+、	
D i- デ - タ線	
7 共通電極線	
8 - 1、8 - 2、G j、G1 ~ Gn ゲ - ト線	
10 水平方向駆動回路	
20 垂直方向駆動回路	
30 画素部	
41、42、51、52 画素	10
60 コントロ - ラ	
71 a 正側の映像信号 (正極性映像信号)	
71 b 負側の映像信号 (負極性映像信号)	
206 画素回路	
90 - 1 ~ 90 - h 分割画素部	
91 a、91 b、91 c シフトレジスタ	
140、150、170 タイミング制御回路	
142 ₁ ~ 142 _{x+2} 、152 ₁ ~ 152 _x 、173 ₁ ~ 173 ₅ D型フリップフロップ (	
D - F F)	
144、145、153、174、175 インバ - タ	20
146、147、176、177 AND回路	
148、156、178 排他的論理和回路 (E X - O R回路)	
141、151、172 2n分周回路	
143、155、159、160 セレクタ回路	
149、161 遅延回路	
157 OR回路	
171 初期値テ - ブル	
200 液晶表示装置	
201 a、201 b シフトレジスタ回路	
202 1ラインラッチ回路	30
203 コンパレ - タ	
204 階調カウンタ	
205 アナログスイッチ	
207 タイミング発生器	
208 極性切り替え制御回路	
209 垂直シフトレジスタ / レベルシフト	
221 入力端子部	
S1、S2 切り替えスイッチ	
C1、C2、C3、Cs1、Cs2 信号保持容量	
A1、A2 バッファアンプ	40
Q1、Q2 画素選択トランジスタ	
Q3、Q4 バッファアンプ用トランジスタ	
Q5、Q6 スイッチング用トランジスタ	
Q7、Q8 定電流源負荷用トランジスタ	
Q9 定電流源トランジスタ	
C E 共通電極 (対向電極)	
L C M 液晶表示体 (液晶層)	
L C 液晶素子	

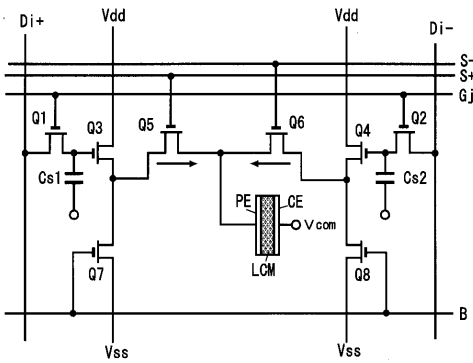
【図 1】



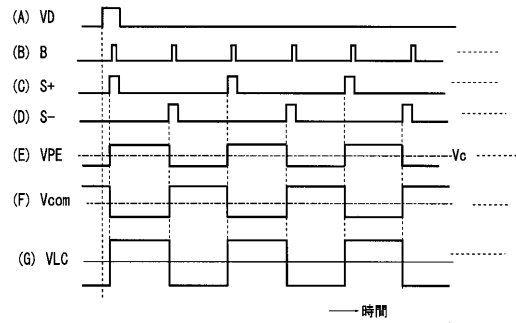
【図 2】



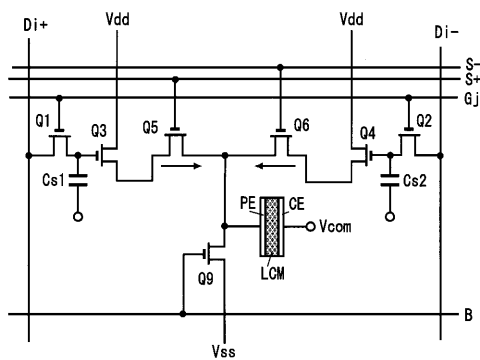
【図 3】



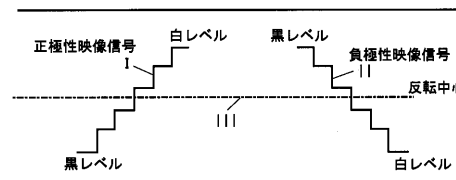
【図 5】



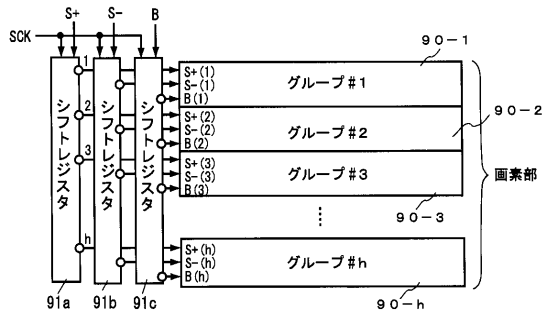
【図 4】



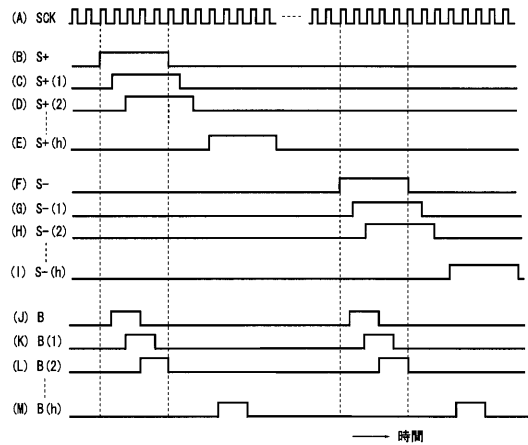
【図 6】



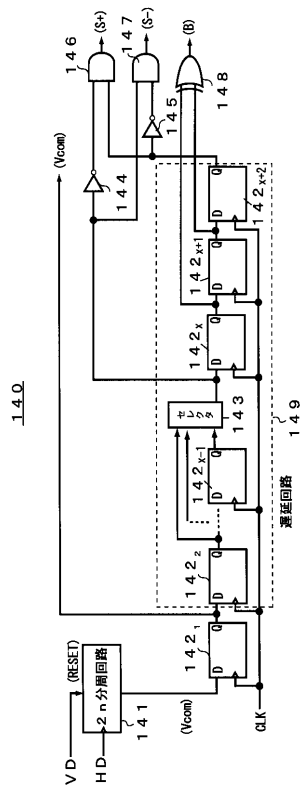
【図 7】



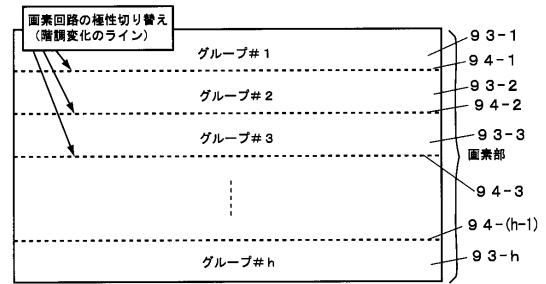
【図 8】



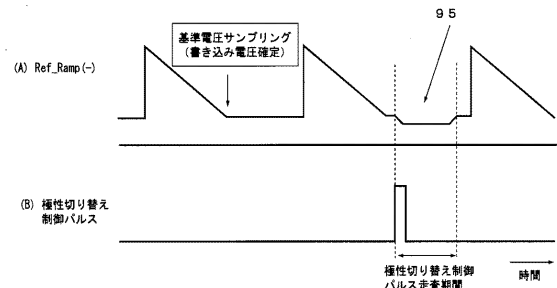
【図 11】



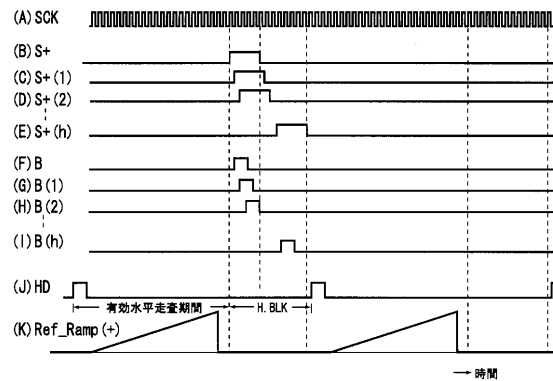
【図 9】



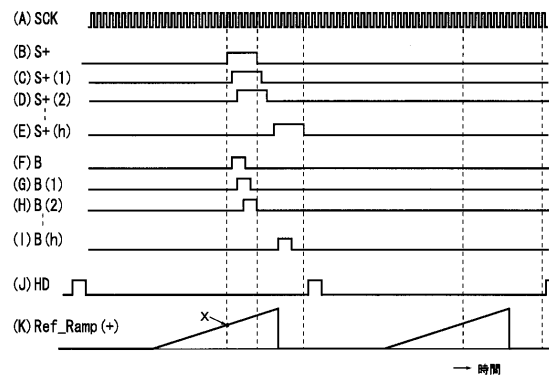
【図 10】



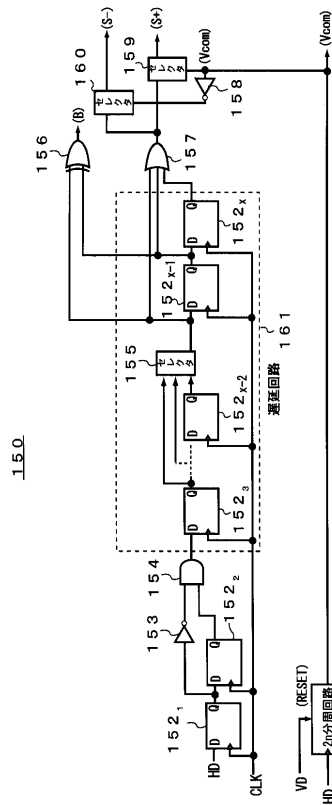
【図 12】



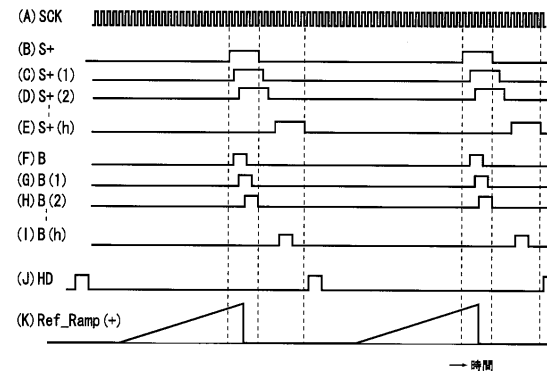
【図 13】



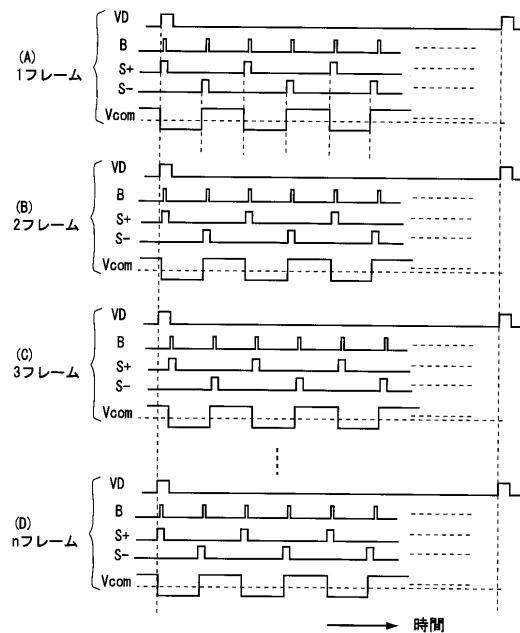
【図 14】



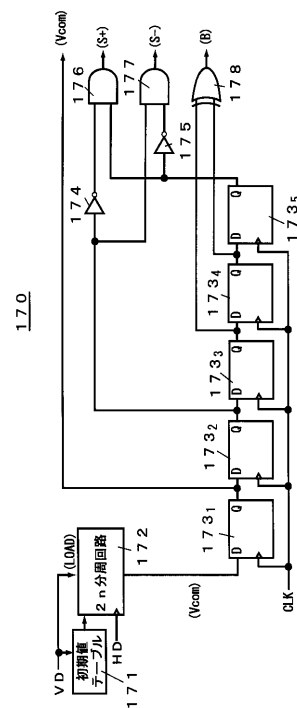
【図 15】



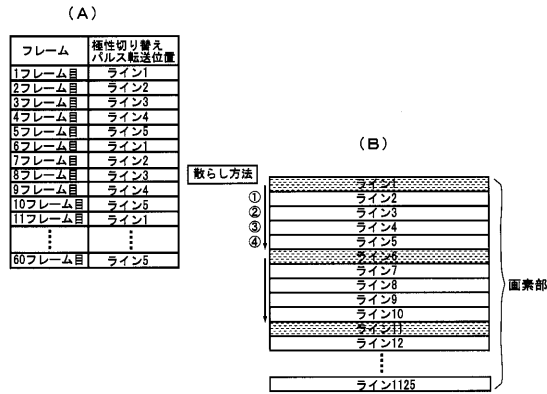
【図 16】



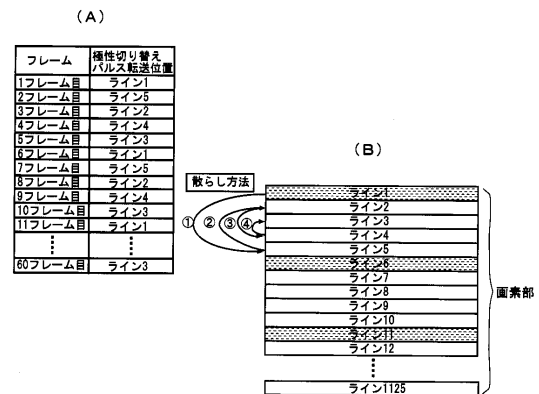
【図 17】



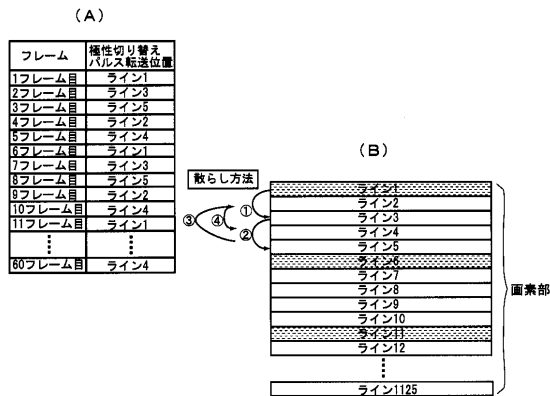
【図 18】



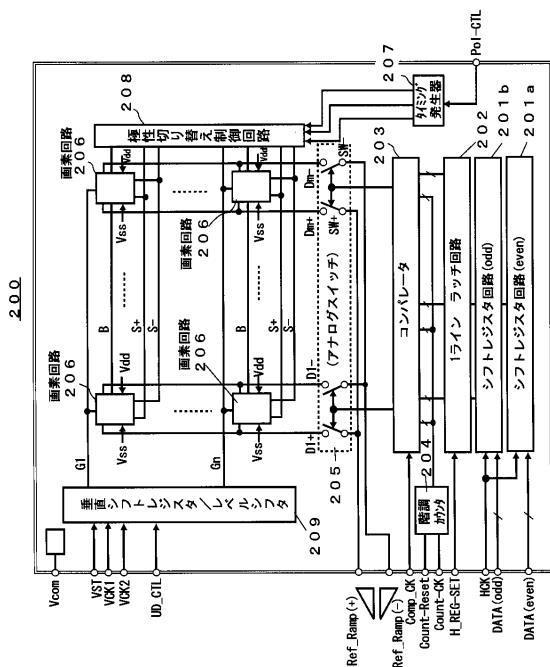
【図 20】



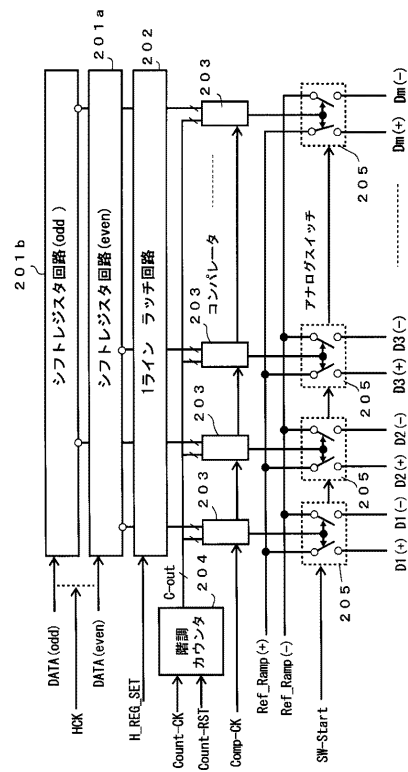
【図 19】



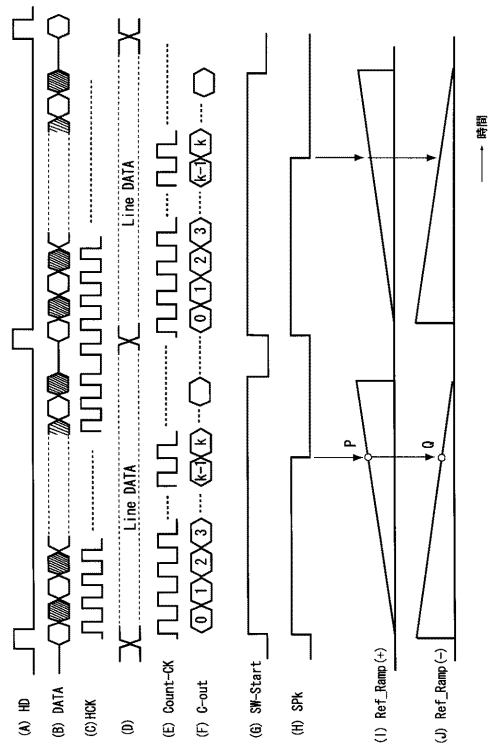
【図 21】



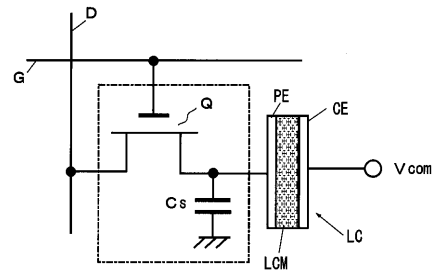
【図 22】



【図 23】



【図 24】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 1 1 A
G 0 2 F	1/133	5 5 0

(56)参考文献 特開平 1 1 - 1 6 0 6 7 6 (J P , A)
 特開 2 0 1 0 - 2 8 6 6 2 8 (J P , A)
 特表 2 0 0 4 - 5 1 4 9 5 7 (J P , A)
 特開平 1 0 - 2 2 8 0 0 9 (J P , A)
 特開 2 0 0 2 - 1 1 6 7 4 2 (J P , A)
 特開 2 0 0 5 - 2 3 4 0 2 9 (J P , A)
 特開 2 0 0 3 - 0 9 9 0 1 3 (J P , A)
 特開平 0 9 - 2 0 0 5 7 1 (J P , A)
 特開 2 0 0 7 - 1 2 8 0 3 3 (J P , A)
 特開 2 0 0 8 - 1 7 0 8 4 3 (J P , A)
 特開 2 0 0 9 - 2 2 3 2 8 9 (J P , A)
 特開平 0 8 - 1 5 2 5 9 7 (J P , A)
 特開平 0 9 - 0 6 8 6 9 2 (J P , A)
 特開平 0 9 - 3 2 9 8 0 6 (J P , A)
 特開 2 0 0 7 - 2 7 9 7 6 5 (J P , A)
 特開 2 0 0 5 - 3 0 9 0 4 9 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G 0 9 G	3 / 3 6
G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0

专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	JP5493547B2	公开(公告)日	2014-05-14
申请号	JP2009176264	申请日	2009-07-29
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
当前申请(专利权)人(译)	JVC建伍公司		
[标]发明人	井澤俊輔 伊藤博友		
发明人	井澤 俊輔 伊藤 博友		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.623.D G09G3/20.623.L G09G3/20.621.E G09G3/20.621.A G09G3/20.621.B G09G3/20.622.D G09G3/20.612.T G09G3/20.624.D G09G3/20.624.E G09G3/20.623.C G09G3/20.623.R G09G3/20.622.G G09G3/20.641.C G09G3/20.611.A G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB08 2H193/ZB14 2H193/ZC04 2H193/ZC19 2H193/ZC20 2H193/ZD32 2H193/ZE09 2H193/ZF23 2H193/ZF32 2H193/ZF33 2H193/ZF34 2H193/ZH40 2H193/ZH52 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC23 5C006/AC24 5C006/AC26 5C006/AF21 5C006/AF42 5C006/AF43 5C006/AF73 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC13 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF06 5C006/BF07 5C006/BF09 5C006/BF14 5C006/BF22 5C006/BF23 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/FA15 5C006/FA31 5C006/FA34 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD10 5C080/DD18 5C080/DD26 5C080/DD29 5C080/EE19 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
其他公开文献	JP2011028159A		
外部链接	Espacenet		

摘要(译)

甲以及AC驱动的速度比现有的液晶装置中，一个能够驱动整个像素部分时发生，在时间分割多行的多个基团中的每一个划分像素中，其中一个组分割，目视减少相邻布线的干扰噪声，并显示高质量的图像。在水平同步信号HD的H.BLK时段期间输出正极性开关控制信号S+，负载特性控制信号B和负极性开关控制信号（未示出）。Kurosuto - 基准斜坡电压由点击改变，即使正视频信号和负视频极性信号而变化，如果H.BLK周期斜坡波形（K）回到原来的波形内，正确可以写入视频信号。因此，对应于每个划分的像素单元中，在相邻的图像显示位置，即使产生在显示图像上失败图像显示单元，Kurosuto - 通过点击的影响H.BLK期间，显示图像内可以消除图像的视觉质量劣化。The 12

【图4】

