

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5412524号
(P5412524)

(45) 発行日 平成26年2月12日 (2014. 2. 12)

(24) 登録日 平成25年11月15日 (2013. 11. 15)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 624D

G09G 3/20 624C

G09G 3/20 622L

G09G 3/20 621M

請求項の数 10 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2011-537166 (P2011-537166)
 (86) (22) 出願日 平成22年6月22日 (2010. 6. 22)
 (86) 国際出願番号 PCT/JP2010/060556
 (87) 国際公開番号 W02011/048847
 (87) 国際公開日 平成23年4月28日 (2011. 4. 28)
 審査請求日 平成24年3月29日 (2012. 3. 29)
 (31) 優先権主張番号 特願2009-242468 (P2009-242468)
 (32) 優先日 平成21年10月21日 (2009. 10. 21)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 奥村 寛
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内

審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素に含まれる画素電極と容量を形成する補助容量線を複数備えるアクティブマトリックス型の液晶表示装置において、

表示画面を分割した複数の表示領域を形成し、

上記複数の補助容量線は、上記複数の表示領域のそれぞれに、複数本ずつに分割されて配されており、

上記複数の表示領域は、上記補助容量線の延伸方向と垂直な方向に等分されており、

各表示領域に対応して複数の補助容量線駆動部が設けられ、

1つの補助容量線駆動部から出力される補助容量電圧を基準として、他の補助容量線駆動部から出力される補助容量電圧を増減しており、

上記補助容量線に印加される補助容量電圧は、上記表示画面においてベタ画面表示を行ったときの上記複数の表示領域の境界における階調バラツキに起因する輝度ムラを解消するように、上記表示領域ごとに個別に設定されていることを特徴とする液晶表示装置。

【請求項 2】

1つの画素に対応して、2本の補助容量線が配されていることを特徴とする請求項 1に記載の液晶表示装置。

【請求項 3】

各信号線を駆動する信号線駆動部が1つ設けられ、

信号線の延伸方向を列方向とした場合に、列方向に設けられた複数の画素を含む画素列

10

20

ごとに 1 本の信号線が配されていることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

各走査線を駆動する走査線駆動部が 1 つ設けられ、

走査線の延伸方向を行方向とした場合に、行方向に設けられた複数の画素を含む画素行ごとに 1 本の走査線が配されていることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

補助容量線の終端は、互いに接続されていることを特徴とする請求項 4 に記載の液晶表示装置。

10

【請求項 6】

全ての補助容量線の終端は、開放されていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 7】

信号線の延伸方向を列方向とした場合に、

上記表示画面は、列方向に第 1 及び第 2 の表示領域に分割され、

上記信号線は、上記第 1 の表示領域に配された第 1 の信号線と、上記第 2 の表示領域に配された第 2 の信号線とに分割され、

上記第 1 の表示領域に設けられた画素の画素電極に、上記第 1 の信号線を介して画像データを供給する第 1 の信号線駆動部と、

20

上記第 2 の表示領域に設けられた画素の画素電極に、上記第 2 の信号線を介して画像データを供給する第 2 の信号線駆動部とを備えることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 8】

走査線の延伸方向を行方向とした場合に、

上記走査線は、上記第 1 の表示領域に配された第 1 の走査線と、上記第 2 の表示領域に配された第 2 の走査線とに分割され、

上記第 1 の表示領域に設けられた画素を、上記第 1 の走査線を介して選択する第 1 の走査線駆動部と、

上記第 2 の表示領域に設けられた画素を、上記第 2 の走査線を介して選択する第 2 の走査線駆動部とを備えることを特徴とする請求項 7 に記載の液晶表示装置。

30

【請求項 9】

上記第 1 の表示領域に設けられた画素に対応する補助容量線は、互いに接続されているとともに、上記第 2 の表示領域に設けられた画素に対応する補助容量線は、互いに接続されていることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

全ての補助容量線の終端は、開放されていることを特徴とする請求項 8 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、画素内の補助容量に接続された補助容量線に電圧を印加する液晶表示装置に関する。

【背景技術】

【0002】

液晶 TV 用の液晶表示パネル等に代表される大型の液晶表示パネルにおいて、TFT 基板の線幅・膜厚等の製造バラツキが 1 枚の液晶表示パネルにおいて発生することがある。この結果、低階調のベタ画面の映像を表示した時に、TFT の電気的特性や容量等のバラツキに起因する階調バラツキが液晶表示パネルの面内において分布を持って発生することがある。発生した階調バラツキは、図 9 に示されるような液晶表示パネルの面内における

50

部分的な輝度差、即ち輝度ムラとして視認される。

【 0 0 0 3 】

このような階調バラツキを低減する技術の一例が特許文献 1 に開示されている。特許文献 1 では、補助容量に印加する電圧を調整回路（電源回路 9）によって調整することにより階調バラツキを低減する技術が開示されている。この点について図 10 を用いて説明する。

【 0 0 0 4 】

図 10 は、特許文献 1 の図 1 の液晶表示装置である。図 10 の液晶表示装置では、外部から導通・非導通の状態を変更可能な 2 端子素子 5 を設け、電源回路 9 が 2 端子素子 5 の導通・非導通の状態に応じて画素電極および対向電極により液晶層に印加される電圧を制御する。2 端子素子 5 の導通・非導通状態を外部から変更することにより、液晶層に印加される電圧を簡単に調整可能にする。2 端子素子 5 の状態に応じて対向電極に印加する電圧 V_{com} を調整した場合には、フリッカを低減でき、補助容量に印加する電圧 V_{cs} を調整した場合には、階調バラツキを低減できる。

【 0 0 0 5 】

ここで、特許文献 1 の技術を、一般的な構成を有する液晶表示装置に適用した場合について、図 11 を用いて説明する。

【 0 0 0 6 】

図 11 は、従来の液晶表示装置 101 のブロック図である。液晶表示装置 101 は、液晶表示パネル 102 と、信号線 $S_1, S_2, \dots, S(n-1), S_n$ を駆動する信号線駆動回路 103 と、走査線 $G_1, G_2, \dots, G(m-1), G_m$ を駆動する走査線駆動回路 104 と、制御回路 106 と、画素 P_{IX} 内の補助容量に接続されている、補助容量線 $CSH_1, CSH_2, \dots, CSH(p-1), CSH_p$ および補助容量線 $CSL_1, CSL_2, \dots, CSL(q-1), CSL_q$ を駆動する補助容量線駆動回路 107 とを備えている。信号線駆動回路 103、走査線駆動回路 104、および制御回路 106 は、表示ドライバを構成している。

【 0 0 0 7 】

信号線 $S_1, S_2, \dots, S(n-1), S_n$ は、信号線の延伸方向を列方向とした場合に、列方向に設けられた複数の画素 P_{IX} を含む画素列ごとに 1 本の信号線が配されている。また、走査線 $G_1, G_2, \dots, G(m-1), G_m$ は、走査線の延伸方向を行方向とした場合に、行方向に設けられた複数の画素 P_{IX} を含む画素行ごとに 1 本の走査線が配されている。

【 0 0 0 8 】

画素 P_{IX} は、図示しない TFT および 2 つの副画素を有している。TFT のゲートは、走査線 $G_1, G_2, \dots, G(m-1), G_m$ に接続され、TFT のソースは、信号線 $S_1, S_2, \dots, S(n-1), S_n$ に接続されている。また、TFT のドレインに 1 つの副画素が接続され、当該 1 つの副画素と他の副画素とは結合容量を介して接続されている。補助容量線 $CSH_1, CSH_2, \dots, CSH(p-1), CSH_p$ は、上記 1 つの副画素に対応しており、補助容量線 $CSL_1, CSL_2, \dots, CSL(q-1), CSL_q$ は、上記他の副画素に対応している。なお、図 11 では、各画素 P_{IX} に 2 つの副画素が設けられているが、副画素は 1 つあるいは 3 つ以上であってもよく、また、副画素に対応する補助容量線も 1 本あるいは 3 本以上であってもよい。

【 0 0 0 9 】

上記構成の液晶表示装置 101 によれば、補助容量線駆動回路 107 が、補助容量線 $CSH_1, CSH_2, \dots, CSH(p-1), CSH_p$ に印加する電圧、および補助容量線 $CSL_1, CSL_2, \dots, CSL(q-1), CSL_q$ に印加する電圧を調整することにより、階調バラツキを低減することができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 0 】

10

20

30

40

50

【特許文献１】日本国公開特許公報「特開２００６－２３５５９３号公報（２００６年９月７日公開）」

【発明の概要】

【発明が解決しようとする課題】

【００１１】

しかしながら、特許文献１に示される従来技術は、液晶表示パネル面内を複数の領域に分割して領域ごとに駆動する分割駆動型の液晶表示装置に適用することは困難である。この理由について以下に説明する。図１２に示されるように、分割駆動パネルでは、分割された領域に応じて、パネル特性（ＴＦＴの電気的特性や容量等）が液晶表示パネルの面内でバラツキを持つので、液晶表示パネルの面内における部分的な輝度差である輝度ムラが視認される。このような輝度ムラが視認されている状態で、特許文献１に示されるように補助容量に印加する単一の電圧 V_{cs} を調整しても、液晶表示パネル全体において階調がシフトするだけである。従って、特許文献１の技術では、分割駆動型の液晶表示装置において、液晶表示パネルの面内において生じている階調バラツキの低減効果を十分得られず、輝度ムラの視認を防ぐことは出来ない。

10

【００１２】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、分割駆動型の液晶表示パネルにおいても、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することができる液晶表示装置を提供することにある。

【課題を解決するための手段】

20

【００１３】

本発明の液晶表示装置は、上記課題を解決するために、画素に含まれる画素電極と容量を形成する補助容量線を備えるアクティブマトリックス型の液晶表示装置において、表示画面を分割した複数の表示領域を形成し、上記補助容量線は、上記表示領域ごとに、隣り合う複数の補助容量線に分割され、上記補助容量線に印加される補助容量電圧は、上記表示領域ごとに個別に設定されていることを特徴としている。

【００１４】

上記発明によれば、上記補助容量線に印加される補助容量電圧は、上記表示領域ごとに個別に設定されている。即ち、補助容量線に印加する補助容量電圧を、表示領域ごとに増減（微調整）することができる。

30

【００１５】

よって、表示領域ごとに補助容量の値を異ならせることができるため、液晶容量に印加される実効電圧を揃え、液晶容量に充電される電荷量のバラツキを解消できる。

【００１６】

従って、低階調側の中間調ベタ画面表示を行った時などに階調のバラツキが生じず、当該階調のバラツキにより輝度ムラが視認されないので、分割駆動型の液晶表示パネルにおいても、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することができる液晶表示装置を提供することができる。

【００１７】

なお、上記表示領域は、全ての画素電極に供給される信号電位が同電位である場合に表示パネルに表示される階調のバラツキに応じて分割される。

40

【発明の効果】

【００１８】

本発明の液晶表示装置は、以上のように、表示画面を分割した複数の表示領域を形成し、補助容量線は、表示領域ごとに、隣り合う複数の補助容量線に分割され、上記補助容量線に印加される補助容量電圧は、上記表示領域ごとに個別に設定されているものである。

【００１９】

それゆえ、分割駆動型の液晶表示パネルにおいても、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することができる液晶表示装置を提供するという効果を奏する。

50

【図面の簡単な説明】

【0020】

【図1】本発明の実施例に係る液晶表示装置のブロック図である。

【図2】本発明の実施例に係る補助容量線駆動回路のブロック図である。

【図3】上CSH電圧および下CSH電圧の測定結果を示すグラフである。

【図4】本発明の実施例に係る液晶表示装置において輝度ムラが解消されていることの説明図であり、(a)は従来の液晶表示装置において輝度ムラが生じていることを示す図であり、(b)は本発明の実施例に係る液晶表示装置において輝度ムラが解消されていることを示す図である。

【図5】本発明の他の実施例に係る液晶表示装置のブロック図である。

10

【図6】本発明の他の実施例に係る液晶表示装置において輝度ムラが解消されていることの説明図であり、(a)は液晶表示パネル面内を上下2つの領域に分割して領域ごとに駆動する従来の分割駆動パネルにおいて、輝度ムラが生じていることを示す図であり、(b)は本発明の他の実施例に係る液晶表示装置において輝度ムラが解消されていることを示す図である。

【図7】液晶表示パネル面内において、階調バラツキによる輝度ムラが生じていることの説明図であり、(a)～(e)は、液晶表示パネル面内において、階調バラツキによる輝度ムラが生じていることを示す図である。

【図8】本発明の実施例に係るさらに別の液晶表示装置のブロック図である。

【図9】液晶表示パネル面内において、階調バラツキによる輝度ムラが生じていることを示す図である。

20

【図10】従来の液晶表示装置のブロック図である。

【図11】従来の他の液晶表示装置のブロック図である。

【図12】液晶表示パネル面内を上下2つの領域に分割して領域ごとに駆動する従来の分割駆動パネルにおいて、階調バラツキによる輝度ムラが生じていることを示す図である。

【発明を実施するための形態】

【0021】

本発明の一実施形態について実施例1、実施例2および図1～図6に基づいて説明すると以下の通りである。まずは本発明の一実施例について図1～図4に基づいて説明する。

【0022】

30

〔実施例1〕

図1は、本実施例1に係る液晶表示装置1のブロック図である。液晶表示装置1は、液晶表示パネル2と、信号線(ソース線、各信号線) $S_1, S_2, \dots, S(n-1), S_n$ を駆動する信号線駆動回路3(信号線駆動部)と、走査線(ゲート線、走査線、第1の走査線、第2の走査線、各走査線) $G_1, G_2, \dots, G(m-1), G_m$ を駆動する走査線駆動回路4(走査線駆動部)と、制御回路6と、画素PIX内の補助容量に接続されている、補助容量線CSH1, CSH2, ..., CSH(p-1), CSHpおよび補助容量線CSL1, CSL2, ..., CSL(q-1), CSLqを駆動する補助容量線駆動回路(補助容量線駆動部)A, Bとを備えている。信号線駆動回路3、走査線駆動回路4、および制御回路6は、表示ドライバを構成している。

40

【0023】

信号線 $S_1, S_2, \dots, S(n-1), S_n$ は、信号線の延伸方向を列方向とした場合に、列方向に設けられた複数の画素PIXを含む画素列ごとに1本の信号線が配されている。また、走査線 $G_1, G_2, \dots, G(m-1), G_m$ は、走査線の延伸方向を行方向とした場合に、行方向に設けられた複数の画素PIXを含む画素行ごとに1本の走査線が配されている。

【0024】

画素PIXに含まれる画素電極と容量を形成する補助容量線を備えるアクティブマトリックス型の液晶表示パネルである液晶表示パネル2は、画素(液晶セル)PIXがマトリクス状に配置されており、上画面MU(表示領域、第1の表示領域)と下画面MD(表示

50

領域、第2の表示領域)とに分けられている。

【0025】

画素PIXは、図示しないTF Tおよび2つの副画素を有している。TF Tのゲートは、上画面MUまたは下画面MDを通るように延伸する走査線(ゲート線)G1, G2, ..., G(m-1), Gmに接続され、TF Tのソースは、上画面MUおよび下画面MDを通るように延伸する信号線(ソース線)S1, S2, ..., S(n-1), Snに接続されている。また、TF Tのドレインに1つの副画素が接続され、当該1つの副画素と他の副画素とは結合容量を介して接続されている。補助容量線CSH1, CSH2, ..., CSH(p-1), CSHpは、上記1つの副画素に対応しており、補助容量線CSL1, CSL2, ..., CSL(q-1), CSLqは、上記他の副画素に対応している。よって、画素PIXが2つの副画素を有している液晶表示パネル2において輝度ムラを解消できる。補助容量線CSH1, CSH2, ..., CSH(p-1), CSHpおよび補助容量線CSL1, CSL2, ..., CSL(q-1), CSLqは、上画面MUまたは下画面MDを通るように延伸する。

10

【0026】

なお、図1の液晶表示装置1では、2つの副画素を有している画素PIXに、2本の補助容量線が配されている。しかし、液晶表示装置1は、1つあるいは3つ以上の副画素を有している画素PIXに、1本あるいは3本以上の補助容量線が接続されていてもよい。

【0027】

信号線駆動回路3は、画像データを供給すべき画素PIXに、信号線S1, S2, ..., S(n-1), Snを通じて画像データを供給する回路である。走査線駆動回路4は、画像データを供給すべき画素PIXを、走査線G1, G2, ..., G(m-1), Gmを通じて選択する。制御回路6は、信号線駆動回路3および走査線駆動回路4に供給する各種信号を生成する。

20

【0028】

液晶表示パネル2の内部の配線は、途中で分割されていない。具体的には、n番目の信号線Snは、途中で分割されずに信号線駆動回路3から最も遠い画素PIXnまで画像データを供給できる。同様に、m番目の走査線Gmは、途中で分割されずに走査線駆動回路4から最も遠い画素PIXnまで選択できる。液晶表示パネル2を分割駆動していない液晶表示パネルと称する。

30

【0029】

液晶表示装置1では、複数の補助容量線駆動回路を備えている。液晶表示装置1では2つの補助容量線駆動回路A, Bを備えているが、3つ以上の補助容量線駆動回路を備えていてもよい。

【0030】

液晶表示装置1では、補助容量線CSH1, CSH2, ..., CSH(p-1), CSHpの終端は、開放されている。同様に、補助容量線CSL1, CSL2, ..., CSL(q-1), CSLqの終端は、開放されている。全ての補助容量線の終端を開放すると、補助容量電圧を設定する前は階調バラツキの境界が顕著に現れる。よって、補助容量電圧を設定すべき補助容量線の特定制が容易となるとともに、補助容量電圧を増減することによる調整の効果が高まる。

40

【0031】

これに対して、図8の液晶表示装置1'に示すように、補助容量線CSH1, CSH2, ..., CSH(p-1), CSHpの終端は、液晶表示パネル2の内部で互いに接続されていてもよい。同様に、液晶表示装置1'に示すように、補助容量線CSL1, CSL2, ..., CSL(q-1), CSLqの終端は、液晶表示パネル2の内部で互いに接続されていてもよい。

【0032】

補助容量線駆動回路A, Bは、一方の出力電圧を基準として他方の出力電圧を微調整(増減)できる構成とする。図1の液晶表示装置1では、補助容量線駆動回路A(1つの補

50

助容量線駆動部)の出力電圧を基準として補助容量線駆動回路B(他の補助容量線駆動部)の出力電圧を微調整出来る。同様に、図1の液晶表示装置1では、補助容量線駆動回路Bの出力電圧を基準として補助容量線駆動回路Aの出力電圧を微調整出来る。

【0033】

補助容量線駆動回路A, Bにおける出力電圧の調整については、後述する図2において具体的に説明するが、この説明に先立ち、補助容量線駆動回路A, Bにおいて出力電圧を調整する理由についてまず説明する。

【0034】

液晶表示装置1が、例えば37/46/52/65型の液晶TVであり、液晶表示パネル2の面積が大きい場合、液晶表示パネル2内部の配線により生じる容量、液晶表示パネル2内部の配線抵抗等が、液晶表示パネル2内部で一様ではなく分布を有する。このことから、低階調側の中間調ベタ画面表示を行った時などに階調のバラツキが輝度ムラとして視認されることがある。

【0035】

上記輝度ムラの原因は、液晶容量に充電される電荷量にバラツキが生じているためと考えられることから、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃え、上述した電荷量のバラツキを解消する。

【0036】

補助容量線に印加する電圧を微調整するために、図1に示すように補助容量線駆動回路を複数設け、補助容量線駆動回路の各々が異なる値の電圧値を対応する補助容量線へ出力出来るようにする。補助容量線に印加する電圧の調整値は微小であることから、2つの補助容量線に印加する電圧の一方を基準として他方を相対的に微調整する回路構成とすれば、調整が容易となる。

【0037】

液晶表示パネル2の内部配線は、数10~数kΩ程度の抵抗値を有しているが、液晶表示パネル2内の補助容量線の終端は、互いに接続されてもよい。この構成によれば、各補助容量線の配線抵抗を均一化することができるため、上画面MUと下画面MDとの境界近くの階調バラツキをより低減することができる。

【0038】

ここで、1つの画素PIXに対応して補助容量線が1本配される構成では、全ての補助容量線が互いに接続され、1つの画素PIXに対応して補助容量線が2本配される構成では、High側電位が供給される補助容量線同士が互いに接続されるとともに、Low側電位が供給される補助容量線同士が互いに接続される。

【0039】

液晶表示パネル2内の補助容量線の終端を、互いに接続すると、例えば補助容量線駆動回路Bから出力された電位が、上画面MUの補助容量線にも供給されるので、上画面MUの各画素の補助容量および画素電位が部分的に変動する。

【0040】

しかし、液晶表示パネル2の内部配線は、数10~数kΩ程度の抵抗値を有しており、画素PIX毎に上記内部配線の抵抗値が異なる。よって、液晶表示パネル2内の補助容量線の終端を互いに接続しても、補助容量線が同電位にはならない。

【0041】

また、上述したように、液晶表示パネル2の内部配線は、数10~数kΩ程度の抵抗値を有している。よって、各画素PIXの電位は、液晶表示パネル2の面内で勾配を持つ。補助容量線に直流電圧を印加した場合は、各画素PIXの電位は、上記勾配を持った状態で平衡がとれて安定した状態となる。補助容量線に矩形波を印加した場合についても同様であり、安定した状態における各画素PIXの電位は、上記勾配を持った状態となる。

【0042】

図2は、本実施例1に係る補助容量線駆動回路A, Bのブロック図である。図2の補助容量線駆動回路A, Bは、一例として $n = 24$ とした上で、液晶表示パネル2の表示画面

10

20

30

40

50

を等分して上下2つの画面MU, MDを形成した時の回路である。この場合、上下2つの画面MU, MDは、補助容量線の延伸方向と垂直な方向に等分されていてもよい。

【0043】

これにより、連続する上下2つの画面MU, MDの境界が、補助容量線の延伸方向と平行に均等に配置される。

【0044】

ここで、液晶表示パネル2の表示画面は、補助容量線の延伸方向と垂直な方向に等分されていれば、何等分されてもよい。例えば、液晶表示パネル2の表示画面を、補助容量線の延伸方向と垂直な方向に5等分する場合は、補助容量線駆動回路を5つ備えればよい。

【0045】

図2では、上画面MUに対応する補助容量線CSH1~CSH12から出力される電圧VCSH1~VCSH12(補助容量電圧)を、上CSH電圧と称する。また、下画面MDに対応する補助容量線CSH13~CSH24から出力される電圧VCSH13~VCSH24(補助容量電圧)を、下CSH電圧と称する。さらに、上画面MUに対応する補助容量線CSL1~CSL12から出力される電圧VCSL1~VCSL12(補助容量電圧)を、上CSL電圧と称する。そして、下画面MDに対応する補助容量線CSL13~CSL24から出力される電圧VCSL13~VCSL24(補助容量電圧)を、下CSL電圧と称する。上CSH電圧の値と下CSH電圧の値とは異なるとともに、上CSL電圧の値と下CSL電圧の値とは異なる。

【0046】

図2の補助容量線駆動回路A, Bにおいて、上CSH電圧、上CSL電圧および下CSL電圧を固定して下CSH電圧を調整する動作について説明する。差動増幅回路ACSHは、制御回路6から出力される電圧が非反転入力端子に入力され、上CSH電圧を出力する。差動増幅回路ACSHの出力は、差動増幅回路ACSHの反転入力端子に接続されている。同様に、差動増幅回路ACSLは、制御回路6から出力される電圧が非反転入力端子に入力され、上CSL電圧を出力する。差動増幅回路ACSLの出力は、差動増幅回路ACSLの反転入力端子に接続されている。これにより、固定された上CSH電圧および固定された上CSL電圧が各補助容量線に出力される。

【0047】

また、差動増幅回路ACSL'は、上CSL電圧が非反転入力端子に入力され、下CSL電圧を出力する。差動増幅回路ACSL'の出力は、差動増幅回路ACSL'の反転入力端子に接続されている。これにより、固定された下CSL電圧が各補助容量線に出力される。

【0048】

次に、下CSH電圧調整回路7について説明する。下CSH電圧調整回路7は、抵抗R1, R3, R4、抵抗値調整部R2、差動増幅回路8、基準電圧回路10、温度補正回路11および加算回路12を備えている。抵抗値調整部R2の両端の抵抗値はR-DCPである。また、基準電圧回路10は、抵抗R5および抵抗R6を有している。さらに、加算回路12は差動増幅回路Adiffからなる。

【0049】

抵抗値調整部R2は、抵抗値を調整することで電圧が調整できるものであればよい。例えば、半固定抵抗、可変抵抗、またはデジタルポテンショメータを用いることが出来る。なお、デジタルポテンショメータは、デジタルICである必要はない。

【0050】

下CSH電圧調整回路7において、抵抗R1の一端は電源電圧VLSが印加される。電源電圧VLSは、例えば15.6Vである。抵抗R1の他端、抵抗R3の一端および抵抗値調整部R2の一端は、ノードバーRHに接続されている。抵抗R3の他端、抵抗値調整部R2の他端、抵抗R4の一端、差動増幅回路8の反転入力端子は、ノードバーRLに接続されている。差動増幅回路8の出力は、帰還抵抗Rfを介してノードバーRLに接続されている。抵抗R4の他端は、電氣的に接地されている。差動増幅回路8の非反転入力端

10

20

30

40

50

子は、抵抗値調整部 R 2 の制御入力（ノードバー R W）に接続されている。なお、差動増幅回路 8 において、信号源抵抗 R s は例えば 30 k Ω とし、帰還抵抗 R f は例えば 3 k Ω とする。

【0051】

また、下 C S H 電圧調整回路 7 において、抵抗 R 5 の一端は上 C S H 電圧が印加される。抵抗 R 5 の他端は、抵抗 R 6 の一端、差動増幅回路 8 の出力および差動増幅回路 A d i f f の非反転入力端子に接続されている。抵抗 R 6 の他端は温度補正回路 11 の一端に接続されており、温度補正回路 11 の他端は電氣的に接地されている。温度補正回路 11 は例えば 0 Ω の抵抗である。

【0052】

さらに、差動増幅回路 A d i f f の出力は、帰還抵抗 R f ' を介して差動増幅回路 A d i f f の反転入力端子に接続されており、差動増幅回路 A d i f f の反転入力端子は電氣的に接地されている。

【0053】

なお、加算回路 12 において、入力抵抗 R i および帰還抵抗 R f ' は、例えば 10 k Ω とする。

【0054】

上述した構成を有する下 C S H 電圧調整回路 7 では、加算回路 12 は、上 C S H 電圧を抵抗 R 5 と抵抗 R 6 とで分圧した基準電圧 V r e f と、差動増幅回路 8 から出力される微小電圧 V m とを加算することにより、下 C S H 電圧を生成する。上 C S H 電圧を元にして基準電圧 V r e f を生成することにより、微小電圧 V m による調整を可能としている。

【0055】

なお、上記記載に関して、図 2 において加算回路 12 を用いているが、補助容量線駆動回路 A , B は、一方の出力電圧を基準として他方の出力電圧を微調整（増減）できるので、加算回路 12 の代わりに減算回路を用いてもよい。

【0056】

なお、微小電圧 V m は、基準電圧 V r e f を 100 % としたときに ± 0.025 % 程度が望ましい。一例として基準電圧 V r e f が 8 V 程度であれば、微小電圧 V m は 2 m V 程度が望ましい。この理由は、液晶表示パネル 2 の面内における階調のバラツキが微小であるためである。

【0057】

図 3 は、上 C S H 電圧および下 C S H 電圧の測定結果を示すグラフである。当該グラフの縦軸は電圧を示し、単位はボルトである。また、上記グラフの横軸は、抵抗値調整部 R 2 が 128 ステップのデジタルポテンショメータ（デバイス）である場合の、デジタルポテンショメータのステップ数を示す。図 3 のグラフは、上 C S H 電圧および下 C S H 電圧を 10 ステップ毎に測定した結果を示しており、下 C S H 電圧を 128 ステップの分解能で（範囲内で）増減させている。

【0058】

図 3 のグラフにおいて（1）で示される箇所では、上 C S H 電圧の値および下 C S H 電圧の値が等しい。図 3 のグラフにおいて（2）で示される箇所の電圧は、液晶表示装置 1 において低階調側の中間調べ画面表示を行った時に輝度ムラが生じなくなる電圧を示している。補助容量線駆動回路 A , B による調整後の、上 C S H 電圧の値と下 C S H 電圧の値との差は、数 m V ~ 数十 m V 程度である。

【0059】

図 2 で例示した補助容量線駆動回路 A , B は、下 C S H 電圧のみを調整電圧としているが、本発明はこれに限定されない。下 C S H 電圧を固定し、下 C S L 電圧を調整しても良い。この場合、差動増幅回路 A C S L ' は、上 C S H 電圧が非反転入力端子に入力され、下 C S H 電圧を出力する。

【0060】

また、下 C S H 電圧調整回路 7 の基準電圧回路 10 に、上 C S H 電圧を入力する代わり

10

20

30

40

50

に上CSL電圧を入力することにより、下CSH電圧調整回路7を下CSL電圧調整回路として用いればよい。

【0061】

さらに、差動増幅回路ACSL'に代わりに、下CSL電圧調整回路として下CSH電圧調整回路7をさらに1つ設け、上CSH電圧と上CSL電圧との両方を調整してもよい。

【0062】

さらに、下CSH電圧および下CSL電圧を固定し、上CSH電圧、上CSL電圧または上CSH電圧と上CSL電圧との両方を調整してもよい。この場合、差動増幅回路ACSHから下CSH電圧を出力し、差動増幅回路ACSLから下CSH電圧を出力するとともに、下CSH電圧調整回路7の基準電圧回路10に、上CSH電圧を入力する代わりに下CSH電圧や下CSL電圧を入力することにより、下CSH電圧調整回路7を上CSH電圧調整回路または上CSL電圧調整回路として用いればよい。

10

【0063】

さらに、図2の例では、表示画面を上下2つの画面MU、MDに分割しているが、3つ以上に分割することでさらに高精度の調整も可能である。そして、表示画面を左右に分割したり、格子状に分割したりすることも可能である。

【0064】

図4は、本実施例1の液晶表示装置1において輝度ムラが解消されていることの説明図である。図4の(a)は、従来の液晶表示装置において輝度ムラが生じていることを示す図であり、図4の(b)は、本実施例1の液晶表示装置1において輝度ムラが解消されていることを示す図である。液晶表示装置1では、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃えることにより、輝度ムラを解消して表示特性を改善している。

20

【0065】

なお、本実施例1では、画素PIXが2つの副画素を有し、各副画素に対して1本、計2本の補助容量線を用いているが、本発明はこれに限定されず、画素PIXが副画素を有さず、画素PIXに対して1本の補助容量線を用いてもよい。この場合、図2の上画面MUにおいては、制御回路6に接続される差動増幅回路が補助容量線1本に対して1つであり、下画面MDにおいては、下CSH電圧調整回路7のみを用いればよい。

30

【0066】

以上のように、本実施例1の液晶表示装置1は、画素PIXに含まれる画素電極と容量を形成する補助容量線CSH1、CSH2、...CSH(p-1)、CSHpおよびCSL1、CSL2、...CSL(q-1)、CSLqを備えるアクティブマトリックス型の液晶表示装置において、表示画面を分割した画面MU、MDを形成し、補助容量線CSH1、CSH2、...CSH(p-1)、CSHpおよびCSL1、CSL2、...CSL(q-1)、CSLqは、上画面MUまたは下画面MDごとに、隣り合う複数の補助容量線に分割され、補助容量線CSH1、CSH2、...CSH(p-1)、CSHpおよびCSL1、CSL2、...CSL(q-1)、CSLqに印加される補助容量電圧は、上画面MUまたは下画面MDごとに個別に設定されている。

40

【0067】

また、本実施例1の液晶表示装置1は、上画面MUまたは下画面MD（各表示領域）に対応して補助容量線駆動回路A、Bが設けられ、1つの補助容量線駆動回路（例えば補助容量線駆動回路A）から出力される補助容量電圧を基準として、他の補助容量線駆動回路（例えば補助容量線駆動回路B）から出力される補助容量電圧を増減する。

【0068】

これらの構成により、液晶表示装置1において輝度ムラを解消することができる。

【0069】

なお、液晶表示装置1では、上画面MUおよび下画面MDは、全ての画素電極に供給される信号電位が同電位である場合に液晶表示パネル2に表示される階調のバラツキに応じ

50

て分割される。

【 0 0 7 0 】

〔 実施例 2 〕

本発明の他の実施例について図 5 および図 6 に基づいて説明すれば、以下の通りである。なお、本実施例 2 において説明すること以外の構成は、前記実施例 1 と同じである。また、説明の便宜上、前記実施例 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【 0 0 7 1 】

図 5 は、本実施例 2 に係る液晶表示装置 2 1 のブロック図である。液晶表示装置 2 1 と実施例 1 の液晶表示装置 1 との間の第 1 の相違点は、信号線駆動回路および走査線駆動回路である。液晶表示装置 1 の、信号線駆動回路 3 および走査線駆動回路 4 は、上画面 M U および下画面 M D で共通である。これに対し、液晶表示装置 2 1 では、上画面 M U に対して信号線駆動回路 3 A (第 1 の信号線駆動部) および走査線駆動回路 4 A (第 1 の走査線駆動部) を設け、下画面 M D に対して信号線駆動回路 3 B (第 2 の信号線駆動部) および走査線駆動回路 4 B (第 2 の走査線駆動部) を設けている。信号線駆動回路 3 A および信号線駆動回路 3 B は、液晶表示装置 2 1 の液晶表示パネル 2 ' の両側に設けられる。信号線駆動回路 3 A および走査線駆動回路 4 A、ならびに信号線駆動回路 3 B および走査線駆動回路 4 B は、制御回路 6 から各種信号を供給される。液晶表示パネル 2 ' を、分割駆動している液晶表示パネルと称する。

【 0 0 7 2 】

液晶表示装置 2 1 と実施例 1 の液晶表示装置 1 との間の第 2 の相違点は、信号線 (ソース線) である。液晶表示装置 1 の、信号線 (ソース線) $S_1, S_2, \dots, S_{(n-1)}, S_n$ は、上画面 M U および下画面 M D で共通である。これに対し、液晶表示装置 2 1 では、信号線 (ソース線) $S_1, S_2, \dots, S_{(n-1)}, S_n$ を分割することにより、上画面 M U に対して信号線 (ソース線、第 1 の信号線) $SA_1, SA_2, \dots, SA_{(n-1)}, SA_n$ を設け、下画面 M D に対して信号線 (ソース線、第 2 の信号線) $SB_1, SB_2, \dots, SB_{(n-1)}, SB_n$ を設けている。信号線 $SA_1, SA_2, \dots, SA_{(n-1)}, SA_n$ は信号線駆動回路 3 A により駆動され、信号線 $SB_1, SB_2, \dots, SB_{(n-1)}, SB_n$ は信号線駆動回路 3 B により駆動される。

【 0 0 7 3 】

液晶表示装置 2 1 では、第 1 の相違点および第 2 の相違点に記載の構成を備えているので、上画面 M U または下画面 M D ごとに分割して駆動する液晶表示パネル 2 ' においても輝度ムラを解消することができる。

【 0 0 7 4 】

なお、液晶表示装置 2 1 では、実施例 1 の液晶表示装置 1 と同様、補助容量線 $CSH_1, CSH_2, \dots, CSH_{(p-1)}, CSH_p$ の終端は開放され、補助容量線 $CSL_1, CSL_2, \dots, CSL_{(q-1)}, CSL_q$ の終端は開放されている。全ての補助容量線の終端を開放すると、補助容量電圧を設定する前は階調バラツキの境界が顕著に現れる。よって、補助容量電圧を設定すべき補助容量線の特定制が容易となるとともに、補助容量電圧を増減することによる調整の効果が高まる。

【 0 0 7 5 】

上記構成を有する液晶表示装置 2 1 において、液晶表示パネル 2 ' は、実施例 1 の液晶表示パネル 2 と異なり分割駆動しているので、以下では分割駆動する液晶表示パネル 2 ' において、補助容量線駆動回路 A, B により出力電圧を調整する理由について説明する。

【 0 0 7 6 】

液晶表示パネル 2 ' が分割駆動している場合、液晶表示パネル 2 ' 内部の配線により生じる容量、液晶表示パネル 2 ' 内部の配線抵抗等が、液晶表示パネル 2 ' 内部で一様ではなく分布を有する。このことから、低階調側の中間調ベタ画面表示を行った時などに階調のバラツキが輝度ムラとして視認されることがある。

【 0 0 7 7 】

上記輝度ムラの原因は、液晶容量に充電される電荷量にバラツキが生じているためと考えられることから、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃え、上述した電荷量のバラツキを解消する。

【0078】

補助容量線に印加する電圧を微調整するために、図5に示すように補助容量線駆動回路を複数設け、補助容量線駆動回路の各々が異なる値の電圧値を対応する補助容量線へ出力出来るようにする。補助容量線に印加する電圧の調整値は微小であることから、2つの補助容量線に印加する電圧の一方を基準として他方を相対的に微調整する回路構成とすれば、調整が容易となる。

【0079】

本実施例2の液晶表示装置21における補助容量線駆動回路A、Bの駆動は、実施例1の液晶表示装置1における補助容量線駆動回路A、Bの駆動と同じであるので、ここでの説明は省略する。

【0080】

図6は、本実施例2の液晶表示装置21において輝度ムラが解消されていることの説明図である。図6の(a)は、液晶表示パネル面内を上下2つの領域に分割して領域ごとに駆動する従来の分割駆動パネルにおいて、輝度ムラが生じていることを示す図であり、図6の(b)は、本実施例2の液晶表示装置21において輝度ムラが解消されていることを示す図である。液晶表示装置21では、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃えることにより、輝度ムラを解消して表示特性を改善している。

【0081】

図7の(a)~(e)は、液晶表示パネル面内において、階調バラツキによる輝度ムラが生じていることを示す図である。

【0082】

図7の(a)、(d)、(e)に示す輝度ムラを解消する場合は、画面を上下に2分割または3分割すればよい。図7の(c)に示す輝度ムラを解消する場合は、画面を上下ではなく左右に2分割すればよい。また、図7の(b)に示す輝度ムラを解消する場合は、画面を左右に3分割し、左の画面と右の画面とを上下に2分割すればよい。

【0083】

このように、様々な輝度ムラが生じても、画面を適切に分割し、分割した画面毎に補助容量線駆動回路を設ければよい。これにより、補助容量線に印加する電圧を微調整して液晶容量に印加される実効電圧を揃えることができ、輝度ムラを解消できる。

【0084】

以上のように、本実施例2の液晶表示装置21は、信号線S1, S2, ... S(n-1), Snの延伸方向を列方向とした場合に、上記表示画面は、列方向に上画面MUおよび下画面MDに分割され、信号線S1, S2, ... S(n-1), Snは、上画面MUに配された信号線SA1, SA2, ... SA(n-1), SANと、下画面MDに配された信号線SB1, SB2, ... SB(n-1), SBNとに分割され、上画面MUに設けられた画素の画素電極に、信号線SA1, SA2, ... SA(n-1), SANを介して画像データを供給する信号線駆動回路3Aと、下画面MDに設けられた画素の画素電極に、信号線SB1, SB2, ... SB(n-1), SBNを介して画像データを供給する信号線駆動回路3Bとを備えている。

【0085】

また、本実施例2の液晶表示装置21は、走査線G1, G2, ... G(m-1), Gmの延伸方向を行方向とした場合に、走査線G1, G2, ... G(m-1), Gmは、上画面MUに配された第1の走査線と、下画面MDに配された第2の走査線とに分割され、上画面MUに設けられた画素を、上記第1の走査線を介して選択する走査線駆動回路4Aと、下画面MDに設けられた画素を、上記第2の走査線を介して選択する走査線駆動回路4Bとを備えている。

【0086】

これらの構成により、上画面MUまたは下画面MDごとに分割して駆動する液晶表示装置21においても輝度ムラを解消することができる。

【0087】

なお、実施例1の液晶表示パネル2と同様に、液晶表示パネル2'内の補助容量線の終端は、互いに接続されてもよい。すなわち、上画面MUに対応する補助容量線CSH1, CSH2, ... CSH α (第1の領域を通るように延伸する補助容量線)の終端が接続されているとともに、上画面MUに対応する補助容量線CSL1, CSL2, ... CSL β (第1の領域を通るように延伸する補助容量線)の終端が接続され、また、下画面MDに対応する補助容量線CSH($\alpha + 1$), CSH($\alpha + 2$), ... CSH p (第2の領域を通るよ
10
うに延伸する補助容量線)の終端が接続されているとともに、下画面MDに対応する補助容量線CSL($\beta + 1$), CSL($\beta + 2$), ... CSL q (第2の領域を通るよ
うに延伸する補助容量線)の終端が接続されている構成であってもよい。なお、上記記載において、例えば $\alpha = p / 2$, $\beta = q / 2$ (p および q は正の偶数)である。この構成によれば、各補助容量線の配線抵抗を均一化することができるため、上画面MUと下画面MDとの境界近くの階調バラツキをより低減することができる。

【0088】

ここで、1つの画素PIXに対応して補助容量線が1本配される構成では、全ての補助容量線が互いに接続され、1つの画素PIXに対応して補助容量線が2本配される構成では、High側電位が供給される補助容量線同士が互いに接続されるとともに、Low側
20
電位が供給される補助容量線同士が互いに接続される。

【0089】

なお、本実施の形態に係る補助容量電圧は、画素電極に書き込まれる信号電位の極性に
応じてHigh側電位あるいはLow側電位に切り替わる信号波形(2値に限定されない)
)であってもよく、また、表示領域ごとに一定電位の信号波形であってもよい。

【0090】

〔実施形態の総括〕

液晶表示装置1, 1', 21では、上画面MUおよび下画面MDは、補助容量線CSH1, CSH2, ... CSH($p - 1$), CSH p , CSL1, CSL2, ... CSL($q - 1$), CSL q の延伸方向と垂直な方向に等分されていてもよい。
30

【0091】

これにより、連続する上画面MUおよび下画面MDが、補助容量線CSH1, CSH2, ... CSH($p - 1$), CSH p , CSL1, CSL2, ... CSL($q - 1$), CSL q の延伸方向と平行に均等に配置される。

【0092】

液晶表示装置1, 1', 21では、上画面MUおよび下画面MDに対応して補助容量線駆動回路A, Bが設けられ、1つの補助容量線駆動回路から出力される補助容量電圧を基準として、他の補助容量線駆動回路から出力される補助容量電圧を増減してもよい。

【0093】

他の補助容量線駆動回路から印加される補助容量電圧を増減(微調整)することにより
40
、液晶容量に印加される実効電圧を揃えることができ、結果として輝度ムラを解消することができる。

【0094】

液晶表示装置1, 1', 21では、1つの画素PIXに対応して、2本の補助容量線が配されていてもよい。

【0095】

これにより、画素PIXが2つの副画素を有している液晶表示装置において輝度ムラを
解消することができる。

【0096】

液晶表示装置1, 1'では、信号線S1, S2, ... S, S n を駆動する信号線駆動回路
50

3 が 1 つ設けられ、信号線 $S_1, S_2, \dots, S_n$ の延伸方向を列方向とした場合に、列方向に設けられた複数の画素 P_{IX} を含む画素列ごとに 1 本の信号線が配されていてもよい。これにより、信号線 $S_1, S_2, \dots, S_n$ は、途中で分割されずに信号線駆動回路 3 から最も遠い画素 P_{IX} まで画像のデータを供給できる。

【0097】

液晶表示装置 1, 1' では、走査線 $G_1, G_2, \dots, G, G_m$ を駆動する走査線駆動回路 4 が 1 つ設けられ、走査線 $G_1, G_2, \dots, G, G_m$ の延伸方向を行方向とした場合に、行方向に設けられた複数の画素 P_{IX} を含む画素行ごとに 1 本の走査線が配されていてもよい。これにより、走査線 $G_1, G_2, \dots, G, G_m$ は、途中で分割されずに走査線駆動回路 4 から最も遠い画素まで選択できる。

10

【0098】

液晶表示装置 1, 1' では、補助容量線 $CSH_1, CSH_2, \dots, CSH(p-1), CSH_p, CSL_1, CSL_2, \dots, CSL(q-1), CSL_q$ の終端は、互いに接続されていてもよい。

【0099】

上記構成によれば、各補助容量線の配線抵抗を均一化することができるため、表示領域ごとの階調バラツキをより低減することができる。ここで、1 つの画素 P_{IX} に対応して補助容量線が 1 本配される構成では、全ての補助容量線が互いに接続され、1 つの画素 P_{IX} に対応して補助容量線が 2 本配される構成では、High 側電位が供給される補助容量線同士が互いに接続されるとともに、Low 側電位が供給される補助容量線同士が互いに接続される。

20

【0100】

液晶表示装置 1, 1' では、全ての補助容量線 $CSH_1, CSH_2, \dots, CSH(p-1), CSH_p, CSL_1, CSL_2, \dots, CSL(q-1), CSL_q$ の終端は、開放されていてもよい。全ての補助容量線の終端を開放すると、補助容量電圧を設定する前は階調バラツキの境界が顕著に現れる。よって、補助容量電圧を設定すべき補助容量線の特定が容易となるとともに、補助容量電圧を増減することによる調整の効果が高まる。

【0101】

液晶表示装置 2 1 では、信号線 $S_1, S_2, \dots, S(n-1), S_n$ の延伸方向を列方向とした場合に、上記表示画面は、列方向に上画面 M_U および下画面 M_D に分割され、信号線 $S_1, S_2, \dots, S(n-1), S_n$ は、上画面 M_U に配された信号線 $SA_1, SA_2, \dots, SA(n-1), SA_n$ と、下画面 M_D に配された信号線 $SB_1, SB_2, \dots, SB(n-1), SB_n$ とに分割され、上画面 M_U に設けられた画素 P_{IX} の画素電極に、信号線 $SA_1, SA_2, \dots, SA(n-1), SA_n$ を介して画像データを供給する信号線駆動回路 3 A と、下画面 M_D に設けられた画素 P_{IX} の画素電極に、信号線 $SB_1, SB_2, \dots, SB(n-1), SB_n$ を介して画像データを供給する信号線駆動回路 3 B とを備えてもよい。

30

【0102】

また、液晶表示装置 2 1 では、走査線 $G_1, G_2, \dots, G(m-1), G_m$ の延伸方向を行方向とした場合に、走査線 $G_1, G_2, \dots, G(m-1), G_m$ は、上画面 M_U に配された第 1 の走査線と、下画面 M_D に配された第 2 の走査線とに分割され、上画面 M_U に設けられた画素 P_{IX} を、上記第 1 の走査線を介して選択する走査線駆動回路 4 A と、下画面 M_D に設けられた画素 P_{IX} を、上記第 2 の走査線を介して選択する走査線駆動回路 4 B とを備えてもよい。

40

【0103】

これらの構成により、上画面 M_U 、下画面 M_D ごとに分割して駆動する液晶表示装置 2 1 においても輝度ムラを解消することができる。

【0104】

液晶表示装置 2 1 では、上画面 M_U に設けられた画素 P_{IX} に対応する補助容量線 $CSH_1, CSH_2, \dots, CSH_\alpha, CSL_1, CSL_2, \dots, CSL_\beta$ は、互いに接続されてい

50

るとともに、下画面MDに設けられた画素PIXに対応する補助容量線CSH($\alpha + 1$)、CSH($\alpha + 2$)、...CSHp、CSL($\beta + 1$)、CSL($\beta + 2$)、...CSLqは、互いに接続されていてもよい。ここで、1つの画素PIXに対応して補助容量線が1本配される構成では、全ての補助容量線が互いに接続され、1つの画素PIXに対応して補助容量線が2本配される構成では、High側電位が供給される補助容量線同士が互いに接続されるとともに、Low側電位が供給される補助容量線同士が互いに接続される。

【0105】

また、液晶表示装置21では、全ての補助容量線線CSH1、CSH2、...CSH α 、CSL1、CSL2、...CSL β 、CSH($\alpha + 1$)、CSH($\alpha + 2$)、...CSHp、CSL($\beta + 1$)、CSL($\beta + 2$)、...CSLqの終端は、開放されていてもよい。全ての補助容量線の終端を開放すると、補助容量電圧を設定する前は階調バラツキの境界が顕著に現れる。よって、補助容量電圧を設定すべき補助容量線の特定が容易となるとともに、補助容量電圧を増減することによる調整の効果が高まる。

10

【0106】

本発明は上述した各実施例に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施例にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0107】

本発明の液晶表示装置は、分割駆動型の液晶表示パネルにおいても、液晶表示パネルの面内に生じる階調バラツキに起因する輝度ムラを解消することができるので、大型の液晶表示パネルに好適に用いることが出来る。

20

【符号の説明】

【0108】

- 1, 1' , 21 液晶表示装置
- 2, 2' 液晶表示パネル
- 3 信号線駆動回路(信号線駆動部)
- 3A 信号線駆動回路(第1の信号線駆動部)
- 3B 信号線駆動回路(第2の信号線駆動部)
- 4 走査線駆動回路(走査線駆動部)
- 4A 走査線駆動回路(第1の走査線駆動部)
- 4B 走査線駆動回路(第2の走査線駆動部)
- 6 制御回路
- 7 下CSH電圧調整回路
- 8, ACSH, ACSL, Adiff 差動増幅回路
- 10 基準電圧回路
- 11 温度補正回路
- 12 加算回路
- A, B 補助容量線駆動回路
- CSH1, CSH2, ...CSH($p - 1$), CSHp 補助容量線
- CSL1, CSL2, ...CSL($q - 1$), CSLq 補助容量線
- CSH1 ~ CSH12 補助容量線
- CSH13 ~ CSH24 補助容量線
- CSL1 ~ CSL12 補助容量線
- CSL13 ~ CSL24 補助容量線
- CSH1, CSH2, ...CSH α 補助容量線
- CSL1, CSL2, ...CSL β 補助容量線
- CSH($\alpha + 1$), CSH($\alpha + 2$), ...CSHp 補助容量線
- CSL($\beta + 1$), CSL($\beta + 2$), ...CSLq 補助容量線
- G1, G2, ...G, Gm 走査線(走査線、第1の走査線、第2の走査線)

30

40

50

MD 下画面（表示領域、第2の表示領域）

MU 上画面（表示領域、第1の表示領域）

PIX, PIX_n 画素

R₁, R₃ ~ R₆ 抵抗

R₂ 抵抗値調整部

バーRH, バーRL, バーRW ノード

R_f, R_f' 帰還抵抗

R_i 入力抵抗

R_s 信号源抵抗

S₁, S₂, ... S, S_n 信号線

SA₁, SA₂, ... SA, SA_n 信号線（第1の信号線）

SB₁, SB₂, ... SB, SB_n 信号線（第2の信号線）

VCSH₁ ~ VCSH₁₂, VCSH₁₃ ~ VCSH₂₄, VCSL₁ ~ VCSL₁₂,
VCSL₁₃ ~ VCSL₂₄ 電圧（補助容量電圧）

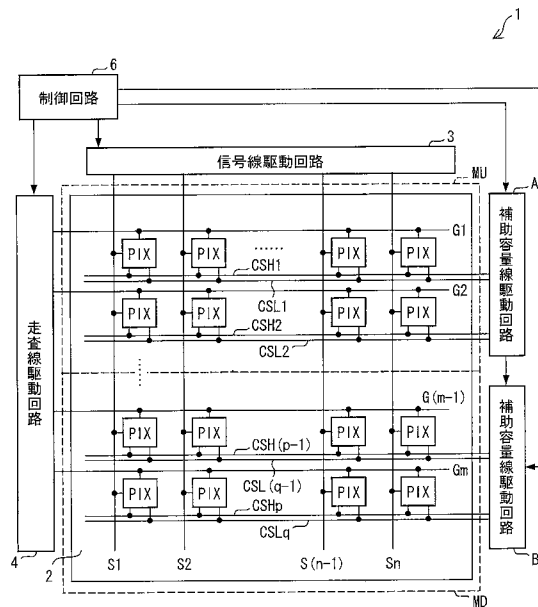
VLS 電源電圧

V_m 微小電圧

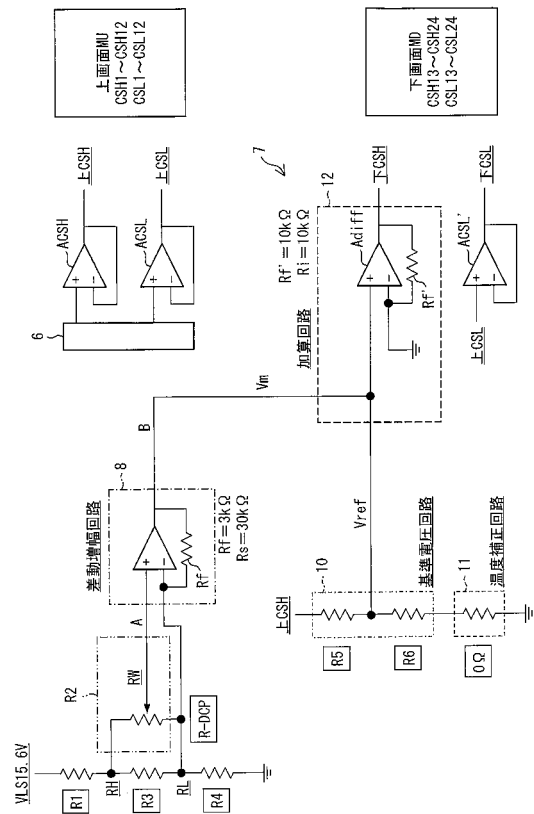
V_{ref} 基準電圧

10

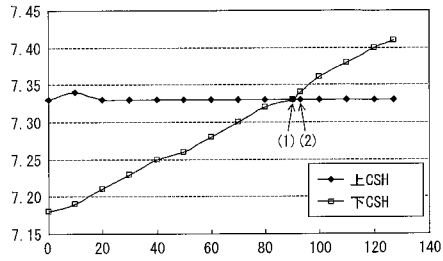
【図1】



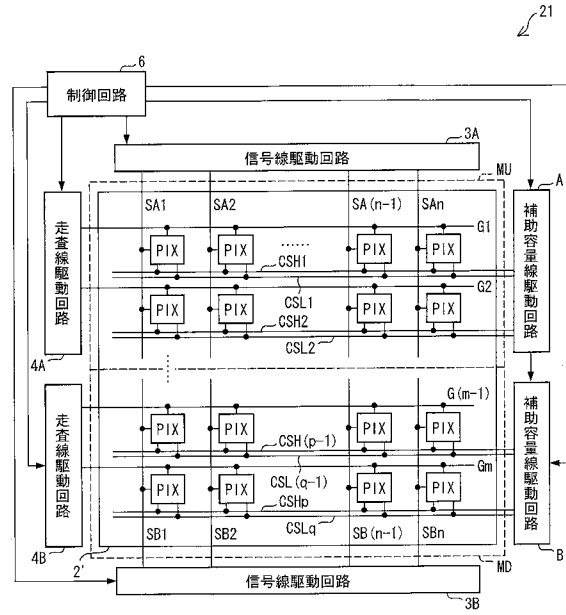
【図2】



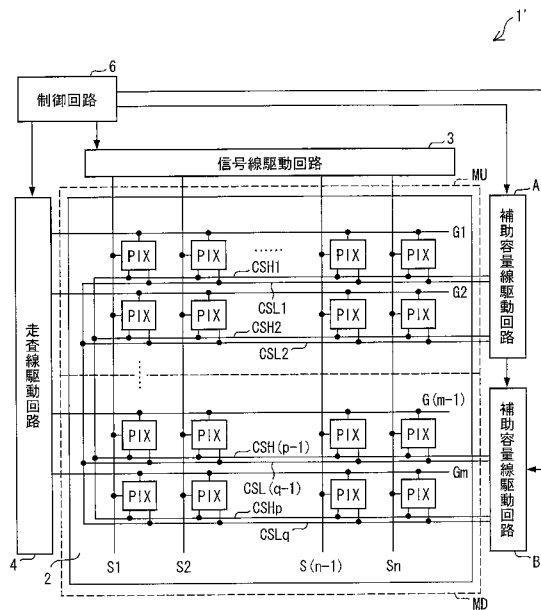
【図 3】



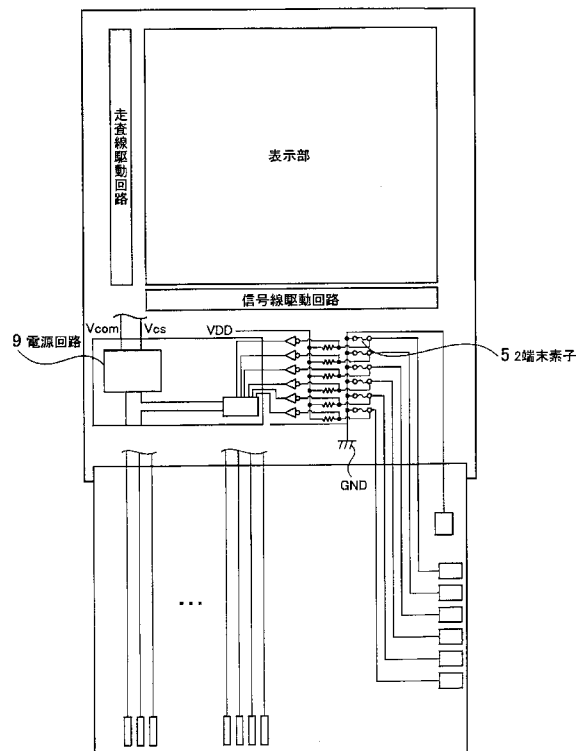
【図 5】



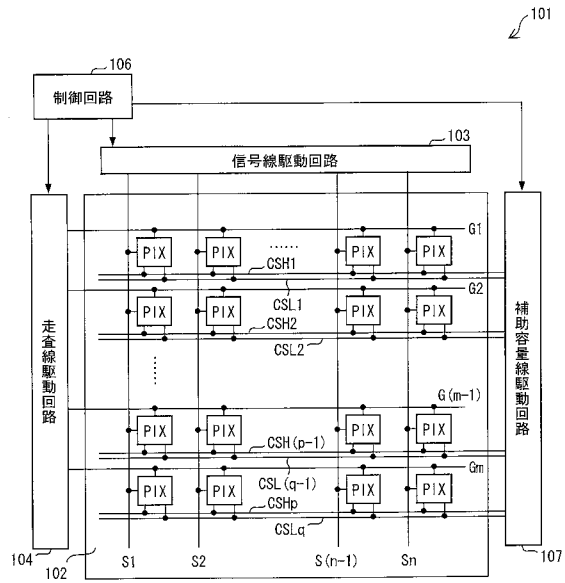
【図 8】



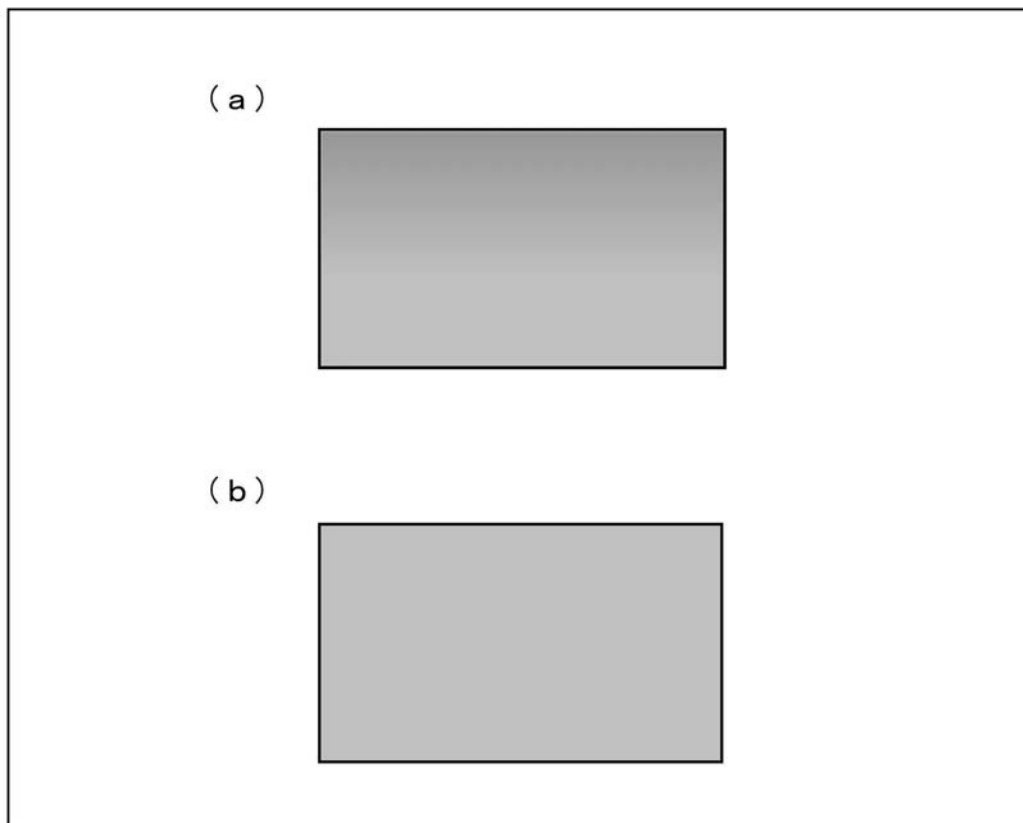
【図 10】



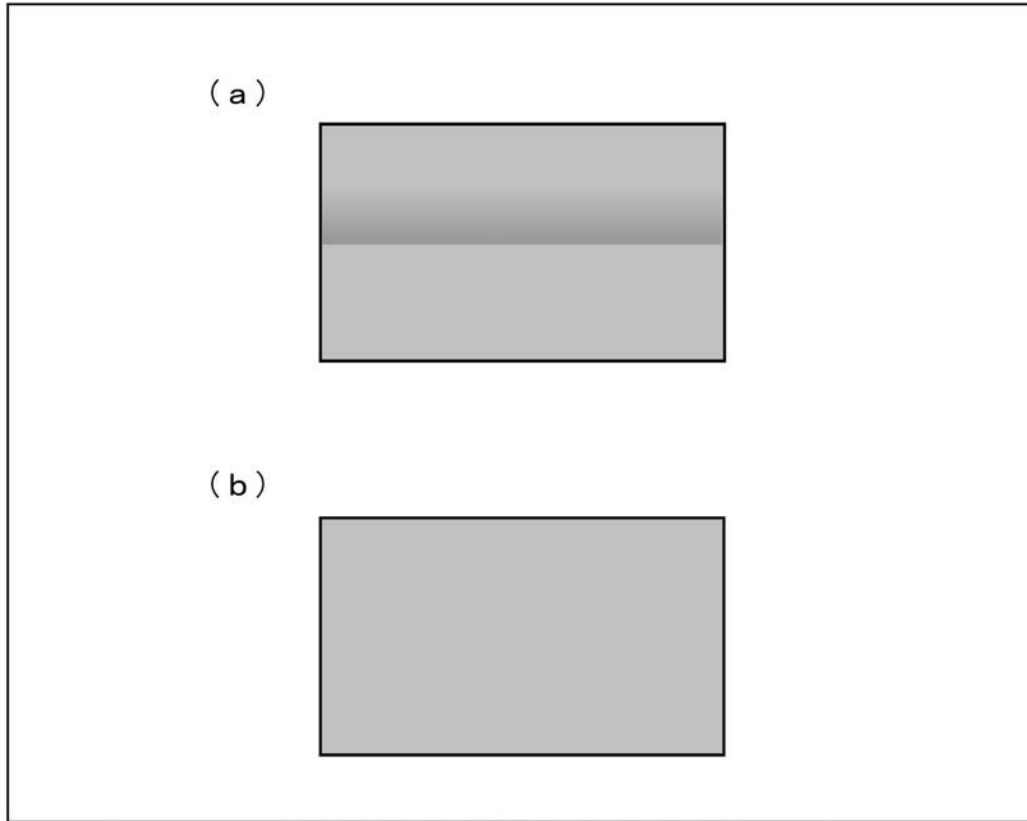
【図 11】



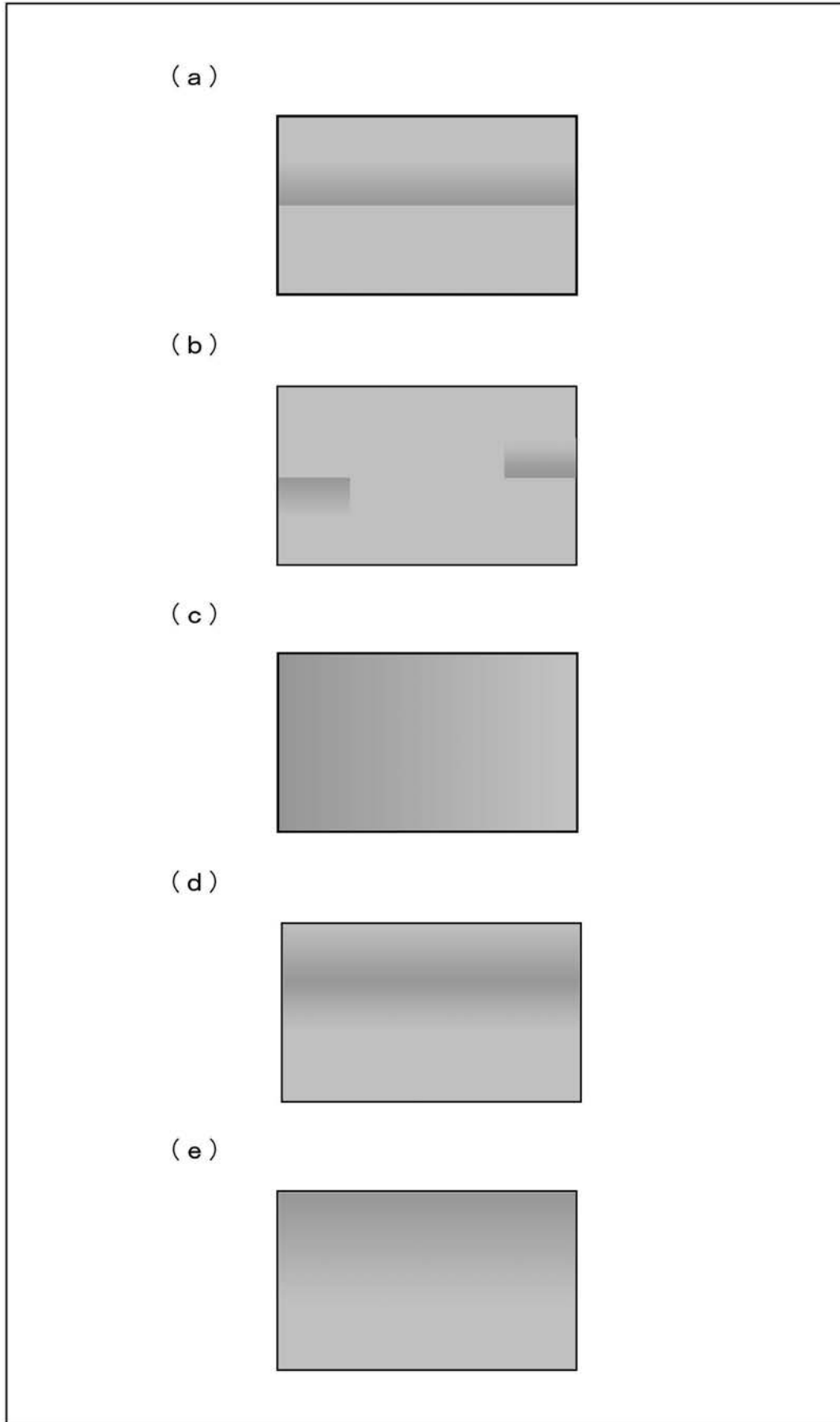
【図 4】



【図 6】



【図 7】



【図 9】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 4 2 B
G 0 2 F 1/133 5 5 0

(56)参考文献 国際公開第 2 0 0 7 / 1 0 2 3 8 2 (W O , A 1)
特開 2 0 0 5 - 0 4 9 8 4 9 (J P , A)
特開 2 0 0 8 - 1 6 4 8 5 2 (J P , A)
特開 2 0 0 7 - 2 1 9 2 0 0 (J P , A)
特開 2 0 0 1 - 2 5 5 8 5 1 (J P , A)
特開 2 0 0 6 - 2 3 5 5 9 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5412524B2	公开(公告)日	2014-02-12
申请号	JP2011537166	申请日	2010-06-22
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	奥村 寛		
发明人	奥村 寛		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3666 G02F1/1345 G02F2001/133391 G09G3/3655 G09G2300/0426 G09G2300/0876 G09G2320/0223 G09G2320/0233 G09G2320/041		
FI分类号	G09G3/36 G09G3/20.624.D G09G3/20.624.C G09G3/20.622.L G09G3/20.621.M G09G3/20.642.A G09G3/20.642.B G02F1/133.550		
优先权	2009242468 2009-10-21 JP		
其他公开文献	JPWO2011048847A1		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是消除由于在分割驱动的LCD面板的平面中发生的灰度变化引起的亮度不均匀性。本发明的LCD装置(1)将显示屏划分为多个显示屏(MU, MD), 多个存储电容线(CSH1至CSHp和CSL1至CSLq)被分成多个存储电容线对于多个显示屏(MU, MD)中的每一个, 并且为多个显示屏(MU, MD)中的每一个单独设置存储电容器电压, 存储电容器电压被施加到多个存储器中的每一个电容线(CSH1至CSHp和CSL1至CSLq)。

【图 1】

