

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5381637号
(P5381637)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)

GO9G 3/20 (2006.01)

GO9G 3/36 (2006.01)

GO9F 9/30 (2006.01)

GO2F 1/133 (2006.01)

GO2F 1/1368

GO9G 3/20 641G

GO9G 3/20 680G

GO9G 3/36

GO9G 3/20 624D

請求項の数 13 (全 36 頁) 最終頁に続く

(21) 出願番号	特願2009-264438 (P2009-264438)	(73) 特許権者	000001443
(22) 出願日	平成21年11月20日 (2009.11.20)		カシオ計算機株式会社
(65) 公開番号	特開2011-107545 (P2011-107545A)		東京都渋谷区本町 1 丁目 6 番 2 号
(43) 公開日	平成23年6月2日 (2011.6.2)	(74) 代理人	110001254
審査請求日	平成24年9月24日 (2012.9.24)		特許業務法人光陽国際特許事務所
		(74) 代理人	100090033
			弁理士 荒船 博司
		(74) 代理人	100093045
			弁理士 荒船 良男
		(72) 発明者	中村 やよい
			東京都八王子市石川町 2 9 5 1 番地の 5
			カシオ計算機株式会社 八王子技術センタ
			ー内
		審査官	植田 高盛
			最終頁に続く

(54) 【発明の名称】 液晶表示装置、電子機器、及び駆動方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 の方向に沿って隣接して配列された第 1 の走査線及び第 2 の走査線と、
前記第 1 の方向に直交する第 2 の方向に沿って設けられた信号線と、
前記第 1 の走査線と前記信号線に接続され、前記第 1 の方向に沿って配設された第 1 の画素電極と第 2 の画素電極とを有し、前記第 1 の画素電極と前記第 2 の画素電極とが互いに異なる面積を有する第 1 の表示画素と、
前記第 1 の表示画素に対し前記第 2 の方向に隣接して配設され、前記第 2 の走査線と前記信号線に接続され、前記第 1 の方向に沿って配設された第 3 の画素電極と第 4 の画素電極とを有し、前記第 3 の画素電極は前記第 2 の画素電極と同じ面積を有し、前記第 4 の画素電極は前記第 1 の画素電極と同じ面積を有し、前記第 3 の画素電極は前記第 1 の画素電極に前記第 2 の方向に沿って隣接して配設され、前記第 4 の画素電極は前記第 2 の画素電極に前記第 2 の方向に沿って隣接して配設されている第 2 の表示画素と、
前記第 1 の画素電極と前記第 4 の画素電極、又は、前記第 2 の画素電極と前記第 3 の画素電極、の一方に対し、平面的に重なる位置に設けられている補助電極線と、
を有し、

前記補助電極線は、(1) 前記第 1 の画素電極と前記第 4 の画素電極に平面的に重なる位置に設けられていて、前記第 2 の画素電極と前記第 3 の画素電極に平面的に重ならない位置に設けられている、(2) 前記第 2 の画素電極と前記第 3 の画素電極に平面的に重なる位置に設けられていて、前記第 1 の画素電極と前記第 4 の画素電極に平面的に重ならない

い位置に設けられている、の何れかであることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 の画素電極に印加される第 1 の実効電圧に対して前記第 2 の画素電極に印加される第 2 の実効電圧を異ならせ、前記第 3 の画素電極に印加される第 3 の実効電圧に対して前記第 4 の画素電極に印加される第 4 の実効電圧を異ならせる電圧信号を前記補助電極線に印加する電圧印加回路を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 の走査線及び前記第 2 の走査線を選択期間毎に順次選択する走査ドライバを有し、

前記電圧信号は、前記選択期間を半周期とした波形信号を有することを特徴とする請求項 2 に記載の液晶表示装置。

10

【請求項 4】

前記第 1 の画素電極、前記第 2 の画素電極、前記第 3 の画素電極及び前記第 4 の画素電極に液晶層を介して対向する共通電極と、

前記共通電極の電位を基準として、前記選択期間に同期して極性が反転する階調信号を前記複数の信号線に出力するデータドライバと、
を有し、

前記第 2 の画素電極は前記第 1 の画素電極よりも大きい面積を有し、

前記補助電極線は、前記第 2 の画素電極と前記第 3 の画素電極に対し、平面的に重なる位置に設けられ、

20

前記電圧信号は、前記階調信号と同相の波形信号を有することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 1 の画素電極、前記第 2 の画素電極、前記第 3 の画素電極及び前記第 4 の画素電極に液晶層を介して対向する共通電極と、

前記共通電極の電圧を基準として、前記選択期間に同期して極性が反転する階調信号を前記複数の信号線に出力するデータドライバと、

を有し、

前記第 2 の画素電極は前記第 1 の画素電極より小さい面積を有し、

前記補助電極線は、前記第 2 の画素電極と前記第 3 の画素電極に対し、平面的に重なる位置に設けられ、

30

前記電圧信号は、前記階調信号と逆位相の波形信号を有することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 6】

前記第 1 の表示画素に対し前記第 1 の方向に沿って隣接して配設される第 3 の表示画素と、前記第 3 の表示画素に対し前記第 2 の方向に隣接して配設され、前記第 2 の表示画素に前記第 1 の方向に沿って隣接して配設される第 4 の表示画素と、を有し、

前記第 3 の表示画素は、前記第 1 の方向に沿って配設された第 5 の画素電極と第 6 の画素電極とを有し、前記第 5 の画素電極は前記第 2 の画素電極と同じ面積を有し、前記第 6 の画素電極は前記第 1 の画素電極と同じ面積を有し、

40

前記第 4 の表示画素は、前記第 1 の方向に沿って配設された第 7 の画素電極と第 8 の画素電極とを有し、前記第 7 の画素電極は前記第 1 の画素電極と同じ面積を有し、前記第 8 の画素電極は前記第 2 の画素電極と同じ面積を有し、

前記第 7 の画素電極は前記第 5 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、前記第 8 の画素電極は前記第 6 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、

前記第 2 の画素電極と前記第 5 の画素電極とは前記第 1 の方向に沿って隣接して配設され、

前記第 4 の画素電極と前記第 7 の画素電極は前記第 1 の方向に沿って隣接して配設されていることを特徴とする請求項 1 乃至 3 の何れかに記載の液晶表示装置。

50

【請求項 7】

前記補助電極線は、前記第 5 の画素電極と前記第 8 の画素電極、又は、前記第 6 の画素電極と前記第 7 の画素電極、の一方に対し、平面的に重なる位置に設けられていることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 2 の表示画素に対し前記第 2 の方向に沿って隣接して配設された第 5 の表示画素と、前記第 5 の表示画素に対し前記第 2 の方向に沿って隣接して配設された第 6 の表示画素と、を有し、

前記第 5 の表示画素は、前記第 1 の方向に沿って配設された第 9 の画素電極と第 10 の画素電極とを有し、前記第 9 の画素電極は前記第 2 の画素電極と同じ面積を有し、前記第 10 の画素電極は前記第 1 の画素電極と同じ面積を有し、

前記第 6 の表示画素は、前記第 1 の方向に沿って配設された第 11 の画素電極と第 12 の画素電極とを有し、前記第 11 の画素電極は前記第 1 の画素電極と同じ面積を有し、前記第 12 の画素電極は前記第 2 の画素電極と同じ面積を有し、

前記第 11 の画素電極は前記第 9 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、前記第 12 の画素電極は前記第 10 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、

前記第 9 の画素電極は前記第 3 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、前記第 10 の画素電極は前記第 4 の画素電極に対し前記第 2 の方向に沿って隣接して配設されていることを特徴とする請求項 1 乃至 3 の何れかに記載の液晶表示装置。

【請求項 9】

前記補助電極線は、前記第 9 の画素電極と前記第 12 の画素電極、又は、前記第 10 の画素電極と前記第 11 の画素電極、の一方に対し、平面的に重なる位置に設けられていることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

請求項 1 から 9 の何れか一項に記載の液晶表示装置を備える電子機器。

【請求項 11】

第 1 の方向に沿って隣接して配列された第 1 の走査線及び第 2 の走査線と、前記第 1 の方向に直交する第 2 の方向に沿って設けられた信号線と、前記信号線と前記第 1 の走査線に接続され、前記第 1 の方向に沿って配設された第 1 の画素電極と第 2 の画素電極とを有し、前記第 2 の画素電極は前記第 1 の画素電極より大きい面積を有する第 1 の表示画素と、前記第 1 の表示画素に対し前記第 2 の方向に隣接して配設され、前記信号線と前記第 2 の走査線に接続され、前記第 1 の方向に沿って配設された第 3 の画素電極と第 4 の画素電極とを有し、前記第 3 の画素電極は前記第 2 の画素電極と同じ面積を有し、前記第 4 の画素電極は前記第 1 の画素電極と同じ面積を有し、前記第 3 の画素電極は前記第 1 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、前記第 4 の画素電極は前記第 2 の画素電極に対し前記第 2 の方向に沿って隣接して配設されている第 2 の表示画素と、前記第 1 の画素電極と前記第 4 の画素電極に平面的に重なる位置に設けられているときに前記第 2 の画素電極と前記第 3 の画素電極に平面的に重ならない位置に設けられ、前記第 2 の画素電極と前記第 3 の画素電極に平面的に重なる位置に設けられているときに前記第 1 の画素電極と前記第 4 の画素電極に平面的に重ならない位置に設けられている補助電極線と、前記第 1 の画素電極、前記第 2 の画素電極、前記第 3 の画素電極及び前記第 4 の画素電極に液晶層を介して対向する共通電極と、を有する液晶ディスプレイパネルを駆動する駆動方法であって、

前記第 1 の走査線及び前記第 2 の走査線を選択期間毎に順次選択する走査線駆動ステップと、

前記共通電極を一定電位に設定する共通電極駆動ステップと、

前記共通電極の電位を基準として、前記選択期間に同期して極性が反転する階調信号を前記信号線に出力する信号線駆動ステップと、

前記補助電極線に、前記選択期間を半周期とした波形信号を有し、前記第 2 の画素電極

の実効電圧を前記第 1 の画素電極の実効電圧と異ならせる電圧信号を印加する補助電極線駆動ステップと、

を含むことを特徴とする駆動方法。

【請求項 1 2】

前記補助電極線駆動ステップは、前記電圧信号を前記階調信号と同相の波形信号に設定する第 1 の電圧信号設定ステップを含むことを特徴とする請求項 1 記載の駆動方法。

【請求項 1 3】

前記補助電極線駆動ステップは、前記電圧信号を前記階調信号と逆位相の波形信号に設定する第 2 の電圧信号設定ステップを含むことを特徴とする請求項 1 記載の駆動方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、液晶表示装置、電子機器、及び駆動方法に関する。

【背景技術】

【0002】

アクティブマトリクス方式の液晶表示装置は、基板上にマトリクス状に配置された画素電極に対して対向基板の共通電極が対向して配置し、これらの基板の間に液晶が充填されることで構成される。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】特開平 7 - 0 2 8 0 9 1 号公報

【特許文献 2】特開平 8 - 0 1 5 7 2 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、液晶表示装置は、視角依存性を有する。つまり、表示画面の見る角度によって表示画面の見え方が変化してしまう。そのため、表示状態の視角依存性を改善することが望まれている。

【0005】

30

本発明の課題は、液晶表示装置における視角依存性を低下できるようにすることである。

【課題を解決するための手段】

【0006】

以上の課題を解決するために、本発明によれば、

液晶表示装置が、

第 1 の方向に沿って隣接して配列された第 1 の走査線及び第 2 の走査線と、

前記第 1 の方向に直交する第 2 の方向に沿って設けられた信号線と、

前記第 1 の走査線と前記信号線に接続され、前記第 1 の方向に沿って配設された第 1 の画素電極と第 2 の画素電極とを有し、前記第 1 の画素電極と前記第 2 の画素電極とが互いに異なる面積を有する第 1 の表示画素と、

40

前記第 1 の表示画素に対し前記第 2 の方向に隣接して配設され、前記第 2 の走査線と前記信号線に接続され、前記第 1 の方向に沿って配設された第 3 の画素電極と第 4 の画素電極とを有し、前記第 3 の画素電極は前記第 2 の画素電極と同じ面積を有し、前記第 4 の画素電極は前記第 1 の画素電極と同じ面積を有し、前記第 3 の画素電極は前記第 1 の画素電極に前記第 2 の方向に沿って隣接して配設され、前記第 4 の画素電極は前記第 2 の画素電極に前記第 2 の方向に沿って隣接して配設されている第 2 の表示画素と、

前記第 1 の画素電極と前記第 4 の画素電極、又は、前記第 2 の画素電極と前記第 3 の画素電極、の一方に対し、平面的に重なる位置に設けられている補助電極線と、
を有し、

50

前記補助電極線は、(1) 前記第 1 の画素電極と前記第 4 の画素電極に平面的に重なる位置に設けられていて、前記第 2 の画素電極と前記第 3 の画素電極に平面的に重ならない位置に設けられている、(2) 前記第 2 の画素電極と前記第 3 の画素電極に平面的に重なる位置に設けられていて、前記第 1 の画素電極と前記第 4 の画素電極に平面的に重ならない位置に設けられている、の何れかであることとした。

【 0 0 0 7 】

好ましくは、

前記補助電極線は、前記第 1 の画素電極と前記第 4 の画素電極に平面的に重なる位置に設けられているとき、前記第 2 の画素電極と前記第 3 の画素電極に平面的に重ならない位置に設けられ、前記第 2 の画素電極と前記第 3 の画素電極に平面的に重なる位置に設けら

10

好ましくは、

前記第 1 の画素電極に印加される第 1 の実効電圧に対して前記第 2 の画素電極に印加される第 2 の実効電圧を異ならせ、前記第 3 の画素電極に印加される第 3 の実効電圧に対して前記第 4 の画素電極に印加される第 4 の実効電圧を異ならせる電圧信号を前記補助電極線に印加する電圧印加回路を備えることとした。

好ましくは、

前記第 1 の走査線及び前記第 2 の走査線を選択期間毎に順次選択する走査ドライバを有し、

20

前記電圧信号は、前記選択期間を半周期とした波形信号を有することとした。

好ましくは、

前記第 1 の画素電極、前記第 2 の画素電極、前記第 3 の画素電極及び前記第 4 の画素電極に液晶層を介して対向する共通電極と、

前記共通電極の電位を基準として、前記選択期間に同期して極性が反転する階調信号を前記複数の信号線に出力するデータドライバと、

を有し、

前記第 2 の画素電極は前記第 1 の画素電極よりも大きい面積を有し、

前記補助電極線は、前記第 2 の画素電極と前記第 3 の画素電極に対し、平面的に重なる位置に設けられ、

30

前記電圧信号は、前記階調信号と同相の波形信号を有することとした。

好ましくは、

前記第 1 の画素電極、前記第 2 の画素電極、前記第 3 の画素電極及び前記第 4 の画素電極に液晶層を介して対向する共通電極と、

前記共通電極の電圧を基準として、前記選択期間に同期して極性が反転する階調信号を前記複数の信号線に出力するデータドライバと、

を有し、

前記第 2 の画素電極は前記第 1 の画素電極より小さい面積を有し、

前記補助電極線は、前記第 2 の画素電極と前記第 3 の画素電極に対し、平面的に重なる位置に設けられ、

40

前記電圧信号は、前記階調信号と逆位相の波形信号を有することとした。

好ましくは、

前記第 1 の表示画素に対し前記第 1 の方向に沿って隣接して配設される第 3 の表示画素と、前記第 3 の表示画素に対し前記第 2 の方向に隣接して配設され、前記第 2 の表示画素に前記第 1 の方向に沿って隣接して配設される第 4 の表示画素と、を有し、

前記第 3 の表示画素は、前記第 1 の方向に沿って配設された第 5 の画素電極と第 6 の画素電極とを有し、前記第 5 の画素電極は前記第 2 の画素電極と同じ面積を有し、前記第 6 の画素電極は前記第 1 の画素電極と同じ面積を有し、

前記第 4 の表示画素は、前記第 1 の方向に沿って配設された第 7 の画素電極と第 8 の画素電極とを有し、前記第 7 の画素電極は前記第 1 の画素電極と同じ面積を有し、前記第 8

50

の画素電極は前記第 2 の画素電極と同じ面積を有し、

前記第 7 の画素電極は前記第 5 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、前記第 8 の画素電極は前記第 6 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、

前記第 2 の画素電極と前記第 5 の画素電極とは前記第 1 の方向に沿って隣接して配設され、

前記第 4 の画素電極と前記第 7 の画素電極は前記第 1 の方向に沿って隣接して配設されていることとした。

好ましくは、

前記補助電極線は、前記第 5 の画素電極と前記第 8 の画素電極、又は、前記第 6 の画素電極と前記第 7 の画素電極、の一方に対し、平面的に重なる位置に設けられていることとした。

好ましくは、

前記第 2 の表示画素に対し前記第 2 の方向に沿って隣接して配設された第 5 の表示画素と、前記第 5 の表示画素に対し前記第 2 の方向に沿って隣接して配設された第 6 の表示画素と、を有し、

前記第 5 の表示画素は、前記第 1 の方向に沿って配設された第 9 の画素電極と第 10 の画素電極とを有し、前記第 9 の画素電極は前記第 2 の画素電極と同じ面積を有し、前記第 10 の画素電極は前記第 1 の画素電極と同じ面積を有し、

前記第 6 の表示画素は、前記第 1 の方向に沿って配設された第 11 の画素電極と第 12 の画素電極とを有し、前記第 11 の画素電極は前記第 1 の画素電極と同じ面積を有し、前記第 12 の画素電極は前記第 2 の画素電極と同じ面積を有し、

前記第 11 の画素電極は前記第 9 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、前記第 12 の画素電極は前記第 10 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、

前記第 9 の画素電極は前記第 3 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、前記第 10 の画素電極は前記第 4 の画素電極に対し前記第 2 の方向に沿って隣接して配設されていることとした。

好ましくは、

前記補助電極線は、前記第 9 の画素電極と前記第 12 の画素電極、又は、前記第 10 の画素電極と前記第 11 の画素電極、の一方に対し、平面的に重なる位置に設けられていることとした。

【0008】

また、以上の課題を解決するために、本発明によれば、電子機器が、前記液晶表示装置を備えることとした。

【0009】

また、以上の課題を解決するために、本発明によれば、

前記液晶ディスプレイパネルを駆動する駆動方法が、

第 1 の方向に沿って隣接して配列された第 1 の走査線及び第 2 の走査線と、前記第 1 の方向に直交する第 2 の方向に沿って設けられた信号線と、前記信号線と前記第 1 の走査線に接続され、前記第 1 の方向に沿って配設された第 1 の画素電極と第 2 の画素電極とを有し、前記第 2 の画素電極は前記第 1 の画素電極より大きい面積を有する第 1 の表示画素と、前記第 1 の表示画素に対し前記第 2 の方向に隣接して配設され、前記信号線と前記第 2 の走査線に接続され、前記第 1 の方向に沿って配設された第 3 の画素電極と第 4 の画素電極とを有し、前記第 3 の画素電極は前記第 2 の画素電極と同じ面積を有し、前記第 4 の画素電極は前記第 1 の画素電極と同じ面積を有し、前記第 3 の画素電極は前記第 1 の画素電極に対し前記第 2 の方向に沿って隣接して配設され、前記第 4 の画素電極は前記第 2 の画素電極に対し前記第 2 の方向に沿って隣接して配設されている第 2 の表示画素と、前記第 1 の画素電極と前記第 4 の画素電極に平面的に重なる位置に設けられているときに前記第 2 の画素電極と前記第 3 の画素電極に平面的に重ならない位置に設けられ、前記第 2 の画

10

20

30

40

50

素電極と前記第 3 の画素電極に平面的に重なる位置に設けられているときに前記第 1 の画素電極と前記第 4 の画素電極に平面的に重ならない位置に設けられている補助電極線と、前記第 1 の画素電極、前記第 2 の画素電極、前記第 3 の画素電極及び前記第 4 の画素電極に液晶層を介して対向する共通電極と、を有する液晶ディスプレイパネルを駆動する駆動方法であって、

前記第 1 の走査線及び前記第 2 の走査線を選択期間毎に順次選択する走査線駆動ステップと、

前記共通電極を一定電位に設定する共通電極駆動ステップと、

前記共通電極の電位を基準として、前記選択期間に同期して極性が反転する階調信号を前記信号線に出力する信号線駆動ステップと、

10

前記補助電極線に、前記選択期間を半周期とした波形信号を有し、前記第 2 の画素電極の実効電圧を前記第 1 の画素電極の実効電圧と異ならせる電圧信号を印加する補助電極線駆動ステップと、

を含むこととした。

【 0 0 1 0 】

好ましくは、

前記補助電極線駆動ステップは、前記電圧信号を前記階調信号と同相の波形信号に設定する第 1 の電圧信号設定ステップを含むこととした。

好ましくは、

前記補助電極線駆動ステップは、前記電圧信号を前記階調信号と逆位相の波形信号に設定する第 2 の電圧信号設定ステップを含むこととした。

20

【発明の効果】

【 0 0 1 1 】

本発明によれば、液晶表示装置の視角依存性を低減することができるとともに、いわゆる階調反転の発生を抑えることができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】本発明を適用した第一実施形態における電子機器の斜視図である。

【図 2】ディスプレイシステムの分解斜視図である。

【図 3】液晶表示装置の構成を示すブロック図である。

30

【図 4】液晶ディスプレイパネルに設けられる 1 つの表示画素の等価回路を示す図である。

【図 5】液晶ディスプレイパネルに設けられる 1 つの表示画素の平面図である。

【図 6】図 5 の VI - VI 線に沿った面の矢視断面図である。

【図 7】図 5 の VII - VII 線に沿った面の矢視断面図である。

【図 8】図 5 の VIII - VIII 線に沿った面の矢視断面図である。

【図 9】図 5 の IX - IX 線に沿った面の矢視断面図である。

【図 10】各信号の信号波形を示すタイミングチャート図である。

【図 11】走査ドライバの構成を示すブロック図である。

【図 12】保持回路の回路構成の一例を示す回路図である。

40

【図 13】データドライバの構成を示すブロック図である。

【図 14】階調基準電圧生成回路及び D/A コンバータの回路構成の一例を示す回路図である。

【図 15】小副画素に関する電圧のタイミングチャートである。

【図 16】大副画素に関する電圧のタイミングチャートである。

【図 17】従来の液晶ディスプレイパネルにおける液晶の視角依存性を示したグラフである。

【図 18】本実施形態の液晶ディスプレイパネルにおける液晶の視角依存性を示したグラフである。

【図 19】小副画素電極に重なる液晶の光透過率特性と、大副画素電極に重なる液晶の光

50

透過率特性の一例を示す図である。

【図 2 0】小副画素電極に重なる液晶の光透過率特性と、大副画素電極に重なる液晶の光透過率特性の一例を示す図である。

【図 2 1】表示画素の配列の第一例を示す平面図である。

【図 2 2】表示画素の配列の第二例を示す平面図である。

【図 2 3】表示画素の配列の第三例を示す平面図である。

【図 2 4】表示画素の配列の第四例を示す平面図である。

【図 2 5】第二の実施形態において 1 つの表示画素の平面図である。

【図 2 6】同実施形態において、各信号の信号波形を示すタイミングチャートである。

【図 2 7】小副画素電極に重なる液晶の光透過率特性と、大副画素電極に重なる液晶の光透過率特性の一例を示す図である。

10

【図 2 8】小副画素電極に重なる液晶の光透過率特性と、大副画素電極に重なる液晶の光透過率特性の一例を示す図である。

【図 2 9】同実施形態において、小副画素電極に重なる液晶の光透過率特性と、大副画素電極に重なる液晶の光透過率特性の一例を示す図である。

【図 3 0】同実施形態において、小副画素電極に重なる液晶の光透過率特性と、大副画素電極に重なる液晶の光透過率特性の一例を示す図である。

【図 3 1】同実施形態において、表示画素の配列の一例を示す平面図である。

【発明を実施するための形態】

【0013】

20

以下に、本発明を実施するための形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0014】

< 第一の実施の形態 >

まず、本発明の第一の実施形態について説明する。

図 1 は、電子機器 100 の斜視図である。図 1 に示すように、電子機器 100 には、ディスプレイシステム 110 が搭載されている。

【0015】

図 2 は、ディスプレイシステム 110 の分解斜視図である。ディスプレイシステム 110 は、液晶表示装置 1 及びバックライト 130 等を備える。

30

【0016】

液晶表示装置 1 は液晶ディスプレイパネル 10 及び IC チップ 8 等を有する。液晶ディスプレイパネル 10 は、アクティブマトリクス駆動方式のものである。この液晶ディスプレイパネル 10 はトランジスタアレイ基板 10a 及び対向基板 10b 等を有する。対向基板 10b がトランジスタアレイ基板 10a に対向している。シール材が対向基板 10b の縁部分に沿って枠状に設けられ、そのシール材が対向基板 10b とトランジスタアレイ基板 10a との間に挟持され、そのシール材によってトランジスタアレイ基板 10a と対向基板 10b が接合されている。トランジスタアレイ基板 10a と対向基板 10b の間であってシール材の内側に液晶 10g (図 6 ~ 図 9 等に図示) が封入されている。対向基板 10b の上には、偏光板 10e が貼着されている。

40

【0017】

トランジスタアレイ基板 10a のサイズは対向基板 10b のサイズよりも大きく、トランジスタアレイ基板 10a の一部が対向基板 10b の縁からはみ出ている。トランジスタアレイ基板 10a と対向基板 10b が重なった部分が表示領域である。表示領域内には、複数の走査線 16 (図 3 等に図示) が設けられているとともに、複数の信号線 15 (図 3 等に図示) が設けられている。また、表示領域内には、スイッチ素子 212、スイッチ素子 222 (図 4 等に図示)、小副画素電極 211 及び大副画素電極 221 (図 4 等に図示) が形成されている。これらスイッチ素子 212、スイッチ素子 222、小副画素電極 211 及び大副画素電極 221 は、表示画素ごとに設けられている。対向基板 10b の両面

50

のうちトランジスタアレイ基板 10a に対向する面には、透明な共通電極 14 (図 4 等に図示) が形成されている。

【0018】

トランジスタアレイ基板 10a のうち対向基板 10b の縁からはみ出た非表示領域 10c には、IC チップ 81 が表面実装されている。共通電極 14、走査線 16 及び信号線 15 は引き回し配線を介して IC チップ 81 に接続されている。IC チップ 81 には、駆動装置 90 (図 3 に図示) が内蔵されている。

また、非表示領域 10c には、可撓性回路シート (いわゆる FPC: Flexible Printed circuit) 10d が接合されている。可撓性回路シート 10d が、電子機器 100 に内蔵されたメイン回路基板に接続されている。メイン回路基板によって出力された映像信号 (画像信号) が可撓性回路シート 10d によって IC チップ 81 の駆動装置 90 に転送される。駆動装置 90 が映像信号に基づき液晶ディスプレイパネル 10 を駆動し、液晶ディスプレイパネル 10 によって映像が表示される。

【0019】

バックライト 130 は、液晶ディスプレイパネル 10 の表示面の反対面に、つまりトランジスタアレイ基板 10a に対向している。バックライト 130 は、液晶ディスプレイパネル 10 に向けて面発光するものである。バックライト 130 は、例えば、LED 等の点発光素子をマトリクス状に配列したもの、一列に配列された LED 等の点発光素子と導光板を組み合わせたもの、冷陰極管等の線状発光素子と導光板を組み合わせたもの、又は、エレクトロルミネッセンス素子等の面発光素子を用いたものである。バックライト 130 には、可撓性回路シート 131 が接続されている。この可撓性回路シート 131 が、電子機器 100 に内蔵されたメイン回路基板に接続されている。可撓性回路シート 131 によって電力がメイン回路基板からバックライト 130 に供給されることによって、バックライト 130 が発光する。

【0020】

図 3 は、液晶表示装置 1 の構成を示したブロック図である。液晶表示装置 1 は、液晶ディスプレイパネル 10 と、駆動装置 90 とを有する。

液晶ディスプレイパネル 10 には、複数の走査線 16 が互いに平行となって横方向 (水平方向) に延びるように設けられている。複数の信号線 15 は、複数の走査線 16 に対して直交するとともに、互いに平行となって縦方向 (垂直方向) に延びるように設けられている。これら信号線 15 と走査線 16 の各交差部近傍に表示画素 200 が設けられている。これら表示画素 200 が、マトリクス状に配列されている。

【0021】

図 4 は液晶ディスプレイパネル 10 に設けられる 1 つの表示画素 200 の等価回路図である。

【0022】

信号線 15 と走査線 16 の各交差部に設けられる表示画素 200 は、小副画素 210 及び大副画素 220 からなる。

【0023】

小副画素 210 には、第一液晶キャパシタ 17a、第一補助キャパシタ (第 1 補助容量) 18a 及びスイッチ素子 212 が設けられている。スイッチ素子 212 は薄膜トランジスタである。スイッチ素子 212 のゲート電極 213 が走査線 16 に接続されている。スイッチ素子 212 のソース電極 218 が信号線 15 に接続されている。スイッチ素子 212 のドレイン電極 217 と共通電圧生成回路 60 の出力端子との間には、第一液晶キャパシタ 17a と第一補助キャパシタ 18a が、並列接続されている。

スイッチ素子 212 は、第一補助キャパシタ 18a 及び第一液晶キャパシタ 17a と信号線 15 の間の接続の開閉を行う。

【0024】

大副画素 220 には、第二液晶キャパシタ 17b、第二補助キャパシタ (第 2 補助容量) 18b、第三補助キャパシタ (第 3 補助容量) 18c 及びスイッチ素子 222 が設けら

10

20

30

40

50

れている。スイッチ素子 2 2 2 は薄膜トランジスタである。スイッチ素子 2 2 2 のゲート電極 2 2 3 が走査線 1 6 に接続されている。スイッチ素子 2 2 2 のソース電極 2 2 8 が信号線 1 5 に接続されている。スイッチ素子 2 2 2 のドレイン電極 2 2 7 と共通電圧生成回路 6 0 の出力端子との間には、第二液晶キャパシタ 1 7 b と第二補助キャパシタ 1 8 b が並列接続されている。また、スイッチ素子 2 2 2 のドレイン電極 2 2 7 は、第三補助キャパシタ 1 8 c を介して、電圧印加回路としての波形信号生成回路 7 0 の出力端子に接続されている。

スイッチ素子 2 2 2 は、第二補助キャパシタ 1 8 b、第三補助キャパシタ 1 8 c 及び第二液晶キャパシタ 1 7 b と信号線 1 5 の間の接続の開閉を行う。

なお、電極 2 1 7、2 2 7 がソース電極であり、電極 2 1 8、2 2 8 がドレイン電極であつてもよい。

【 0 0 2 5 】

本実施形態においては、スイッチ素子 2 1 2 が第一のスイッチ素子であり、スイッチ素子 2 2 2 が第二のスイッチ素子である。

【 0 0 2 6 】

共通電圧生成回路 6 0 は、共通電圧 V_{com} を第一液晶キャパシタ 1 7 a、第一補助キャパシタ 1 8 a、第二液晶キャパシタ 1 7 b 及び第二補助キャパシタ 1 8 b に印加する。

波形信号生成回路 7 0 は、パルス波形の波形信号 V_d を第三補助キャパシタ 1 8 c に出力する。

【 0 0 2 7 】

図 5 は、トランジスタアレイ基板 1 0 a を対向基板 1 0 b 側から見て示した場合の表示画素 2 0 0 の平面図である。

図 4 に示された第一補助キャパシタ 1 8 a は、図 5 に示された補助容量線 1 9 1 と小副画素電極 2 1 1 とによって構成される。本実施形態においては、小副画素電極 2 1 1 が第一の画素電極である。

図 4 に示された第二補助キャパシタ 1 8 b は、補助容量線 1 9 1 と大副画素電極 2 2 1 とによって構成される。

図 4 に示された第三補助キャパシタ 1 8 c は、補助電極線 1 9 2 と大副画素電極 2 2 1 とによって構成される。本実施の形態では、大副画素電極 2 2 1 が第二の画素電極である。

図 4 に示された第一液晶キャパシタ 1 7 a は、図 5 に示された小副画素電極 2 1 1 と、図 2 に示された対向基板 1 0 b に形成された共通電極 1 4 とによって構成される。共通電極 1 4 と小副画素電極 2 1 1 との間には、液晶 1 0 g が挟まれている。

図 4 に示された第二液晶キャパシタ 1 7 b は、図 5 に示された大副画素電極 2 2 1 と、図 2 に示された対向基板 1 0 b に形成された共通電極 1 4 とによって構成される。共通電極 1 4 と大副画素電極 2 2 1 との間には、液晶 1 0 g が挟まれている。

【 0 0 2 8 】

表示画素 2 0 0 の平面構造について図 5 を参照して説明する。

補助容量線 1 9 1 及び補助電極線 1 9 2 が、走査線 1 6 に平行に設けられている。補助容量線 1 9 1 は、走査線 1 6 と補助電極線 1 9 2 との間に配置されている。

【 0 0 2 9 】

スイッチ素子 2 1 2 及びスイッチ素子 2 2 2 は、信号線 1 5 と走査線 1 6 の各交差点近傍に設けられている。スイッチ素子 2 1 2 が信号線 1 5 の片側に配置され、スイッチ素子 2 2 2 が信号線 1 5 のもう一方の片側に配置されている。スイッチ素子 2 1 2 とスイッチ素子 2 2 2 は、信号線 1 5 に関して線対称となる位置に配置されている。

スイッチ素子 2 1 2 が走査線 1 6 の片側に配置され、スイッチ素子 2 2 2 が走査線 1 6 に関してスイッチ素子 2 1 2 と同じ側に配置されている。

【 0 0 3 0 】

小副画素電極 2 1 1 が信号線 1 5 の片側に配置され、大副画素電極 2 2 1 が信号線 1 5 のもう一方の片側に配置されている。小副画素電極 2 1 1 と大副画素電極 2 2 1 は、信号

10

20

30

40

50

線 1 5 に関して線対称となる位置に配置されている。

小副画素電極 2 1 1 は、信号線 1 5 に関してスイッチ素子 2 1 2 と同じ側に配置されている。大副画素電極 2 2 1 は、信号線 1 5 に関してスイッチ素子 2 2 2 と同じ側に配置されている。

信号線 1 5 に沿う方向の大副画素電極 2 2 1 の長さは、同方向の小副画素電極 2 1 1 の長さよりも長い。また、大副画素電極 2 2 1 の面積は、小副画素電極 2 1 1 の面積よりも大きい。小副画素電極 2 1 1 の面積は、大副画素電極 2 2 1 の面積の例えば約 3 分の 1 である。

【 0 0 3 1 】

補助容量線 1 9 1 は、小副画素電極 2 1 1 及び大副画素電極 2 2 1 に重なっている。これにより上述の通り補助容量線 1 9 1 は小副画素電極 2 1 1 との間で第一補助キャパシタ 1 8 a を形成し、大副画素電極 2 2 1 との間で第二補助キャパシタ 1 8 b を形成している。これに対し、補助電極線 1 9 2 は、大副画素電極 2 2 1 に重なっているが、小副画素電極 2 1 1 には重なっていない。これにより、補助電極線 1 9 2 は、大副画素電極 2 2 1 との間で第三補助キャパシタ 1 8 c を形成している。

なお、1 つの表示画素 2 0 0 を構成する小副画素 2 1 0 及び大副画素 2 2 0 は同一の信号線 1 5 及び同一の走査線 1 6 に接続して設けられていればよく、図 5 に示す配置に限るものではない。

【 0 0 3 2 】

スイッチ素子 2 1 2 , 2 2 2 の平面構造について図 5 を参照して具体的に説明する。ゲート電極 2 1 3 , 2 2 3 は走査線 1 6 と一体に設けられている。ゲート電極 2 1 3 , 2 2 3 は走査線 1 6 から信号線 1 5 に沿う方向に延び出しており、ゲート電極 2 1 3 , 2 2 3 は同じ方向に延び出ている。ソース電極 2 1 8 , 2 2 8 は信号線 1 5 と一体に設けられている。ソース電極 2 1 8 , 2 2 8 は信号線 1 5 から走査線 1 6 に沿う方向に延び出しており、ソース電極 2 1 8 とソース電極 2 2 8 は反対向きに延び出ている。ソース電極 2 1 8 , 2 2 8 は、その先端部がそれぞれゲート電極 2 1 3 , 2 2 3 に重なるようにして設けられている。ソース電極 2 1 8 , 2 2 8 の先端部はゲート電極 2 1 3 , 2 2 3 に重なるように配置されている。ドレイン電極 2 1 7 , 2 2 7 はそれぞれ走査線 1 6 と平行に設けられている。ドレイン電極 2 1 7 の一端部がゲート電極 2 1 3 に重なり、ドレイン電極 2 1 7 の他端部が小副画素電極 2 1 1 に重なるように設けられている。ドレイン電極 2 2 7 の一端部がゲート電極 2 2 3 に重なり、ドレイン電極 2 2 7 の他端部が大副画素電極 2 2 1 に重なるように設けられている。

【 0 0 3 3 】

図 6 ~ 9 を参照して液晶ディスプレイパネル 1 0 及び表示画素 2 0 0 の断面構造を説明する。図 6 ~ 図 9 は、液晶ディスプレイパネル 1 0 の断面図である。具体的には、図 6 は図 5 に示された VI-VI に沿った面の矢視断面図である。図 7 は図 5 に示された VII-VII に沿った面の矢視断面図である。図 8 は図 5 に示された VIII-VIII に沿った面の矢視断面図である。図 9 は図 5 に示された IX-IX に沿った面の矢視断面図である。

【 0 0 3 4 】

図 6 ~ 図 9 に示すように、透明な対向基板 1 0 b の一方の面には、透明な共通電極 1 4 が成膜されている。対向基板 1 0 b とトランジスタアレイ基板 1 0 a が対向し、それらの間に液晶 1 0 g が封入されている。なお、対向基板 1 0 b の共通電極 1 4 の上面及びトランジスタアレイ基板 1 0 a の対向基板 1 0 b と対向する側の面には配向膜が形成されている。

【 0 0 3 5 】

トランジスタアレイ基板 1 0 a においては、ゲート絶縁膜 2 3 1 が透明基板 1 0 f 上に成膜され、絶縁性のオーバーコート膜 2 3 2 がゲート絶縁膜 2 3 1 上に成膜されている。ゲート絶縁膜 2 3 1 及びオーバーコート膜 2 3 2 は、窒化シリコン又は酸化シリコンからなる。

【 0 0 3 6 】

透明基板 10 f とゲート絶縁膜 231 の間には、スイッチ素子 212, 222 のゲート電極 213, 223 が形成されている。更に、補助容量線 191、補助電極線 192 及び走査線 16 も、透明基板 10 f とゲート絶縁膜 231 の間に形成されている。そして、ゲート電極 213, 223、補助容量線 191、補助電極線 192 及び走査線 16 が、ゲート絶縁膜 231 によって被覆されている。なお、トランジスタアレイ基板 10 a の製造工程において、透明基板 10 f 上に成膜された導電性膜をフォトリソグラフィ法・エッチング法によって形状加工することによって、ゲート電極 213, 223、補助容量線 191、補助電極線 192 及び走査線 16 が一括形成される。

【0037】

また、ゲート絶縁膜 231 とオーバーコート膜 232 の間には、信号線 15 が形成されている。更に、スイッチ素子 212, 222 のドレイン電極 217, 227、ソース電極 218, 228、コンタクト層 216 a, 216 b, 226 a, 226 b、チャネル保護膜 215, 225 及び半導体薄膜 214, 224 がゲート絶縁膜 231 とオーバーコート膜 232 の間に形成されている。そして、信号線 15、ドレイン電極 217, 227、ソース電極 218, 228、コンタクト層 216 a, 216 b, 226 a, 226 b、チャネル保護膜 215, 225 及び半導体薄膜 214, 224 が、オーバーコート層 232 によって被覆されている。なお、トランジスタアレイ基板 10 a の製造工程において、ゲート絶縁膜 231 上に成膜された導電性膜をフォトリソグラフィ法・エッチング法によって形状加工することによって、信号線 15、ドレイン電極 217, 227 及びソース電極 218, 228 が一括形成される。

【0038】

図 6 に示すように、ゲート絶縁膜 231 上であってゲート電極 213 に対応する位置には、真性なアモルファスシリコン又は多結晶シリコンからなる半導体薄膜 214 が設けられている。半導体薄膜 214 は、ゲート絶縁膜 231 を挟んでゲート電極 213 に相対している。半導体薄膜 214 の中央部上には、絶縁性のチャネル保護膜 215 が設けられている。半導体薄膜 214 上であってチャネル保護膜 215 の両側には、n 型又は P 型のアモルファスシリコンからなるコンタクト層 216 a, 216 b がそれぞれ設けられている。一方のコンタクト層 216 a の上にはドレイン電極 217 が設けられている。他方のコンタクト層 216 b の上にはソース電極 218 が設けられている。

【0039】

ゲート電極 213、ゲート絶縁膜 231、半導体薄膜 214、チャネル保護膜 215、コンタクト層 216 a, 216 b、ドレイン電極 217 及びソース電極 218 により、スイッチ素子 212 が構成されている。スイッチ素子 222 の層構造はスイッチ素子 212 の層構造と同様に構成されている。すなわちスイッチ素子 222 は、ゲート電極 223、ゲート絶縁膜 231、半導体薄膜 224、チャネル保護膜 225、コンタクト層 226 a, 226 b、ドレイン電極 227 及びソース電極 228 から構成される。

【0040】

オーバーコート膜 232 には、ドレイン電極 217 の所定の箇所に対応する部分にコンタクトホール 219 が設けられている。同様に、ドレイン電極 227 に対応する部分にコンタクトホール 229 が設けられている。また、オーバーコート膜 232 上には、透明導電性材料（例えば、ITO: Indium-Tin-Oxide）からなる小副画素電極 211 及び大副画素電極 221 が設けられている。小副画素電極 211 がコンタクトホール 219 を介して第一スイッチ素子 212 のドレイン電極 217 に接続され、大副画素電極 221 がコンタクトホール 229 を介してスイッチ素子 222 のドレイン電極 227 に接続されている。これら小副画素電極 211 及び大副画素電極 221 が、共通電極 14 に対向している。

【0041】

図 7 に示すように、小副画素電極 211 と補助容量線 191 が、これらの間にゲート絶縁膜 231 及びオーバーコート膜 232 を挟んで、一部対向している。これにより、第一補助キャパシタ 18 a が形成される。

また、小副画素電極 211 が共通電極 14 に対向し、これらの間に液晶 10 g が挟まれ

10

20

30

40

50

ている。これにより、第一液晶キャパシタ 17 a が形成される。

【0042】

図8に示すように、大副画素電極 221 と補助容量線 191 が、これらの間にゲート絶縁膜 231 及びオーバーコート膜 232 を挟んで、一部対向している。これにより、第二補助キャパシタ 18 b が形成される。

また、大副画素電極 221 と補助電極線 192 が、これらの間にゲート絶縁膜 231 及びオーバーコート膜 232 を挟んで、一部対向している。これにより、第三補助キャパシタ 18 c が形成される。

また、大副画素電極 221 が共通電極 14 に対向し、これらの間に液晶 10 g が挟まれている。これにより、第二液晶キャパシタ 17 b が形成される。

10

【0043】

なお、図7、図9に示すように補助容量線 191 及び補助電極線 192 が透明基板 10 f とゲート絶縁膜 231 の間に形成されているとしたが、補助容量線 191 及び補助電極線 192 がゲート絶縁膜 231 とオーバーコート膜 232 の間に形成されていてもよい。この場合、平面視して、補助容量線 191 及び補助電極線 192 が、図5に示すように走査線 16 に対して平行に設けられているのではなく、信号線 15 に対して平行に設けられている。そして、二本の補助容量線 191 が信号線 15 の両側にそれぞれ配置され、一方の補助容量線 191 が小副画素電極 211 に重なり、他方の補助容量線 191 が大副画素電極 221 に重なっている。また、補助電極線 192 が信号線 15 の片側に配置され、この補助電極線 192 が大副画素電極 221 に重なっている。

20

【0044】

以下、駆動装置 90 の構成について具体的に説明すると共に、駆動装置 90 による液晶ディスプレイパネル 10 の駆動方法について具体的に説明する。

【0045】

図3に示されているように、駆動装置 90 は、データドライバ 30 と、走査ドライバ 40 と、共通電圧生成回路 60 と、波形信号生成回路 70 と、制御回路 80 と、を備える。

【0046】

これらデータドライバ 30、走査ドライバ 40、共通電圧生成回路 60、波形信号生成回路 70 及び制御回路 80 は、図2に示された IC チップ 81 に内蔵されている。画像メモリ 50 は、図1に示された電子機器 100 に内蔵されたメイン回路基板に設けられている。

30

画像メモリ 50 は、液晶表示装置 1 の外部から入力される映像信号を一時的に記憶する。そして画像メモリ 50 は記憶した映像信号を制御回路 80 に出力する。

制御回路 80 は、画像メモリ 50 から入力した映像信号に基づいて階調信号 Data、水平同期信号 H 及び垂直同期信号 V を生成する。制御回路 80 は、クロック信号 CLK、極性反転信号 Pol 及びその他の制御信号を生成する。制御回路 80 は、階調信号 Data、水平同期信号 H、垂直同期信号 V、クロック信号 CLK、極性反転信号 Pol 等の水平制御信号をデータドライバ 30 に出力する。制御回路 80 は、水平同期信号 H、垂直同期信号 V 等の垂直制御信号を走査ドライバ 40 に出力する。制御回路 80 は、極性反転信号 Pol を波形信号生成回路 70 に出力する。

40

【0047】

ここで、図10を参照して、制御回路 80 によって生成される各信号について説明する。

階調信号 Data は、 n (n は 1 以上の自然数である。) ビットの信号である。階調信号 Data は、表示画素 200 ごとの階調を示す。

クロック信号 CLK は、所定周期の信号であって、データドライバ 30 及び制御回路 80 の動作タイミングの同期を取るための信号である。例えば、クロック信号 CLK は、階調信号 Data を各表示画素 200 に応じたタイミングでタイミング信号である。

水平同期信号 H は、水平方向 (走査線 16 に沿う方向) の同期を取るための信号である。水平同期信号 H は 1 水平同期期間 (1 H、1 選択期間) 毎のタイミングで出力される信

50

号であり、1 水平同期期間内に1 行分の描画が行われる。第1 ゲートクロック信号 G C K 1 と第2 ゲートクロック信号 G C K 2 は立ち上がり及び立ち下がりが水平同期信号 H に同期した信号であり、1 / 2 周期が1 水平同期期間となっており、第1 ゲートクロック信号 G C K 1 と第2 ゲートクロック信号 G C K 2 は互いに逆位相となっている。

垂直同期信号 V は、垂直方向の同期をとるための信号である。垂直同期信号 V は1 フレーム期間毎のタイミングで出力される信号であり、1 フレーム期間に1 画面の描画が行われる。

極性反転信号 P o l は、1 水平同期期間ごとに極性が反転する信号である。また、極性反転信号 P o l の位相が1 フレーム期間ごとに1 8 0 ° 遅れ、又は進む。つまり、1 フレーム期間の最初の1 水平同期期間で極性反転信号 P o l がハイであれば、次の1 フレーム期間の最初の1 水平同期期間で極性反転信号 P o l がローとなり、1 フレーム期間の最初の1 水平同期期間で極性反転信号 P o l がローであれば、次の1 フレーム期間の最初の1 水平同期期間で極性反転信号 P o l がハイとなる。極性反転信号 P o l は、ライン反転駆動及びフレーム反転駆動のために用いる。ライン反転駆動とは、共通電極 1 4 の電圧を基準とした信号線 1 5 の電圧の極性を1 水平同期期間毎に反転して、液晶ディスプレイパネル 1 0 を駆動する方式である。フレーム反転駆動とは、共通電極 1 4 の共通電圧 V c o m を基準とした副画素電極 2 1 1 , 2 2 1 の電圧の極性が1 フレーム期間毎に反転するように、液晶ディスプレイパネル 1 0 を駆動する方式である。

【 0 0 4 8 】

図 3、図 1 0 に示すように、共通電圧生成回路 6 0 は、共通電圧 V c o m を生成する。共通電圧生成回路 6 0 は、共通電極 1 4 及び補助容量線 1 9 1 に共通電圧 V c o m を印加する。共通電圧 V c o m は一定電圧である。共通電極 1 4 の電圧値が共通電圧 V c o m で一定であるから、いわゆるコモン D C 駆動が行われる。コモン D C 駆動とは、共通電極 1 4 の電圧を一定電圧にして液晶ディスプレイパネル 1 0 を駆動する方式である。

【 0 0 4 9 】

図 1 1 及び図 1 2 を参照して走査ドライバ 4 0 について説明する。

図 1 1 は走査ドライバ 4 0 の構成の概略を示した図である。走査ドライバ 4 0 は、制御回路 8 0 から出力される垂直同期信号 V 及び水平同期信号 H に基づいて、各走査線 1 6 に信号を出力する。

【 0 0 5 0 】

走査ドライバ 4 0 は、N 段の保持回路 4 1 が直列に配置されて構成される (N は走査線 1 6 の本数を表す) 。 1 段目 ~ N 段目の保持回路 4 1 は、それぞれが1 行目 ~ N 行目の走査線 1 6 に信号を出力する。保持回路 4 1 は、入力端子 I N と、出力端子 O U T と、リセット端子 R S T と、クロック信号入力端子 C K と、高電位電源入力端子 T h と、低電位電源入力端子 T l とを有している。1 段目の保持回路 4 1 の入力端子 I N には、1 行目の走査線 1 6 に対応する垂直同期信号 V が供給される。2 段目以後の保持回路 4 1 の入力端子 I N には、当該保持回路 4 1 の一段前の保持回路 4 1 の出力信号が供給される。また、保持回路 4 1 のリセット端子 R S T には、当該保持回路の一段後の保持回路 4 1 の出力信号が供給される。なお、最終段 (N 段目) の保持回路 (図示せず) のリセット端子 R S T には、別途リセット信号 E N D が供給される構成としてもよいし、1 段目の保持回路 4 1 の出力信号が供給される構成としてもよい。

【 0 0 5 1 】

更に、奇数段目の保持回路 4 1 のクロック信号入力端子 C K には、第1 ゲートクロック信号 G C K 1 が供給される。偶数段目の保持回路 4 1 のクロック信号入力端子 C K には、第2 ゲートクロック信号 G C K 2 が供給される。また、各保持回路 4 1 の高電位電源入力端子 T h には所定の高電圧 V g h が供給され、各保持回路 4 1 の低電位電源入力端子 T l には、高電圧 V g h よりも低い所定の低電圧 V g l が供給される。

【 0 0 5 2 】

図 1 2 は保持回路 4 1 の回路構成の一例を示した図である。保持回路 4 1 は6 個の M O S 型電界効果トランジスタ (M O S トランジスタ) 4 1 1 ~ 4 1 6 とコンデンサ 4 1 7 と

10

20

30

40

50

を有している。

【 0 0 5 3 】

走査ドライバ 4 0 は、複数の走査線 1 6 を順次選択するとともに、そのような選択を繰り返す。具体的には、走査ドライバ 4 0 は、垂直同期信号 V のパルスが入力されると、第 1、第 2 ゲートクロック信号 G C K 1、G C K 2 に同期して複数の走査線 1 6 を 1 行目から順次選択する。そして、走査ドライバ 4 0 は、これら走査線 1 6 の順次選択が一巡した後に垂直同期信号 V が入力され、第 1、第 2 ゲートクロック信号 G C K 1、G C K 2 に同期して複数の走査線 1 6 を 1 行目から再び順次選択する。

【 0 0 5 4 】

ここで、図 1 0 中では、G (1)、G (2)、...、G (N) は、走査ドライバ 4 0 によって、1 行目の走査線 1 6、2 行目の走査線 1 6、...、N 行目 (N は走査線 1 6 の本数を表す。) の走査線 1 6 に出力される信号 (走査信号) を表す。走査ドライバ 4 0 は、選択した走査線 1 6 に 1 水平同期期間だけハイレベルの高電圧 V g h を印加する。これにより、選択された走査線 1 6 に接続された表示画素 2 0 0 については、スイッチ素子 2 1 2 が信号線 1 5 と小副画素電極 2 1 1 との間を閉じるとともに、スイッチ素子 2 2 2 が信号線 1 5 と大副画素電極 2 2 1 との間を閉じる。一方、選択されていない走査線 1 6 に接続された表示画素 2 0 0 については、スイッチ素子 2 1 2 が信号線 1 5 と小副画素電極 2 1 1 との間を開くとともに、スイッチ素子 2 2 2 が信号線 1 5 と大副画素電極 2 2 1 との間を開く。なお、図 1 0 では、G (1)、G (2)、...、G (N) がハイレベル V g h となる期間を 1 水平同期期間よりやや短い期間としている。これは実際の回路動作における動作マージンを考慮したものであるが、本発明はこれに限定されるものではなく、G (1)、G (2)、...、G (N) がハイレベル V g h となる期間が 1 水平同期期間に一致するものであってもよい。後述の図 2 6 においても同様である。

【 0 0 5 5 】

図 1 3 及び図 1 4 を参照してデータドライバ 3 0 について説明する。

図 1 3 はデータドライバ 3 0 の構成を示した図である。データドライバ 3 0 は、シフトレジスタ回路 3 1 と、データレジスタ回路 3 2 と、データラッチ回路 3 3 と、D A コンバータ 2 4 とを有している。D A コンバータ 3 4 は D A C 回路 3 4 1 とバッファアンプ 3 4 2 とからなる。データレジスタ回路 3 2、データラッチ回路 3 3、D A C 回路 3 4 1 及びバッファアンプ 3 4 2 は、信号線 1 5 ごとに設けられて、M 個 (M は信号線 1 5 の本数を表す) 設けられている。

【 0 0 5 6 】

シフトレジスタ回路 3 1 は、水平同期信号 H のパルスの立ち上がり同期して、データレジスタ回路 3 2 のアドレスを開始する。つまり、水平同期信号 H のパルスが立ち上がると、シフトレジスタ回路 3 1 が、クロック信号 C L K に同期して選択信号をデータレジスタ回路 3 2 に順次出力することによって、1 水平同期期間の間にデータレジスタ回路 3 2 を順次選択する。

選択されたデータレジスタ回路 3 2 は、1 行分の表示画素 2 0 0 に対応する階調信号 D a t a を順次記憶する。

データラッチ回路 3 3 は、データレジスタ回路 3 2 に記憶された 1 行分の階調信号 D a t a を水平制御信号における制御信号 C T L に応じて取り込み保持するとともに、その保持している階調信号 D a t a を D A C 回路 3 4 1 に出力する。

階調基準電圧生成回路 3 5 は、 2^n 通り (n は階調信号 D a t a のビット数) の階調基準電圧を生成するとともに、生成した 2^n 通りの階調基準電圧を D A C 回路 3 4 1 に出力する。なお、図 1 3 においては、 $n = 8$ として示している。

D A C 回路 3 4 1 は、階調基準電圧生成回路 3 5 によって生成された 2^n 通りの階調基準電圧の中から、入力された階調信号 D a t a に対応する階調基準電圧を選択して、その選択した階調基準電圧を階調信号 S (i) (i = 1 ~ M) として信号線 1 5 に出力する。

【 0 0 5 7 】

図 1 4 は、階調基準電圧生成回路 3 5 及び D A コンバータ 2 4 の回路構成の一例を示し

た図である。

階調基準電圧生成回路 35 は、開閉スイッチ $S A 1$, $S A 2$, $S B 1$, $S B 2$ と、ラダー抵抗器 351 , 352 と、切替スイッチ $S Y (1) \sim S Y (2^n)$ とを有する。ラダー抵抗器 351 は抵抗 $R A (1) \sim R A (2^n + 1)$ が直列接続されてなり、ラダー抵抗器 352 は抵抗 $R B (1) \sim R B (2^n + 1)$ が直列接続されてなる。第 1 高電位電圧源 $V H 1$ の電位は第 1 低電位電圧源 $V L 1$ の電位よりも高く、第 1 高電位電圧源 $V H 1$ 及び第 1 低電位電圧源 $V L 1$ は、共通電圧 $V c o m$ に等しいかそれより高い電位を有する。また、第 2 高電位電圧源 $V H 2$ の電位は第 2 低電位電圧源 $V L 2$ の電位よりも高く、第 2 高電位電圧源 $V H 2$ 及び第 2 低電位電圧源 $V L 2$ は、共通電圧 $V c o m$ に等しいかそれより低い電位を有する。開閉スイッチ $S A 1$ が、ラダー抵抗器 351 の一端部と第 1 低電位電圧源 $V L 1$ との間を開閉する。開閉スイッチ $S A 2$ が、ラダー抵抗器 351 の他端部と第 1 高電位電圧源 $V H 1$ との間の接続の開閉をする。開閉スイッチ $S B 1$ が、ラダー抵抗器 352 の一端部と第 2 高電位電圧源 $V H 2$ との間の接続を開閉する。開閉スイッチ $S B 2$ が、ラダー抵抗器 352 の他端部と第 2 低電位電圧源 $V L 2$ との間の接続を開閉する。

ここで、開閉スイッチ $S A 1$, $S A 2$, $S B 1$, $S B 2$ は、極性反転信号 $P o l$ のレベルに従って切り替えられる。即ち、極性反転信号 $P o l$ がハイレベルである時には、開閉スイッチ $S A 1$, $S A 2$ が閉じるとともに、開閉スイッチ $S B 1$, $S B 2$ が開き、極性反転信号 $P o l$ がローレベルである時には、開閉スイッチ $S A 1$, $S A 2$ が開くとともに、開閉スイッチ $S B 1$, $S B 2$ が閉じる。従って、極性反転信号 $P o l$ がハイレベルである時には、ラダー抵抗器 351 が選択される。そのため、第 1 高電位電圧源 $V H 1$ と第 1 低電位電圧源 $V L 1$ の電位差が抵抗 $R A (1) \sim R A (2^n + 1)$ によって分圧され、抵抗 $R A (1) \sim$ 抵抗 $R A (2^n + 1)$ の間の接続部の電圧が 2^n 通りの階調基準電圧として生成される。一方、極性反転信号 $P o l$ がローレベルである時には、ラダー抵抗器 352 が選択される。そのため、第 2 高電位電圧源 $V H 2$ と第 2 低電位電圧源 $V L 2$ の電位差が抵抗 $R B (1) \sim R B (2^n + 1)$ によって分圧され、抵抗 $R B (1) \sim$ 抵抗 $R B (2^n + 1)$ の間の接続部の電圧が 2^n 通りの階調基準電圧として生成される。

【 0 0 5 8 】

電圧印加ライン $V (1) \sim V (2^n)$ が階調基準電圧生成回路 35 の出力である。抵抗 $R A (1) \sim R A (2^n + 1)$ の間の各接続部がそれぞれ切替スイッチ $S Y (1) \sim S Y (2^n)$ を介して電圧印加ライン $V (1) \sim V (2^n)$ に接続されている。また、抵抗 $R B (1) \sim R B (2^n + 1)$ の間の各接続部がそれぞれ切替スイッチ $S Y (1) \sim S Y (2^n)$ を介して電圧印加ライン $V (1) \sim V (2^n)$ に接続されている。切替スイッチ $S Y (1)$ は、抵抗 $R A (1)$ と抵抗 $R A (2)$ の接続部と、抵抗 $R B (1)$ と抵抗 $R B (2)$ の接続部とを、択一的に電圧印加ライン $V (1)$ に導通させる。切替スイッチ $S Y (2) \sim$ 切替スイッチ $S Y (2^n)$ についても同様である。

切替スイッチ $S Y (1) \sim S Y (2^n)$ は極性反転信号 $P o l$ のレベルに従って切り替えられる。即ち、極性反転信号 $P o l$ がハイレベルである時には、抵抗 $R A (1) \sim R A (2^n)$ の間の各接続部が、それぞれの切替スイッチ $S Y (1) \sim S Y (2^n)$ によって電圧印加ライン $V (1) \sim V (2^n)$ にそれぞれ導通する。一方、極性反転信号 $P o l$ がローレベルである時には、抵抗 $R B (1) \sim R B (2^n)$ の間の各接続部が、それぞれの切替スイッチ $S Y (1) \sim S Y (2^n)$ によって電圧印加ライン $V (1) \sim V (2^n)$ にそれぞれ導通する。

従って、極性反転信号 $P o l$ がハイレベルである時には、ラダー抵抗器 351 によって電圧印加ライン $V (1) \sim V (2^n)$ に出力される階調基準電圧が 1 段目から降順になる。ラダー抵抗器 351 によって電圧印加ライン $V (1) \sim V (2^n)$ に出力される階調基準電圧は、共通電圧生成回路 60 によって生成される共通電圧 $V c o m$ に等しいか、それよりも高い。一方、極性反転信号 $P o l$ がローレベルである時にはラダー抵抗器 352 によって電圧印加ライン $V (1) \sim V (2^n)$ に出力される階調基準電圧が 1 段目から昇順になる。ラダー抵抗器 352 によって電圧印加ライン $V (1) \sim V (2^n)$ に出力される階調基準電圧は、共通電圧生成回路 60 によって生成される共通電圧 $V c o m$ に等しいか

、それよりも低い。なお、上記においては2つのラダー抵抗器351, 352を有する構成としたが、1つのラダー抵抗器のみを有するものであってもよい。

【0059】

各DAC回路341は、デコーダ343と、開閉スイッチSW(1)~SW(2ⁿ)とを有する。開閉スイッチSW(1)~SW(2ⁿ)は電圧印加ラインV(1)~V(2ⁿ)の何れかと電圧出力ラインSLとの接続を開閉する。デコーダ343は、データラッチ回路33から出力された階調信号Dataを入力し、開閉スイッチSW(1)~SW(2ⁿ)の中から階調信号Dataに応じたものを選択する。開閉スイッチSW(1)~SW(2ⁿ)のうちデコーダ343に選択されたものが閉じた状態となり、それ以外のものが開いた状態となる。閉じた状態の開閉スイッチに対応する電圧印加ラインと電圧出力ラインSLとが導通され、当該電圧印加ラインに印加されている階調基準電圧が電圧出力ラインSLに印加される。電圧出力ラインSLに印加された階調基準電圧は、バッファアンプ342を介して信号線15に出力される。

10

【0060】

図10において、階調信号S(i)は、データドライバ30によって或る信号線15に印加される電圧を表す。つまり、階調信号S(i)は、或る信号線15についての階調信号Dataをアナログ化したものである。極性反転信号Polがハイレベルである時には、ラダー抵抗器351によって生成される2ⁿ通りの階調基準電圧が共通電圧Vcomに等しいかそれよりも高く、極性反転信号Polがローレベルである時には、ラダー抵抗器352によって生成される2ⁿ通りの階調基準電圧が共通電圧Vcomに等しいかそれよりも低い。そのため、共通電極14の共通電圧Vcomを基準とした階調信号S(i)の極性が、1水平同期期間ごとに反転する。そのため、ライン反転駆動が行われる。

20

【0061】

また、フレーム反転駆動も行われる。つまり、何れの表示画素200においても、共通電極14の共通電圧Vcomを基準とした副画素電極211, 221の電圧の極性が1フレーム期間毎に反転する。これは、極性反転信号Polの位相が1フレーム期間ごとに180°遅れ、又は進むためである。

【0062】

図3に示すように、波形信号生成回路70は、波形信号Vdを生成しX補助電極線192に印加する。図10に示すように、波形信号Vdは極性反転信号Polと同期した波形信号であり、極性反転信号Polと同位相になっている。つまり、極性反転信号PolがハイレベルVshの時には、波形信号Vdの電圧がハイレベルVdhである。一方、極性反転信号PolがローレベルVslの時には、波形信号Vdの電圧がローレベルVdlである。ハイレベルVdhは共通電圧Vcomよりも高く、ローレベルVdlは共通電圧Vcomよりも低い。ハイレベルVdhとローレベルVdlの値は、例えばその平均が共通電圧Vcomに等しくなる値に設定される。その場合、波形信号Vdは、共通電圧Vcomを中心電圧として、極性反転信号Polに同期した振動する矩形交流信号となる。波形信号Vdの周期は1水平同期期間の2倍である。また、波形信号Vdは、信号線15に出力される階調信号S(i)と同位相になっている。

30

【0063】

以上のように構成された液晶表示装置1では、走査ドライバ40が複数の走査線16を1行目から順に水平同期信号Hに同期して選択する。一方、データドライバ30が、それぞれのDAC回路341によってAD変換された階調信号S(i)をそれぞれの信号線15に出力する。つまり、データドライバ30は、それぞれのデータラッチ回路33にラッチされた階調信号Dataに応じた階調基準電圧を増幅して、それぞれの信号線15に印加する。

40

選択された走査線16に対応する各表示画素200については、スイッチ素子212, 222が開く。そのため、信号線15に出力されたアナログの階調信号S(i)が小副画素210及び大副画素220に書き込まれる。その後、その走査線16の選択が解除されると、スイッチ素子212, 222が閉じ、アナログの階調信号S(i)が次にその走査

50

線 16 が選択されるまで小副画素 210 及び大副画素 220 に保持される。なお、走査線 16 が選択されている水平同期期間を選択期間ともいい、その後にその走査線 16 の選択が解除されている期間を非選択期間という。

【0064】

ここで図 15 及び図 16 を参照して小副画素電極 211、大副画素電極 221 に印加される電圧について説明する。

【0065】

図 15 は、小副画素 210 に関する電圧のタイミングチャートである。

図 15 に示すように、選択期間（水平同期期間）では、スイッチ素子 212 が開いているから、階調信号 $S(i)$ に応じた電圧 V_{sig} が小副画素電極 211 に印加される。その後の非選択期間では、スイッチ素子 212 が閉じると、小副画素電極 211 の電圧が電圧 V_{sig} から ΔV だけ降下し、小副画素電極 211 の電圧と共通電極 14 の共通電圧 V_{com} の差が V_{lc} になる。このような挙動は、共通電極 14 の共通電圧 V_{com} を基準とした階調信号 $S(i)$ の極性が正の場合でも負の場合でも同様である。

ΔV は、スイッチ素子 212 が閉じる時に、走査線 16 のゲート電極 213 と小副画素電極 211 との間の寄生容量により発生する引き込み電圧を示している。共通電圧 V_{com} は、 ΔV を考慮して設定することが好ましい。即ち、共通電圧 V_{com} は、階調信号 $S(i)$ の振幅中心電圧（図 14 の抵抗 $R_A(1)$ と $R_A(2)$ の間の接続部の電圧と、抵抗 $R_B(1)$ と $R_B(2)$ の間の接続部の電圧の平均値）から ΔV だけシフトした（降下した）電圧に設定することが好ましい。

【0066】

図 16 は、大副画素 220 に関する電圧のタイミングチャートである。

まず、選択期間において、共通電極 14 の共通電圧 V_{com} を基準とした階調信号 $S(i)$ の極性が正の場合について説明する。図 16 に示すように、選択期間では、スイッチ素子 222 が開いているから、階調信号 $S(i)$ に応じた電圧 V_{sig} が大副画素電極 221 に印加される。その選択期間では、波形信号 V_d がハイレベル V_{dh} であるから、そのハイレベル V_{dh} の電圧が補助電極線 192 に印加される。その後の非選択期間では、スイッチ素子 222 が閉じるから、大副画素電極 221 が浮動状態となる。非選択期間でも波形信号 V_d が補助電極線 192 に出力されているから、大副画素電極 221 の電圧が波形信号 V_d に応じて振動する。そのため、非選択期間のうち波形信号 V_d がローレベル V_{dl} となる期間 T_2 では、大副画素電極 221 の電圧は電圧 V_{sig} からシフトし、そのシフト量は ΔV に加えて、補助電極線 192 の電圧 V_{dl} の影響を受ける。これは、非選択期間のうち波形信号 V_d がローレベル V_{dl} となる期間 T_2 における補助電極線 192 の電圧が、選択期間における補助電極線 192 の電圧よりも低いからである。

一方、非選択期間のうち波形信号 V_d がハイレベル V_{dh} となる期間 T_1 では、大副画素電極 221 の電圧は電圧 V_{sig} からシフトとし、そのシフト量は ΔV だけである。これは、非選択期間のうち波形信号 V_d がハイレベル V_{dh} となる期間 T_1 における補助電極線 192 の電圧が、選択期間における補助電極線 192 の電圧と等しいからである。

また、非選択期間のうち波形信号 V_d がローレベル V_{dl} となる期間 T_2 における大副画素電極 221 の電圧と共通電極 14 の電圧の差 V_{lc1} は、非選択期間のうち波形信号 V_d がハイレベル V_{dh} となる期間 T_1 における大副画素電極 221 の電圧と共通電極 14 の電圧の差 V_{lc} よりも低い。これは、非選択期間のうち波形信号 V_d がローレベル V_{dl} となる期間 T_2 における補助電極線 192 の電圧が、非選択期間のうち波形信号 V_d がハイレベル V_{dh} となる期間 T_1 における補助電極線 192 の電圧よりも低いから、期間 T_2 、 T_1 の何れでも大副画素電極 221 によって形成されるキャパシタ（第二液晶キャパシタ 17b、第二補助キャパシタ 18b、第三補助キャパシタ 18c）に蓄積されている電荷量は変化しないからである。

従って、共通電極 14 の電圧を基準とした非選択期間の大副画素電極 221 の実効電圧の絶対値は、電圧差 V_{lc1} と電圧差 V_{lc} の二乗和平方根平均である。

更に、非選択期間のうち波形信号 V_d がローレベル V_{dl} となる期間 T_2 における大副

10

20

30

40

50

画素電極 2 2 1 の電圧と共通電極 1 4 の電圧の差 V_{1c1} は、非選択期間の小副画素電極 2 1 1 の電圧と共通電極 1 4 の電圧の差 V_{1c} よりも低い。また、非選択期間のうち波形信号 V_d がハイレベル V_{dh} となる期間 T_1 における大副画素電極 2 2 1 の電圧と共通電極 1 4 の電圧の差 V_{1c} は、非選択期間の小副画素電極 2 1 1 の電圧と共通電極 1 4 の電圧の差 V_{1c} にほぼ等しい。そのため、共通電極 1 4 の電圧を基準とした非選択期間の大副画素電極 2 2 1 の実効電圧の絶対値は、共通電極 1 4 の電圧を基準とした非選択期間の小副画素電極 2 1 1 の実効電圧の絶対値よりも $|V_{1c} - V_{1c1}| / 2$ だけ小さくなる。

【 0 0 6 7 】

選択期間において共通電極 1 4 の共通電圧 V_{com} を基準とした階調信号 $S(i)$ の極性が負の場合にも、選択期間中に波形信号 V_d がハイレベル V_{dh} であるから、同様の挙動を示す。つまり、非選択期間のうち波形信号 V_d がハイレベル V_{dh} となる期間 T_2 では、大副画素電極 2 2 1 の電圧は電圧 V_{sig} からシフトし、そのシフト量は ΔV に加えて、補助電極線 1 9 2 の電圧 V_{dh} の影響を受ける。一方、非選択期間のうち波形信号 V_d がローレベル V_{dl} となる期間 T_1 では、大副画素電極 2 2 1 の電圧は電圧 V_{sig} からシフトとし、そのシフト量は ΔV だけである。そのため、共通電極 1 4 の電圧を基準とした非選択期間の大副画素電極 2 2 1 の実効電圧の絶対値は、共通電極 1 4 の電圧を基準とした非選択期間の小副画素電極 2 1 1 の実効電圧の絶対値よりも $|V_{1c} - V_{1c1}| / 2$ だけ小さくなる。

【 0 0 6 8 】

以上のように、選択期間中の大副画素電極 2 2 1 の電圧と小副画素電極 2 1 1 の電圧とが等しくても、非選択期間中では大副画素電極 2 2 1 の電圧と小副画素電極 2 1 1 の電圧とが異なる。そのため、非選択期間中では、大副画素電極 2 2 1 に重なる液晶の光透過率と、小副画素電極 2 1 1 に重なる液晶の光透過率とが異なる。従って、表示画素 2 0 0 の光透過率は、大副画素電極 2 2 1 に重なる液晶の光透過率と、小副画素電極 2 1 1 に重なる液晶の光透過率とを合成したものと考えることができる。

【 0 0 6 9 】

図 1 7 は、従来の液晶ディスプレイパネルにおける、液晶に印加される電圧毎（すなわち階調毎）に視角と光透過率との関係を示すグラフである。図 1 7 のグラフにおいて、横軸が視角（deg）を表し、縦軸が光透過率（％）を表す。縦軸の透過率は、透過率の最大値を 1 0 0 ％としたときの相対値である。視角は、図 1 7 中に図示したように、垂直な方向から見た場合をゼロ（deg）とし、パネルに垂直な面で垂直方向から一方向の角度を正、反対方向の角度を負として、視角が $-80 \sim +80$ 度の範囲での値を示した。図 1 7 における各曲線は、階調信号 $Data$ が 6 ビットで 0 ～ 6 3 階調の信号であるときの、階調信号 $Data$ が 0 階調、8 階調、1 6 階調、2 4 階調、3 2 階調、4 0 階調、4 8 階調、5 6 階調及び 6 3 階調のときの光透過率を示している。図 1 7 のグラフから明らかなように、液晶の光透過率は視角に依存することがわかる。特に、視角が -20 度以下および視角が 45 度以上の領域において各曲線が交差していることから、ここでは階調反転が生じていることがわかる。ここで階調反転とは、液晶ディスプレイに対する視角を変化させていくと、ある箇所において階調が反転したように見えることをいう。

【 0 0 7 0 】

図 1 8 は、本実施形態の液晶ディスプレイパネル 1 0 における、大副画素電極 2 2 1 に重なる液晶の光透過率と、小副画素電極 2 1 1 に重なる液晶の光透過率とを合成した場合に、その合成した透過率と視角との関係を示すグラフである。図 1 8 のグラフにおいて、図 1 7 と同様に、横軸が視角（deg）を表し、縦軸が光透過率の相対値（％）を表す。図 1 7 における各曲線は、図 1 7 と同様に、階調信号 $Data$ が 6 ビットで 0 ～ 6 3 階調の信号であるときの、階調信号 $Data$ が 0 階調、8 階調、1 6 階調、2 4 階調、3 2 階調、4 0 階調、4 8 階調、5 6 階調及び 6 3 階調のときの光透過率を示している。図 1 7 の曲線に比べて、特に視角が負の領域における曲線がなだらかになり、各曲線間の交差が大きく減少していることがわかる。このように、本実施形態の液晶表示装置 1 では、視角に

10

20

30

40

50

よる表示状態の変化を従来より小さくして、視角依存性を低下することができる。

【 0 0 7 1 】

また、図 1 8 のグラフでは、図 1 7 のグラフに比べて、曲線の交差が少なくなっていることがわかる。そのため、本実施形態の液晶表示装置 1 では、従来に比べて階調反転の発生を抑えて、階調反転が生じない視角範囲を従来より大きくすることができる。

【 0 0 7 2 】

図 1 9、20 は、小副画素電極 2 1 1 に重なる液晶の光透過率特性と、大副画素電極 2 2 1 に重なる液晶の光透過率特性の一例を示す図である。図 1 9、20 において、横軸は、選択期間における信号線 1 5 の電圧（共通電極 1 4 の電圧を基準とする。）の絶対値を示す。縦軸は、非選択期間における液晶の透過率を示す。なお、縦軸の透過率はそれぞれの光透過率特性における透過率の最大値に対する相対値である。曲線 V T 1 は、小副画素電極 2 1 1 に重なる液晶に関して電圧と透過率との関係を表す。曲線 V T 2 は、大副画素電極 2 2 1 に重なる液晶に関して電圧と透過率との関係を表す。図 1 9 から明らかなように、共通電極 1 4 の電圧を基準とした非選択期間の大副画素電極 2 2 1 の実効電圧の絶対値が、共通電極 1 4 の電圧を基準とした非選択期間の第一副画素電極 2 1 1 の実効電圧よりも小さいから、曲線 V T 2 は曲線 V T 1 よりも高電圧側にシフトした状態となっている。つまり、1 つの表示画素 2 0 0 でも、曲線 V T 1 の特性と、曲線 V T 2 の特性を持つ。

【 0 0 7 3 】

図 2 0 は、曲線 V T 2 を曲線 V T 1 に近づける方向にシフトさせた場合の図である。波形信号生成回路 7 0 によって生成される波形信号 V d の振幅幅を小さくすることによって、曲線 V T 2 を曲線 V T 1 に近づけるようにシフトすることができる。つまり、波形信号生成回路 7 0 の調整又は制御をすることによって、小副画素電極 2 1 1 に重なる液晶の光透過率と、大副画素電極 2 2 1 に重なる液晶の光透過率との差を大きくしたり、小さくしたりすることができる。波形信号 V d を定電圧に設定し、又は、制御すると、曲線 V T 1 と曲線 V T 2 が重なる。なお、図 1 9、図 2 0 では、液晶 1 0 g がノーマリーホワイト型である場合の曲線 V T 1、V T 2 が示されているが、液晶 1 0 g がノーマリーブラック型である場合には、曲線 V T 1、V T 2 は右肩上がりになる。

【 0 0 7 4 】

以上のように構成された液晶表示装置 1 では、表示画素 2 0 0 が小副画素 2 1 0 と大副画素 2 2 0 とに分割されているので、分割された小副画素 2 1 0 と大副画素 2 2 0 に印加される電圧を異ならせることができる。これにより、一表示画素 2 0 0 内において分割された副画素 2 1 0、2 2 0 の光透過率を異なる値にすることができる。このようにして分割された副画素 2 1 0、2 2 0 ごとに光透過率を調節し、一表示画素 2 0 0 として好適な透過率とすることができる。これにより視角依存性を抑えることができるとともに、階調反転をなくすることができる。そのため、高画質化を図ることができる。

また、補助電極線 1 9 2 に波形信号 V d を出力しているから、フリッカーの発生を抑えることができる。

また、1 つの表示画素 2 0 0 が左右の副画素 2 1 0、2 2 0 に分割されているから、表示画素 2 0 0 を水平方向に大きくすることができ、視野角を大きくとることができる。

また、波形信号生成回路 7 0 は、波形電圧 V d の振幅を調整すればよいだけなので、その回路構成を簡単にすることができる。そのため、より簡単な回路構成で視角依存性を調整することができる。

しかも、共通電極 1 4 が副画素 2 1 0、2 2 0 ごとに分割されているのではなく、一面に成膜されたものであるから、液晶表示装置 1 や液晶ディスプレイパネル 1 0 の製造工程の増大を招くこともない。

また、アナログの階調信号 S (i) がスイッチ素子 2 1 2、2 2 2 を介して副画素電極 2 1 1、2 2 1 に直接印加されるから、キャパシタのみを介して画素電極に電圧が印加される構成のもの（例えば、特許文献 1 に記載のもの）と比較して、より安定的に電圧を液晶 1 0 g に印加することができる。

【 0 0 7 5 】

10

20

30

40

50

なお、上記実施形態では、波形信号生成回路 70 が波形信号 V_d を補助電極線 192 に出力することによって、選択期間の補助電極線 192 の実効電圧と非選択期間の補助電極線 192 の実効電圧が異なるようにしていた。選択期間の補助電極線 192 の実効電圧と非選択期間の補助電極線 192 の実効電圧が異なるような信号であれば、波形信号 V_d に限るものではない。

【0076】

また、上記実施形態では、液晶ディスプレイパネル 10 の駆動方式が、フレーム反転駆動とライン反転駆動とコモン DC 駆動の組合せであったが、他の駆動方式であってもよい。例えば、ライン反転駆動の代わりにドット反転駆動としてもよい。ドット反転駆動方式の場合、例えば、図 13 に示された階調基準電圧生成回路 35 を 2 つ準備する。そして、一方の階調基準電圧生成回路 35 は、奇数列の信号線 15 に接続された DAC 回路 341 に階調基準電圧を出力し、他方の階調基準電圧生成回路 35 は、偶数列の信号線 15 に接続された DAC 回路 341 に出力する。そして、一方の階調基準電圧生成回路 35 には、極性反転信号 P_{ol} が入力されるが、他方の階調基準電圧生成回路 35 には、極性反転信号 P_{ol} が反転して入力される。こうすれば、データドライバ 30 から奇数列の信号線 15 に印加される電圧（共通電圧 V_{com} を基準とする。）と、データドライバ 30 から偶数列の信号線 15 に印加される電圧（共通電圧 V_{com} を基準とする。）が逆位相になる。

【0077】

また、コモン DC 駆動の代わりにコモン AC 駆動であってもよい。つまり、共通電極 14 に印加する共通電圧 V_{com} が一定電圧ではなく、共通電圧 V_{com} の極性が 1 水平同期期間ごと又は 1 フレーム期間ごとに反転してもよい。つまり、共通電圧生成回路 60 は、1 水平同期期間ごと又は 1 フレーム期間ごとに極性反転する共通電圧 V_{com} を共通電極 14 及び補助容量線 191 に出力する。この場合、階調基準電圧生成回路 35 の $RA(1) \sim RA(2^n + 1)$ 及び $RB(1) \sim RB(2^n + 1)$ の抵抗値を適宜変更したり、高電位電圧源 V_H 及び低電位電圧源 V_L の電位を適宜変更したりすることが望ましい。

【0078】

また、ライン反転駆動を行わずに、フレーム反転駆動とコモン DC 駆動の組合せ又はフレーム反転駆動とコモン AC 駆動の組合せであってもよい。この場合、階調基準電圧生成回路 35 に入力される極性反転信号 P_{ol} の極性が、1 水平同期期間ごとに反転するのではなく、1 フレーム期間ごとに反転する。こうすれば、データドライバ 30 から信号線 15 に印加される電圧（共通電圧 V_{com} を基準とする。）の極性が、1 フレーム期間ごとに反転する。

【0079】

続いて、表示画素 200 の配列について具体的に説明する。

【0080】

〔1〕第一例

図 21 は、表示画素 200 の配列の第一例を示す平面図である。

液晶ディスプレイパネル 10 において複数の信号線 15 が上下（垂直方向）に延びている。これら信号線 15 は等間隔に左右に配列されている。

【0081】

複数の走査線 16 が左右（水平方向）に延びている。これら走査線 16 が上下に配列されているが、各走査線 16 は、隣接する 2 本の走査線 16 が近接して配列されているとともに、その 2 本の走査線 16 毎に間隔を空けて配列されている。この間隔を空けて隣り合う 2 本の走査線 16 を一組として考慮する。この間隔を空けて隣り合う 2 本の走査線 16 の一方が本発明の第 1 の走査線、他方が本発明の第 2 の走査線に対応する。

【0082】

複数の補助容量線 191 は左右に延びているとともに、走査線 16 に対して平行になっている。補助容量線 191 の本数と走査線 16 の本数は同数（ $=N$ 本）である。これら補助容量線 191 が上下に配列されている。そして、2 本の補助容量線 191 が、間隔を空

10

20

30

40

50

けて隣り合う一組の走査線 16 の間に配置されている。

複数の補助電極線 192 は左右に延びているとともに、走査線 16 に対して平行になっている。補助電極線 192 の本数は走査線 16 の本数の半分 ($= N / 2$ 本) である。これら補助電極線 192 は上下に配列されている。そして、1 本の補助容量線 191 が、間隔を空けて隣り合う一組の走査線 16 の間に配置されているとともに、その一組の走査線 16 の間にある 2 本の補助容量線 191 の間に配置されている。

【0083】

それぞれの信号線 15 に沿って表示画素 200A と表示画素 200B が交互に配列されている。ここで、表示画素 200B は、表示面に垂直な軸回りに表示画素 200A を 180° 回転させたものである。つまり、表示画素 200A については、小副画素 210A が信号線 15 の左側に、大副画素 220A が信号線 15 の右側に配置され、表示画素 200B については、小副画素 210B が信号線 15 の右側に、大副画素 220B が信号線 15 の左側に配置される。なお、表示画素 200A 及び表示画素 200B は、図 5 ~ 図 9 を用いて説明した表示画素 200 と同様に設けられている。

表示画素 200A 及び表示画素 200B は、間隔を空けて隣り合う一組の走査線 16 の間に配置されている。

これら表示画素 200A は、間隔を空けて隣り合う一組の走査線 16 のうち一方に沿って配列されているとともに、その一方の走査線 16 に接続されている。これら表示画素 200B は、間隔を空けて隣り合う一組の走査線 16 のうち他方に沿って配列されているとともに、その他方の走査線 16 に接続されている。したがって、表示画素 200A については、スイッチ素子 212A、スイッチ素子 222A がそれらに接続された走査線 16 から下方向に向けて配置され、表示画素 200B についてはスイッチ素子 212B、スイッチ素子 222B がそれらに接続された走査線 16 から上方向に向けて配置されている。

間隔を空けて隣り合う一組の走査線 16の間では、表示画素 200A の大副画素電極 221A と、表示画素 200B の大副画素電極 221B が、信号線 15 の配列方向に沿った方向において一部オーバーラップする位置に配列されている。

間隔を空けて隣り合う一組の走査線 16 の間に配置された 2 本の補助容量線 191 のうち一方は、一行分の全ての表示画素 200A の小副画素電極 211A 及び大副画素電極 221A に重なっている。間隔を空けて隣り合う一組の走査線 16 の間に配置された 2 本の補助容量線 191 のうち他方は、一行分の全ての表示画素 200B の小副画素電極 211B 及び大副画素電極 221B に重なっている。

補助電極線 192 は、二行分の全ての表示画素 200A、200B の大副画素電極 221A、221B に重なっている。具体的には、補助電極線 192 は、大副画素電極 221A、221B の上記オーバーラップする部分に重なっている。また、補助電極線 192 は、表示画素 200A、200B の小副画素電極 211A、211B には重なっていない。

間隔を空けて隣り合う一組の走査線 16 の間に配置され且つ同一の信号線 15 に接続された 2 つの表示画素 200A、200B によって一組の画素グループ 241 が構成される。このような画素グループ 241 は、液晶ディスプレイパネル 10 上にマトリクス状に配列されている。

【0084】

〔2〕第二例

図 22 は、表示画素 200 の配列の第二例を示す平面図である。

信号線 15、走査線 16、補助容量線 191 及び補助電極線 192 の配置・配列は上述の第一例と同様である。

【0085】

奇数列の信号線 15 に沿って表示画素 200A と表示画素 200B が交互に配列されている。偶数列の信号線 15 に沿って表示画素 200C と表示画素 200D が交互に配列されている。ここで、表示画素 200B は、表示面に垂直な軸回りに表示画素 200A を 180° 回転させたものである。表示画素 200C は、表示画素 200A を左右反転させたものである。表示画素 200D は、表示画素 200A を上下反転させたものである。表示

10

20

30

40

50

画素 2 0 0 A、表示画素 2 0 0 B、表示画素 2 0 0 C 及び表示画素 2 0 0 D は、図 5 ~ 図 9 を用いて説明した表示画素 2 0 0 と同様に設けられている。

【 0 0 8 6 】

表示画素 2 0 0 A、表示画素 2 0 0 B、表示画素 2 0 0 C 及び表示画素 2 0 0 D は、間隔を空けて隣り合う一組の走査線 1 6 の間に配置されている。

表示画素 2 0 0 A と表示画素 2 0 0 C が、間隔を空けて隣り合う一組の走査線 1 6 のうち一方に沿って交互に配列されているとともに、その一方の走査線 1 6 に接続されている。

表示画素 2 0 0 B と表示画素 2 0 0 D は、間隔を空けて隣り合う一組の走査線 1 6 のうち他方に沿って交互に配列されているとともに、その他方の走査線 1 6 に接続されている。

10

間隔を空けて隣り合う一組の走査線 1 6 の間では、表示画素 2 0 0 A の大副画素電極 2 2 1 A と、表示画素 2 0 0 B の大副画素電極 2 2 1 B と、表示画素 2 0 0 C の大副画素電極 2 2 1 C と、表示画素 2 0 0 D の大副画素電極 2 2 1 D とが、信号線 1 5 の配列方向に沿った方向において一部オーバーラップする位置に配列されている。

間隔を空けて隣り合う一組の走査線 1 6 の間に配置された 2 本の補助容量線 1 9 1 のうち一方は、一行分の全ての表示画素 2 0 0 A、2 0 0 C の小副画素電極 2 1 1 A、2 1 1 C 及び大副画素電極 2 2 1 A、2 2 1 C に重なっている。間隔を空けて隣り合う一組の走査線 1 6 の間に配置された 2 本の補助容量線 1 9 1 のうち他方は、一行分の全ての表示画素 2 0 0 B、2 0 0 D の小副画素電極 2 1 1 B、2 1 1 D 及び大副画素電極 2 2 1 B、2 2 1 D に重なっている。

20

補助電極線 1 9 2 は、二行分の全ての表示画素 2 0 0 A、2 0 0 B、2 0 0 C、2 0 0 D の大副画素電極 2 2 1 A、2 2 1 B、2 2 1 C、2 2 1 D に重なっている。具体的には、補助電極線 1 9 2 は、大副画素電極 2 2 1 A、2 2 1 B、2 2 1 C、2 2 1 D の上記オーバーラップする部分に重なっている。また、補助電極線 1 9 2 は、表示画素 2 0 0 A、2 0 0 B、2 0 0 C、2 0 0 D の小副画素電極 2 1 1 A、2 1 1 B、2 1 1 C、2 1 1 D には重なっていない。

【 0 0 8 7 】

第二例においては、間隔を空けて隣り合う一組の走査線 1 6 の間に配置され且つ隣り合う 2 本の信号線 1 5 に接続された 4 つの表示画素 2 0 0 A、2 0 0 B、2 0 0 C、2 0 0 D によって一組の画素グループ 2 4 2 が構成される。このような画素グループ 2 4 2 は、液晶ディスプレイパネル 1 0 上にマトリクス状に配列されている。

30

【 0 0 8 8 】

〔 3 〕 第三例

図 2 3 は、表示画素 2 0 0 の配列の第三例を示す拡大平面図である。

信号線 1 5、走査線 1 6、補助容量線 1 9 1 及び補助電極線 1 9 2 の配置・配列は上述の第一例と同様である。

【 0 0 8 9 】

奇数列の信号線 1 5 に沿って表示画素 2 0 0 A、表示画素 2 0 0 B、表示画素 2 0 0 E、表示画素 2 0 0 F がこれらの順に繰り返して配列されている。偶数列の信号線 1 5 に沿って表示画素 2 0 0 C、表示画素 2 0 0 D、表示画素 2 0 0 G、表示画素 2 0 0 H がこれらの順に繰り返して配列されている。ここで、表示画素 2 0 0 B は、表示面に垂直な軸回りに表示画素 2 0 0 A を 1 8 0 ° 回転させたものである。表示画素 2 0 0 C は、表示画素 2 0 0 A を左右反転させたものである。表示画素 2 0 0 D は、表示画素 2 0 0 A を上下反転させたものである。表示画素 2 0 0 E 及び表示画素 2 0 0 G は、表示画素 2 0 0 A と同じ向きである。表示画素 2 0 0 F 及び表示画素 2 0 0 H は、表示画素 2 0 0 B と同じ向きである。表示画素 2 0 0 A ~ 2 0 0 H は、図 5 ~ 図 9 を用いて説明した表示画素 2 0 0 と同様に設けられている。

40

【 0 0 9 0 】

表示画素 2 0 0 A ~ 2 0 0 D は、間隔を空けて隣り合う一組の走査線 1 6 の間に配置さ

50

れている。表示画素 200A、表示画素 200B、表示画素 200C 及び表示画素 200D が配列された一組の走査線 16 の隣の一組の走査線の間には、表示画素 200E ~ 200H が配置されている。

表示画素 200A、表示画素 200B、表示画素 200C 及び表示画素 200D が配列された一組の走査線 16 においては、表示画素 200A と表示画素 200C が一方の走査線 16 に沿って交互に配列されているとともに、その一方の走査線 16 に接続され、表示画素 200B と表示画素 200D が他方の走査線 16 に沿って交互に配列されているとともに、その他方の走査線 16 に接続されている。

表示画素 200E、表示画素 200F、表示画素 200G 及び表示画素 200H が配列された一組の走査線 16 においては、表示画素 200E と表示画素 200G が一方の走査線 16 に沿って交互に配列されているとともに、その一方の走査線 16 に接続され、表示画素 200F と表示画素 200H が他方の走査線 16 に沿って交互に配列されているとともに、その他方の走査線 16 に接続されている。

表示画素 200A ~ 200D が配列された一組の走査線 16の間では、表示画素 200A の大副画素電極 221A と、表示画素 200B の大副画素電極 221B と、表示画素 200C の大副画素電極 221C と、表示画素 200D の大副画素電極 221D とが、信号線 15 の配列方向に沿った方向において一部オーバーラップする位置に配列されている。

表示画素 200E ~ 200H が配列された一組の走査線 16の間では、表示画素 200E の大副画素電極 221E と、表示画素 200F の大副画素電極 221F と、表示画素 200G の大副画素電極 221G と、表示画素 200H の大副画素電極 221H とが、信号線 15 の配列方向に沿った方向において一部オーバーラップする位置に配列されている。

【0091】

表示画素 200A ~ 200D が配列された一組の走査線 16 の間に配置された 2 本の補助容量線 191 のうち一方は、一行分の全ての表示画素 200A、200C の小副画素電極 211A、211C 及び大副画素電極 221A、221C に重なっている。表示画素 200A ~ 200D が配列された一組の走査線 16 の間に配置された 2 本の補助容量線 191 のうち他方は、一行分の全ての表示画素 200B、200D の小副画素電極 211B、211D 及び大副画素電極 221B、221D に重なっている。

表示画素 200A ~ 200D が配列された一組の走査線 16 の間に配置された補助電極線 192 は、二行分の全ての表示画素 200A、200B、200C、200D の大副画素電極 221A、221B、221C、221D に重なっている。具体的には、補助電極線 192 は、大副画素電極 221A、221B、221C、221D の上記オーバーラップする部分に重なっている。

【0092】

表示画素 200E ~ 200H が配列された一組の走査線 16 の間に配置された 2 本の補助容量線 191 のうち一方は、一行分の全ての表示画素 200E、200G の小副画素電極 211E、211G 及び大副画素電極 221E、221G に重なっている。表示画素 200E ~ 200H が配列された一組の走査線 16 の間に配置された 2 本の補助容量線 191 のうち他方は、一行分の全ての表示画素 200F、200H の小副画素電極 211F、211H 及び大副画素電極 221F、221H に重なっている。

表示画素 200E ~ 200H が配列された一組の走査線 16 の間に配置された補助電極線 192 は、二行分の全ての表示画素 200E、200F、200G、200H の大副画素電極 221E、221F、221G、221H に重なっている。具体的には、補助電極線 192 は、大副画素電極 221E、221F、221G、221G の上記オーバーラップする部分に重なっている。

【0093】

第三例においては、図 23 のように近接して配列された 8 つの表示画素 200A ~ 200H によって一組の画素グループ 243 が構成される、このような画素グループ 243 が、液晶ディスプレイパネル 10 上にマトリクス状に配置されている。

【0094】

〔４〕第四例

図２４は、表示画素２００の配列の第四例を示す拡大平面図である。

信号線１５、走査線１６、補助容量線１９１及び補助電極線１９２の配置は上述の第一例と同様である。

【００９５】

所定の信号線１５に沿って表示画素２００Ａと表示画素２００Ｂが交互に配列されている。その隣の信号線１５に沿って表示画素２００Ｃと表示画素２００Ｄが交互に配列されている。更に隣の信号線１５に沿って表示画素２００Ｅと表示画素２００Ｆが交互に配列されている。更に隣の信号線１５に沿って表示画素２００Ｇと表示画素２００Ｈが交互に配列されている。そして、表示画素２００Ａと表示画素２００Ｂの列と、表示画素２００
10
Ｃと表示画素２００Ｄの列と、表示画素２００Ｅと表示画素２００Ｆの列と、表示画素２
００Ｇと表示画素２００Ｈの列とがこれらの順に繰り返して配列されている。

【００９６】

ここで、表示画素２００Ｂは、表示面に垂直な軸回りに表示画素２００Ａを１８０°回
転させたものである。表示画素２００Ｃ及び表示画素２００Ｅは、表示画素２００Ａを左
右反転させたものである。表示画素２００Ｄは、表示画素２００Ａを上下反転させたもの
である。表示画素２００Ｅは、表示画素２００Ｃと同じ向きである。表示画素２００Ｆは
、表示画素２００Ｄと同じ向きである。表示画素２００Ｈは、表示画素２００Ｂと同じ向
きである。表示画素２００Ａ～２００Ｈは、図５～図９を用いて説明した表示画素２００
20
と同様に設けられている。

【００９７】

表示画素２００Ａ～２００Ｈは、間隔を空けて隣り合う一組の走査線１６の間に配置さ
れている。

表示画素２００Ａと表示画素２００Ｃと表示画素２００Ｅと表示画素２００Ｇが、間隔
を空けて隣り合う一組の走査線１６のうち一方に沿ってこれらの順に繰り返して配列され
ているとともに、その一方の走査線１６に接続されている。

表示画素２００Ｂと表示画素２００Ｄと表示画素２００Ｆと表示画素２００Ｈは、間隔
を空けて隣り合う一組の走査線１６のうち他方に沿ってこれらの順に繰り返して配列され
ているとともに、その他方の走査線１６に接続されている。

間隔を空けて隣り合う一組の走査線１６の間では、表示画素２００Ａ～２００Ｈの大副
画素電極２２１Ａ～２２１Ｈが、信号線１５の配列方向に沿った方向において一部オーバ
ーラップする位置に配列されている。
30

間隔を空けて隣り合う一組の走査線１６の間に配置された２本の補助容量線１９１のう
ち一方は、一行分の全ての表示画素２００Ａ、２００Ｃ、２００Ｅ、２００Ｇの小副画素
電極２１１Ａ、２１１Ｃ、２１１Ｅ、２１１Ｇ及び大副画素電極２２１Ａ、２２１Ｃ、２
２１Ｅ、２２１Ｇに重なっている。間隔を空けて隣り合う一組の走査線１６の間に配置さ
れた２本の補助容量線１９１のうち他方は、一行分の全ての表示画素２００Ｂ、２００Ｄ
、２００Ｆ、２００Ｇの小副画素電極２１１Ｂ、２１１Ｄ、２１１Ｆ、２１１Ｇ及び大副
画素電極２２１Ｂ、２２１Ｄ、２２１Ｆ、２２１Ｇに重なっている。
40

補助電極線１９２は、二行分の全ての表示画素２００Ａ～２００Ｈの大副画素電極２２
1
Ａ～２２１Ｈに重なっている。具体的には、補助電極線１９２は、大副画素電極２２１
Ａ～２２１Ｈの上記オーバーラップする部分に重なっている。
40

【００９８】

第四例においては、図２３のように近接して配列された８つの表示画素２００Ａ～２０
０Ｈによって一組の画素グループ２４３が構成される、このような画素グループ２４３が
、液晶ディスプレイパネル１０上にマトリクス状に配置されている。

【００９９】

以上のように、第一例～第四例の何れにおいても、水平方向の列には、小さな副画素電
極２１１と大きな副画素電極２２１が混在しているから、表示画面に横筋が発生すること
を抑えることができる。一方、垂直方向の列にも、小さな副画素電極２１１と大きな副画
50

素電極 2 2 1 が混在しているから、表示画面に縦筋が発生することを抑えることができる。

【 0 1 0 0 】

< 第二の実施の形態 >

続いて本発明の第二の実施形態について図 2 5 ~ 図 3 1 を参照して説明する。第一の実施形態の液晶表示装置 1 に対応する箇所について同一の符号を付す。以下に説明することを除いて第一の実施形態と第二の実施形態は同様に設けられている。

【 0 1 0 1 】

図 2 5 は、第二の実施形態における表示画素 2 0 0 の平面図である。補助電極線 1 9 2 は、屈曲している。補助電極線 1 9 2 は表示画素 2 0 0 のうち小副画素電極 2 1 1 と重なるように設けられている。一方、補助電極線 1 9 2 は、大副画素電極 2 2 1 から避けるように設けられている。つまり、大副画素電極 2 2 1 はその端部が切り欠くように形成されており、補助電極線 1 9 2 がその切欠き部で屈曲し、補助電極線 1 9 2 と大副画素電極 2 2 1 が重なっていない。したがって補助電極線 1 9 2 は小副画素電極 2 1 1 との間で第三補助キャパシタ 1 8 c を形成し、大副画素電極 2 2 1 とはキャパシタを形成しない。

ここで、本実施形態においては、大副画素電極 2 2 1 が第一の画素電極であり、小副画素電極 2 1 1 が第二の画素電極であり、スイッチ素子 2 2 2 が第一のスイッチ素子であり、スイッチ素子 2 1 2 が第二のスイッチ素子である。

【 0 1 0 2 】

図 2 6 は、第二の実施形態における液晶表示装置 1 を構成する各部において入出力される各信号を示す図である。波形信号 V_d は、極性反転信号 $P_o l$ がハイレベル V_{sh} の時に低電圧 V_{dl} となる。一方、極性反転信号 $P_o l$ がローレベル V_{sl} の時に高電圧 V_{dh} となる。つまり波形信号 V_d は極性反転信号 $P_o l$ に同期した逆位相の矩形交流信号である。また、波形信号 V_d は信号線 1 5 に出力される階調信号 $S(i)$ と逆位相となっている。

【 0 1 0 3 】

第二の実施形態における液晶表示装置 1 における小副画素電極 2 1 1 及び大副画素電極 2 2 1 に印加される電圧について図 2 7 及び図 2 8 を参照して説明する。

図 2 7 は、大副画素 2 2 0 に関する電圧のタイミングチャートである。図 2 7 に示すように、選択期間では、スイッチ素子 2 2 2 が開いているから、階調信号 $S(i)$ に応じた電圧 V_{sig} が大副画素電極 2 2 1 に印加される。その後の非選択期間では、スイッチ素子 2 2 2 が閉じると、大副画素電極 2 2 1 の電圧が電圧 V_{sig} から ΔV だけ低下し、大副画素電極 2 2 1 の電圧と共通電極 1 4 の共通電圧 V_{com} の差が V_{lc} になる。

【 0 1 0 4 】

図 2 8 は、小副画素 2 1 0 に関する電圧のタイミングチャートである。図 2 8 に示すように、選択期間では、スイッチ素子 2 1 2 が開いているから、階調信号 $S(i)$ に応じた電圧 V_{sig} が小副画素電極 2 1 1 に印加される。その後の非選択期間では、スイッチ素子 2 1 2 が閉じるので、小副画素電極 2 1 1 が浮動状態になる。非選択期間においても、波形信号 V_d が補助電極線 1 9 2 に出力されているから、小副画素電極 2 1 1 の電圧が振動する。そのため、共通電極 1 4 の電圧を基準とした非選択期間の小副画素電極 2 1 1 の実効電圧の絶対値は、電圧差 V_{lc2} と電圧差 V_{lc} の二乗和平方根平均である。

従って、共通電極 1 4 の電圧を基準とした非選択期間の小副画素電極 2 1 1 の実効電圧の絶対値は、共通電極 1 4 の電圧を基準とした非選択期間の大副画素電極 2 2 1 の実効電圧の絶対値よりも $|V_{lc2} - V_{lc}| / 2$ だけ大きくなる。

【 0 1 0 5 】

図 2 9、3 0 は、小副画素電極 2 1 1 に重なる液晶の光透過率特性と、大副画素電極 2 2 1 に重なる液晶の光透過率特性の一例を示す図である。図 2 9、3 0 において、横軸は、選択期間における信号線 1 5 の電圧（共通電極 1 4 の電圧を基準とする。）の絶対値を示す。縦軸は、非選択期間における液晶の透過率を示す。なお、縦軸の透過率はそれぞれの光透過率特性における透過率の最大値に対する相対値である。曲線 V_{T1} は、小副画素

電極 2 1 1 に重なる液晶に関して電圧と透過率との関係を表す。曲線 V T 2 は、大副画素電極 2 2 1 に重なる液晶に関して電圧と透過率との関係を表す。図 2 9 から明らかなように、共通電極 1 4 の電圧を基準とした非選択期間の小副画素電極 2 1 1 の実効電圧の絶対値が、共通電極 1 4 の電圧を基準とした非選択期間の大副画素電極 2 2 1 の実効電圧よりも大きいから、曲線 V T 1 は曲線 V T 2 よりも低電圧側にシフトした状態となっている。つまり、1 つの表示画素 2 0 0 でも、曲線 V T 1 の特性と、曲線 V T 2 の特性を持つ。

【 0 1 0 6 】

図 3 0 は、曲線 V T 1 を曲線 V T 2 に近づける方向にシフトさせた場合の図である。波形信号生成回路 7 0 によって生成される波形信号 V d の振幅幅を小さくすることによって、曲線 V T 1 を曲線 V T 2 に近づけるようにシフトすることができる。

10

【 0 1 0 7 】

図 3 1 は、第二の実施形態における表示画素 2 0 0 の配列を示した平面図である。

複数の信号線 1 5 が上下（垂直方向）に延びている。これら信号線 1 5 は等間隔に左右に配列されている。

【 0 1 0 8 】

複数の走査線 1 6 が左右（水平方向）に延びている。これら走査線 1 6 が上下に配列されているが、各走査線 1 6 は、隣接する 2 本の走査線 1 6 が近接して配列されているとともに、その 2 本の走査線 1 6 毎に間隔を空けて配列されている。この間隔を空けて隣り合う 2 本の走査線 1 6 を一組として考慮する。

【 0 1 0 9 】

20

複数の補助容量線 1 9 1 は左右に延びているとともに、走査線 1 6 に対して平行になっている。補助容量線 1 9 1 の本数と走査線 1 6 の本数は同数（= N 本）である。これら補助容量線 1 9 1 が上下に配列されている。そして、2 本の補助容量線 1 9 1 が、間隔を空けて隣り合う一組の走査線 1 6 の間に配置されている。

補助電極線 1 9 2 の本数は走査線 1 6 の本数の半分（= N / 2 本）である。これら補助電極線 1 9 2 は、葛折り状に設けられているとともに、上下に蛇行するようにして左右方向に敷設されている。そして、1 本の補助容量線 1 9 2 が、間隔を空けて隣り合う一組の走査線 1 6 の間に配置されているとともに、その一組の走査線 1 6 の間にある 2 本の補助容量線 1 9 1 の間に配置されている。

【 0 1 1 0 】

30

それぞれの信号線 1 5 に沿って表示画素 2 0 0 A と表示画素 2 0 0 B が交互に配列されている。ここで、表示画素 2 0 0 B は、表示面に垂直な軸回りに表示画素 2 0 0 A を 1 8 0 ° 回転させたものである。表示画素 2 0 0 A 及び表示画素 2 0 0 B は、図 2 5 を用いて説明した表示画素 2 0 0 と同様に設けられている。

表示画素 2 0 0 A 及び表示画素 2 0 0 B は、間隔を空けて隣り合う一組の走査線 1 6 の間に配置されている。

これら表示画素 2 0 0 A は、間隔を空けて隣り合う一組の走査線 1 6 のうち一方に沿って配列されているとともに、その一方の走査線 1 6 に接続されている。これら表示画素 2 0 0 B は、間隔を空けて隣り合う一組の走査線 1 6 のうち他方に沿って配列されているとともに、その他方の走査線 1 6 に接続されている。

40

間隔を空けて隣り合う一組の走査線 1 6 の間に配置された 2 本の補助容量線 1 9 1 のうち一方は、一行分の全ての表示画素 2 0 0 A の小副画素電極 2 1 1 A 及び大副画素電極 2 2 1 A に重なっている。間隔を空けて隣り合う一組の走査線 1 6 の間に配置された 2 本の補助容量線 1 9 1 のうち他方は、一行分の全ての表示画素 2 0 0 B の小副画素電極 2 1 1 B 及び大副画素電極 2 2 1 B に重なっている。

補助電極線 1 9 2 は、二行分の全ての表示画素 2 0 0 A , 2 0 0 B の小副画素電極 2 1 1 A , 2 1 1 B に重なっている。一方、補助電極線 1 9 2 は、表示画素 2 0 0 A , 2 0 0 B の大副画素電極 2 2 1 A , 2 2 1 B を避けるようにして蛇行して、大副画素電極 2 2 1 A , 2 2 1 B には重なっていない。

間隔を空けて隣り合う一組の走査線 1 6 の間に配置され且つ同一の信号線 1 5 に接続さ

50

れた2つの表示画素200A, 200Bによって一組の画素グループ241が構成される。このような画素グループ241は、液晶ディスプレイパネル10上にマトリクス状に配列されている。

【0111】

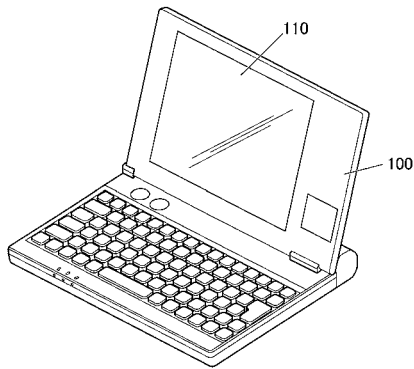
以上のように、第二の実施形態においても、第一実施形態と同様に、視角依存性を抑えることができるとともに、階調反転をなくすることができる。そのため、高画質化を図ることができる。

【符号の説明】

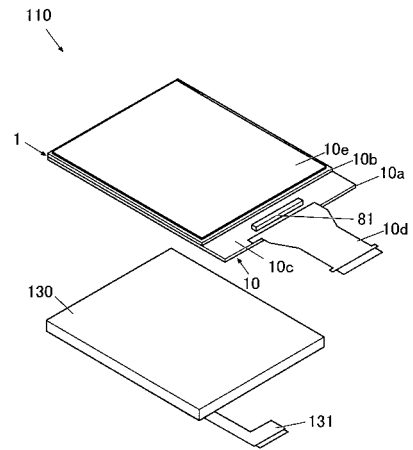
【0112】

1	液晶表示装置	10
10	液晶ディスプレイパネル	
14	共通電極	
15	信号線	
16	走査線	
18c	第三補助キャパシタ	
30	データドライバ	
40	走査ドライバ	
70	波形信号生成回路(電圧印加回路)	
90	駆動装置	
100	電子機器	20
191	補助容量線	
192	補助電極線(補助電極)	
211	大画素電極(第一の画素電極、第二の画素電極)	
212	スイッチ素子(第一のスイッチ素子、第二のスイッチ素子)	
222	スイッチ素子(第二のスイッチ素子、第一のスイッチ素子)	
221	小画素電極(第二の画素電極、第一の画素電極)	

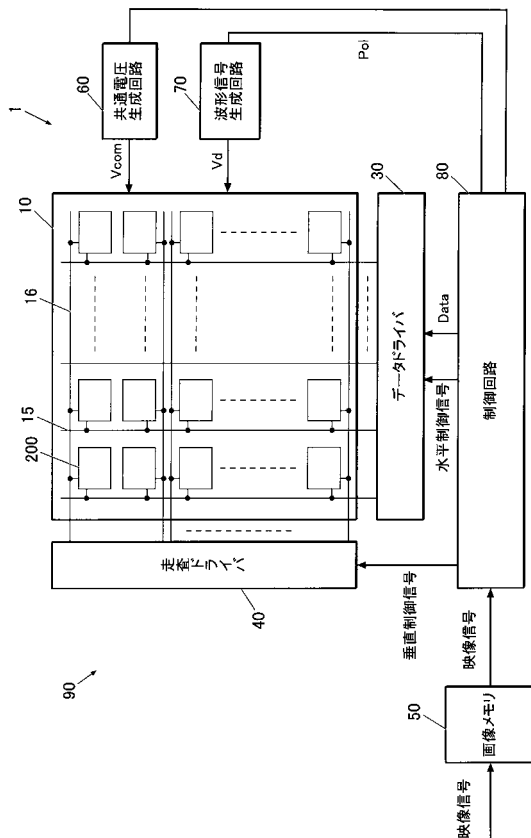
【図 1】



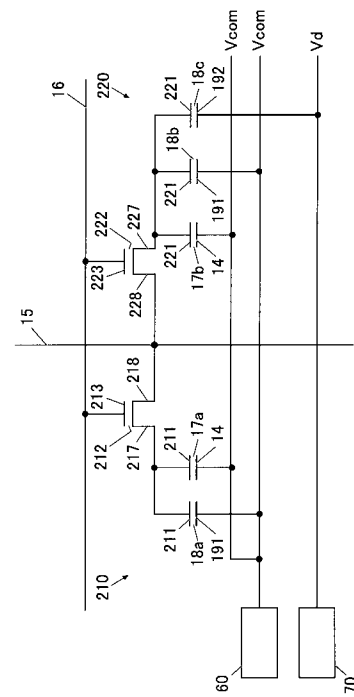
【図 2】



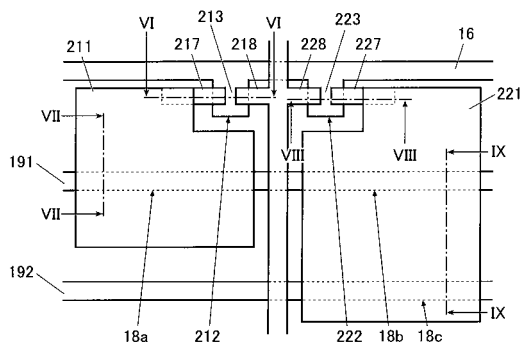
【図 3】



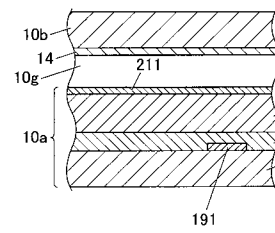
【図 4】



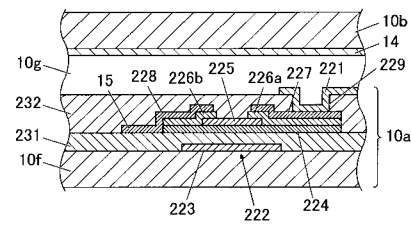
【図 5】



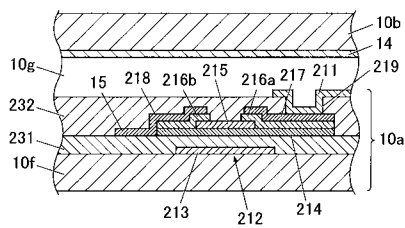
【図 7】



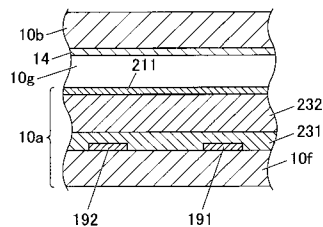
【図 8】



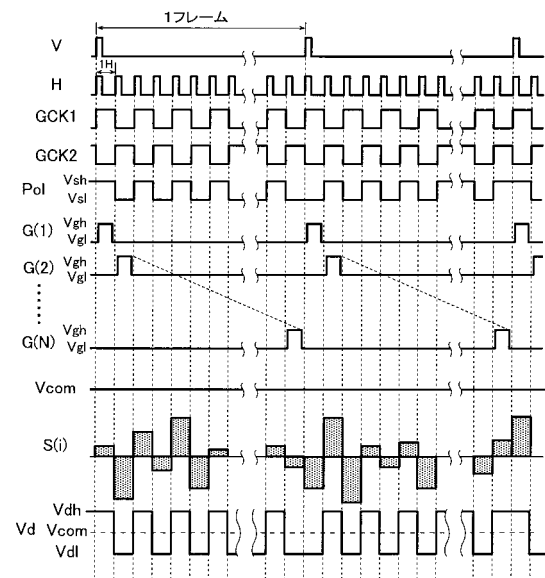
【図 6】



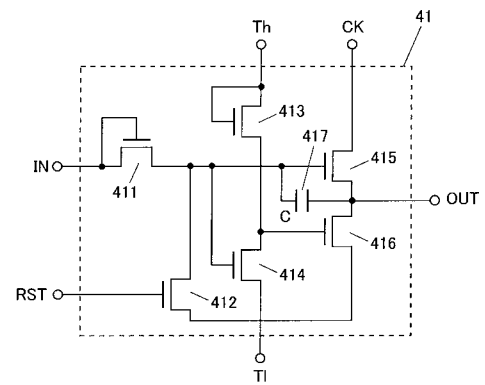
【図 9】



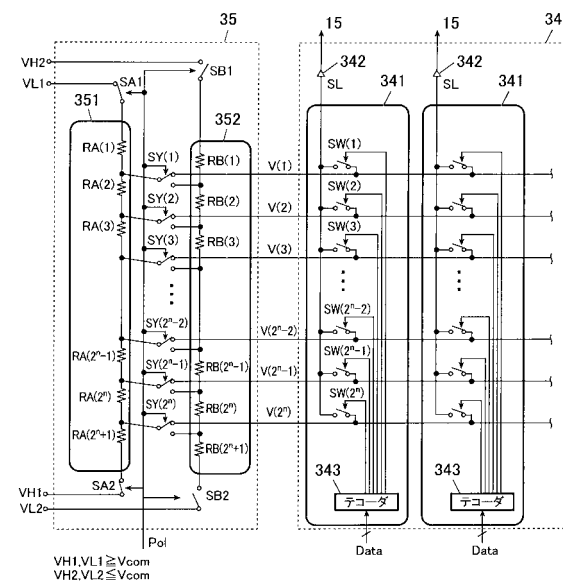
【図 10】



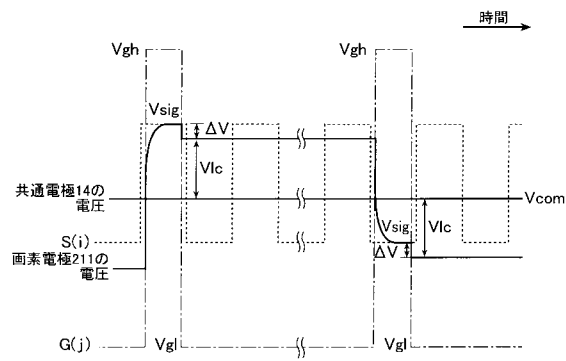
【 図 1 2 】



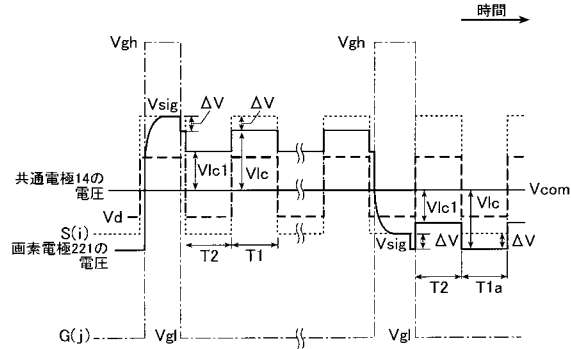
【 図 1 4 】



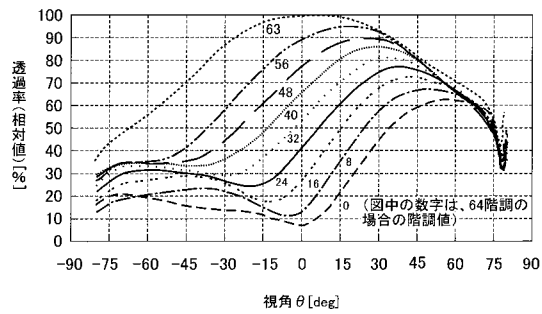
【図 15】



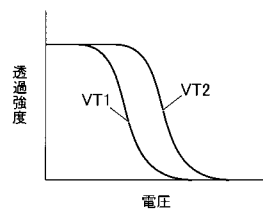
【図 16】



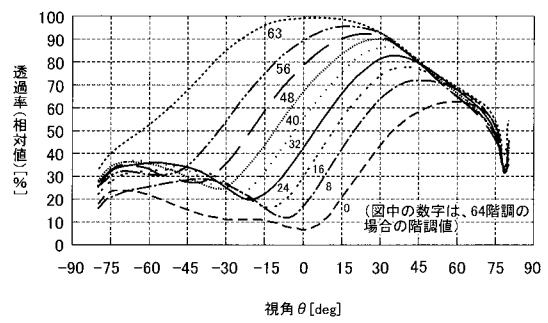
【図 18】



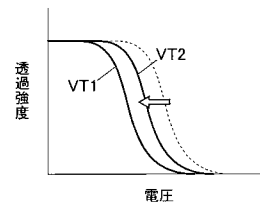
【図 19】



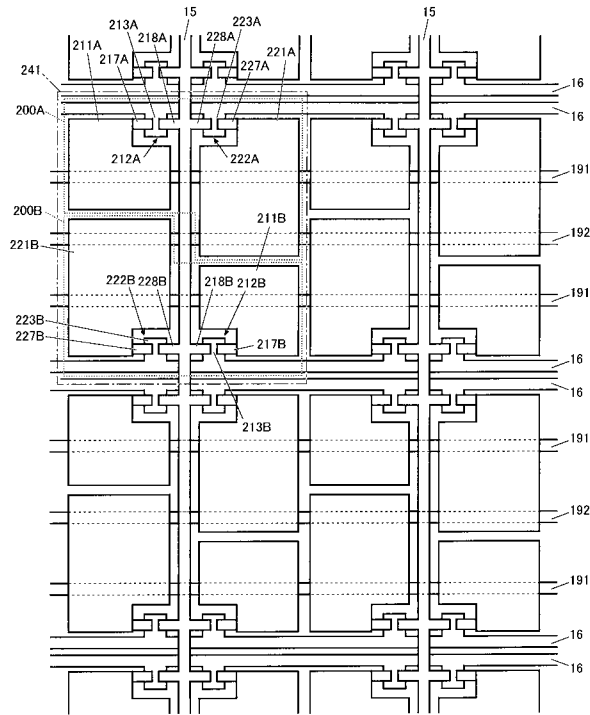
【図 17】



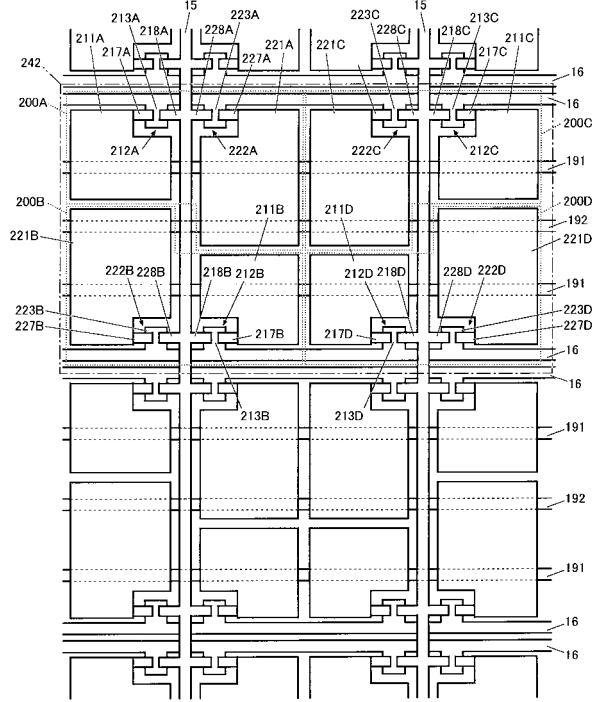
【図 20】



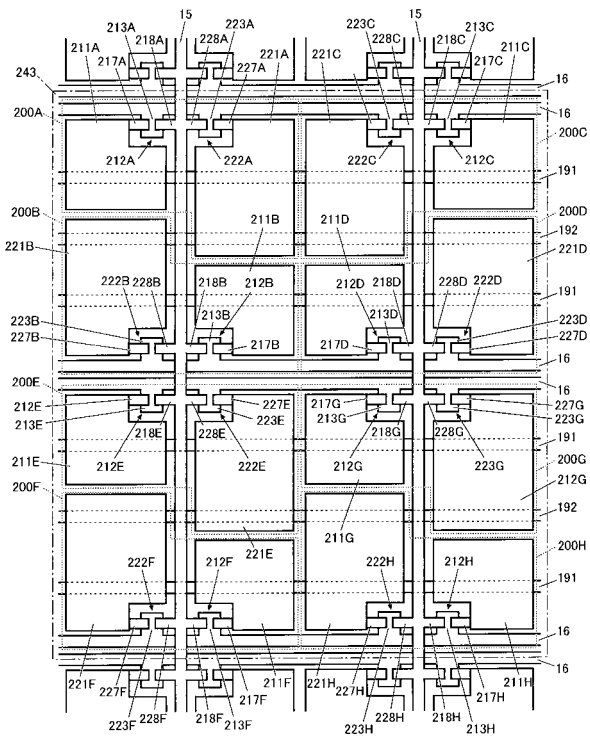
【図 2 1】



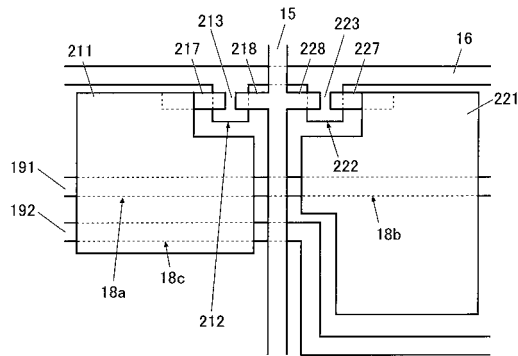
【図 2 2】



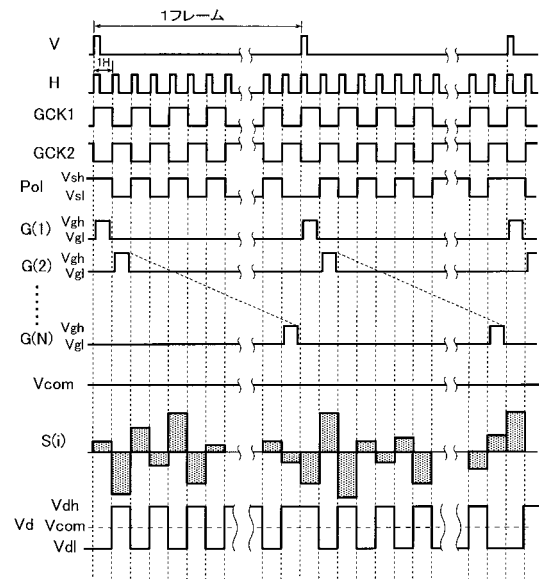
【図 2 3】



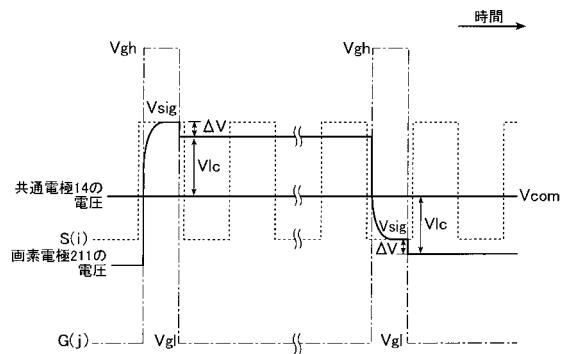
【図 25】



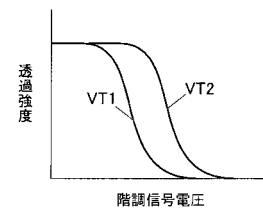
【図 26】



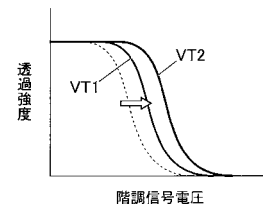
【図 27】



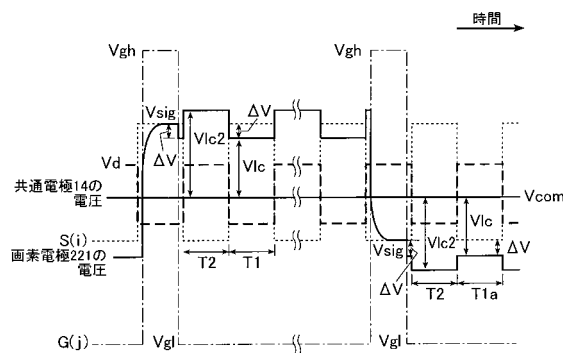
【図 29】



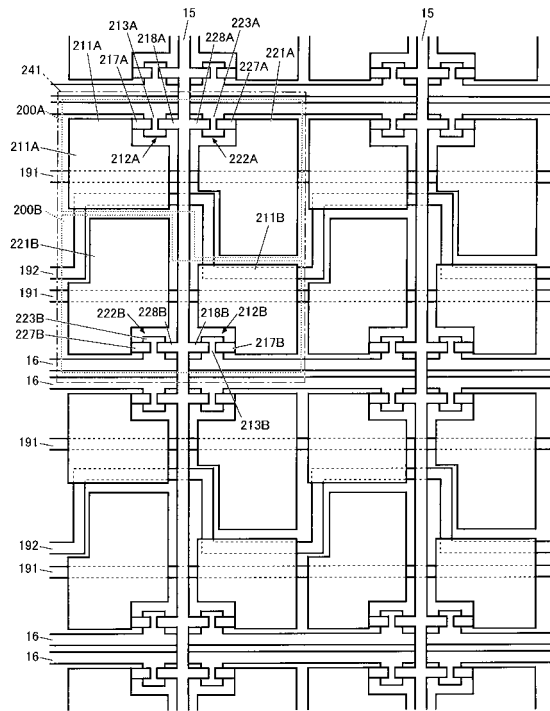
【図 30】



【図 28】



【図 31】



 フロントページの続き

(51) Int.Cl.	F I
G 0 2 F 1/1343 (2006.01)	G 0 9 G 3/20 6 2 4 E
	G 0 9 G 3/20 6 2 2 D
	G 0 9 G 3/20 6 4 1 C
	G 0 9 G 3/20 6 4 1 K
	G 0 9 G 3/20 6 2 1 B
	G 0 9 G 3/20 6 2 3 D
	G 0 9 G 3/20 6 4 2 E
	G 0 9 F 9/30 3 9 0 Z
	G 0 2 F 1/133 5 5 0
	G 0 2 F 1/1343

(56) 参考文献 特開 2 0 0 9 - 2 4 4 8 1 8 (J P , A)
 国際公開第 2 0 0 7 / 0 3 4 8 7 6 (W O , A 1)
 特開平 1 1 - 2 9 6 1 3 3 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 4 3
G 0 9 F	9 / 3 0
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6

专利名称(译)	液晶表示装置、电子机器、及び駆動方法		
公开(公告)号	JP5381637B2	公开(公告)日	2014-01-08
申请号	JP2009264438	申请日	2009-11-20
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	中村やよい		
发明人	中村 やよい		
IPC分类号	G02F1/1368 G09G3/20 G09G3/36 G09F9/30 G02F1/133 G02F1/1343		
FI分类号	G02F1/1368 G09G3/20.641.G G09G3/20.680.G G09G3/36 G09G3/20.624.D G09G3/20.624.E G09G3/20.622.D G09G3/20.641.C G09G3/20.641.K G09G3/20.621.B G09G3/20.623.D G09G3/20.642.E G09F9/30.390.Z G02F1/133.550 G02F1/1343 G09F9/302.Z		
F-TERM分类号	2H092/JA26 2H092/JB13 2H092/JB65 2H092/JB69 2H092/NA01 2H192/AA24 2H192/BA13 2H192/BC01 2H192/BC24 2H192/BC31 2H192/CB05 2H192/DA12 2H192/DA65 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB06 2H193/ZB07 2H193/ZB14 2H193/ZC04 2H193/ZC13 2H193/ZC16 2H193/ZD23 2H193/ZF05 2H193/ZF16 2H193/ZF34 5C006/AA12 5C006/AA16 5C006/AA17 5C006/AC11 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF51 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BB21 5C006/BC02 5C006/BC12 5C006/BC23 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF34 5C006/BF37 5C006/BF43 5C006/EB05 5C006/FA16 5C006/FA38 5C006/FA54 5C006/FA55 5C080/AA10 5C080/BB05 5C080/BB06 5C080/DD03 5C080/DD05 5C080/DD25 5C080/EE29 5C080/FF11 5C080/FF13 5C080/GG13 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK04 5C094/AA12 5C094/BA03 5C094/BA43 5C094/CA20 5C094/DA13 5C094/DB04 5C094/FA01 5C094/HA08		
其他公开文献	JP2011107545A		
外部链接	Espacenet		

摘要(译)

可以降低液晶显示装置中的视角依赖性。液晶显示装置1包括扫描线16，信号线15，小子像素电极211，与小子像素电极211相邻设置的大子像素电极221，以及信号线15用于打开和关闭与小子像素电极211的连接 的开关元件212，用于打开和关闭信号线15与大子像素电极221之间的连接 的开关元件222，公共电极14，大子像素电极221，用于顺序选择扫描线16的扫描驱动器40，用于向信号线15输出灰度信号的数据驱动器30，以及用于与数据驱动器30输出的灰度信号同步地反相的反相电路39并且 波形信号产生电路70用于产生要输出的波形信号并将波形信号输出到辅助电极配线192。点域5

