

【特許請求の範囲】

【請求項 1】

画素毎に配置された複数の第 1 透光性電極を有するアレイ基板と、
平面視で、前記第 1 透光性電極と重畳する位置に第 2 透光性電極を有する対向基板と、
前記アレイ基板と前記対向基板との間に封入される高分子分散型液晶を有する液晶層と

、
前記対向基板の側面に向かって光を発光する、少なくとも 1 つの発光部と、を備え、
前記アレイ基板は、前記画素において、平面視で前記第 1 透光性電極に、無機絶縁層を介して少なくとも一部が重なる第 3 透光性電極と、前記第 3 透光性電極に積層される導電性の金属層とを備える、表示装置。

10

【請求項 2】

前記第 2 透光性電極及び前記第 3 透光性電極には、共通の電圧が印加されている、請求項 1 に記載の表示装置。

【請求項 3】

前記第 3 透光性電極は、複数の画素に渡って設けられている、請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記アレイ基板は、有機絶縁層をさらに備え、前記第 3 透光性電極が前記有機絶縁層の上に形成されている、請求項 3 に記載の表示装置。

【請求項 5】

前記アレイ基板の一方の面には、第 1 方向に間隔をおいて並ぶ複数の信号線と、第 2 方向に間隔をおいて並ぶ複数の走査線と、を備え、

前記金属層は、平面視で、複数の前記信号線及び複数の前記走査線と重なっており、かつ格子状に配置され、

前記金属層は、平面視で、複数の前記信号線及び複数の前記走査線と重なっており、かつ前記有機絶縁層の上で格子状に配置されている請求項 4 に記載の表示装置。

【請求項 6】

平面視で、前記信号線に重なる金属層の幅は、当該信号線の幅よりも大きく、前記走査線に重なる金属層の幅は、当該走査線の幅よりも大きい、請求項 5 に記載の表示装置。

【請求項 7】

前記アレイ基板には、平面視で、前記信号線に沿って延在し、かつ前記信号線の一部と重なっており、前記信号線に対して前記金属層とは反対側に設けられた遮光層をさらに備え、

前記遮光層の幅は、前記信号線の幅よりも大きく、前記金属層の幅より小さい請求項 6 に記載の表示装置。

【請求項 8】

前記走査線と前記信号線とに囲まれた領域には、スイッチング素子が設けられ、少なくとも前記スイッチング素子は、前記有機絶縁層で覆われており、有機絶縁層の上方には前記スイッチング素子よりも大きな面積の前記金属層がある

請求項 5 から 7 のいずれか 1 項に記載の表示装置。

【請求項 9】

前記アレイ基板において、前記走査線と前記信号線とに囲まれた領域には、平面視で前記走査線及び前記信号線に重なる前記有機絶縁層の厚さよりも前記有機絶縁層の厚さが小さい領域がある

請求項 5 から 7 のいずれか 1 項に記載の表示装置。

【請求項 10】

前記信号線の上方を覆う格子状の有機絶縁層の斜面の上方に、前記第 1 透光性電極がある請求項 5 から 7 のいずれか 1 項に記載の表示装置。

【請求項 11】

前記第 3 透光性電極は、前記走査線と前記信号線とに囲まれた領域に透光性導電材料が

50

ない領域を有する請求項 5 から 10 のいずれか 1 項に記載の表示装置。

【請求項 12】

前記第 3 透光性電極は、前記走査線及び前記信号線に沿って前記走査線及び前記信号線
の上方を覆う格子状である

請求項 5 から 10 のいずれか 1 項に記載の表示装置。

【請求項 13】

前記第 3 透光性電極は、前記走査線と前記信号線とに囲まれた領域に透光性導電材料が
ない領域を有し、透光性導電材料がある領域が前記走査線又は前記信号線に重なり、隣の
画素に延びている

請求項 5 から 10 のいずれか 1 項に記載の表示装置。

10

【請求項 14】

前記アレイ基板の一方の面には、第 1 方向に間隔をおいて並ぶ複数の信号線と、第 2 方
向に間隔をおいて並ぶ複数の走査線と、を備え、

前記走査線と前記信号線とに囲まれた領域には、スイッチング素子が設けられ、平面視
で当該スイッチング素子から前記発光部がある側の入光方向には、遮光構造体がある、請
求項 1 から 13 のいずれか 1 項に記載の表示装置。

【請求項 15】

前記入光方向に交差する方向において、前記遮光構造体の長さは、前記スイッチング素
子の長さよりも大きい請求項 14 に記載の表示装置。

【請求項 16】

前記遮光構造体は、前記走査線と同層の導電材料及び前記信号線と同層の導電材料が積
層されている、請求項 14 又は 15 に記載の表示装置。

20

【請求項 17】

前記第 3 透光性電極と積層される導電性の金属層をさらに備え、

前記遮光構造体は、前記走査線と同じ導電材料、前記信号線と同じ導電材料及び前記金
属層と同じ導電材料が積層されている、請求項 14 又は 15 に記載の表示装置。

【請求項 18】

少なくとも前記スイッチング素子は、有機絶縁層で覆われており、前記入光方向の当該
有機絶縁層の斜面は、前記金属層で覆われている、請求項 17 に記載の表示装置。

【請求項 19】

前記遮光構造体の上方に配置された第 1 透光性電極と、前記スイッチング素子の上方に
配置された第 1 透光性電極とは、異なる画素に配置される請求項 18 に記載の表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置に関する。

【背景技術】

【0002】

特許文献 1 には、第 1 透光性基板と、第 1 透光性基板と対向して配置される第 2 透光性
基板と、第 1 透光性基板と第 2 透光性基板との間に封入される高分子分散型液晶を有する
液晶層と、第 1 透光性基板及び第 2 透光性基板の少なくとも 1 つの側面に対向して配置さ
れる少なくとも 1 つの発光部とを備える表示装置が記載されている。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2018-021974 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載されている表示装置では、いわゆるフィールドシーケンシャル方式で

50

駆動するため、フリッカーなどの表示品位の劣化を抑制しつつ、走査線の選択時間を小さくすることが望ましい。

【0005】

本発明の目的は、フィールドシーケンシャル方式で駆動し、表示パネルに表示する画像の視認性を向上できる表示装置を提供することにある。

【課題を解決するための手段】

【0006】

一態様に係る表示装置は、画素ごとに配置された複数の第1透光性電極を有するアレイ基板と、平面視で、前記第1透光性電極と重畳する位置に第2透光性電極を有する対向基板と、前記アレイ基板と前記対向基板との間に封入される高分子分散型液晶を有する液晶層と、前記対向基板の側面に向かって光を発光する、少なくとも1つの発光部と、を備え、前記アレイ基板は、前記画素において、平面視で前記第1透光性電極に、無機絶縁層を介して少なくとも一部が重なる第3透光性電極と、前記第3透光性電極に積層される導電性の金属層とを備える。

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態に係る表示装置の一例を表す斜視図である。

【図2】図2は、実施形態1の表示装置を表すブロック図である。

【図3】図3は、実施形態1のフィールドシーケンシャル方式において、光源が発光するタイミングを説明するタイミングチャートである。

【図4】図4は、画素電極への印加電圧と画素の散乱状態との関係を示す説明図である。

【図5】図5は、図1の表示装置の断面の一例を示す断面図である。

【図6】図6は、図1の表示装置の平面を示す平面図である。

【図7】図7は、図5の液晶層部分を拡大した拡大断面図である。

【図8】図8は、液晶層において非散乱状態を説明するための断面図である。

【図9】図9は、液晶層において散乱状態を説明するための断面図である。

【図10】図10は、画素において、走査線、信号線及びスイッチング素子を示す平面図である。

【図11】図11は、画素において、保持容量層を示す平面図である。

【図12】図12は、画素において、補助金属層及び開口領域を示す平面図である。

【図13】図13は、画素において、画素電極を示す平面図である。

【図14】図14は、図12のXIV-XIV'の断面図である。

【図15】図15は、図12のXV-XV'の断面図である。

【図16】図16は、周辺領域の断面図である。

【図17】図17は、実施形態2の画素において、走査線、信号線及びスイッチング素子を示す平面図である。

【図18】図18は、実施形態2の画素において、保持容量層を示す平面図である。

【図19】図19は、実施形態2の画素において、画素電極を示す平面図である。

【図20】図20は、実施形態2の画素の部分斜視図である。

【図21】図21は、図17のXV-XV'の断面図である。

【図22】図22は、実施形態3の画素において、保持容量層を示す平面図である。

【図23】図23は、実施形態4の画素において、保持容量層を示す平面図である。

【発明を実施するための形態】

【0008】

本開示を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本開示が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、開示の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本開示の範囲に含有されるものである。また、図面は説

10

20

30

40

50

明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本開示の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0009】

(実施形態1)

図1は、本実施形態に係る表示装置の一例を表す斜視図である。図2は、図1の表示装置を表すブロック図である。図3は、フィールドシーケンシャル方式において、光源が発光するタイミングを説明するタイミングチャートである。

【0010】

図1に示すように、表示装置1は、表示パネル2と、サイド光源装置3と、駆動回路4とを有する。ここで、表示パネル2の平面の一方向がPX方向とされ、PX方向と直交する方向が第2方向PYとされ、PX-PY平面に直交する方向が第3方向PZとされている。

【0011】

表示パネル2は、アレイ基板10と、対向基板20と、液晶層50（図5参照）とを備えている。対向基板20は、アレイ基板10の表面に垂直な方向（図1に示すPZ方向）に対向する。液晶層50（図5参照）は、アレイ基板10と、対向基板20と、封止部18とで、後述する高分子分散型液晶LCが封止されている。

【0012】

図1に示すように、表示パネル2において、画像を表示可能な表示領域AAと、表示領域AAの外側の周辺領域FRと、がある。表示領域AAには、複数の画素Pixがマトリクス状に配置されている。なお、本開示において、行とは、一方向に配列されるm個の画素Pixを有する画素行をいう。また、列とは、行が配列される方向と直交する方向に配列されるn個の画素Pixを有する画素列をいう。そして、mとnとの値は、垂直方向の表示解像度と水平方向の表示解像度に応じて定まる。また、複数の走査線GLが行毎に配線され、複数の信号線SLが列毎に配線されている。

【0013】

サイド光源装置3は、複数の発光部31を備えている。図2に示すように、光源制御部32は、駆動回路4に含まれる。なお、光源制御部32は、駆動回路4の回路とは別の回路にしてもよい。発光部31と、光源制御部32とは、アレイ基板10内の配線で電氣的に接続されている。

【0014】

図1に示すように、駆動回路4は、アレイ基板10の表面に固定されている。図2に示すように、駆動回路4は、信号処理回路41、画素制御回路42、ゲート駆動回路43、ソース駆動回路44及び共通電位駆動回路45を備えている。アレイ基板10は、対向基板20よりもXY平面の面積が大きく、対向基板20から露出したアレイ基板10の張り出し部分に、駆動回路4が設けられる。

【0015】

信号処理回路41には、外部の上位制御部9の画像出力部91から、フレキシブル基板92を介して、入力信号（RGB信号など）VSが入力される。

【0016】

信号処理回路41は、入力信号解析部411と、記憶部412と、信号調整部413とを備える。入力信号解析部411は、外部から入力された第1入力信号VSに基づいて第2入力信号VCSを生成する。

【0017】

第2入力信号VCSは、第1入力信号VSに基づいて、表示パネル2の各画素Pixにどのような階調値を与えるかを定める信号である。言い換えると、第2入力信号VCSは、各画素Pixの階調値に関する階調情報を含む信号である。

【0018】

10

20

30

40

50

信号調整部 4 1 3 は、第 2 入力信号 V C S から第 3 入力信号 V C S A を生成する。信号調整部 4 1 3 は、第 3 入力信号 V C S A を画素制御回路 4 2 へ送出し、光源制御信号 L C S A を光源制御部 3 2 へ送出する。光源制御信号 L C S A は、例えば、画素 P i x への入力階調値に応じて設定される発光部 3 1 の光量の情報を含む信号である。例えば、暗い画像が表示される場合、発光部 3 1 の光量は小さく設定される。明るい画像が表示される場合、発光部 3 1 の光量は大きく設定される。

【0019】

そして、画素制御回路 4 2 は、第 3 入力信号 V C S A に基づいて水平駆動信号 H D S と垂直駆動信号 V D S とを生成する。本実施形態では、フィールドシーケンシャル方式で駆動されるので、水平駆動信号 H D S と垂直駆動信号 V D S とが発光部 3 1 が発光可能な色毎に生成される。

10

【0020】

ゲート駆動回路 4 3 は水平駆動信号 H D S に基づいて 1 垂直走査期間内に表示パネル 2 の走査線 G L を順次選択する。走査線 G L の選択の順番は任意である。

【0021】

ソース駆動回路 4 4 は垂直駆動信号 V D S に基づいて 1 水平走査期間内に表示パネル 2 の各信号線 S L に各画素 P i x の出力階調値に応じた階調信号を供給する。

【0022】

本実施形態において、表示パネル 2 はアクティブマトリクス型パネルである。このため、平面視で第 2 方向 P Y に延在する信号（ソース）線 S L 及び第 1 方向 P X に延在する走査（ゲート）線 G L を有し、信号線 S L と走査線 G L との交差部にスイッチング素子 T r を有する。

20

【0023】

スイッチング素子 T r として薄膜トランジスタが用いられる。薄膜トランジスタの例としては、ボトムゲート型トランジスタ又はトップゲート型トランジスタを用いてもよい。スイッチング素子 T r として、シングルゲート薄膜トランジスタを例示するが、ダブルゲートトランジスタでもよい。スイッチング素子 T r のソース電極及びドレイン電極のうち一方は信号線 S L に接続され、ゲート電極は走査線 G L に接続され、ソース電極及びドレイン電極のうち他方は、後述する高分子分散型液晶 L C の容量の一端に接続されている。高分子分散型液晶 L C の容量は、一端がスイッチング素子 T r に画素電極 P E を介して接続され、他端が共通電極 C E を介してコモン電位配線 C O M L に接続されている。また、画素電極 P E と、コモン電位配線 C O M L に電氣的に接続されている保持容量電極 I O との間には、保持容量 H C が生じる。なお、コモン電位配線 C O M L は、共通電位駆動回路 4 5 より供給される。

30

【0024】

発光部 3 1 は、第 1 色（例えば、赤色）の発光体 3 3 R と、第 2 色（例えば、緑色）の発光体 3 3 G と、第 3 色（例えば、青色）の発光体 3 3 B を備えている。光源制御部 3 2 は、光源制御信号 L C S A に基づいて、第 1 色の発光体 3 3 R、第 2 色の発光体 3 3 G 及び第 3 色の発光体 3 3 B のそれぞれを時分割で発光するように制御する。このように、第 1 色の発光体 3 3 R、第 2 色の発光体 3 3 G 及び第 3 色の発光体 3 3 B は、フィールドシーケンシャル方式で駆動される。

40

【0025】

図 3 に示すように、第 1 サブフレーム（第 1 所定時間）R F において、第 1 色の発光期間 R O N で第 1 色の発光体 3 3 R が発光するとともに、1 垂直走査期間 G a t e S c a n 内に選択された画素 P i x が光を散乱させて表示する。表示パネル 2 全体では、1 垂直走査期間 G a t e S c a n 内に選択された画素 P i x に、上述した各信号線 S L に各画素 P i x の出力階調値に応じた階調信号が供給されていれば、第 1 色の発光期間 R O N において第 1 色のみ点灯している。

【0026】

次に、第 2 サブフレーム（第 2 所定時間）G F において、第 2 色の発光期間 G O N で第

50

2色の発光体33Gが発光するとともに、1垂直走査期間GateScan内に選択された画素Pixが光を散乱させて表示する。表示パネル2全体では、1垂直走査期間GateScan内に選択された画素Pixに、上述した各信号線SLに各画素Pixの出力階調値に応じた階調信号が供給されていれば、第2色の発光期間GONにおいて第2色のみ点灯している。

【0027】

さらに、第3サブフレーム（第3所定時間）BFにおいて、第3色の発光期間BONで第3色の発光体33Bが発光するとともに、1垂直走査期間GateScan内に選択された画素Pixが光を散乱させて表示する。表示パネル2全体では、1垂直走査期間GateScan内に選択された画素Pixに、上述した各信号線SLに各画素Pixの出力階調値に応じた階調信号が供給されていれば、第3色の発光期間BONにおいて第3色のみ点灯している。

【0028】

人間の眼には、時間的な分解能の制限があり、残像が発生するので、1フレーム（1F）の期間に3色の合成された画像が認識される。フィールドシーケンシャル方式では、カラーフィルタを不要とすることができ、カラーフィルタでの吸収ロスが低減するので、高い透過率を実現できる。カラーフィルタ方式では、第1色、第2色、第3色毎に画素Pixを分割したサブピクセルで一画素を作るのに対し、フィールドシーケンシャル方式では、このようなサブピクセル分割をしなくてもよい。なお、第4サブフレームをさらに有し、第1色、第2色及び第3色とは異なる第4色を発光するようにしてもよい。

【0029】

図4は、画素電極への印加電圧と画素の散乱状態との関係を示す説明図である。図5は、図1の表示装置の断面の一例を示す断面図である。図6は、図1の表示装置の平面を示す平面図である。図5は、図6のV-V'断面である。図7は、図5の液晶層部分を拡大した拡大断面図である。図8は、液晶層において非散乱状態を説明するための断面図である。図9は、液晶層において散乱状態を説明するための断面図である。

【0030】

1垂直走査期間GateScan内に選択された画素Pixに、上述した各信号線SLに各画素Pixの出力階調値に応じた階調信号が供給されていれば、階調信号に応じて画素電極PEへの印加電圧が変わる。画素電極PEへの印加電圧が変わると、画素電極PEと、共通電極CEとの間の電圧が変化する。そして、図4に示すように、画素電極PEへの印加電圧に応じて、画素Pix毎の液晶層50の散乱状態が制御され、画素Pix内の散乱割合が変化する。

【0031】

図4に示すように、画素電極PEへの印加電圧が飽和電圧Vsat以上となると、画素Pix内の散乱割合の変化が小さくなる。そこで、駆動回路4は、飽和電圧Vsatよりも低い電圧範囲Vdrにおいて、垂直駆動信号VDSに応じた画素電極PEへの印加電圧を変化させる。

【0032】

図5及び図6に示すように、アレイ基板10は、第1主面10A、第2主面10B、第1側面10C、第2側面10D、第3側面10E及び第4側面10Fを備える。第1主面10Aと第2主面10Bとは、平行な平面である。また、第1側面10Cと第2側面10Dとは、平行な平面である。第3側面10Eと第4側面10Fとは、平行な平面である。

【0033】

図5及び図6に示すように、対向基板20は、第1主面20A、第2主面20B、第1側面20C、第2側面20D、第3側面20E及び第4側面20Fを備える。第1主面20Aと第2主面20Bとは、平行な平面である。第1側面20Cと第2側面20Dとは、平行な平面である。第3側面20Eと第4側面20Fとは、平行な平面である。

【0034】

図5及び図6に示すように、発光部31は、対向基板20の第2側面20Dに対向する

。図 5 に示すように、発光部 31 は、対向基板 20 の第 2 側面 20D へ光源光 L を照射する。発光部 31 と対向する対向基板 20 の第 2 側面 20D は、光入射面となる。

【0035】

図 5 に示すように、発光部 31 から照射された光源光 L は、アレイ基板 10 の第 1 主面 10A 及び対向基板 20 の第 1 主面 20A で反射しながら、第 2 側面 20D から遠ざかる方向に伝播する。アレイ基板 10 の第 1 主面 10A 又は対向基板 20 の第 1 主面 20A から外部へ光源光 L が向かうと、屈折率の大きな媒質から屈折率の小さな媒質へ進むことになるので、光源光 L がアレイ基板 10 の第 1 主面 10A 又は対向基板 20 の第 1 主面 20A へ入射する入射角が臨界角よりも大きければ、光源光 L がアレイ基板 10 の第 1 主面 10A 又は対向基板 20 の第 1 主面 20A で全反射する。

10

【0036】

図 5 に示すように、アレイ基板 10 及び対向基板 20 の内部を伝播した光源光 L は、散乱状態となっている液晶がある画素 P_{ix} で散乱され、散乱光の入射角が臨界角よりも小さな角度となって、放射光 68、68A がそれぞれ対向基板 20 の第 1 主面 20A、アレイ基板 10 の第 1 主面 10A から外部に放射される。対向基板 20 の第 1 主面 20A、アレイ基板 10 の第 1 主面 10A からそれぞれ外部に放射された放射光 68、68A は、観察者に観察される。以下、図 7 から図 9 を用いて、散乱状態となっている高分子分散型液晶と、非散乱状態の高分子分散型液晶とについて説明する。

【0037】

図 7 に示すように、アレイ基板 10 には、第 1 配向膜 AL1 が設けられている。対向基板 20 には、第 2 配向膜 AL2 が設けられている。第 1 配向膜 AL1 及び第 2 配向膜 AL2 は、例えば、垂直配向膜である。

20

【0038】

液晶とモノマーを含む溶液がアレイ基板 10 と対向基板 20 との間に封入されている。次に、モノマー及び液晶を第 1 配向膜 AL1 及び第 2 配向膜 AL2 によって配向させた状態で、紫外線又は熱によってモノマーを重合させ、バルク 51 を形成する。これにより、網目状に形成された高分子のネットワークの隙間に液晶が分散されたりバースモードの高分子分散型液晶 LC を有する液晶層 50 が形成される。

【0039】

このように、高分子分散型液晶 LC は、高分子によって形成されたバルク 51 と、バルク 51 内に分散された複数の微粒子 52 と、を有する。微粒子 52 は、液晶によって形成されている。バルク 51 及び微粒子 52 は、それぞれ光学異方性を有している。

30

【0040】

微粒子 52 に含まれる液晶の配向は、画素電極 PE と共通電極 CE との間の電圧差によって制御される。画素電極 PE への印加電圧により、液晶の配向が変化する。液晶の配向が変化することにより、画素 P_{ix} を通過する光の散乱の度合いが変化する。

【0041】

例えば、図 8 に示すように、画素電極 PE と共通電極 CE との間に電圧が印加されていない状態では、バルク 51 の光軸 A_{x1} と微粒子 52 の光軸 A_{x2} の向きは互いに等しい。微粒子 52 の光軸 A_{x2} は、液晶層 50 の PZ 方向と平行である。バルク 51 の光軸 A_{x1} は、電圧の有無に関わらず、液晶層 50 の PZ 方向と平行である。

40

【0042】

バルク 51 と微粒子 52 の常光屈折率は互いに等しい。画素電極 PE と共通電極 CE との間に電圧が印加されていない状態では、あらゆる方向においてバルク 51 と微粒子 52 との間の屈折率差がゼロになる。液晶層 50 は、光源光 L を散乱しない非散乱状態となる。光源光 L は、アレイ基板 10 の第 1 主面 10A 及び対向基板 20 の第 1 主面 20A で反射しながら、発光部 31 から遠ざかる方向に伝播する。液晶層 50 が光源光 L を散乱しない非散乱状態であると、アレイ基板 10 の第 1 主面 10A から対向基板 20 の第 1 主面 20A 側の背景が視認され、対向基板 20 の第 1 主面 20A からアレイ基板 10 の第 1 主面 10A 側の背景が視認される。

50

【0043】

図9に示すように、電圧が印加された画素電極PEと共通電極CEとの間では、微粒子52の光軸Ax2は、画素電極PEと共通電極CEとの間に発生する電界によって傾くことになる。バルク51の光軸Ax1は、電界によって変化しないため、バルク51の光軸Ax1と微粒子52の光軸Ax2の向きは互いに異なる。電圧が印加された画素電極PEがある画素Pixにおいて、光源光Lが散乱される。上述したように散乱された光源光Lの一部がアレイ基板10の第1主面10A又は対向基板20の第1主面20Aから外部に放射された光は、観察者に観察される。

【0044】

電圧が印加されていない画素電極PEがある画素Pixでは、アレイ基板10の第1主面10Aから対向基板20の第1主面20A側の背景が視認され、対向基板20の第1主面20Aからアレイ基板10の第1主面10A側の背景が視認される。そして、本実施形態の表示装置1は、画像出力部91から第1入力信号VSが入力されると、画像が表示される画素Pixの画素電極PEに電圧が印加され、第3入力信号VC SAに基づく画像が背景とともに視認される。

【0045】

電圧が印加された画素電極PEがある画素Pixにおいて光源光Lが散乱されて外部に放射された光によって表示された画像は、背景に重なり、表示されることになる。換言すると、本実施形態の表示装置1は、放射光68又は放射光68Aと、背景との組み合わせにより、画像を背景に重ね合わせて表示する。

【0046】

図3に示す1垂直走査期間Gate Scanにおいて、書き込まれた各画素電極PE（図7参照）の電位が、各1垂直走査期間Gate Scanの後にある第1色の発光期間RON、第2色の発光期間GON及び第3色の発光期間BONの少なくとも1つに保持されている必要がある。書き込まれた各画素電極PE（図7参照）の電位が、各1垂直走査期間Gate Scanの後にある第1色の発光期間RON、第2色の発光期間GON及び第3色の発光期間BONの少なくとも1つで保持できないと、いわゆるフリッカーなどが生じやすい。言い換えると、走査線の選択時間である1垂直走査期間Gate Scanを短くし、いわゆるフィールドシーケンシャル方式で駆動における視認性を高めるためには、第1色の発光期間RON、第2色の発光期間GON及び第3色の発光期間BONのそれぞれで、書き込まれた各画素電極PE（図7参照）の電位を保持しやすくする要望がある。

【0047】

図10は、画素において、走査線、信号線及びスイッチング素子を示す平面図である。図11は、画素において、保持容量層を示す平面図である。図12は、画素において、補助金属層及び開口領域を示す平面図である。図13は、画素において、画素電極を示す平面図である。図14は、図12のXIV-XIV'の断面図である。図15は、図12のXV-XV'の断面図である。図16は、周辺領域の断面図である。図1、図2及び図10に示すように、アレイ基板10には、複数の信号線SLと複数の走査線GLとが平面視において格子状に設けられている。言い換えると、アレイ基板10の一方の面には、第1方向PXに間隔をおいて並ぶ複数の信号線と、第2方向PYに間隔をおいて並ぶ複数の走査線と、を備える。隣り合う走査線GLと隣り合う信号線SLとで囲まれる領域が、画素Pixである。画素Pixには、画素電極PEとスイッチング素子Trとが設けられている。本実施形態において、スイッチング素子Trは、ボトムゲート型の薄膜トランジスタである。スイッチング素子Trは、走査線GLと電気的に接続されているゲート電極GEと平面視において重畳する半導体層SCを有する。

【0048】

図10に示すように、走査線GLは、モリブデン(Mo)、アルミニウム(Al)等の金属、これらの積層体又はこれらの合金の配線である。信号線SLは、アルミニウム等の金属又は合金の配線である。

【0049】

10

20

30

40

50

図10に示すように、半導体層SCは、平面視において、ゲート電極GEからはみ出さないように設けられている。これにより、ゲート電極GE側から半導体層SCに向かう光源光Lが反射され、半導体層SCに光リークが生じにくくなる。

【0050】

図10に示すように、ソース電極SEは、信号線SLと同じ2つの導電体が、信号線SLと同層でかつ信号線と交差する方向に信号線SLから伸びている。これにより、信号線SLと電氣的に接続するソース電極SEは、平面視において、半導体層SCの一端部と重畳している。

【0051】

図10に示すように、平面視において、隣り合うソース電極SEの導電体の間の位置には、ドレイン電極DEが設けられている。ドレイン電極DEは、平面視において、半導体層SCと重畳している。ソース電極SE及びドレイン電極DEと重畳しない部分は、スイッチング素子Trのチャンネルとして機能する。図13に示すように、ドレイン電極DEと電氣的に接続されるコンタクト電極DEAは、コンタクトホールCHで画素電極PEと電氣的に接続されている。

【0052】

図14に示すように、アレイ基板10は、例えばガラスで形成された第1透光性基材19を有している。第1透光性基材19は、透光性を有していれば、ポリエチレンテレフタレートなどの樹脂でもよい。

【0053】

図14に示すように、第1透光性基材19上には、第1絶縁層11が設けられ、第1絶縁層11上に走査線GL（図10参照）及びゲート電極GEが設けられる。

【0054】

図14に示すように、また、走査線GL及びゲート電極GEを覆って第2絶縁層12が設けられている。第1絶縁層11、第2絶縁層12は、例えば、窒化シリコンなどの透明な無機絶縁材料によって形成されている。

【0055】

第2絶縁層12上には、半導体層SCが積層されている。半導体層SCは、例えば、アモルファスシリコンによって形成されているが、ポリシリコン又は酸化物半導体によって形成されていてもよい。

【0056】

第2絶縁層12上には、半導体層SCの一部を覆うソース電極SE及び信号線SLと、半導体層SCの一部を覆うドレイン電極DEとが設けられている。ドレイン電極DEは、信号線SLと同じ材料で形成されている。半導体層SC、信号線SL及びドレイン電極DE上には、第3絶縁層13が設けられている。第3絶縁層13は、例えばアクリル樹脂などの透光性を有する有機絶縁材料により形成されている。第3絶縁層13は、無機系材料によって形成された他の絶縁膜と比べて厚い膜厚を有している。このため、スイッチング素子Tr、走査線GL、信号線SLは保持容量電極ITOから比較的距離をおいて離れることで、保持容量電極ITOからのコモン電位の影響を受けにくくなる。

【0057】

図14に示すように、第3絶縁層13上には、保持容量電極IOが設けられている。保持容量電極IOは、ITO（Indium Tin Oxide）などの透光性導電材料によって形成されている。図11に示すように、保持容量電極IOは、ベタ膜で形成され、コンタクトホールCHと重なる部分及びその部分の周囲のみがくりぬかれている。保持容量電極IOは、隣り合う画素Pixに跨がって、複数の画素Pixに渡って設けられている。

【0058】

図14に示すように、保持容量電極IO上の一部には、導電性の金属層TMが設けられている。導電性の金属層TMは、モリブデン（Mo）、アルミニウム（Al）等の金属、これらの積層体又はこれらの合金の配線である。図12に示すように、金属層TMは、平

10

20

30

40

50

面視において、信号線 S L、走査線 G L 及びスイッチング素子 T r に重なる領域に設けられている。これにより、金属層 T M は、格子状となり、金属層 T M で囲まれた開口部 A P ができる。

【0059】

図 1 2 に示すように、走査線 G L と信号線 S L とに囲まれた領域には、スイッチング素子 T r が設けられ、少なくともスイッチング素子 T r は、有機絶縁層である第 3 絶縁層 1 3 で覆われており、第 3 絶縁層 1 3 の上方にはスイッチング素子 T r よりも大きな面積の金属層 T M がある。これにより、スイッチング素子 T r の光リークを抑制することができる。

【0060】

金属層 T M は、保持容量電極 I O の下にあってもよく、保持容量電極 I O と積層されていけばよい。金属層 T M は、保持容量電極 I O よりも電気抵抗が小さいので、位置による保持容量電極 I O の電位のばらつきが抑制される。

【0061】

図 1 2 に示すように、平面視で、信号線 S L に重なる金属層 T M の幅は、信号線 S L の幅よりも大きい。これにより、信号線 S L のエッジで反射する反射光を表示パネル 2 より放出することを抑制する。ここで、金属層 T M の幅及び信号線 S L の幅は、信号線 S L の延在する方向に交差する方向の長さである。また、走査線 G L に重なる金属層 T M の幅は、走査線 G L の幅よりも大きい。ここで、金属層 T M の幅及び走査線 G L の幅は、走査線 G L の延在する方向に交差する方向の長さである。

【0062】

保持容量電極 I O 及び金属層 T M の上には、第 4 絶縁層 1 4 が設けられている。第 4 絶縁層 1 4 は、例えば、窒化シリコンなどの透明な無機絶縁材料によって形成されている。

【0063】

図 1 4 に示すように、第 4 絶縁層 1 4 上には、画素電極 P E が設けられている。画素電極 P E は、I T O などの透光性導電材料によって形成されている。画素電極 P E は、第 4 絶縁層 1 4 及び第 3 絶縁層 1 3 に設けられたコンタクトホール C H を介してコンタクト電極 D E A と電氣的に接続されている。図 1 3 に示すように、画素電極 P E は、画素 P i x 毎に区画されている。画素電極 P E の上には、第 1 配向膜 A L 1 が設けられている。

【0064】

図 1 4 に示すように、対向基板 2 0 は、例えばガラスで形成された第 2 透光性基材 2 9 を有している。第 2 透光性基材 2 9 は、透光性を有していれば、ポリエチレンテレフタレートなどの樹脂でもよい。第 2 透光性基材 2 9 には、共通電極 C E が設けられている。共通電極 C E は、I T O などの透光性導電材料によって形成されている。共通電極 C E の表面には、第 2 配向膜 A L 2 が設けられている。

【0065】

図 1 2 及び図 1 5 に示すように、実施形態 1 の表示装置では、走査線 G L と同層の遮光層 G S が、信号線 S L に沿って延在し、かつ信号線 S L の一部と重なる位置に設けられている。遮光層 G S は、走査線 G L と同じ材料で形成されている。遮光層 G S は、走査線 G L と信号線 S L とが平面視において交差する部分には設けられていない。

【0066】

図 1 5 に示すように、遮光層 G S は、信号線 S L に対して金属層 T M とは反対側に設けられている。遮光層 G S の幅は、信号線 S L の幅よりも大きく、金属層 T M の幅より小さい。遮光層 G S の幅、金属層 T M の幅及び信号線 S L の幅は、信号線 S L の延在する方向に交差する方向の長さである。このように、遮光層 G S は、信号線 S L よりも幅が広がっているので、信号線 S L のエッジで反射する反射光を表示パネル 2 より放出することを抑制する。その結果、表示装置 1 において、画像の視認性が向上する。

【0067】

図 1 4 及び図 1 5 に示すように、対向基板 2 0 には、遮光層 L S が設けられている。遮光層 L S は、平面視において、信号線 S L、走査線 G L 及びスイッチング素子 T r に重なる

10

20

30

40

50

る領域に設けられている。図15に示すように、遮光層LSは、金属層TMよりも大きい幅を有している。これにより、信号線SL、走査線GL及び金属層TMのエッジで反射する反射光を表示パネル2より放出することを抑制する。その結果、表示装置1において、画像の視認性が向上する。

【0068】

図14に示すように、アレイ基板10と対向基板20との間には、スペーサSPが配置され、アレイ基板10と対向基板20との間の距離の均一性を向上する。

【0069】

図16に示すように、周辺領域FRでは、コモン電位配線COMLが引き回されている。コモン電位配線COMLは、例えば第1コモン電位配線COML1と、第2コモン電位配線COML2とを備える。第1コモン電位配線COML1は、導電性の導電部材CPを介して、対向基板20の共通電極CEに電氣的に接続している。導電部材CPは導電注（ピラー）でもよく、またAu粒子などの導電粒子が含有されたシール材であってもよい。

【0070】

図16に示すように、周辺領域FRでは、保持容量電極IOが第2コモン電位配線COML2と電氣的に接続している。金属層TMは、表示領域AAに配置されている。

【0071】

以上説明したように、表示装置1は、アレイ基板10と、対向基板20と、液晶層50と、発光部31を備える。アレイ基板10は、画素Pix毎に配置された第1透光性電極である複数の画素電極PEを有する。対向基板20は、平面視で、画素電極PEと重畳する位置に第2透光性電極である共通電極CEを有する。液晶層50は、アレイ基板10と対向基板20との間に封入される高分子分散型液晶LCを有する。発光部31は、対向基板20の側面に向かって、アレイ基板10及び対向基板20を伝播する光を発光する。なお、発光部31は、アレイ基板10の側面に向かって、アレイ基板10及び対向基板20を伝播する光を発光するようにしてもよい。

【0072】

アレイ基板は、画素Pixにおいて、平面視で画素電極PEに、絶縁層を介して少なくとも一部が重なる第3透光性電極である保持容量電極IOを備える。共通電極CE及び保持容量電極IOが、コモン電位となるようにコモン電位配線COMLから一定の電圧が印加されている。これにより、画素電極PEと、保持容量電極IOの間には、保持容量HCが生じる。その結果、書き込まれた各画素電極PE（図7参照）の電位が、各1垂直走査期間GateScanの後にある第1色の発光期間RON、第2色の発光期間GON及び第3色の発光期間BONにおいて、保持しやすくなる。そして、フリッカーなどの表示品位の劣化を抑制しつつ、走査線の選択時間を小さくすることも可能になる。表示パネル2に表示する画像の視認性が向上できる。

【0073】

（実施形態2）

図17は、実施形態2の画素において、走査線、信号線及びスイッチング素子を示す平面図である。図18は、実施形態2の画素において、保持容量層を示す平面図である。図19は、実施形態2の画素において、画素電極を示す平面図である。図20は、実施形態2の画素の部分斜視図である。図21は、図17のXV-XV'の断面図である。上述した本実施形態で説明したものと同一の構成要素には同一の符号を付して重複する説明は省略する。

【0074】

図17に示すように、実施形態2の画素Pixにおいて、ソース電極SEは、信号線SLから1本で引き出され、2本に分岐している。信号線SLから1本で引き出された部分の一部は、遮光層GSが平面視で重なる。これにより、ソース電極SEのエッジで反射する反射光を表示パネル2より放出することを抑制する。その結果、表示装置1において、画像の視認性が向上する。

【0075】

図 18 に示すように、保持容量電極 I O は、ベタ膜で形成され、コンタクトホール C H と重なる部分及びその部分の周囲のみがくりぬかれている。保持容量電極 I O は、隣り合う画素 P i x に跨がっている。

【0076】

図 19 に示すように、画素電極 P E は、画素 P i x 毎に区画されているが、画素電極 P E の一部が、平面視で信号線 S L に重なる。また、画素電極 P E は、一方の走査線 G L と平面視で重なり、隣接する画素 P i x に渡って配置され、他方の走査線 G L には平面視で重ならない。

【0077】

図 20 に示すように、信号線 S L の上方を覆う第 3 絶縁層 13 の斜面の上方に、画素電極 P E がある。これにより、画素電極 P E の領域が広がり、有効な画素 P i x の面積が大きくなる。

【0078】

図 21 に示すように、実施形態 2 の画素 P i x は、第 3 絶縁層 13 がある領域と、第 3 絶縁層 13 がない領域とがある。図 20 に示すように、第 3 絶縁層 13 がある領域は、走査線 G L の上方及び信号線 S L の上方である。図 20 に示すように、第 3 絶縁層 13 は、走査線 G L 及び信号線 S L に沿って走査線 G L 及び信号線 S L の上方を覆う格子状になる。また、図 21 に示すように、第 3 絶縁層 13 がある領域は、半導体層 S C の上方、つまりスイッチング素子 T r の上方である。これにより、アレイ基板 10 において、走査線 G L と信号線 S L とに囲まれた領域には第 3 絶縁層 13 がない領域ができるので、平面視で信号線 S L 及び走査線 G L に重なる絶縁層の厚さよりも絶縁層の厚さが小さい領域ができる。走査線 G L と信号線 S L とに囲まれた領域では、走査線 G L の上方及び信号線 S L の上方よりも相対的に、光の透過率が向上し、透光性が向上する。

【0079】

図 1 に示すように、サイド光源装置 3 は、第 2 方向 P Y より、光を入光する。光の入光方向が第 2 方向 P Y に沿う方向であることから、図 17 に示すように、スイッチング素子 T r からサイド光源装置 3 の発光部 31 がある側の入光方向には、遮光構造体 S G S がある。入光方向に交差する第 1 方向 P X において、遮光構造体 S G S の長さは、スイッチング素子 T r の長さよりも大きい。これにより、遮光構造体 S G S は、スイッチング素子 T r へ伝播する光路を遮り、スイッチング素子 T r の光リークを抑制することができる。

【0080】

遮光構造体 S G S は、スイッチング素子 T r のゲート電極 G E が延長され、走査線と同層の導電材料の上に、信号線と同層の導電材料で形成された第 1 遮光層 S M が積層されている。第 1 遮光層 S M の上には、金属層と同じ導電材料で形成された第 2 遮光層 T S が積層されている。

【0081】

図 21 に示すように、スイッチング素子 T r の半導体層 S C は、有機絶縁層である第 3 絶縁層 13 で覆われており、遮光構造体 S G S がある入光方向の第 3 絶縁層 13 の斜面は、金属層 T M で覆われている。これにより、金属層 T M は、スイッチング素子 T r へ伝播する光路を遮り、スイッチング素子 T r の光リークを抑制することができる。

【0082】

第 2 遮光層 T S の上には、第 4 絶縁層 14 を介して、画素電極 P E が積層されている。これにより、遮光構造体 S G S の上方の高分子分散型液晶 L C も散乱に寄与することができる。

【0083】

図 19 及び図 21 に示すように、遮光構造体 S G S の上方に配置された画素電極 P E と、スイッチング素子 T r の上方に配置された画素電極とは、異なる画素 P i x に配置される。遮光構造体 S G S の上方に配置された画素電極 P E と、スイッチング素子 T r の上方に配置された画素電極とは、分断されており短絡しない。

【0084】

10

20

30

40

50

(実施形態 3)

図 22 は、実施形態 3 の画素において、保持容量層を示す平面図である。上述した本実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

【0085】

実施形態 3 の画素 P i x は、実施形態 1 の画素 P i x に対して、保持容量電極 I O の形状が異なる。実施形態 3 において、保持容量電極 I O は、走査線 G L と信号線 S L とに囲まれた領域に透光性導電材料がない領域 I O X を有する。

【0086】

例えば、実施形態 3 の保持容量電極 I O は、走査線 G L 及び信号線 S L に沿って走査線 G L 及び信号線 S L の上方を覆う格子状である。これにより、透光性導電材料がない領域 I O X と、画素電極 P E との間の保持容量 H C が減少するので、透光性導電材料がない領域 I O X の大きさにより保持容量 H C が調整される。

【0087】

なお、実施形態 3 の保持容量電極 I O は、実施形態 2 の画素 P i x にも適用することができる。

【0088】

(実施形態 4)

図 23 は、実施形態 4 の画素において、保持容量層を示す平面図である。上述した本実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

【0089】

実施形態 4 の画素 P i x は、実施形態 2 の画素 P i x に対して、保持容量電極 I O の形状が異なる。実施形態 4 において、保持容量電極 I O は、走査線 G L と信号線 S L とに囲まれた領域に透光性導電材料がない複数の領域 I O X を有する。保持容量電極 I O は、透光性導電材料がある領域が走査線 G L 又は信号線 S L に重なり、隣の画素 P i x に延びている。これにより、透光性導電材料がない領域 I O X と、画素電極 P E との間の保持容量 H C が減少するので、透光性導電材料がない領域 I O X の大きさにより保持容量 H C が調整される。

【0090】

(変形例)

実施形態 1 から 4 について、スイッチング素子 T r がボトムゲート型であるとして説明を行ったが、上述しているようにスイッチング素子 T r は、ボトムゲート構造に限らずトップゲート型であってもよい。スイッチング素子 T r がトップゲート型であれば、図 14 の絶縁膜積層構造を参考に説明すると、半導体層 S C は第 1 透光性基材 19 と第 1 絶縁層その間に配置され、ゲート電極 G E は第 1 絶縁層 11 と第 2 絶縁層 12 との間に配置され、ソース電極 S E 及びコンタクト電極 D E A は第 2 絶縁層 12 と第 3 絶縁層 13 との間に形成される構造となる。

【0091】

さらに、コモン電位については、直流電圧が供給される、つまり一定のコモン電位であってもよく、また交流電圧が共有される、つまり上限値と下限値の 2 つを有するコモン電位であってもよい。コモン電位が直流であっても交流であっても保持容量電極 I O 及び共通電極 C E には共通の電位が供給される。

【0092】

また、実施形態 3 の図 20、21 に示す格子状の有機絶縁膜である第 3 絶縁層 13 については、格子状の内側の第 3 絶縁層 13 が完全に除去され下層の第 2 絶縁層 12 や保持容量電極 I O を露出する構造を開示しているが、これに限られない。例えば、複数の信号線 S L と複数の走査線 G L とで囲まれる格子状領域の内側については、ハーフトーン露光で第 3 絶縁層 13 の膜厚の一部を薄く残す構造であってもよい。これにより、第 3 絶縁層 13 は、複数の信号線 S L と複数の走査線 G L とで囲まれる格子状領域よりも、格子状領域の内側の膜厚が薄くなる。

【0093】

10

20

30

40

50

以上、好適な実施の形態を説明したが、本開示はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本開示の趣旨を逸脱しない範囲で種々の変更が可能である。本開示の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本開示の技術的範囲に属する。

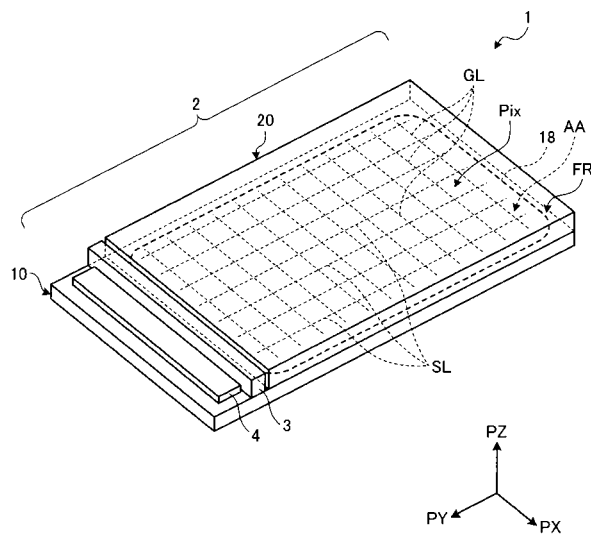
【符号の説明】

【0094】

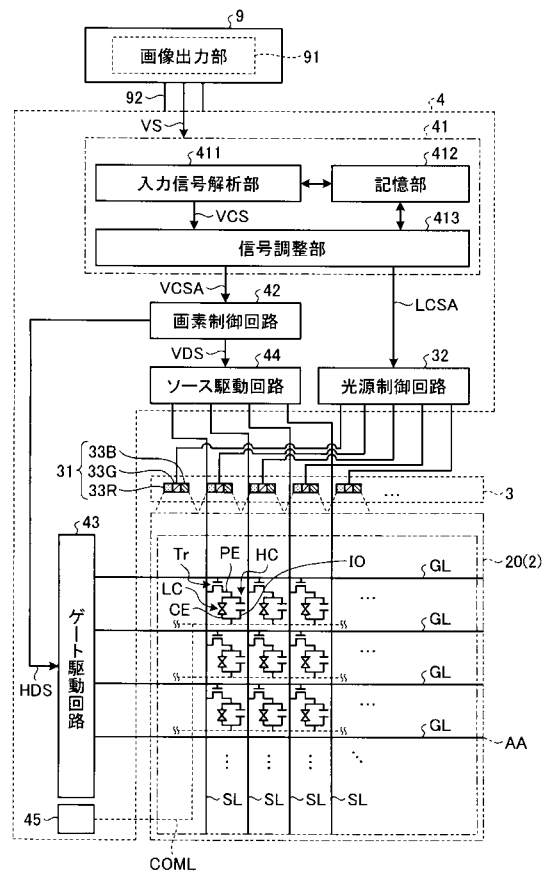
1	表示装置	
2	表示パネル	
3	サイド光源装置	
4	駆動回路	10
9	上位制御部	
10	アレイ基板	
11	第1絶縁層	
12	第2絶縁層	
13	第3絶縁層	
14	第4絶縁層	
20	対向基板	
31	発光部	
41	信号処理回路	
42	画素制御回路	20
43	ゲート駆動回路	
44	ソース駆動回路	
45	共通電位駆動回路	
50	液晶層	
AL1	配向膜	
AL2	配向膜	
AP	開口部	
CE	共通電極	
CH	コンタクトホール	
COML	コモン電位配線	30
CP	導電部材	
DE	ドレイン電極	
DEA	コンタクト電極	
FR	周辺領域	
GE	ゲート電極	
GL	走査線	
GON	発光期間	
GS	遮光層	
HC	保持容量	
HDS	水平駆動信号	40
IO	保持容量電極	
IOX	透光性導電材料がない領域	
LC	高分子分散型液晶	
LS	遮光層	
PE	画素電極	
SC	半導体層	
SE	ソース電極	
SE	信号線	
SGS	遮光構造体	
TM	金属層	50

T r スイッチング素子
T S 遮光層

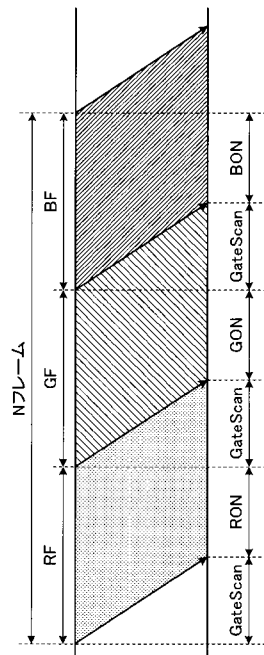
【図 1】



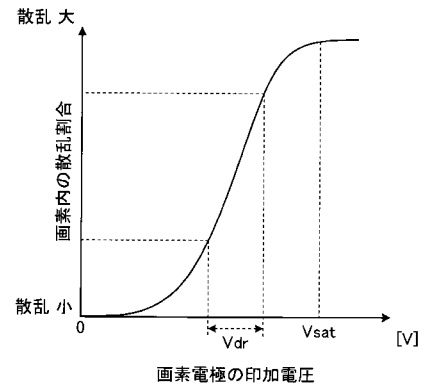
【図 2】



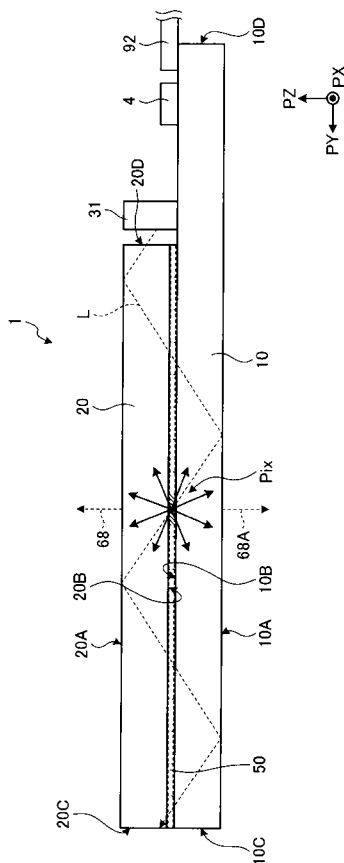
【図 3】



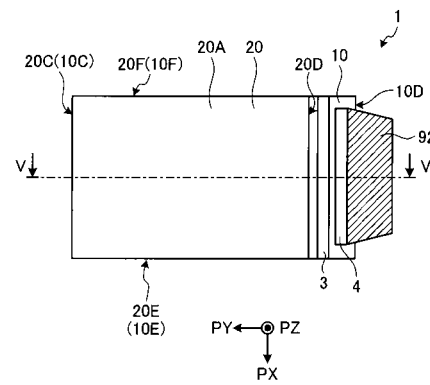
【図 4】



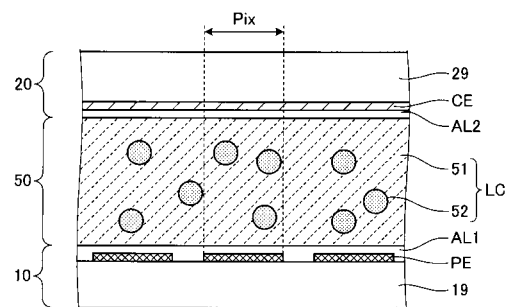
【図 5】



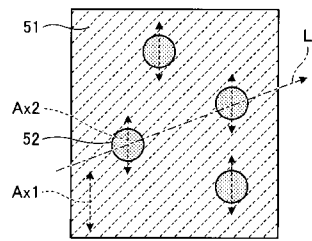
【図 6】



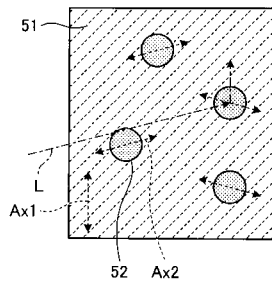
【図 7】



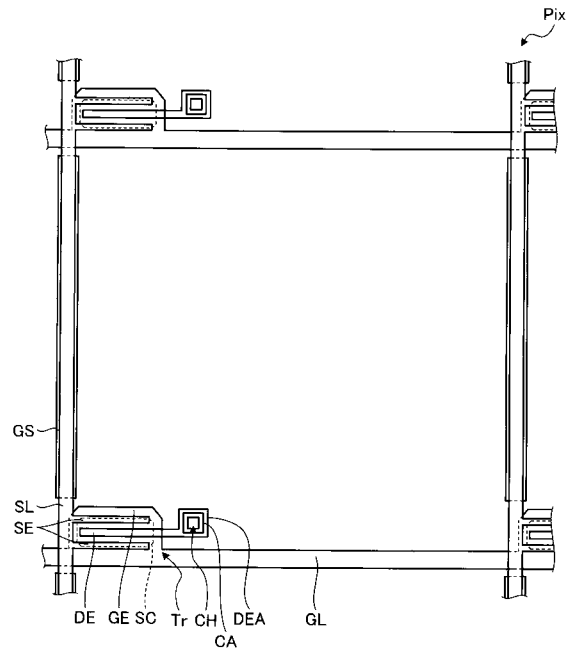
【図 8】



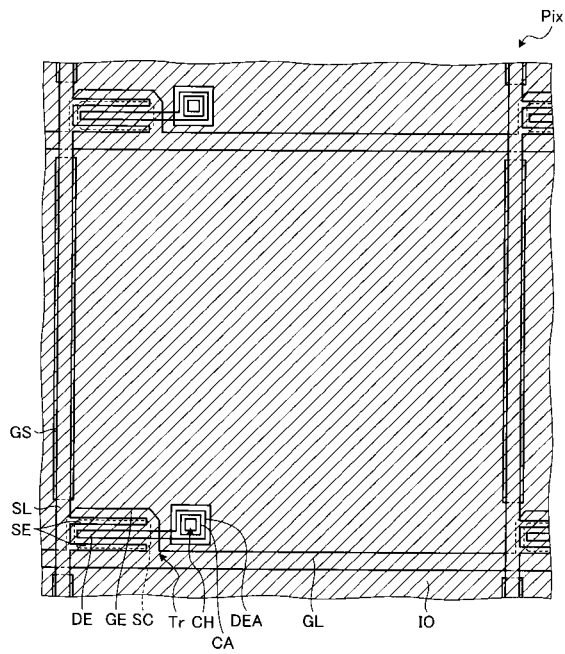
【図 9】



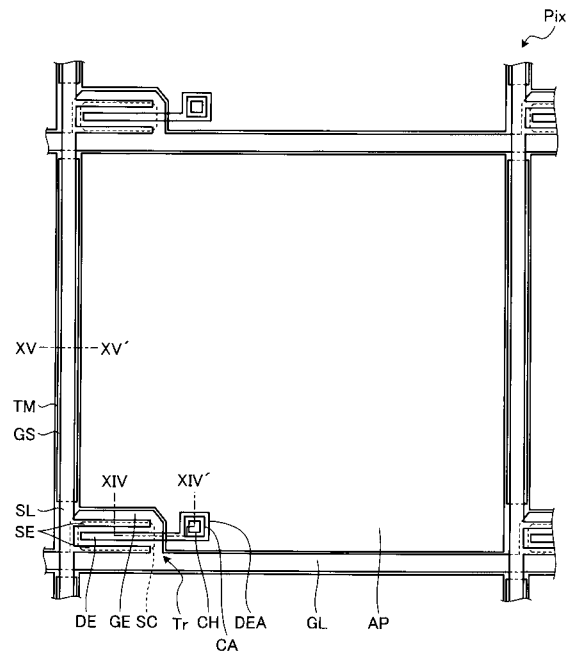
【図 10】



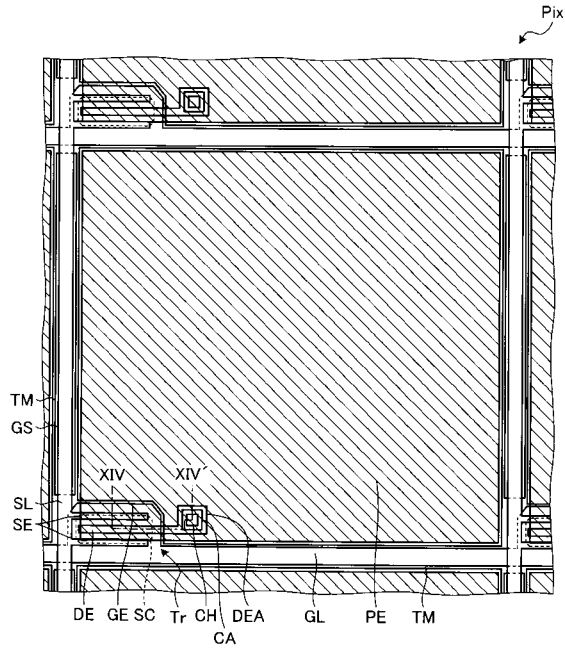
【図 11】



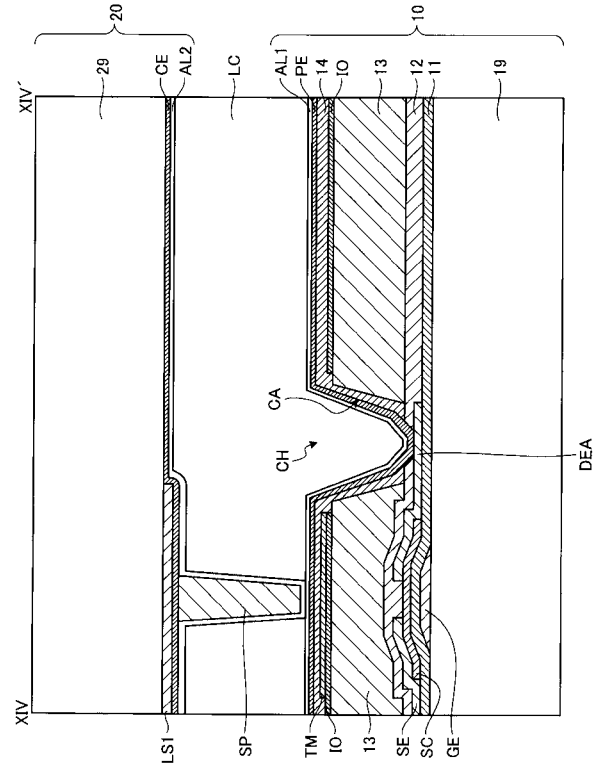
【図 12】



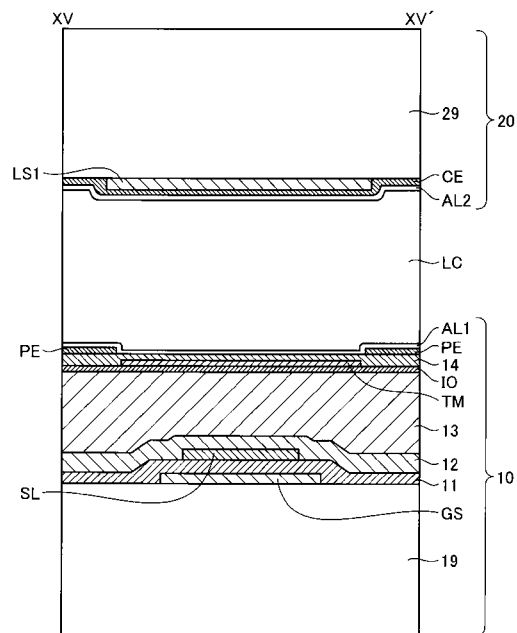
【図 13】



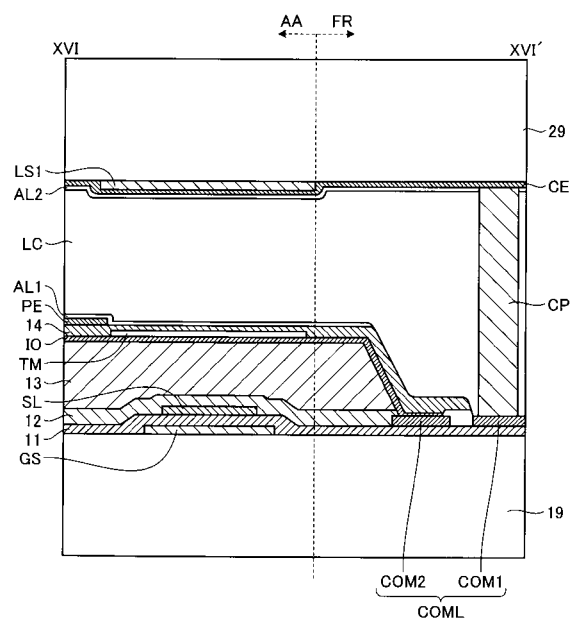
【図 14】



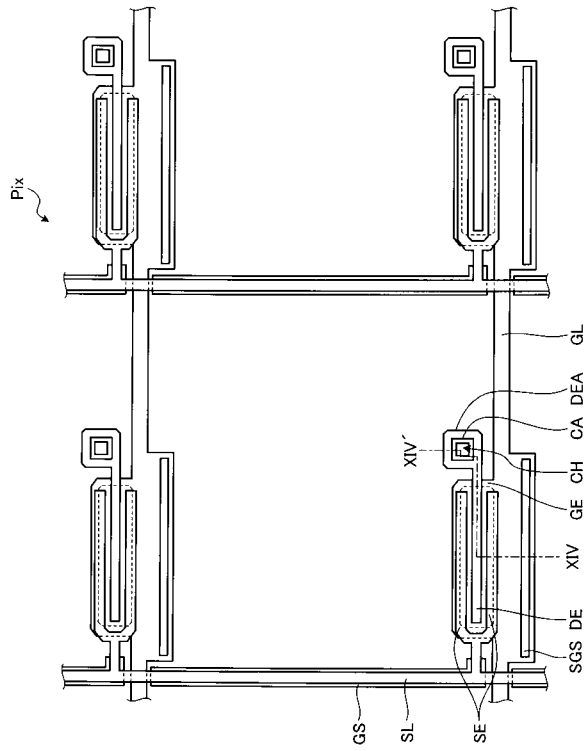
【図 15】



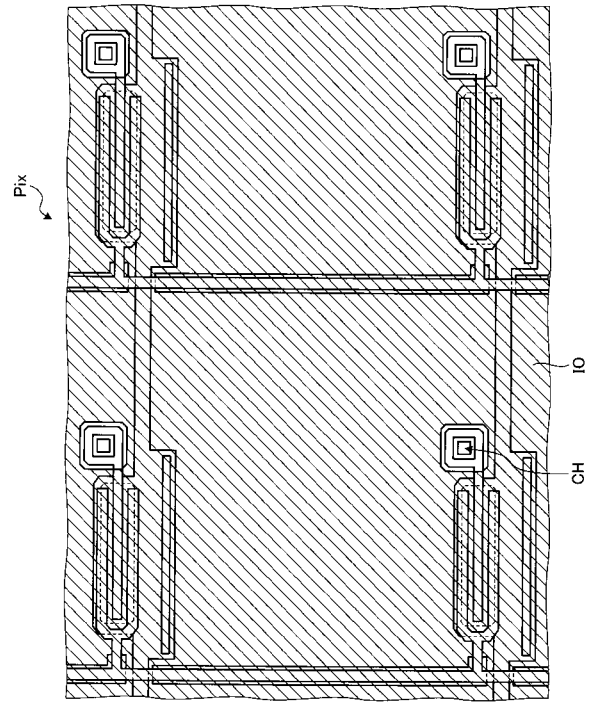
【図 16】



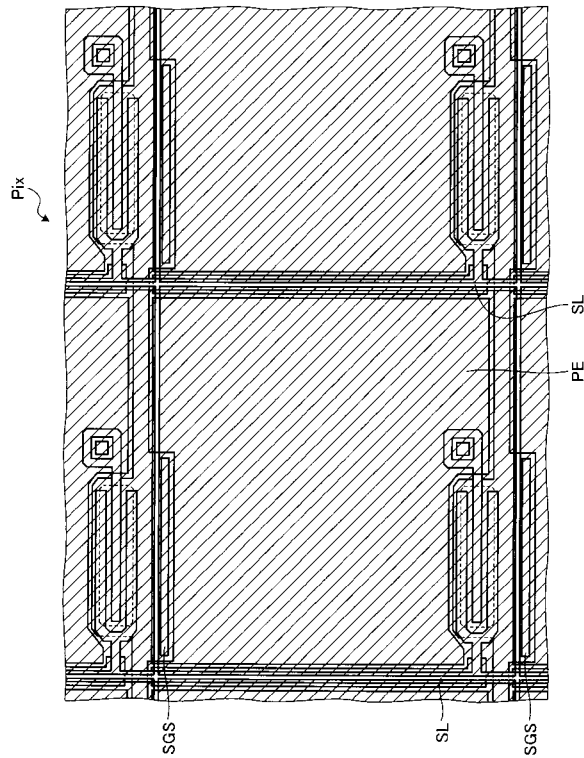
【図 17】



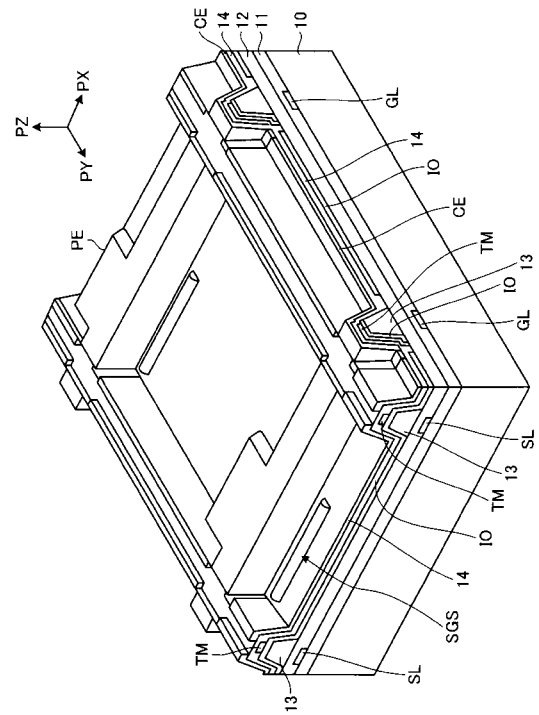
【図 18】



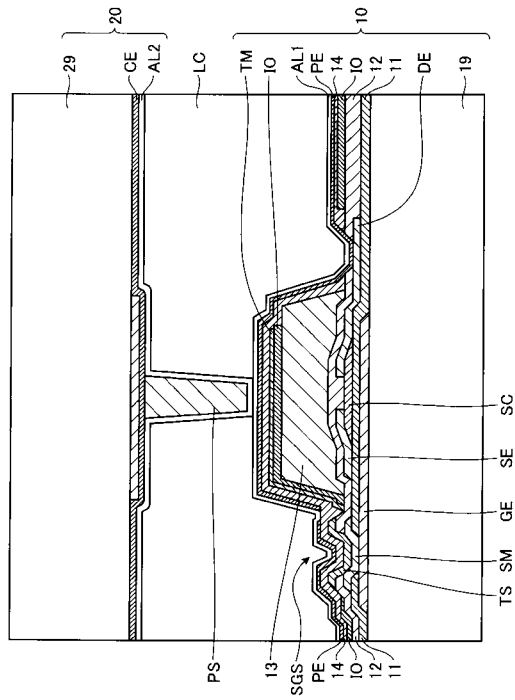
【図 19】



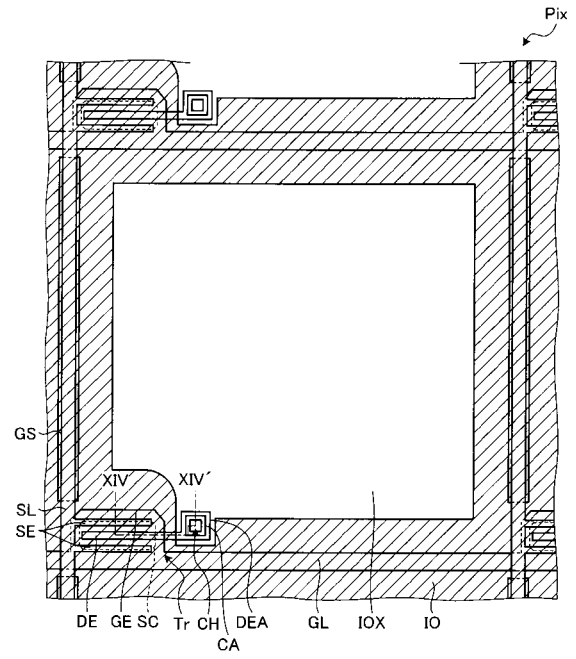
【図 20】



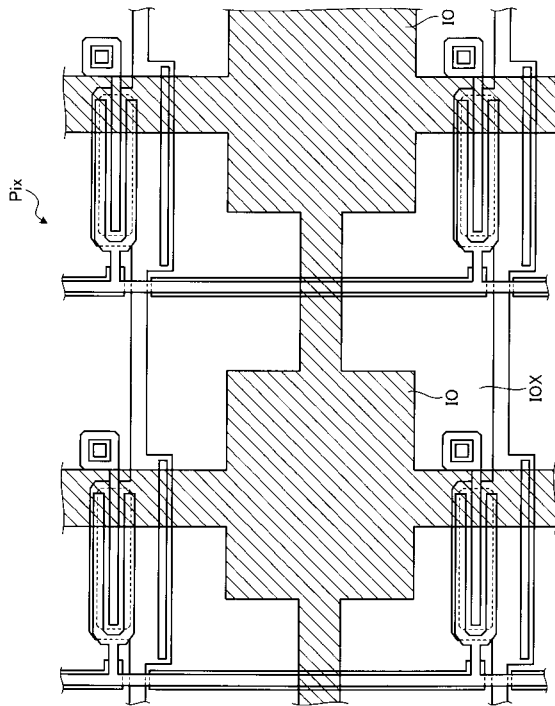
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

(72)発明者 奥山 健太郎

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 2H192 AA24 BC31 CB05 DA23 DA24 DA52 EA04 EA06 EA13 EA15

EA67 EA74 EA76 GA03 GD47 GD61 JA53 JB03

2H391 AA25 AB05 AB14 CB03 EA11 FA02

专利名称(译)	显示装置		
公开(公告)号	JP2020091400A	公开(公告)日	2020-06-11
申请号	JP2018228538	申请日	2018-12-05
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	杉山裕紀 大植善英 水野学 奥山健太郎		
发明人	杉山 裕紀 大植 善英 水野 学 奥山 健太郎		
IPC分类号	G02F1/1368 G02F1/13357		
CPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1368 G02F1/13357		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA23 2H192/DA24 2H192/DA52 2H192/EA04 2H192/EA06 2H192/EA13 2H192/EA15 2H192/EA67 2H192/EA74 2H192/EA76 2H192/GA03 2H192/GD47 2H192/GD61 2H192/JA53 2H192/JB03 2H391/AA25 2H391/AB05 2H391/AB14 2H391/CB03 2H391/EA11 2H391/FA02		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，该显示装置由场序系统驱动并且可以提高显示在显示面板上的图像的可视性。一种显示装置，包括：液晶层，其具有包围在阵列基板和対置基板之间的聚合物分散的液晶；以及至少一个向対置基板的侧面发光的发光单元。提供。在像素中，阵列基板在平面图中为第一透光电极，与无机绝缘层至少部分重叠的第三透光电极，以及层叠在第三透光电极上的导电透光层。和金属层。[选择图]图14

