

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-76950

(P2020-76950A)

(43) 公開日 令和2年5月21日(2020.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H189
G02F 1/1333 (2006.01)	G02F 1/1333	2H192
G09F 9/30 (2006.01)	G09F 9/30 330	5C094
G09F 9/00 (2006.01)	G09F 9/00 366A	5G435
G06F 3/041 (2006.01)	G06F 3/041 412	
審査請求 有 請求項の数 27 O L (全 45 頁) 最終頁に続く		

(21) 出願番号 特願2019-166436 (P2019-166436)
 (22) 出願日 令和1年9月12日(2019.9.12)
 (31) 優先権主張番号 62/733, 265
 (32) 優先日 平成30年9月19日(2018.9.19)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 100101683
 弁理士 奥田 誠司
 (74) 代理人 100155000
 弁理士 喜多 修市
 (74) 代理人 100139930
 弁理士 山下 亮司
 (74) 代理人 100125922
 弁理士 三宅 章子
 (74) 代理人 100135703
 弁理士 岡部 英隆
 (74) 代理人 100184985
 弁理士 田中 悠

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板およびアクティブマトリクス基板を用いたタッチセンサ付き液晶表示装置

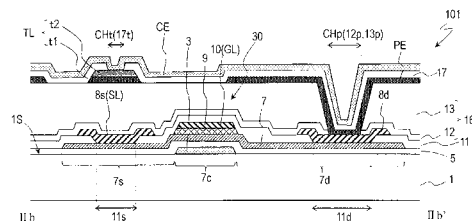
(57) 【要約】

【課題】 画素開口率の低下を抑制し得るアクティブマトリクス基板を提供する。

【解決手段】

アクティブマトリクス基板は、酸化物半導体層を含む TFT と、 TFT を覆う層間絶縁層の上に配置された複数の画素電極、複数の共通電極部分を含む共通電極および複数の第1配線とを備え、 TFT のソースおよびドレイン電極は、酸化物半導体層上に上部絶縁層を介して配置され、ソースおよびドレイン電極は、それぞれ、上部絶縁層に形成された開口部内で酸化物半導体層と電気的に接続され、ドレイン電極と画素電極の1つとを接続する第1コンタクト部と、共通電極部分の1つと第1配線の1つとを接続する第2コンタクト部とをさらに備え、基板の主面の法線方向から見たとき、第1コンタクト部は、ドレイン側開口部と少なくとも部分的に重なり、第2コンタクト部は、いずれかの画素領域に配置された TFT のソース側開口部と少なくとも部分的に重なっている。

【選択図】 図2B



【特許請求の範囲】

【請求項 1】

複数の画素領域を含むアクティブマトリクス基板であって、
主面を有する基板と、
前記基板の前記主面に支持され、かつ、前記複数の画素領域のそれぞれに配置された T F T と

前記 T F T を覆う層間絶縁層と、
前記層間絶縁層の上に配置された複数の画素電極と、
前記複数の画素電極の上、または前記複数の画素電極と前記層間絶縁層との間に、前記
複数の画素電極と誘電体層を介して配置され、かつ、それぞれがタッチセンサ用の第 1 電
極として機能し得る複数の共通電極部分を含む、共通電極と、

前記層間絶縁層の上に配置された複数のタッチセンサ用の第 1 配線と、
複数のソースバスラインを含むソースメタル層、および、複数のゲートバスラインを含
むゲートメタル層と
を備え、

前記 T F T は、酸化物半導体層と、前記ゲートメタル層内に形成されたゲート電極と、
前記ゲート電極と前記酸化物半導体層との間に位置するゲート絶縁層と、前記ソースメ
タル層内に形成されたソース電極およびドレイン電極とを有し、

前記ソース電極および前記ドレイン電極は、前記酸化物半導体層上に上部絶縁層を介し
て配置され、前記ソース電極は前記上部絶縁層に形成されたソース側開口部内で前記酸化
物半導体層の一部と電氣的に接続され、前記ドレイン電極は前記上部絶縁層に形成された
ドレイン側開口部内で前記酸化物半導体層の他の一部と電氣的に接続され、

前記ドレイン電極と前記複数の画素電極の 1 つとを接続する第 1 コンタクト部と、前記
複数の共通電極部分の 1 つと前記複数の第 1 配線の 1 つとを接続する第 2 コンタクト部と
をさらに備え、

前記基板の前記主面の法線方向から見たとき、前記第 1 コンタクト部は、前記ドレイン
側開口部と少なくとも部分的に重なっており、前記第 2 コンタクト部は、前記複数の画素
領域のいずれかに配置された前記 T F T の前記ソース側開口部と少なくとも部分的に重な
っている、アクティブマトリクス基板。

【請求項 2】

前記層間絶縁層は有機絶縁層を含み、
前記第 2 コンタクト部と前記ソース電極との間には、前記有機絶縁層が介在している、
請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

前記第 1 コンタクト部では、前記層間絶縁層を含む絶縁体に形成された第 1 コンタクト
ホール内で、前記ドレイン電極と前記複数の画素電極の前記 1 つとが接続され、

前記第 2 コンタクト部では、前記共通電極と前記複数の第 1 配線との間に介在する絶縁
体に形成された第 2 コンタクトホール内で、前記複数の共通電極部分の前記 1 つと前記複
数の第 1 配線の前記 1 つとが接続され、

前記基板の前記主面の法線方向から見たとき、前記第 1 コンタクトホールの底面と前記
ドレイン側開口部の底面とが少なくとも部分的に重なり、前記第 2 コンタクトホールの底
面と前記ソース側開口部の底面とが少なくとも部分的に重なっている、請求項 1 または 2
に記載のアクティブマトリクス基板。

【請求項 4】

前記基板の前記主面の法線方向から見たとき、前記第 1 コンタクトホール、前記第 2 コ
ンタクトホール、前記ソース側開口部および前記ドレイン側開口部の底面は、いずれも、
前記複数のゲートバスラインとも前記ゲート電極とも重なっていない、請求項 3 に記載の
アクティブマトリクス基板。

【請求項 5】

前記基板の前記主面の法線方向から見たとき、前記第 2 コンタクトホールの底面と前記

10

20

30

40

50

ソース側開口部の底面とが重なっている領域の面積 S_r の、前記第 2 コンタクトホールの底面の面積および前記ソース側開口部の底面の面積のうち小さい方の面積に対する割合 R は、30%以上100%以下である、請求項 3 または 4 に記載のアクティブマトリクス基板。

【請求項 6】

前記基板の前記主面の法線方向から見たとき、前記第 2 コンタクトホールは、前記ソース側開口部の内側に位置する、請求項 3 から 5 のいずれかに記載のアクティブマトリクス基板。

【請求項 7】

前記基板の前記主面の法線方向から見たとき、前記ソース側開口部は、前記第 2 コンタクトホールの内側に位置する、請求項 3 から 5 のいずれかに記載のアクティブマトリクス基板。

10

【請求項 8】

前記ソース電極は、前記複数のソースバスラインのうち対応する 1 つのソースバスラインと一体的に形成されており、

前記基板の前記主面の法線方向から見たとき、前記ソース側開口部は、前記対応する 1 つのソースバスラインおよび前記ソース電極を含むソース導電部の内側に、前記対応する 1 つのソースバスラインの幅を 2 分する中央線の片側のみに配置され、前記第 2 コンタクトホールは、前記ソース導電部の内側において、前記中央線と重なるように配置されている、請求項 3 から 5 のいずれかに記載のアクティブマトリクス基板。

20

【請求項 9】

前記基板の前記主面の法線方向から見たとき、前記第 2 コンタクトホールの底面と、前記ソース側開口部の底面とは交差している、請求項 3 から 5 のいずれかに記載のアクティブマトリクス基板。

【請求項 10】

前記複数の画素電極は、前記共通電極と前記層間絶縁層との間に配置されている、請求項 1 から 9 のいずれかに記載のアクティブマトリクス基板。

【請求項 11】

前記複数の第 1 配線のそれぞれは、前記複数の画素電極と同じ透明導電膜から形成された下部配線部と、金属膜から形成され、かつ、前記下部配線部の上面と接するように配置された上部配線部とを含む積層構造を有し、

30

前記下部配線部と前記上部配線部との間には絶縁層が設けられていない、請求項 10 に記載のアクティブマトリクス基板。

【請求項 12】

前記複数の第 1 配線を覆う他の誘電体層をさらに備え、

前記画素電極は、前記他の誘電体層上に配置されており、

前記第 2 コンタクト部では、前記複数の共通電極部分の前記 1 つと前記複数の第 1 配線の前記 1 つとは、前記誘電体層および前記他の誘電体層に形成された第 2 コンタクトホール内で接続されており、前記第 2 コンタクトホールの側壁において前記誘電体層および前記他の誘電体層の側面は整合している、請求項 10 に記載のアクティブマトリクス基板。

40

【請求項 13】

前記共通電極は、前記複数の画素電極と前記層間絶縁層との間に配置されている、請求項 1 から 9 のいずれかに記載のアクティブマトリクス基板。

【請求項 14】

前記複数の画素電極を含む画素電極層と前記共通電極を含む共通電極層との間に形成されたタッチ配線層をさらに含み、

前記複数の第 1 配線は、前記タッチ配線層内に形成されており、

前記共通電極層と前記タッチ配線層との間には下部誘電体層が配置され、前記タッチ配線層と前記画素電極層との間には上部誘電体層が配置されており、

前記第 1 コンタクト部において、前記複数の画素電極の前記 1 つは、前記層間絶縁層、

50

前記下部誘電体層および前記上部誘電体層に形成された第 1 コンタクトホール内で、前記ドレイン電極と接続されている、請求項 13 に記載のアクティブマトリクス基板。

【請求項 15】

前記層間絶縁層は、無機絶縁層と、前記無機絶縁層上に形成された有機絶縁層との積層構造を有し、

前記第 1 コンタクトホールの側壁の少なくとも一部において、前記上部誘電体層の側面と、前記下部誘電体層および前記無機絶縁層の少なくとも一方の側面とは整合している、請求項 14 に記載のアクティブマトリクス基板。

【請求項 16】

前記ゲートメタル層は、前記酸化物半導体層の前記基板側に位置する、請求項 1 から 15 のいずれかに記載のアクティブマトリクス基板。

【請求項 17】

前記ゲートメタル層は、前記酸化物半導体層と前記層間絶縁層との間に位置する、請求項 1 から 15 のいずれかに記載のアクティブマトリクス基板。

【請求項 18】

前記基板の前記主面の法線方向から見たとき、前記酸化物半導体層は、前記複数のゲートバスラインの対応する 1 つのゲートバスラインを横切って延びており、前記ソース側開口部および前記ドレイン側開口部は、前記対応する 1 つのゲートバスラインの両側にそれぞれ位置する、請求項 1 から 17 のいずれかに記載のアクティブマトリクス基板。

【請求項 19】

前記酸化物半導体層は、In-Ga-Zn-O 系半導体を含む、請求項 1 から 18 のいずれかに記載のアクティブマトリクス基板。

【請求項 20】

前記基板の前記主面の法線方向から見たとき、前記第 2 コンタクト部および前記ソース側開口部は、前記複数のソースバスラインの 1 つと重なっている、請求項 1 から 19 のいずれかに記載のアクティブマトリクス基板。

【請求項 21】

前記基板の前記主面の法線方向から見たとき、前記複数の第 1 配線は、前記複数のソースバスラインのうちの 1 つのソースバスライン上を、前記 1 つのソースバスラインに沿って延びている、請求項 1 から 20 のいずれかに記載のアクティブマトリクス基板。

【請求項 22】

前記下部配線部の側面と前記上部配線部の側面とは整合している、請求項 11 に記載のアクティブマトリクス基板。

【請求項 23】

前記ゲートメタル層は、前記酸化物半導体層と前記上部絶縁層との間に位置し、

前記ゲート絶縁層は、前記酸化物半導体層の一部上に配置され、前記ゲート電極は前記ゲート絶縁層上に配置されている、請求項 17 に記載のアクティブマトリクス基板。

【請求項 24】

前記酸化物半導体層のうち、前記基板の前記主面の法線方向から見たとき、前記ゲート電極と重ならない部分は、前記ゲート電極と重なる部分よりも比抵抗の小さい低抵抗領域である、請求項 23 に記載のアクティブマトリクス基板。

【請求項 25】

前記 TFT は、前記酸化物半導体層の前記基板側に配置された遮光層または他のゲート電極をさらに有する、請求項 17、23 および 24 のいずれかに記載のアクティブマトリクス基板。

【請求項 26】

請求項 1 から 25 のいずれかに記載のアクティブマトリクス基板と、

前記アクティブマトリクス基板に対向するように配置された対向基板と、

前記アクティブマトリクス基板と前記対向基板との間に設けられた液晶層とをさらに備える、タッチセンサ付き液晶表示装置。

10

20

30

40

50

【請求項 27】

タッチセンサ用の複数の第2電極をさらに備え、前記複数の第1電極および前記複数の第2電極の一方は複数のレシーバ電極であり、他方は複数のトランスミッタ電極である、請求項26に記載のタッチセンサ付き液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板およびアクティブマトリクス基板を用いたタッチセンサ付き液晶表示装置に関する。

【背景技術】

10

【0002】

近年、タッチセンサを備えた表示装置（以下、「タッチパネル」という）は、スマートフォン、タブレット型携帯端末等に広く利用されている。タッチセンサには、抵抗膜式、静電容量式、光学式など、種々の方式のものが知られている。静電容量式のタッチセンサでは、物体（例えば指）の接触または接近による静電容量の変化を電氣的に検出することで、タッチ状態が否かを判別する。

【0003】

静電容量方式のタッチセンサには、タッチセンサ用の電極と物体（例えば指）との間に生じる静電容量の変化を検知する自己容量方式と、タッチセンサ用の一対の電極（トランスミッタ電極とレシーバ電極）を用いて電界を発生させ、電極間の電界変化を検出する相互容量方式とがある。

20

【0004】

また、タッチパネルには、外付け型（観察者側に配置された偏光板のさらに観察者側にタッチセンサを配置したもの）と、内蔵型とがある。内蔵型タッチパネルには、オンセル型タッチパネルとインセル型タッチパネルとがある。ここで、セルは表示セル（以下では、「表示パネル」という。）を指し、例えば、液晶表示パネルは、液晶層を間に介して互いに対向するように配置されたアクティブマトリクス基板（TFT基板）と対向基板とを含み、偏光板を含まない。「インセル型」は、表示パネル内にタッチパネル機能を担う層を有するものをいう。一方、「オンセル型」は、タッチパネル機能を担う層が、表示パネルと偏光板との間（例えば対向基板と偏光板との間）に配置されているものをいう。また、タッチパネル機能を担う層を、表示パネル内と、表示パネルと偏光板との間とのそれぞれに配置した「ハイブリッド型」もある。内蔵型タッチパネルは、外付け型タッチパネルよりも薄型化、軽量化などに有利であり、光の透過率の高められるという利点を有している。

30

【0005】

特許文献1および2は、Fringe Field Switching（FFS）モードなどの横電界モードの液晶表示パネルを用いた内蔵型タッチパネルにおいて、アクティブマトリクス基板に設けられた共通電極を、タッチセンサ用の電極として利用することを開示している。

【先行技術文献】

40

【特許文献】

【0006】

【特許文献1】特開2016-126321号公報

【特許文献2】特開2009-244958号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

タッチセンサ付きの横電界モードの液晶表示パネルでは、アクティブマトリクス基板の表示領域に、各画素に配置される薄膜トランジスタ（以下、「TFT」）および画素電極に加えて、タッチセンサ用の電極（以下、「センサ電極」）を兼ねる共通電極、および、

50

タッチセンサの駆動用および／または検出用の配線（以下、「タッチ配線」と総称する）も設けられる。本発明者が検討したところ、このようなアクティブマトリクス基板においては、表示領域に、画素電極とＴＦＴのドレイン電極とを接続する画素コンタクト部に加えて、センサ電極とタッチ配線とを接続するタッチ配線コンタクト部も形成されるため、画素開口率が低下するおそれがある。

【０００８】

本発明の実施形態は、上記事情を鑑みてなされたものであり、その目的は、画素開口率の低下を抑制し得るアクティブマトリクス基板、および、そのようなアクティブマトリクス基板を用いたタッチセンサ付き液晶表示装置を提供することにある。

【課題を解決するための手段】

10

【０００９】

本明細書は、以下の項目に記載のアクティブマトリクス基板および液晶表示装置を開示している。

【００１０】

[項目１]

複数の画素領域を含むアクティブマトリクス基板であって、
主面を有する基板と、

前記基板の前記主面に支持され、かつ、前記複数の画素領域のそれぞれに配置されたＴＦＴと

前記ＴＦＴを覆う層間絶縁層と、

20

前記層間絶縁層の上に配置された複数の画素電極と、

前記複数の画素電極の上、または前記複数の画素電極と前記層間絶縁層との間に、前記複数の画素電極と誘電体層を介して配置され、かつ、それぞれがタッチセンサ用の第１電極として機能し得る複数の共通電極部分を含む、共通電極と、

前記層間絶縁層の上に配置された複数のタッチセンサ用の第１配線と、

複数のソースバスラインを含むソースメタル層、および、複数のゲートバスラインを含むゲートメタル層とを備え、

前記ＴＦＴは、酸化物半導体層と、前記ゲートメタル層内に形成されたゲート電極と、前記ゲート電極と前記酸化物半導体層との間に位置するゲート絶縁層と、前記ソースメタル層内に形成されたソース電極およびドレイン電極とを有し、

30

前記ソース電極および前記ドレイン電極は、前記酸化物半導体層上に上部絶縁層を介して配置され、前記ソース電極は前記上部絶縁層に形成されたソース側開口部内で前記酸化物半導体層の一部と電氣的に接続され、前記ドレイン電極は前記上部絶縁層に形成されたドレイン側開口部内で前記酸化物半導体層の他の一部と電氣的に接続され、

前記ドレイン電極と前記複数の画素電極の１つとを接続する第１コンタクト部と、前記複数の共通電極部分の１つと前記複数の第１配線の１つとを接続する第２コンタクト部とをさらに備え、

前記基板の前記主面の法線方向から見たとき、前記第１コンタクト部は、前記ドレイン側開口部と少なくとも部分的に重なっており、前記第２コンタクト部は、前記複数の画素領域のいずれかに配置された前記ＴＦＴの前記ソース側開口部と少なくとも部分的に重なっている、アクティブマトリクス基板。

40

【００１１】

[項目２]

前記層間絶縁層は有機絶縁層を含み、

前記第２コンタクト部と前記ソース電極との間には、前記有機絶縁層が介在している、項目１に記載のアクティブマトリクス基板。

【００１２】

[項目３]

前記第１コンタクト部では、前記層間絶縁層を含む絶縁体に形成された第１コンタクト

50

ホール内で、前記ドレイン電極と前記複数の画素電極の前記１つとが接続され、

前記第２コンタクト部では、前記共通電極と前記複数の第１配線との間に介在する絶縁体に形成された第２コンタクトホール内で、前記複数の共通電極部分の前記１つと前記複数の第１配線の前記１つとが接続され、

前記基板の前記主面の法線方向から見たとき、前記第１コンタクトホールの底面と前記ドレイン側開口部の底面とが少なくとも部分的に重なり、前記第２コンタクトホールの底面と前記ソース側開口部の底面とが少なくとも部分的に重なっている、項目１または２に記載のアクティブマトリクス基板。

【００１３】

[項目４]

前記基板の前記主面の法線方向から見たとき、前記第１コンタクトホール、前記第２コンタクトホール、前記ソース側開口部および前記ドレイン側開口部の底面は、いずれも、前記複数のゲートバスラインとも前記ゲート電極とも重なっていない、項目３に記載のアクティブマトリクス基板。

【００１４】

[項目５]

前記基板の前記主面の法線方向から見たとき、前記第２コンタクトホールの底面と前記ソース側開口部の底面とが重なっている領域の面積 S_r の、前記第２コンタクトホールの底面の面積および前記ソース側開口部の底面の面積のうち小さい方の面積に対する割合 R は、３０％以上１００％以下である、項目３または４に記載のアクティブマトリクス基板。

【００１５】

[項目６]

前記基板の前記主面の法線方向から見たとき、前記第２コンタクトホールは、前記ソース側開口部の内側に位置する、項目３から５のいずれかに記載のアクティブマトリクス基板。

【００１６】

[項目７]

前記基板の前記主面の法線方向から見たとき、前記ソース側開口部は、前記第２コンタクトホールの内側に位置する、項目３から５のいずれかに記載のアクティブマトリクス基板。

【００１７】

[項目８]

前記ソース電極は、前記複数のソースバスラインのうち対応する１つのソースバスラインと一体的に形成されており、

前記基板の前記主面の法線方向から見たとき、前記ソース側開口部は、前記対応する１つのソースバスラインおよび前記ソース電極を含むソース導電部の内側に、前記対応する１つのソースバスラインの幅を２分する中央線の片側のみに配置され、前記第２コンタクトホールは、前記ソース導電部の内側において、前記中央線と重なるように配置されている、項目３から５のいずれかに記載のアクティブマトリクス基板。

【００１８】

[項目９]

前記基板の前記主面の法線方向から見たとき、前記第２コンタクトホールの底面と、前記ソース側開口部の底面とは交差している、項目３から５のいずれかに記載のアクティブマトリクス基板。

【００１９】

[項目１０]

前記複数の画素電極は、前記共通電極と前記層間絶縁層との間に配置されている、項目１から９のいずれかに記載のアクティブマトリクス基板。

【００２０】

10

20

30

40

50

[項目 1 1]

前記複数の第 1 配線のそれぞれは、前記複数の画素電極と同じ透明導電膜から形成された下部配線部と、金属膜から形成され、かつ、前記下部配線部の上面と接するように配置された上部配線部とを含む積層構造を有し、

前記下部配線部と前記上部配線部との間には絶縁層が設けられていない、項目 1 0 に記載のアクティブマトリクス基板。

【 0 0 2 1 】

[項目 1 2]

前記複数の第 1 配線を覆う他の誘電体層をさらに備え、

前記画素電極は、前記他の誘電体層上に配置されており、

10

前記第 2 コンタクト部では、前記複数の共通電極部分の前記 1 つと前記複数の第 1 配線の前記 1 つとは、前記誘電体層および前記他の誘電体層に形成された第 2 コンタクトホール内で接続されており、前記第 2 コンタクトホールの側壁において前記誘電体層および前記他の誘電体層の側面は整合している、項目 1 0 に記載のアクティブマトリクス基板。

【 0 0 2 2 】

[項目 1 3]

前記共通電極は、前記複数の画素電極と前記層間絶縁層との間に配置されている、項目 1 から 9 のいずれかに記載のアクティブマトリクス基板。

【 0 0 2 3 】

[項目 1 4]

20

前記複数の画素電極を含む画素電極層と前記共通電極を含む共通電極層との間に形成されたタッチ配線層をさらに含み、

前記複数の第 1 配線は、前記タッチ配線層内に形成されており、

前記共通電極層と前記タッチ配線層との間には下部誘電体層が配置され、前記タッチ配線層と前記画素電極層との間には上部誘電体層が配置されており、

前記第 1 コンタクト部において、前記複数の画素電極の前記 1 つは、前記層間絶縁層、前記下部誘電体層および前記上部誘電体層に形成された第 1 コンタクトホール内で、前記ドレイン電極と接続されている、項目 1 3 に記載のアクティブマトリクス基板。

【 0 0 2 4 】

[項目 1 5]

30

前記層間絶縁層は、無機絶縁層と、前記無機絶縁層上に形成された有機絶縁層との積層構造を有し、

前記第 1 コンタクトホールの側壁の少なくとも一部において、前記上部誘電体層の側面と、前記下部誘電体層および前記無機絶縁層の少なくとも一方の側面とは整合している、項目 1 4 に記載のアクティブマトリクス基板。

【 0 0 2 5 】

[項目 1 6]

前記ゲートメタル層は、前記酸化物半導体層の前記基板側に位置する、項目 1 から 1 5 のいずれかに記載のアクティブマトリクス基板。

【 0 0 2 6 】

40

[項目 1 7]

前記ゲートメタル層は、前記酸化物半導体層と前記層間絶縁層との間に位置する、項目 1 から 1 5 のいずれかに記載のアクティブマトリクス基板。

【 0 0 2 7 】

[項目 1 8]

前記基板の前記主面の法線方向から見たとき、前記酸化物半導体層は、前記複数のゲートバスラインの対応する 1 つのゲートバスラインを横切って延びており、前記ソース側開口部および前記ドレイン側開口部は、前記対応する 1 つのゲートバスラインの両側にそれぞれ位置する、項目 1 から 1 7 のいずれかに記載のアクティブマトリクス基板。

【 0 0 2 8 】

50

[項目 1 9]

前記酸化物半導体層は、In - Ga - Zn - O系半導体を含む、項目 1 から 1 8 のいずれかに記載のアクティブマトリクス基板。

【 0 0 2 9 】

[項目 2 0]

前記基板の前記主面の法線方向から見たとき、前記第 2 コンタクト部および前記ソース側開口部は、前記複数のソースバスラインの 1 つと重なっている、項目 1 から 1 9 のいずれかに記載のアクティブマトリクス基板。

【 0 0 3 0 】

[項目 2 1]

前記基板の前記主面の法線方向から見たとき、前記複数の第 1 配線は、前記複数のソースバスラインのうちの 1 つのソースバスライン上を、前記 1 つのソースバスラインに沿って延びている、項目 1 から 2 0 のいずれかに記載のアクティブマトリクス基板。

【 0 0 3 1 】

[項目 2 2]

前記下部配線部の側面と前記上部配線部の側面とは整合している、項目 1 1 に記載のアクティブマトリクス基板。

【 0 0 3 2 】

[項目 2 3]

前記ゲートメタル層は、前記酸化物半導体層と前記上部絶縁層との間に位置し、
前記ゲート絶縁層は、前記酸化物半導体層の一部上に配置され、前記ゲート電極は前記ゲート絶縁層上に配置されている、項目 1 7 に記載のアクティブマトリクス基板。

【 0 0 3 3 】

[項目 2 4]

前記酸化物半導体層のうち、前記基板の前記主面の法線方向から見たとき、前記ゲート電極と重ならない部分は、前記ゲート電極と重なる部分よりも比抵抗の小さい低抵抗領域である、項目 2 3 に記載のアクティブマトリクス基板。

【 0 0 3 4 】

[項目 2 5]

前記 TFT は、前記酸化物半導体層の前記基板側に配置された遮光層または他のゲート電極をさらに有する、項目 1 7、2 3 および 2 4 のいずれかに記載のアクティブマトリクス基板。

【 0 0 3 5 】

[項目 2 6]

項目 1 から 2 5 のいずれかに記載のアクティブマトリクス基板と、
前記アクティブマトリクス基板に対向するように配置された対向基板と、
前記アクティブマトリクス基板と前記対向基板との間に設けられた液晶層と
をさらに備える、タッチセンサ付き液晶表示装置。

【 0 0 3 6 】

[項目 2 7]

タッチセンサ用の複数の第 2 電極をさらに備え、前記複数の第 1 電極および前記複数の第 2 電極の一方は複数のレシーバ電極であり、他方は複数のトランスミッタ電極である、項目 2 6 に記載のタッチセンサ付き液晶表示装置。

【 発明の効果 】

【 0 0 3 7 】

本発明の実施形態によると、画素開口率の低下を抑制し得るアクティブマトリクス基板、および、そのようなアクティブマトリクス基板を用いたタッチセンサ付き液晶表示装置が提供される。

【 図面の簡単な説明 】

【 0 0 3 8 】

10

20

30

40

50

- 【図 1 A】第 1 の実施形態のタッチパネル 1 0 0 1 の上面図である。
- 【図 1 B】第 1 の実施形態のタッチパネル 1 0 0 1 の断面図である。
- 【図 2 A】アクティブマトリクス基板 1 0 1 の表示領域の一部を示す平面図である。
- 【図 2 B】アクティブマトリクス基板 1 0 1 の画素領域の一部を示す断面図である。
- 【図 3 A】参考例 1 のコンタクト部の配置を示す平面図である。
- 【図 3 B】参考例 2 のコンタクト部の配置を示す平面図である。
- 【図 3 C】実施例 1 のコンタクト部の配置を示す平面図である。
- 【図 4】タッチ配線コンタクト部の第 2 コンタクトホール C H t とソースコンタクト部のソース側開口部 1 1 s との重なり面積の割合 R を説明するための図である。
- 【図 5 A】第 2 コンタクトホール C H t とソース側開口部 1 1 s との配置関係を例示する平面図である。 10
- 【図 5 B】第 2 コンタクトホール C H t とソース側開口部 1 1 s との他の配置関係を例示する平面図である。
- 【図 5 C】第 2 コンタクトホール C H t とソース側開口部 1 1 s とのさらに他の配置関係を例示する平面図である。
- 【図 5 D】第 2 コンタクトホール C H t とソース側開口部 1 1 s とのさらに他の配置関係を例示する平面図である。
- 【図 6 A】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 B】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 C】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。 20
- 【図 6 D】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 E】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 F】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 G】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 H】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 I】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 J】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 6 K】アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。
- 【図 7】アクティブマトリクス基板 1 0 1 の製造方法の一例を示すフローチャートである。 30
- 【図 8 A】第 1 の実施形態における他のアクティブマトリクス基板 1 0 2 を例示する断面図である。
- 【図 8 B】第 1 の実施形態における他のアクティブマトリクス基板 1 0 3 を例示する断面図である。
- 【図 8 C】第 1 の実施形態における他のアクティブマトリクス基板 1 0 4 を例示する断面図である。
- 【図 9 A】アクティブマトリクス基板 1 0 4 の製造方法の一例を示す工程断面図である。
- 【図 9 B】アクティブマトリクス基板 1 0 4 の製造方法の一例を示す工程断面図である。
- 【図 9 C】アクティブマトリクス基板 1 0 4 の製造方法の一例を示す工程断面図である。
- 【図 9 D】アクティブマトリクス基板 1 0 4 の製造方法の一例を示す工程断面図である。 40
- 【図 9 E】アクティブマトリクス基板 1 0 4 の製造方法の一例を示す工程断面図である。
- 【図 9 F】アクティブマトリクス基板 1 0 4 の製造方法の一例を示す工程断面図である。
- 【図 1 0】アクティブマトリクス基板 1 0 4 の製造方法の一例を示すフローチャートである。
- 【図 1 1 A】第 2 の誘電体層 1 8 の仮開口部 1 8 p ' および開口部 1 8 p と、第 1 の誘電体層 1 7 の開口部 1 7 p との配置関係を例示する平面図である。
- 【図 1 1 B】第 2 の誘電体層 1 8 の仮開口部 1 8 p ' および開口部 1 8 p と、第 1 の誘電体層 1 7 の開口部 1 7 p との配置関係を例示する平面図である。
- 【図 1 2 A】アクティブマトリクス基板 1 0 5 の表示領域の一部を示す平面図である。
- 【図 1 2 B】アクティブマトリクス基板 1 0 5 の画素領域の一部を示す断面図である。 50

【図 1 3 A】アクティブマトリクス基板 1 0 5 の製造方法の一例を示す工程断面図である。

【図 1 3 B】アクティブマトリクス基板 1 0 5 の製造方法の一例を示す工程断面図である。

【図 1 3 C】アクティブマトリクス基板 1 0 5 の製造方法の一例を示す工程断面図である。

【図 1 3 D】アクティブマトリクス基板 1 0 5 の製造方法の一例を示す工程断面図である。

【図 1 4】アクティブマトリクス基板 1 0 5 の製造方法の一例を示すフローチャートである。

【図 1 5】他のアクティブマトリクス基板 1 0 6 を示す断面図である。

【図 1 6 A】アクティブマトリクス基板 1 0 5 の他の製造方法を示す工程断面図である。

【図 1 6 B】アクティブマトリクス基板 1 0 5 の他の製造方法を示す工程断面図である。

【図 1 6 C】アクティブマトリクス基板 1 0 5 の他の製造方法を示す工程断面図である。

【図 1 6 D】アクティブマトリクス基板 1 0 5 の他の製造方法を示す工程断面図である。

【図 1 7】アクティブマトリクス基板 1 0 5 の他の製造方法を示すフローチャートである。

【図 1 8】第 2 の実施形態におけるさらに他のアクティブマトリクス基板 1 0 7 を示す断面図である。

【図 1 9】変形例のアクティブマトリクス基板を示す平面図である。

【発明を実施するための形態】

【0 0 3 9】

以下、本発明の実施形態によるアクティブマトリクス基板、および、タッチセンサ付き表示装置（以下、「タッチパネル」）をより具体的に説明する。以下の図面において、実質的に同じ機能を有する構成要素は、共通の参照符号で示し、その説明を省略することがある。

【0 0 4 0】

（第 1 の実施形態）

< タッチパネル 1 0 0 1 の全体構造 >

まず、図面を参照しながら、横電界モード（例えば F F S モード）の液晶表示パネルを用いたインセル型タッチパネルを例に、タッチパネルの全体構造の概略を説明する。図示する例では、タッチパネルは相互容量方式のタッチセンサを有するが、自己容量方式のタッチセンサを有してもよい。

【0 0 4 1】

図 1 A および図 1 B は、それぞれ、第 1 の実施形態のタッチパネル 1 0 0 1 の上面図および断面図である。図 1 B は、図 1 A における I b - I b ' 線に沿った断面を示す。

【0 0 4 2】

タッチパネル 1 0 0 1 は、表示領域 D R と、表示領域 D R の周辺に位置する周辺領域 F R とを有する。図示していないが、表示領域 D R は、x 方向（第 1 方向）に略平行に延設された複数のゲートバスラインと、y 方向（第 2 方向）に略平行に延設された複数のソースバスラインと、x 方向および y 方向に 2 次元に配列された複数の画素（不図示）とを含む。y 方向は、x 方向と交差する方向であり、x 方向と直交していてもよい。

【0 0 4 3】

表示領域 D R は、さらに、2 次元に配列された複数のタッチ検出単位 T U を含む。図示する例では、タッチ検出単位 T U は x 方向および y 方向に 2 次元に配列されている。各タッチ検出単位 T U は、例えば、2 以上の画素（不図示）に対応して配置されていてもよい。

【0 0 4 4】

一方、周辺領域 F R には、駆動回路を含む周辺回路、端子部などが設けられる。周辺領域 F R に、一部または全部の駆動回路を含む半導体チップ 1 2 0 が搭載されていてもよい。

10

20

30

40

50

。図示していないが、駆動回路は、ゲートドライバ、ソースドライバ、スキन्दライバおよび検出ドライバを含む。これらの駆動回路は、例えばアクティブマトリクス基板 1 0 1 に設けられている（実装または一体的に形成されている）。

【 0 0 4 5 】

タッチパネル 1 0 0 1 は、アクティブマトリクス基板 1 0 1 と、アクティブマトリクス基板 1 0 1 に対向するように配置された対向基板 2 0 1 と、アクティブマトリクス基板 1 0 1 および対向基板 2 0 1 の間に設けられた液晶層 C L とを有する。液晶層 C L は、アクティブマトリクス基板 1 0 1 および対向基板 2 0 1 の間に、シール材 1 1 0 によって封入されている。

【 0 0 4 6 】

タッチパネル 1 0 0 1 は、液晶層 C L に電圧を印加するための一対の電極と、タッチセンサ用の一対の電極とを有する。この例では、液晶層 C L に電圧を印加するための電極として、アクティブマトリクス基板 1 0 1 に、複数の画素電極 P E および共通電極 C E が設けられている。タッチセンサ用の電極として、タッチセンサの送信側電極であるトランスミッタ電極 T X (1) ~ T X (M) (以下、「トランスミッタ電極 T X 」と略すことがある。) と、タッチセンサの受信側電極であるレシーバ電極 R X (1) ~ R X (N) (以下、「レシーバ電極 R X 」と略すことがある。) とが設けられている。典型的には、アクティブマトリクス基板 1 0 1 および対向基板 2 0 1 のうち観察者側に配置された基板にレシーバ電極 R X 、非観察者側に配置された基板にトランスミッタ電極 T X が配置される。タッチパネル 1 0 0 1 の法線方向から見たとき、トランスミッタ電極 T X とレシーバ電極 R X とが交差する部分が、それぞれ、タッチ検出単位 T U となる。ここでは、アクティブマトリクス基板 1 0 1 における共通電極 C E をトランスミッタ電極 T X としても機能させている。

【 0 0 4 7 】

アクティブマトリクス基板 1 0 1 は、基板（例えばガラス基板）1 と、基板 1 の液晶層 C L 側に形成された共通電極 C E および複数の画素電極 P E とを有する。画素電極 P E と共通電極 C E とは誘電体層を介して配置されている。図 1 では、画素電極 P E は共通電極 C E の液晶層 C L 側に配置されているが、共通電極 C E の基板 1 側に配置されていてもよい。画素電極 P E は、画素ごとに電氣的に独立である。共通電極 C E は、間隔 C E g を空けて配列された複数の共通電極部分 C E a を含んでいる。共通電極部分 C E a は、複数の画素に対応して配置されてもよい。この例では、x 方向に延びる共通電極部分 C E a が、間隔 C E g を空けて y 方向に配列されている。各共通電極部分 C E a は、トランスミッタ電極 T X を兼ねている。各共通電極部分 C E a は、タッチセンサ駆動用配線 T X L を介して、不図示のスキन्दライバに接続されている。スキन्दライバは、例えば半導体チップ 1 2 0 に配置されていてもよい。

【 0 0 4 8 】

対向基板 2 0 1 は、基板（例えばガラス基板）2 1 と、基板 2 1 の液晶層 C L 側に形成された複数のレシーバ電極 R X とを有している。この例では、y 方向に延びるレシーバ電極 R X が、間隔を空けて x 方向に配列されている。レシーバ電極 R X は、複数の画素に対応して配置されてもよい。各レシーバ電極 R X は、タッチセンサ検出用配線 R X L を介して検出ドライバに接続されている。検出ドライバは、例えば半導体チップ 1 2 0 に配置されていてもよい。各レシーバ電極 R X は、周辺領域 F R において、アクティブマトリクス基板 1 0 1 と対向基板 2 0 1 との間に配置されたコンタクト柱 1 3 0 を介して、アクティブマトリクス基板 1 0 1 側に電氣的に接続されていてもよい。

【 0 0 4 9 】

図 1 に示す例では、共通電極部分 C E a (トランスミッタ電極 T X) のそれぞれは x 方向に延び、レシーバ電極 R X のそれぞれは、y 方向に延びているが、各共通電極部分 C E a は y 方向に延び、各レシーバ電極 R X は x 方向に延びていてもよい。

【 0 0 5 0 】

図示した例では、タッチパネル 1 0 0 1 は、相互容量方式のタッチセンサを備えるが、

10

20

30

40

50

代わりに、自己容量方式のタッチセンサを備えていてもよい。この場合、共通電極 C E における複数の共通電極部分 C E a は、それぞれ、対応するタッチ検出単位 T U に配置され、自己容量を検出する電極として機能する。各共通電極部分 C E a は、タッチセンサ用の配線を介してドライバに電氣的に接続される。相互容量方式および自己容量方式のタッチセンサの具体的な構造、駆動方法などは、例えば特開 2 0 1 8 - 5 4 8 4 号公報などに記載されており、公知であるので、詳細な説明を省略する。参考のために、特開 2 0 1 8 - 5 4 8 4 号公報の開示内容の全てを本明細書に援用する。

【 0 0 5 1 】

なお、本明細書では、アクティブマトリクス基板 1 0 1 に形成されたタッチセンサ用の電極（トランスマッタ電極 T X、自己容量を検出する電極など）を、単に「センサ電極」または「第 1 電極」と呼び、センサ電極に電氣的に接続されたタッチセンサ用の配線を「タッチ配線」または「第 1 配線」と呼ぶ。

10

【 0 0 5 2 】

< アクティブマトリクス基板 1 0 1 の画素領域 P I X の構造 >

次いで、アクティブマトリクス基板 1 0 1 の画素領域 P I X の構造を説明する。「画素領域 P I X」は、タッチパネル 1 0 0 1 の各画素に対応する領域であり、単に「画素」と呼ぶこともある。

【 0 0 5 3 】

図 2 A は、アクティブマトリクス基板 1 0 1 の表示領域 D R の一部を示す拡大平面図であり、図 2 B は、図 2 A に示す I I b - I I b' 線に沿った断面図である。

20

【 0 0 5 4 】

アクティブマトリクス基板 1 0 1 の表示領域 D R は、x 方向に延びるゲートバスライン G L と、y 方向に延びるソースバスライン S L と、x 方向および y 方向にマトリクス状に配列された複数の画素領域 P I X とを有している。画素領域 P I X はタッチパネル 1 0 0 1 における画素に対応する領域である。この例では、各画素領域 P I X は、ゲートバスライン G L およびソースバスライン S L によって画定されている。

【 0 0 5 5 】

各画素領域 P I X は、基板 1 に支持された T F T 3 0 と、画素電極 P E と、共通電極 C E とを備える。共通電極 C E は、画素ごとに少なくとも 1 つのスリットまたは切り欠き部を有している。

30

【 0 0 5 6 】

T F T 3 0 は、例えばトップゲート型の T F T である。この例では、T F T 3 0 は、基板 1 の主面 1 S 上に配置された酸化物半導体層 7 と、酸化物半導体層 7 の一部上にゲート絶縁層 9 を介して配置されたゲート電極 1 0 と、ソース電極 8 s およびドレイン電極 8 d とを備える。酸化物半導体層 7 は、基板 1 の法線方向から見たとき、ゲート電極 1 0 と重なるチャネル領域 7 c と、チャネル領域 7 c の両側にそれぞれ配置された第 1 領域 7 s および第 2 領域 7 d とを含む。第 1 領域 7 s および第 2 領域 7 d は、チャネル領域 7 c よりも比抵抗の小さい低抵抗領域であってもよい。

【 0 0 5 7 】

酸化物半導体層 7 の基板 1 側に、下部絶縁層 5 を介して配置された遮光層 3 をさらに備えてもよい。遮光層 3 は、基板 1 の主面 1 S の法線方向から見たとき、チャネル領域 7 c と少なくとも部分的に重なるように配置されており、バックライト側からチャネル領域 7 c に向かう光を遮る機能を有する。なお、遮光層 3 は固定電位に接続されていてもよい。

40

【 0 0 5 8 】

酸化物半導体層 7、ゲート絶縁層 9 およびゲート電極 1 0 の上には、上部絶縁層 1 1 が配置されている。ソース電極 8 s は、上部絶縁層 1 1 上および上部絶縁層 1 1 に形成された開口部（ソース側開口部）1 1 s 内に配置され、ソース側開口部 1 1 s 内で酸化物半導体層 7 の一部（この例では第 1 領域 7 s の一部）と電氣的に接続されている。同様に、ドレイン電極 8 d は、上部絶縁層 1 1 上および上部絶縁層 1 1 に形成された開口部（ドレイン側開口部）1 1 d 内に配置され、ドレイン側開口部 1 1 d 内で酸化物半導体層 7 の他の

50

一部（この例では第2領域7dの一部）と電氣的に接続されている。ソース電極8s、ドレイン電極8dは、それぞれ、酸化物半導体層7と直接接していてもよい。本明細書では、ソース電極8sと第1領域7sとの接続部を「ソースコンタクト部」、ドレイン電極8dと第2領域7dとの接続部を「ドレインコンタクト部」と呼ぶ。

【0059】

ゲート電極10は、対応するゲートバスラインGLに電氣的に接続され、ソース電極8sは対応するソースバスラインSLに電氣的に接続されている。ゲート電極10はゲートバスラインGLと同一の層（ゲートメタル層）内に形成され、ソース電極8sおよびドレイン電極8dはソースバスラインSLと同一の層（ソースメタル層）内に形成されていてもよい。ドレイン電極8dは画素電極PEと電氣的に接続されている。本明細書では、ドレイン電極8dと画素電極PEとの接続部を「画素コンタクト部」または「第1コンタクト部」と呼ぶ。この例では、画素コンタクト部において、ドレイン電極8dと画素電極PEとは、これらの間に位置する絶縁層に設けられた開口部（以下、「第1コンタクトホール」）CHp内で接続されている。

【0060】

TFT30は、層間絶縁層16で覆われている。層間絶縁層16は、有機絶縁層13を含んでもよい。有機絶縁層13は、平坦化膜として機能し得る厚さ（例えば1μm以上）を有していてもよい。層間絶縁層16は、例えば、無機絶縁層12と、無機絶縁層12上に配置された有機絶縁層13との積層構造を有していてもよい。

【0061】

層間絶縁層16上には、複数の画素電極PEが配置されている。画素電極PE上には、誘電体層（「第1の誘電体層」ともいう。）17を介して、共通電極CEが配置されている。つまり、画素電極PEは、共通電極CEと層間絶縁層16との間に位置している。本明細書では、画素電極PEと同じ透明導電膜から形成された層を画素電極層、共通電極CEと同じ透明導電膜から形成された層を共通電極層と呼ぶことがある。また、これらの電極層のうち基板1側に位置する層を「第1の透明電極層」、第1の透明電極層上に位置する層を「第2の透明電極層」と呼ぶことがある。本実施形態では、第1の透明電極層は画素電極PEを含む画素電極層であり、第2の透明電極層は共通電極CEを含む共通電極層であるが、第1の透明電極層が共通電極CEを含み、第2の透明電極層が画素電極PEを含んでもよい。第2の透明電極層に形成される透明電極には、画素ごとにスリット19sまたは切り欠き部を有する。

【0062】

画素電極PEは、画素毎に分離されている。画素電極PEは、TFT30のドレイン電極8dと電氣的に接続されている。この例では、画素電極PEは、層間絶縁層16および第1の誘電体層17に形成された第1コンタクトホールCHp内でドレイン電極8dと接している。

【0063】

共通電極CEは、画素毎に分離されていなくても構わない。本実施形態では、共通電極CEは、複数の共通電極部分CEaに分割されており、各共通電極部分CEaは、タッチセンサ用の第1電極（以下、「センサ電極」）として機能する。

【0064】

表示領域DRには、また、複数のタッチセンサ用の第1配線（以下、「タッチ配線」）TLが配置されている。タッチ配線TLは、各共通電極部分CEaに対して少なくとも1つ設けられていればよく、全ての画素領域PIXに配置されていなくてもよい。本明細書では、タッチ配線TL（タッチ配線TLが積層構造を有する場合にはその少なくとも1層）と同じ導電膜（典型的には金属膜）から形成された層を「タッチ配線層」と呼ぶ。

【0065】

タッチ配線TLは、対応する共通電極部分CEaに電氣的に接続されている。本明細書では、タッチ配線TLと共通電極部分CEaとの接続部を「タッチ配線コンタクト部」または「第2コンタクト部」と呼ぶ。この例では、タッチ配線コンタクト部において、タッ

10

20

30

40

50

チ配線 TL と共通電極部分 CE a とは、これらの間に位置する絶縁体に設けられた開口部（以下、「第 2 コンタクトホール」）CH t 内で接続されている。この例では、第 2 コンタクトホール CH t は、誘電体層 17 に形成された開口部 17 t である。タッチ配線コンタクト部は、1 つの共通電極部分 CE a に対して少なくとも 1 つ設けられていればよい。好ましくは、1 つの共通電極部分 CE a に対して 2 以上のタッチ配線コンタクト部が設けられる。

【0066】

タッチ配線 TL は、対応する共通電極部分 CE a まで、例えば y 方向に延びていてもよい。この例では、アクティブマトリクス基板 101 の法線方向から見て、タッチ配線 TL は、複数のソースバスライン SL のうちの 1 つのソースバスライン SL の上を、そのソースバスライン SL に沿って延びている。

10

【0067】

また、図示する例では、各タッチ配線 TL は、画素電極 PE と同じ透明導電膜から（ここでは第 1 の透明電極層内に）形成された下部配線部 t1 と、下部配線部 t1 の上面と接する上部配線部 t2 とを含む積層構造を有している。上部配線部 t2 は、金属膜から（タッチ配線層内に）形成されている。下部配線部 t1 と上部配線部 t2 との間には絶縁層は設けられていない。つまり、タッチ配線 TL の下部配線部 t1 を含む第 1 の透明電極層が形成された後、絶縁層の形成工程を挟まずに、タッチ配線 TL の上部配線部 t2 を含むタッチ配線層が形成されている。これにより、第 2 コンタクトホール CH t が形成される絶縁膜の数を低減でき、タッチ配線 TL の抵抗を小さくすることができる。基板 1 の法線方向から見たとき、下部配線部 t1 の側面と上部配線部 t2 の側面とは整合していてもよい。また、下部配線部 t1 および上部配線部 t2 は、ソースバスライン SL と略同じ幅を有していてもよい。

20

【0068】

本実施形態では、基板 1 の法線方向から見たとき、画素コンタクト部は、ドレインコンタクト部のドレイン側開口部 11 d と少なくとも部分的に重なるように配置されている。つまり、画素コンタクト部における第 1 コンタクトホール CH p の底面とドレイン側開口部 11 d の底面とが少なくとも部分的に重なっている。また、タッチ配線コンタクト部は、ソースコンタクト部のソース側開口部と少なくとも部分的に重なるように配置されている。つまり、タッチ配線コンタクト部における第 2 コンタクトホール CH t の底面とソース側開口部 11 s の底面とが少なくとも部分的に重なっている。なお、本明細書において、コンタクトホールまたは開口部の「底面」とは、下地となる導電層の上面のうちコンタクトホールまたは開口部によって露出され、接続面となる部分を指す。

30

【0069】

アクティブマトリクス基板 101 の表示領域 DR において、ドレインコンタクト部、ソースコンタクト部、画素コンタクト部、およびタッチ配線コンタクト部が形成された領域は、バックライトからの光が遮られたり、液晶分子の配向が乱れる領域であるため、光の透過率に寄与しない領域である。このような光の透過率に寄与しない領域は、通常、対向基板に設けられたブラックマトリクス等で遮光される。従って、基板 1 の法線方向から見たとき、画素コンタクト部とドレインコンタクト部とを少なくとも部分的に重なるように配置し、かつ、タッチ配線コンタクト部とソースコンタクト部とが少なくとも部分的に重なるように配置して、光の透過率に寄与しない領域を重畳させることによって、コンタクト部に起因する画素開口率（画素における光の透過率に寄与する領域の面積割合）の低下を抑制できる。

40

【0070】

ソースコンタクト部とタッチ配線コンタクト部との間に、比較的厚く、平坦化膜としても機能し得る有機絶縁層 13 を介在させてもよい。これにより、ソースコンタクト部とタッチ配線コンタクト部とを重ねて配置しても、これらのコンタクト部は互いに干渉を受けにくい。また、ドレイン側開口部 11 d による段差が有機絶縁層 13 により低減されているため、第 2 コンタクトホール CH t をドレイン側開口部 11 d 上に重ねても、ドレイン

50

側開口部 11d の段差の影響による不良は生じにくい。従って、これらのコンタクト部の信頼性を高めることができる。さらに、タッチ配線 TL とソースバスライン SL とを、比較的厚い有機絶縁層 13 を介して重ねて配置することで、容量の増加を抑えつつ、タッチ配線 TL に起因する画素開口率の低下を抑制できる。

【0071】

図 3A および図 3B は、それぞれ、参考例 1 および参考例 2 のアクティブマトリクス基板におけるコンタクト部の配置を示す平面図であり、図 3C は実施例 1 のアクティブマトリクス基板におけるコンタクト部の配置を示す平面図である。簡単のため、図 2A および図 2B と同様の構成要素に同じ番号を付している。

【0072】

参考例 1 のアクティブマトリクス基板では、平坦化膜 13 の基板 1 側にタッチ配線 TL を形成している。参考例 1 では、タッチ配線コンタクト部において、比較的厚い平坦化膜 13 に第 2 コンタクトホール CHt を形成するため、タッチ配線コンタクト部のサイズが大きくなる。また、平坦化膜 13 に第 2 コンタクトホール CHt を形成する工程において位置ずれが生じると、タッチ配線 TL とソースバスラインとの間の絶縁層（無機絶縁層 12 に相当）もエッチングされる可能性がある。このとき、ソースバスラインと共通電極 CE とがリークすることになる。このようなリークを抑制し得るように画素設計を行うと、タッチ配線コンタクト部をソースバスラインと重ねることは難しい。特に画素サイズの小さな高解像度パネルに使用される場合、タッチ配線コンタクト部、画素コンタクト部およびソースコンタクト部が、基板 1 の法線方向から見たとき、y 方向に並ぶように配置される。これらのコンタクト部を遮光する必要があることから、画素領域のうち遮光が必要な範囲（遮光範囲）M が拡大し、画素開口率が低下してしまう。

【0073】

参考例 2 のアクティブマトリクス基板では、層間絶縁層 16 の上にタッチ配線 TL を形成している。参考例 2 では、参考例 1 と同様に、画素コンタクト部はドレインコンタクト部と重なるように配置されているが、タッチ配線コンタクト部はソースコンタクト部とは異なる位置に配置されている。ただし、タッチ配線 TL とソースメタル層との間に層間絶縁層 16 が介在するので、タッチ配線コンタクト部を、ソースバスライン SL 上に配置することが可能になり、参考例 1 よりも画素開口率を改善できる。しかしながら、基板 1 の主面 1S の法線方向から見たとき、コンタクト部が 3 箇所配置されているので、電極・配線間に十分な間隔を確保しようとする、遮光範囲 M を十分に小さくできない可能性がある。

【0074】

これに対し、実施例 1 では、タッチ配線コンタクト部とソースコンタクト部とが互いに重なるように配置されており、参考例 1、2 よりも遮光範囲 M の幅を小さくできるので、コンタクト部に起因する画素開口率の低下を抑制できる。

【0075】

参考例 1、参考例 2 および実施例 1 における画素開口率の一例を表 1 に示す。表 1 では、各画素の x 方向の幅を $25\mu\text{m}$ 、y 方向の幅を $75\mu\text{m}$ としたときの画素開口率（％）と、参考例 1 の画素開口率に対する比（開口率比）とを示している。

【0076】

10

20

30

40

【表 1】

	参考例 1	参考例 2	実施例 1
画素開口率 (%)	33. 01	35. 55	42. 32
参考例 1 に対する画素開口率比 [—]	100. 0	107. 7	128. 2

10

【0077】

表 1 から、実施例 1 の画素開口率は、参考例 1 よりも略 30 % 高くなっていることが分かる。画素開口率によって可視光に対する透過率が決まるので、コンタクト部の配置を最適化することで、高解像度の液晶表示パネルの透過率を大幅に改善できることが確認される。

【0078】

実施例 1 (図 3 C) および図 2 A に示したように、基板 1 の法線方向から見たとき、ソースコンタクト部 (ソース側開口部 11s) およびタッチ配線コンタクト部 (第 2 コンタクトホール CHt) は、ソースバスライン SL の 1 つと重なっていてもよい。これにより、画素開口率をさらに高くできる。

20

【0079】

また、画素コンタクト部、タッチ配線コンタクト部、ドレインコンタクト部およびソースコンタクト部 (すなわち、第 1 コンタクトホール CHp、第 2 コンタクトホール CHt、ドレイン側開口部 11d およびソース側開口部 11s の底面) は、いずれも、基板 1 の法線方向から見たとき、ゲートバスライン GL とともゲート電極 10 ととも重なっていてもよい。これにより、ゲート金属層とソース金属層との間の容量を低減しつつ、画素開口率を改善できる。従来、上記の 4 つのコンタクト部をゲートバスライン GL と重ならないように配置すると、コンタクト部に起因して遮光範囲 M が大幅に増加する場合があったが、本実施形態のコンタクト部の配置を適用することで、画素開口率の低下をより効果的に抑制できる。

30

【0080】

画素コンタクト部およびドレインコンタクト部は、当該画素、すなわち画素コンタクト部で TFT30 に接続される画素電極 PE が配置された画素 PIX (1) 内に配置され、ソースコンタクト部およびタッチ配線コンタクト部は、その画素に隣接する他の画素 (ここでは y 方向に隣接する画素) PIX (2) 内に配置されていてもよい。図示するように、基板 1 の法線方向から見たとき、画素コンタクト部およびドレインコンタクト部と、ソースコンタクト部およびタッチ配線コンタクト部とは、ゲートバスライン GL を挟んで両側に配置されていてもよい。これにより、遮光範囲 M の幅をより小さくできる。

【0081】

本実施形態のコンタクト部の配置は、画素 TFT として、ソース側開口部およびドレイン側開口部を有する TFT を用いたアクティブマトリクス基板に広く適用され得る。画素 TFT は、トップゲート構造 TFT でもよいし、エッチストップ型のボトムゲート構造 TFT でもよい。特に、トップゲート構造 TFT を用いたアクティブマトリクス基板に好適に適用され得る。

40

【0082】

トップゲート構造 TFT では、図 2 B に例示したように、ソース電極 8s およびドレイン電極 8d が、絶縁体に形成されたソース側開口部 11s およびドレイン側開口部 11d 内で酸化物半導体層 7 の上面と接続されており、かつ、基板 1 の法線方向から見たとき、ゲート電極 10 はソース電極 8s とともドレイン電極 8d ととも重なっていないことが好ましい。これにより、ゲート電極 10 とソース電極 8s およびドレイン電極 8d との間の寄生

50

容量を小さくできる。なお、このような構造のＴＦＴを画素ＴＦＴとして用いた従来のアクティブマトリクス基板では、ソースコンタクト部とドレインコンタクト部とがゲートバスラインＧＬ（ゲート電極１０）から間隔を空けて配置され、さらに、これらのコンタクト部に加えて画素コンタクト部およびタッチ配線コンタクト部が配置されるので、コンタクト部に起因して遮光範囲Ｍが特に大きくなりやすかった。従って、上記構造のＴＦＴを有するアクティブマトリクス基板に、本実施形態によるコンタクト部の配置を適用することで、より顕著な効果が得られる。

【００８３】

一方、画素ＴＦＴとしてボトムゲート構造ＴＦＴを用いる場合には、ゲート電極を遮光膜としても使用し、かつ、画素開口率を抑えるためには、ゲートバスラインＧＬの幅を大きくしてボトムゲート構造ＴＦＴをゲートバスラインＧＬ上に配置する構成が望ましい。しかしながら、この構成では、ゲートバスラインＧＬとソースバスラインＳＬとの交差部の面積が大きくなるため容量が増加し、ソースバスラインＳＬの負荷が増大してしまう。これに対し、トップゲート構造ＴＦＴを用いると、ゲートバスラインＧＬとソースバスラインＳＬとの交差部には、遮光膜もコンタクト部も配置しなくてもよいので、交差部の面積を例えば１／５未満にできる。従って、バスラインの負荷を、ボトムゲート構造ＴＦＴを用いる場合より低減できる。

【００８４】

タッチ配線コンタクト部およびソースコンタクト部のそれぞれの面積が決まっている場合、これらのコンタクト部の重なり面積が大きいほど、遮光すべき領域を小さくできるので、より効果的に画素開口率を高くできる。ここでいう「重なり面積」は、基板１の法線方向から見たとき、タッチ配線コンタクト部の第２コンタクトホールＣＨｔの底面とソースコンタクト部のソース側開口部１１ｓの底面とが重なる領域の面積Ｓｒをいう。また、「遮光すべき領域」は、基板１の法線方向から見たとき、タッチ配線コンタクト部の第２コンタクトホールＣＨｔおよびソースコンタクト部のソース側開口部１１ｓの少なくともいずれかが存在している領域（以下、「コンタクト領域」）をいう。

【００８５】

ここで、ソース側開口部１１ｓおよび第２コンタクトホールＣＨｔのうち底面の大きい方を第１開口部Ｈ１、小さい方を第２開口部Ｈ２とし、第１開口部Ｈ１および第２開口部Ｈ２の底面の面積をそれぞれＳ（Ｈ１）、Ｓ（Ｈ２）とする。また、小さい方の第２開口部Ｈ２の面積Ｓ（Ｈ２）に対する、重なり面積Ｓｒの割合Ｒを、「重なり面積の割合」とする。図４に模式的に示すように、重なり面積の割合Ｒが大きいほど、コンタクト領域の面積Ｓｃを低減できる。具体的には、面積Ｓ（Ｈ１）、Ｓ（Ｈ２）が決まっている場合、基板１の主面１Ｓの法線方向から見たとき、第１開口部Ｈ１の内側に第２開口部Ｈ２が配置されると（重なり面積の割合Ｒ：１００％）、コンタクト領域の面積Ｓｃは最小値になり、第１開口部Ｈ１の面積Ｓ（Ｈ１）と等しくなる（ $S_c = S(H1)$ ）。第１開口部Ｈ１に対して第２開口部Ｈ２の位置をずらして重なり面積Ｓｒを小さくする（すなわち重なり面積の割合Ｒを小さくする）と、コンタクト領域の面積Ｓｃは増加する。ただし、コンタクト領域の面積Ｓｃは、第１開口部Ｈ１および第２開口部Ｈ２の底面の面積の和未満である（ $S_c < S(H1) + S(H2)$ ）。

【００８６】

本実施形態では、重なり面積の割合Ｒは、例えば、３０％以上１００％以下であり、好ましくは５０％以上１００％以下であってもよい。３０％以上であれば、タッチ配線コンタクト部に起因する画素開口率の低下をより確実に抑制できる。

【００８７】

第２コンタクトホールＣＨｔおよびソース側開口部１１ｓの底面全体は、基板１の主面１Ｓの法線方向から見たとき、ソース電極８ｓ（または、ソース電極８ｓと、ソース電極８ｓと一体形成されたソースバスラインＳＬとを含むソース導電部）と重なっていてもよい。重なり面積Ｓｒを大きくすることで、ソース電極８ｓのサイズを増大させることなく、第２コンタクトホールＣＨｔとソース側開口部１１ｓとをソース電極８ｓ上に配置でき

る。

【0088】

上記では、ソース側開口部11sと第2コンタクトホールCHtとの重なり面積の割合Rを説明したが、ドレイン側開口部11dと第1コンタクトホールCHpとの重なり面積の割合Rも、例えば、30%以上100%以下であり、好ましくは50%以上100%以下であってもよい。

【0089】

次いで、図面を参照しながら、タッチ配線コンタクト部とソースコンタクト部との配置関係をより具体的に説明する。

【0090】

図5A～図5Dは、それぞれ、タッチ配線コンタクト部の第2コンタクトホールCHtと、ソースコンタクト部のソース側開口部11sとの配置関係を例示する平面図である。これらの例では、いずれも、基板1の主面1Sの法線方向から見たとき、ソース側開口部11sおよび第2コンタクトホールCHtは、ソース電極8sと、ソース電極8sと一体的に形成された1つのソースバスラインとを含むソース導電部の内側に配置されている。

【0091】

図5Aに示すように、基板1の法線方向から見たとき、ソース側開口部11sの内側に第2コンタクトホールCHtが位置していてもよい。このときの第1コンタクト領域の面積Scは、ソース側開口部11sの底面の面積と等しくなる。重なり面積の割合Rは100%である。

【0092】

ソース電極8sと酸化物半導体層7とのコンタクト不良が生じると、液晶表示パネルの不良になってしまうため、ソースコンタクト部には安定性が求められる。このため、ソース側開口部11sのサイズは大きい方が好ましい。一方、タッチ配線コンタクト部は、通常、1つのセンサ電極（共通電極部分CEa）に2箇所以上設けられている。このような冗長構造のため、タッチ配線TLとセンサ電極とのコンタクト不良が1箇所で生じても、タッチセンサの駆動に問題が生じないことが多い。また、設計上、第2コンタクトホールCHtの幅は、タッチ配線TLの幅と同等かそれ以下であることが好ましい場合がある。従って、図5Aに示すように、第2コンタクトホールCHtのサイズを、ソース側開口部11sよりも小さくし、ソース側開口部11sの内側に第2コンタクトホールCHtを配置することで、ソースコンタクト部の安定性を確保しつつ、画素開口率をより高めることが可能である。

【0093】

あるいは、図5Bに示すように、基板1の法線方向から見たとき、第2コンタクトホールCHtの内側にソース側開口部11sが位置していてもよい。このときの第1コンタクト領域の面積Scは、第2コンタクトホールCHtの底面の面積と等しくなる。重なり面積の割合Rは100%である。

【0094】

ソースバスラインSLの一部をソース電極8sとして機能させる場合、ソースバスラインSLにソース側開口部11sが設けられる。このとき、ソース側開口部11sのテーパ不良が生じると、ソース電極8sと酸化物半導体層7との間のコンタクト抵抗が上昇したり、ソースバスラインSLの配線抵抗が増大する可能性がある。これに対し、図5Bに示すように、ソースバスラインSLのうちソース側開口部11sを形成する領域の幅（ソース電極8sのx方向の幅）wsに対して、ソース側開口部11sの幅（x方向の幅）w1を十分に小さくすると、テーパ不良が生じても、矢印41に示すような電流経路を確保できる。ソース側開口部11sの幅w1は、ソース電極8sの幅wsの例えば1/3以下、または1/4以下であってもよい。また、ソース側開口部11sの幅w1を小さく抑える場合に、基板1の法線方向から見たとき、第2コンタクトホールCHtの全体をソース導電部と重なるように配置し、なおかつ、第2コンタクトホールCHtの内側にソース側開口部11sを配置することで、画素開口率をより効果的に向上できる。

【 0 0 9 5 】

図 5 C に示す例では、基板 1 の主面 1 S の法線方向から見たとき、ソース側開口部 1 1 s は、ソース導電部の内側において、ソースバスライン S L の中央線 4 3 の片側（ここでは左側）のみに配置されている。中央線 4 3 は、ソースバスラインの幅を（y 方向に）2 分する線である。これにより、ソース側開口部 1 1 s のテーパ不良が生じて、矢印 4 5 に示すような電流経路を確保できる。ソース電極 8 s の幅 w_s に対して、ソース側開口部 1 1 s の幅 w_1 が十分に小さくてもよい。例えば、ソース側開口部 1 1 s の幅 w_1 は、ソース電極 8 s（またはソース導電部）の幅 w_s の例えば $1/3$ 以下、または $1/4$ 以下であってもよい。一方、第 2 コンタクトホール C H t は、ソース導電部の内側に、中央線 4 3 と重なるように配置されてもよい。第 2 コンタクトホール C H t の一方の端部（こ

10

【 0 0 9 6 】

ソース側開口部 1 1 s は、例えば、第 2 コンタクトホール C H t の一方の端部（図示する例では左側の端部）を y 方向に横切って延びていてもよい。これにより、ソース側開口部 1 1 s の面積を確保しつつ、ソースバスライン S L の抵抗の増大を抑制でき、さらに、画素開口率をより効果的に向上できる。

【 0 0 9 7 】

図 5 D に示すように、基板 1 の法線方向から見たとき、ソース側開口部 1 1 s および第 2 コンタクトホール C H t は、いずれも、ソース導電部と重なるように配置され、かつ、互いに交差するように（互いに横切るように）配置されていてもよい。このときの重なり面積の割合 R は、例えば 50% 以上 90% 以下であってもよい。

20

【 0 0 9 8 】

例えば、第 2 コンタクトホール C H t の x 方向の幅 w_2 は、ソース側開口部 1 1 s の x 方向の幅 w_1 よりも大きくてもよい。図示するように、ソース側開口部 1 1 s は y 方向に長く、第 2 コンタクトホール C H t は x 方向に長い形状を有していてもよい。ソース側開口部 1 1 s の幅 w_1 を小さくすることで、ソース側開口部 1 1 s のテーパ不良が生じて、y 方向に電流経路を確保しやすい。第 2 コンタクトホール C H t については、タッチ配線 T L（不図示）の接続対象が共通電極 C E（共通電極部分 C E a）であり、その接続部分はソース導電部より大面積であることが多く、また、タッチ配線コンタクト部は、1 つの共通電極部分 C E a に 2 箇所以上設けられる冗長構造であるので、ソースコンタクト部のように、コンタクトホールの形状や配置によって電流経路を確保する必要がない。従って、第 2 コンタクトホール C H t の x 方向の幅 w_2 を大きくする（例えば幅 w_2 をタッチ配線 T L の幅（不図示）よりも大きくする）ことで、より安定なソース配線コンタクト部を形成できる。また、この構成によると、ソース側開口部 1 1 s と第 2 コンタクトホール C H t との平面形状を異ならせることで、アクティブマトリクス基板に対する画像検査等で不良を検出しやすくなるというメリットがある。

30

【 0 0 9 9 】

< アクティブマトリクス基板 1 0 1 の製造方法 >

以下、図 6 A ~ 図 6 K および図 7 を参照しながら、アクティブマトリクス基板 1 0 1 の製造方法を説明する。

40

【 0 1 0 0 】

図 6 A ~ 図 6 K は、それぞれ、アクティブマトリクス基板 1 0 1 の製造方法の一例を示す工程断面図である。図 7 は、アクティブマトリクス基板 1 0 1 の製造方法の一例を示すフローチャートである。

【 0 1 0 1 】

・ S T E P 1 - 1 ~ S T E P 1 - 3

図 6 A に示すように、基板 1 上に、遮光層 3、下部絶縁層 5 および酸化物半導体層 7 を形成する。

【 0 1 0 2 】

50

まず、基板 1 上に、遮光層用導電膜を形成し、公知のフォトリソグラフィにより、遮光層用導電膜のパターニングを行うことにより、遮光層 3 を得る (STEP 1 - 1)。

【0103】

基板 1 としては、例えばガラス基板、シリコン基板、耐熱性を有するプラスチック基板 (樹脂基板) などを用いることができる。

【0104】

遮光層用導電膜は、特に限定しないが、例えばアルミニウム (Al)、クロム (Cr)、銅 (Cu)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo) あるいはタングステン (W) から選ばれた元素を含む金属膜、またはこれらの元素を成分とする合金膜などを用いることができる。また、これらのうち複数の膜を含む積層膜を用いてもよい。例えば、チタン膜 - アルミニウム膜 - チタン膜の 3 層構造あるいはモリブデン膜 - アルミニウム膜 - モリブデン膜の 3 層構造を有する積層膜を用いることができる。なお、遮光層用導電膜は 3 層構造に限られず、単層、または 2 層構造、あるいは 4 層以上の積層構造を有していてもよい。ここでは、遮光層用導電膜として、Ti 膜 (厚さ: 15 ~ 70 nm) を下層、Cu 膜 (厚さ: 200 ~ 400 nm) を上層とする積層膜を用いる。

10

【0105】

次いで、遮光層 3 を覆う下部絶縁層 (厚さ: 例えば 200 nm 以上 600 nm 以下) 5 を形成する (STEP 1 - 2)。

【0106】

下部絶縁層 5 としては、酸化珪素 (SiO_2) 層、窒化珪素 (SiN_x) 層、酸化窒化珪素 (SiO_xN_y ; $x > y$) 層、窒化酸化珪素 (SiN_xO_y ; $x > y$) 層、酸化アルミニウム層または酸化タンタル層等を適宜用いることができる。下部絶縁層 5 は、積層構造を有していてもよい。ここでは、下部絶縁層 5 として、例えば、CVD 法を用いて、窒化珪素 (SiN_x) 層 (厚さ: 50 ~ 600 nm) を下層、酸化珪素 (SiO_2) 層 (厚さ: 50 ~ 600 nm) を上層とする積層膜を形成する。下部絶縁層 5 として (下部絶縁層 5 が積層構造を有する場合には、その最上層として)、酸化珪素膜などの酸化物膜を用いると、後で形成される酸化物半導体層のチャネル領域に生じた酸化欠損を酸化物膜によって低減できるので、チャネル領域の低抵抗化を抑制できる。

20

【0107】

続いて、下部絶縁層 5 上に、例えばスパッタリング法を用いて酸化物半導体膜 (厚さ: 例えば 15 nm 以上 200 nm 以下) を形成し、公知のフォトリソグラフィにより、酸化物半導体膜のパターニングを行うことで、酸化物半導体層 7 を形成する (STEP 1 - 3)。酸化物半導体膜は、特に限定しないが、例えば In - Ga - Zn - O 系半導体膜であってもよい。

30

【0108】

・STEP 1 - 4

次に、図 6 B に示すように、ゲート絶縁層 9 およびゲート電極 10 を形成する。

【0109】

まず、酸化物半導体層 7 を覆うように、絶縁膜 (厚さ: 例えば 80 nm 以上 250 nm 以下) およびゲート用導電膜 (厚さ: 例えば 50 nm 以上 500 nm 以下) をこの順で形成する。ゲート用導電膜は例えばスパッタリング法を用いて形成され、絶縁膜は例えば CVD 法で形成され得る。

40

【0110】

絶縁膜として、下部絶縁層 5 と同様の絶縁膜 (下部絶縁層 5 として例示した絶縁膜) を用いることができる。絶縁膜として、酸化珪素膜などの酸化物膜を用いると、酸化物半導体層 7 のチャネル領域に生じた酸化欠損を酸化物膜によって低減できるので、チャネル領域の低抵抗化を抑制できる。

【0111】

ゲート用導電膜として、例えばアルミニウム (Al)、クロム (Cr)、銅 (Cu)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo) あるいはタングステン (W) が

50

ら選ばれた元素を含む金属膜、またはこれらの元素を成分とする合金膜などを用いることができる。また、これらのうち複数の膜を含む積層膜を用いてもよい。例えば、チタン膜 - アルミニウム膜 - チタン膜の3層構造あるいはモリブデン膜 - アルミニウム膜 - モリブデン膜の3層構造を有する積層膜を用いることができる。なお、ゲート用導電膜は3層構造に限られず、単層、または2層構造、あるいは4層以上の積層構造を有していてもよい。ゲート用導電膜として、Ti膜（厚さ：15～70nm）を下層、Cu膜（厚さ：200～400nm）を上層とする積層膜を用いてもよい。

【0112】

ここでは、絶縁膜として、例えば酸化珪素（SiO₂）膜を用いる。ゲート用導電膜としては、例えばTi膜（厚さ：15～70nm）を下層、Cu膜（厚さ：200～400nm）を上層とする積層膜を用いる。

10

【0113】

続いて、図示しない第1レジストマスクを用いて、ゲート用導電膜のパターニングを行い、ゲート電極10を形成する。ゲート用導電膜のパターニングは、ウェットエッチングまたはドライエッチングで行うことができる。

【0114】

この後、上記第1レジストマスクを用いて、絶縁膜のパターニングを行う。あるいは、上記第1レジストマスクを除去した後、パターニングされたゲート電極10をマスクとして絶縁膜のパターニングを行ってもよい。これにより、ゲート絶縁層9を得る。絶縁膜のパターニングは、例えばドライエッチングで行うことができる。

20

【0115】

絶縁膜のパターニング時に、下部絶縁層5のうち酸化物半導体層で覆われていない部分の表層部もエッチング（オーバーエッチング）されることがある。

【0116】

本工程では、同一のマスクを用いて絶縁膜およびゲート用導電膜のパターニングを行うので、ゲート絶縁層9の側面とゲート電極10の側面とが厚さ方向に整合する。つまり、基板1の主面1Sの法線方向から見たとき、ゲート絶縁層9の周縁は、ゲート電極10の周縁と整合する。

【0117】

なお、絶縁膜の形成およびパターニングを行ってゲート絶縁層9を形成し、続いて、ゲート用導電膜の形成およびパターニングを行ってゲート電極10を形成してもよい。

30

【0118】

・STEP1-5

続いて、ゲート電極10をマスクとして、酸化物半導体層7の低抵抗化処理を行う。低抵抗化処理として、例えばプラズマ処理を行ってもよい。これにより、基板1の主面1Sの法線方向から見たとき、酸化物半導体層7のうちゲート電極10およびゲート絶縁層9と重なっていない第1領域7sおよび第2領域7dは、ゲート電極10およびゲート絶縁層9と重なっているチャネル領域7cよりも比抵抗の低い低抵抗領域となる。第1領域7sおよび第2領域7dは、導電体領域（例えばシート抵抗：200Ω/□以下）であってもよい。

40

【0119】

低抵抗化処理（プラズマ処理）では、酸化物半導体層7のうちゲート電極10で覆われていない部分を、還元性プラズマまたはドーピング元素を含むプラズマ（例えばアルゴンプラズマ）に晒してもよい。これにより、酸化物半導体層7のうち露出された部分7s、7dの表面近傍で抵抗が低下し、低抵抗領域となる。酸化物半導体層7のうちゲート電極10でマスクされた部分7cは、半導体領域として残る。なお、低抵抗化処理の方法および条件などは、例えば特開2008-40343号公報に記載されている。参考のために、特開2008-40343号公報の開示内容の全てを本明細書に援用する。

【0120】

・STEP1-6

50

次いで、図 6 C に示すように、ゲート電極 10 および酸化物半導体層 7 を覆う上部絶縁層 11 を形成する。上部絶縁層 11 として、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜などの無機絶縁層を単層又は積層させて形成することができる。無機絶縁層の厚さは 100 nm 以上 500 nm 以下でもよい。上部絶縁層 11 を窒化シリコン膜などの酸化物半導体を還元させる絶縁膜を用いて形成すると、酸化物半導体層 7 のうち上部絶縁層 11 と接する領域（ここでは第 1 領域 7 s および第 2 領域 7 d）の比抵抗を低く維持できるので好ましい。ここでは、上部絶縁層 11 として、例えば、SiNx 層（厚さ：300 nm）を CVD 法で形成する。

【0121】

この後、例えばドライエッチングで、上部絶縁層 11 に、酸化物半導体層 7 の第 1 領域 7 s および第 2 領域 7 d に達するソース側開口部 11 s およびドレイン側開口部 11 d を形成する。

【0122】

・STEP 1 - 7

次いで、図 6 D に示すように、上部絶縁層 11 上に、ソース電極 8 s、ドレイン電極 8 d およびソースバスライン SL を含むソースメタル層を形成する。ここでは、上部絶縁層 11 上および開口部 11 s、11 d 内に、ソース用導電膜（厚さ：例えば 50 nm 以上 500 nm 以下）を形成し、公知のフォトリソグラフィにより、ソース用導電膜のパターニングを行うことで、ソースメタル層を得る。パターニングは、ドライエッチングまたはウェットエッチングで行うことができる。このようにして、TFT30 を得る。

【0123】

ソース用導電膜として、例えば、アルミニウム (Al)、クロム (Cr)、銅 (Cu)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo) あるいはタングステン (W) から選ばれた元素、またはこれらの元素を成分とする合金などを用いることができる。例えば、チタン膜 - アルミニウム膜 - チタン膜の 3 層構造、モリブデン膜 - アルミニウム膜 - モリブデン膜などの 3 層構造などを有していてもよい。なお、ソース用導電膜は 3 層構造に限られず、単層、または 2 層構造、あるいは 4 層以上の積層構造を有していてもよい。ここでは、Ti 膜（厚さ：15 ~ 70 nm）を下層、Cu 膜（厚さ：200 ~ 400 nm）を上層とする積層膜を用いる。

【0124】

・STEP 1 - 8

続いて、図 6 E に示すように、TFT30 およびソースバスライン SL を覆うように、層間絶縁層 16 を形成する。層間絶縁層 16 は、平坦化膜として機能し得る有機絶縁層 13 を含む。層間絶縁層 16 として、無機絶縁層（厚さ：例えば 100 nm 以上 400 nm 以下）12 と、有機絶縁層（厚さ：例えば 1 ~ 3 μm、好ましくは 2 ~ 3 μm）13 とをこの順で形成してもよい。無機絶縁層 12 の材料は、上部絶縁層 11 の材料として例示した材料と同じであってもよい。ここでは、無機絶縁層 12 として、CVD 法で SiNx 層（厚さ：例えば 200 nm）を形成する。有機絶縁層 13 は、例えば、感光性樹脂材料を含む有機絶縁膜であってもよい。

【0125】

この後、図 6 F に示すように、有機絶縁層 13 のパターニングを行い、開口部 13 p を形成する。次いで、図 6 G に示すように、開口部 13 p が形成された有機絶縁層 13 をマスクとして利用して、無機絶縁層 12 に開口部 12 p を形成してもよい。これにより、開口部 12 p、13 p から構成される第 1 コンタクトホール CHp が得られる。

【0126】

あるいは、有機絶縁層 13 のパターニングを行った後、別途エッチングマスクを設けて、エッチングマスクを利用して無機絶縁層 12 のパターニングを行い、ドレイン電極 8 d を露出する開口部 12 p を形成してもよい。

【0127】

・STEP 1 - 9

10

20

30

40

50

続いて、図 6 H に示すように、層間絶縁層 1 6 上および第 1 コンタクトホール C H p 内に、画素電極 P E を形成するための第 1 の透明導電膜（厚さ：20 ~ 300 nm）1 5 ' を形成する。ここでは、例えば、スパッタリング法で、第 1 の透明導電膜 1 5 ' としてインジウム - 亜鉛酸化物膜を形成する。第 1 の透明電極膜の材料としては、インジウム - 錫酸化物（ITO）、インジウム - 亜鉛酸化物、ZnO 等の金属酸化物を用いることができる。

【0128】

・STEP 1 - 10

次いで、図 6 I に示すように、第 1 の透明導電膜 1 5 ' 上に、金属膜を用いてタッチ配線 T L の上部配線部 t 2 を形成する。

10

【0129】

具体的には、まず、第 1 の透明導電膜 1 5 ' 上に、タッチ配線を形成するための金属膜（厚さ：50 ~ 500 nm）を形成する。金属膜として、ゲート用導電膜またはソース用導電膜と同様の導電膜を用いることができる。ここでは、例えばスパッタリング法で、Cu もしくは Al を主体とした、単層もしくは積層構造膜を形成する。この後、金属膜のパターニングを行い、タッチ配線 T L の上部配線部 t 2 を得る。

【0130】

・STEP 1 - 11

続いて、図 6 J に示すように、例えばウェットエッチングで、第 1 の透明導電膜 1 5 ' のパターニングを行うことにより、画素電極 P E およびタッチ配線 T L の下部配線部 t 1 を含む第 1 の透明電極層を得る。

20

【0131】

画素電極 P E は画素毎に分離されている。各画素電極 P E は、第 1 コンタクトホール C H p 内で T F T 30 のドレイン電極 8 d に電氣的に接続される。また、画素電極 P E と下部配線部 t 1 とは、離間して配置され、電氣的に分離されている。パターニングでは、上部配線部 t 2 もマスクとして機能させてもよい。これにより、下部配線部 t 1 の側面と上部配線部 t 2 の側面とは整合する。

【0132】

・STEP 1 - 12

次いで、図 6 K に示すように、第 1 の透明電極層およびタッチ配線 T L 上に、誘電体層（厚さ：50 ~ 500 nm）1 7 を形成する。誘電体層 1 7 の材料は、無機絶縁層 1 2 の材料として例示した材料と同じであってもよい。ここでは、誘電体層 1 7 として、例えば C V D 法で SiN 膜を形成する。

30

【0133】

この後、誘電体層 1 7 のエッチングを行い、タッチ配線 T L の上部配線部 t 2 の一部を露出する開口部 1 7 t（第 2 コンタクトホール C H t）を形成する。

【0134】

・STEP 1 - 13

次いで、図示しないが、誘電体層 1 7 上および第 2 コンタクトホール C H t 内に第 2 の透明導電膜（厚さ：20 ~ 300 nm）を形成する。この後、第 2 の透明導電膜のパターニングを行い、誘電体層 1 7 上に、共通電極 C E を含む第 2 の透明電極層を形成する。共通電極 C E には、画素ごとに少なくとも 1 つの開口部（または切り欠き部）を設ける。また、共通電極 C E は、複数の共通電極部分 C E a に分離され、各共通電極部分 C E a は、第 2 コンタクトホール C H t 内でタッチ配線 T L と電氣的に接続される。

40

【0135】

第 2 の透明導電膜の材料は、第 1 の透明導電膜の材料として例示した材料と同じであってもよい。第 2 の透明導電膜は単層でもよいし、積層膜でもよい。ここでは、例えば、スパッタリング法で、インジウム - 亜鉛酸化物膜を形成する。このようにして、図 2 A および図 2 B に示すアクティブマトリクス基板 1 0 1 が製造される。

【0136】

50

上記方法では、第1の透明電極層とタッチ配線層との間に、絶縁層が介在しないので、コンタクトホールを形成すべき絶縁層の数を減らすことができる。上記の各コンタクト部等は、通常、アライメントずれ（例えば $1\mu\text{m}$ ）、各絶縁層に形成される開口部のサイズのばらつき（例えば $\pm 1\mu\text{m}$ ）等を考慮して設計される。絶縁層の数を減らすことで、コンタクト部（第1コンタクトホールCHp、第2コンタクトホールCHt）のサイズを低減できるので、より効果的に、コンタクト部に起因する画素開口率の低下を抑制できる。

【0137】

<変形例>

図8A～図8Cは、それぞれ、本実施形態における他のアクティブマトリクス基板102、103、104を例示する断面図である。

10

【0138】

図8Aに示すアクティブマトリクス基板102では、タッチ配線TLは、金属膜から形成された層のみで構成されている。このような構成は、第1の透明導電膜15'のパターニングを行って画素電極PEを形成した後で、タッチ配線TLを形成するための金属膜を形成し、パターニングすることで得られる。あるいは、層間絶縁層16上にタッチ配線TLを形成した後で、第1の透明導電膜15'の形成およびパターニングによって画素電極PEを形成してもよい。また、図8Aに示す例において、画素電極PEを含む第1の透明電極層と、タッチ配線TLを含むタッチ配線層との間に、他の誘電体層が形成されていてもよい。

【0139】

20

図8Bに示すアクティブマトリクス基板103では、タッチ配線層は、共通電極CEの上に第2の誘電体層18を介して配置されている。タッチ配線TLは、第2の誘電体層18に設けられた開口部18t（第2コンタクトホールCHt）内で共通電極CEに接続されている。

【0140】

図8Cに示すアクティブマトリクス基板104では、タッチ配線層は、画素電極PEを含む第1の透明電極層の基板1側に配置されている。ここでは、層間絶縁層16上に、タッチ配線層、第2の誘電体層18、画素電極PEを含む第1の透明電極層、第1の誘電体層17および共通電極CEを含む第2の透明電極層がこの順で形成されている。第2コンタクトホールCHtは、誘電体層17に形成された開口部17tおよび第2の誘電体層18に形成された開口部18tから構成されている。第1コンタクトホールCHpは、無機絶縁層12、有機絶縁層13、第2の誘電体層18にそれぞれ形成された開口部12p、13p、18pから構成されている。

30

【0141】

<アクティブマトリクス基板104の製造方法>

図8Cに示したアクティブマトリクス基板104を例に、本実施形態の他の製造方法を説明する。図9A～図9Fは、それぞれ、アクティブマトリクス基板104の製造方法の一例を説明するための工程断面図である。図10は、アクティブマトリクス基板104の製造方法の一例を示すフローチャートである。以下の説明では、各層の形成方法、材料、厚さなどについて、アクティブマトリクス基板101と同様の場合には適宜説明を省略する。

40

【0142】

・STEP2-1～2-7において、STEP1-1～1-7と同様の方法で、TF T30を形成する。

【0143】

・STEP2-8

続いて、TF T30およびソースバスラインSLを覆うように、層間絶縁層16を形成する。ここでは、層間絶縁層16として、無機絶縁層12と、有機絶縁層13とをこの順で形成する。この後、図9Aに示すように、有機絶縁層13のパターニングを行い、無機絶縁層12の一部を露出する開口部13pを形成する。

50

【 0 1 4 4 】

・ S T E P 2 - 9

次いで、図 9 B に示すように、層間絶縁層 1 6 上に、タッチ配線を形成するための金属膜を形成し、金属膜のパターニングを行うことにより、タッチ配線 T L を得る。

【 0 1 4 5 】

・ S T E P 2 - 1 0

次いで、図 9 C に示すように、層間絶縁層 1 6 およびタッチ配線 T L 上に、誘電体層（厚さ：50～500nm）18を形成する。第2の誘電体層18の材料は、無機絶縁層12の材料として例示した材料と同じであってもよい。

【 0 1 4 6 】

・ S T E P 2 - 1 1

続いて、図 9 D に示すように、同じレジストマスク（第1のマスクともいう。）を用いて、第2の誘電体層18および無機絶縁層12のパターニングを行う（ウェットエッチングまたはドライエッチング）。これにより、第2の誘電体層18に、タッチ配線 T L の一部を露出する仮開口部 1 8 t ' と、開口部 1 3 p と少なくとも部分的に重なる開口部 1 8 p を形成するとともに、無機絶縁層 1 2 のうち開口部 1 3 p で露出された部分の一部または全部を除去して、ドレイン電極 8 d の一部を露出する開口部 1 2 p を形成する。開口部 1 2 p の側面の少なくとも一部は開口部 1 8 p と整合する。開口部 1 8 p と開口部 1 3 p との位置関係によって、開口部 1 2 p の側面の他の一部は開口部 1 3 p と整合する。これにより、開口部 1 8 p、1 2 p、1 3 p から構成される第1コンタクトホール C H p が得られる。

【 0 1 4 7 】

・ S T E P 2 - 1 2

続いて、図 9 E に示すように、画素電極 P E を含む第1の透明電極層を形成する。

【 0 1 4 8 】

まず、第2の誘電体層18上、第2の誘電体層18の仮開口部18t'内、および第1コンタクトホール C H p 内に第1の透明導電膜を形成する。続いて、例えばウェットエッチングで、第1の透明導電膜のパターニングを行うことにより、画素電極 P E を含む第1の透明電極層を得る。第1の透明導電膜のうち第2の誘電体層18の仮開口部18t'内に位置する部分は除去される。

【 0 1 4 9 】

・ S T E P 2 - 1 3

次いで、図 9 F に示すように、第1の透明電極層上、第2の誘電体層18上および仮開口部18t'内に、第1の誘電体層17を形成する。

【 0 1 5 0 】

・ S T E P 2 - 1 4

次いで、図 9 F に示すように、レジストマスク（第2のマスクともいう。）を用いて、第1の誘電体層17のパターニングを行い、仮開口部18t'と少なくとも部分的に重なるように開口部17tを形成する。パターニングでは、ドライエッチングを用いてもよいし、ウェットエッチングを用いてもよい。このとき、上記レジストマスクを用いて、第2の誘電体層18も同時にパターニングされてもよい。これにより、仮開口部18t'よりも大きい開口部18tが形成される。このようにして、開口部17tおよび開口部18tから構成され、タッチ配線 T L の一部を露出する第2コンタクトホール C H t を得る。

【 0 1 5 1 】

なお、S T E P 2 - 1 2 で、第2の誘電体層18に仮開口部18t'を設けなくてもよい。その場合には、本工程で、同一のマスクを用いて、第1の誘電体層17および第2の誘電体層18のパターニングを同時に行ってもよい。

【 0 1 5 2 】

・ S T E P 2 - 1 5

次いで、第1の誘電体層17上および第2コンタクトホール C H t 内に第2の透明導電

10

20

30

40

50

膜を形成する。この後、第2の透明導電膜のパターニングを行い、第1の誘電体層17上に、共通電極CEを含む第2の透明電極層を形成する。共通電極CEは、複数の共通電極部分CEaに分離され、各共通電極部分CEaは、第2コンタクトホールCHt内でタッチ配線TLと電氣的に接続される。このようにして、アクティブマトリクス基板104(図8C)が製造される。

【0153】

上記方法では、STEP2-11において、無機絶縁層12および第2の誘電体層18のパターニングを同時に(つまり同一のマスクを用いて)行う。また、STEP2-14において、第2の誘電体層18および第1の誘電体層17のパターニングを同時に行う。これにより、製造プロセスで使用するフォトマスクの枚数を減らすことができるので、製造コストを低減できる。

10

【0154】

また、2以上の絶縁層を同一のマスクでエッチングすることで、アライメントずれ、各絶縁層に形成される開口部のサイズのばらつき等を低減できる。この結果、コンタクト部(第1コンタクトホールCHp、第2コンタクトホールCHt)のサイズを低減できるので、より効果的に画素開口率の低下を抑制できる。

【0155】

第2の誘電体層18は、無機絶縁層12および第1の誘電体層17のそれぞれと同時に(2段階で)エッチングされるので、第1コンタクトホールCHpにおいて無機絶縁層12の側面と少なくとも部分的に整合する側面を有し、かつ、第2コンタクトホールCHtにおいて第1の誘電体層17の側面と少なくとも部分的に整合する側面を有し得る。このように、第2の誘電体層18のエッチングを2段階で行うことによって開口部18tを形成すると、第2コンタクトホールCHtの形成不良をより効果的に抑制でき、信頼性の高いタッチ配線コンタクト部が形成される。

20

【0156】

図11Aに例示するように、基板1の法線方向から見たとき、1回目のエッチングで、第2の誘電体層18に仮開口部18t'を形成した後、2回目のエッチングで、第1の誘電体層17に仮開口部18t'と交差する開口部17tを形成するとともに、第2の誘電体層18のうち開口部17tと重なる部分を除去して、開口部18tを形成してもよい。

【0157】

または、図11Bに例示するように、STEP2-11のエッチング工程において、第2の誘電体層18に、比較的大きいサイズの開口部18tを形成した後、第1の誘電体層17を形成し、第1の誘電体層17に、基板1の法線方向から見たとき開口部18tの内側に位置するように開口部17tを形成してもよい。これにより、第2の誘電体層18および第1の誘電体層17によって階段状の側面を有する第2コンタクトホールCHtが形成されるので、第2コンタクトホールCHt上に形成されるタッチ配線TLのカバレッジが改善され得る。

30

【0158】

(第2の実施形態)

第2の実施形態のアクティブマトリクス基板は、画素電極の基板側に共通電極が配置されている点で、前述の実施形態と異なる。

40

【0159】

図12Aは、アクティブマトリクス基板105の表示領域DRの一部を示す拡大平面図であり、図12Bは、図12Aに示すXIIb-XIIb'線に沿った断面図である。これらの図では、図2Aおよび図2Bと同様の構成要素には同じ参照符号を付し、説明を省略する。また、以下では、図2Aおよび図2Bと異なる点を主に説明し、同様の構成については説明を省略する。

【0160】

アクティブマトリクス基板105では、層間絶縁層16上に、共通電極CEを含む第1の透明電極層、下部誘電体層17A、タッチ配線TLを含むタッチ配線層、上部誘電体層

50

17B、および、画素電極PEを含む第2の透明電極層がこの順で形成されている。

【0161】

画素電極PEは、画素ごとにスリットまたは切り欠き部を有する。共通電極CEは、複数の共通電極部分CEaに分割されており、各共通電極部分CEaは、タッチセンサ用の電極（センサ電極）として機能する。また、共通電極CEは、ドレインコンタクト部上に開口部15pを有している。画素電極PEと共通電極CEとは、下部誘電体層17Aおよび上部誘電体層17Bを含む第1の誘電体層17を介して重なっている。

【0162】

タッチ配線コンタクト部では、タッチ配線TLは、下部誘電体層17Aに形成された開口部17At（第2コンタクトホールCHt）内で、共通電極CEにおける対応する1つの共通電極部分CEaに電氣的に接続されている。タッチ配線TLと共通電極CEとは直接接していてもよい。この例では、タッチ配線TLは、金属膜から形成され、透明導電膜を含んでいない。

【0163】

画素コンタクト部では、画素電極PEは、下部誘電体層17A、上部誘電体層17B、有機絶縁層13および無機絶縁層12の開口部17Ap、17Bp、13p、12pから構成された第1コンタクトホールCHp内で対応する1つのTF T30のドレイン電極8dに電氣的に接続されている。画素電極PEとドレイン電極8dとは直接接していてもよい。共通電極CEは、画素コンタクト部には形成されていない。つまり、第1コンタクトホールCHpは、共通電極CEの開口部15p内に配置されている。

【0164】

第1コンタクトホールCHpにおいて、開口部12pの側面と開口部13pの側面とは整合していてもよい。また、開口部17Apの側面と開口部17Bpの側面とが整合していてもよい。なお、製造プロセスによっては、開口部12pの側面の一部が開口部13pの側面と整合し、他の一部が上部誘電体層17Bの側面と整合していてもよい。

【0165】

TF T30、ソースコンタクト部およびドレインコンタクト部の構成は、アクティブマトリクス基板101と同様であってもよい。

【0166】

本実施形態でも、基板1の法線方向から見たとき、タッチ配線コンタクト部の第2コンタクトホールCHtと、ソースコンタクト部のソース側開口部11sとを、少なくとも部分的に重なるように配置する。また、画素コンタクト部の第1コンタクトホールCHpと、ドレインコンタクト部のドレイン側開口部11dとを、少なくとも部分的に重なるように配置する。これにより、コンタクト部に起因する画素開口率の低下を抑制できる。

【0167】

さらに、タッチ配線コンタクト部とソースコンタクト部（またはソース電極8s）との間に、平坦化膜としても機能し得る有機絶縁層13を介在させることで、これらのコンタクト部が互いに干渉を受けにくい。

【0168】

本実施形態でも、ドレインコンタクト部におけるドレイン側開口部11dと、タッチ配線コンタクト部における第2コンタクトホールCHtとは、図5A～図5Dを参照しながら前述したように配置され得る。

【0169】

<アクティブマトリクス基板105の製造方法>

以下、図13A～図13Dおよび図14を参照しながら、アクティブマトリクス基板105の製造方法を説明する。図13A～図13Dは、それぞれ、アクティブマトリクス基板105の製造方法の一例を示す工程断面図である。図14は、アクティブマトリクス基板105の製造方法の一例を示すフローチャートである。以下の説明では、各層の形成方法、材料、厚さなどについて、前述の実施形態（アクティブマトリクス基板101など）と同様の場合には適宜説明を省略する。

10

20

30

40

50

【0170】

・STEP 3 - 1 ~ 3 - 7において、STEP 1 - 1 ~ 1 - 7と同様の方法で、TF T 3 0を形成する。

【0171】

・STEP 3 - 8

続いて、TF T 3 0およびソースバスラインSLを覆うように、層間絶縁層16を形成する。ここでは、層間絶縁層16として、無機絶縁層12と、有機絶縁層13とをこの順で形成する。この後、有機絶縁層13のパターニングを行い、無機絶縁層12の一部を露出する開口部13pを形成する。次いで、開口部13pが形成された有機絶縁層13をマスクとして利用して、無機絶縁層12に開口部12pを形成する。

10

【0172】

・STEP 3 - 9

続いて、図13Aに示すように、層間絶縁層16上、および、開口部13pおよび開口部12p内に、第1の透明導電膜を形成し、パターニングを行うことにより、共通電極CEを含む第1透明電極層を形成する。第1の透明導電膜のうち、開口部13pおよび開口部12p内に位置する部分は除去される。

【0173】

・STEP 3 - 10

次いで、図13Bに示すように、共通電極CEを覆うように、下部誘電体層（厚さ：50 ~ 500 nm）17Aを形成する。下部誘電体層17Aの材料は、無機絶縁層12の材料として例示した材料と同じであってもよい。この後、下部誘電体層17Aのパターニングを行い、共通電極CE（共通電極部分CEa）の一部を露出する開口部17At（第2コンタクトホールCHt）と、ドレイン電極8dの一部を露出する仮開口部17Ap'とを形成する。仮開口部17Ap'は、開口部13pと少なくとも部分的に重なるように配置される。

20

【0174】

・STEP 3 - 11

次いで、図13Cに示すように、下部誘電体層17A上および第2コンタクトホールCHt内に、タッチ配線を形成するための金属膜を形成し、金属膜のパターニングを行うことにより、タッチ配線TLを得る。タッチ配線TLは、第2コンタクトホールCHt内で共通電極CE（共通電極部分CEa）と電氣的に接続される。

30

【0175】

・STEP 3 - 12

続いて、図13Dに示すように、タッチ配線TLおよび下部誘電体層17A上に、上部誘電体層（厚さ：50 ~ 500 nm）17Bを形成する。上部誘電体層17Bの材料は下部誘電体層17Aと同じであってもよい。この後、レジストマスクを用いて、上部誘電体層17Bのパターニングを行い、ドレイン電極8dの一部を露出する開口部17Bpを形成する。このとき、上記レジストマスクを用いて、下部誘電体層17Aのうち開口部17Bpと重なる部分も同時にエッチングされ、下部誘電体層17Aに開口部17Apが形成される。なお、無機絶縁層12にエッチング不良等があった場合に、本エッチング工程で無機絶縁層12のうち開口部17Apと重なる部分も除去され得る。エッチング方法は、ドライエッチングでもウェットエッチングでもよい。このようにして、開口部12p、13p、17Apおよび17Bpから構成される第1コンタクトホールCHpが得られる。第1コンタクトホールCHpにおいて、開口部12pの側面と開口部13pの側面とが整合し、開口部17Apの側面と開口部17Bpの側面とが整合してもよい。

40

【0176】

開口部17Bpと下部誘電体層17Aの仮開口部17Ap'との配置関係は特に限定しない。例えば、仮開口部17Ap'は、基板1の法線方向から見たとき、開口部17Bpの内側に位置し、本エッチング工程で、開口部17Bpと整合する開口部17Apが形成されてもよい。あるいは、基板1の法線方向から見たとき、仮開口部17Ap'と交差す

50

るように開口部 17Bp を形成してもよい。または、仮開口部 17Ap' の内側に位置するように、開口部 17Bp を形成してもよい。この場合には、仮開口部 17Ap' はそのまま開口部 17Ap となる。

【0177】

・STEP 3 - 13

続いて、上部誘電体層 17B 上および第 1 コンタクトホール CHp 内に第 2 の透明導電膜を形成する。この後、例えばウェットエッチングで、第 2 の透明導電膜のパターニングを行うことにより、画素電極 PE を含む第 2 の透明電極層を得る。このようにして、図 12A および図 12B に示すアクティブマトリクス基板 105 を得る。

【0178】

上記方法では、上部誘電体層 17B のパターニングの際に、下部誘電体層 17A および無機絶縁層 12 も同時にエッチングされ得る。このため、下部誘電体層 17A の仮開口部 17Ap' および / または無機絶縁層 12 の開口部 12p に形成不良、位置合わせズレ等が生じた場合でも、上部誘電体層 17B のパターニングのためのレジストマスクを用いて、下部誘電体層 17A および / または無機絶縁層 12 を再度エッチングできる。この結果、第 1 コンタクトホール CHp 内において、ドレイン電極 8d と画素電極 PE との接触面積をより確実に確保でき、信頼性の高い画素コンタクト部が形成される。

【0179】

なお、STEP 3 - 12 において、基板 1 の主面 1S の法線方向から見たとき、開口部 13p は、開口部 17Bp の内側に位置していてもよいし、開口部 17Bp が開口部 13p の内側に位置していてもよい（図 15 参照）。または、基板 1 の主面 1S の法線方向から見たとき、開口部 17Bp と開口部 13p とは交差するように配置されていてもよい。

【0180】

< アクティブマトリクス基板 105 の他の製造方法 >

次に、図 16A ~ 図 16D および図 17 を参照しながら、アクティブマトリクス基板 105 の製造方法の他の例を説明する。図 16A ~ 図 16D は、それぞれ、アクティブマトリクス基板 105 の他の製造方法を示す工程断面図である。図 17 は、アクティブマトリクス基板 105 の他の製造方法を示すフローチャートである。

【0181】

・STEP 4 - 1 ~ 4 - 7 において、STEP 1 - 1 ~ 1 - 7 と同様の方法で、TFT 30 を形成する。

【0182】

・STEP 4 - 8

続いて、TFT 30 およびソースバスライン SL を覆うように、層間絶縁層 16 を形成する。ここでは、層間絶縁層 16 として、無機絶縁層 12 と、有機絶縁層 13 とをこの順で形成する。この後、有機絶縁層 13 のパターニングを行い、無機絶縁層 12 の一部を露出する開口部 13p を形成する。

【0183】

・STEP 4 - 9

続いて、図 16A に示すように、層間絶縁層 16 上および開口部 13p 内に第 1 の透明導電膜を形成し、第 1 の透明導電膜のパターニングを行うことにより、共通電極 CE を含む第 1 の透明電極層を得る。第 1 の透明導電膜のうち開口部 13p 内に位置する部分は除去される。

【0184】

・STEP 4 - 10

次いで、図 16B に示すように、層間絶縁層 16 上および共通電極 CE 上に、下部誘電体層 17A を形成し、下部誘電体層 17A のパターニングを行う。これにより、下部誘電体層 17A に、タッチ配線 TL の一部を露出する開口部 17At (第 2 コンタクトホール CHt) を形成するとともに、開口部 13p と少なくとも部分的に重なるように配置された仮開口部 17Ap' を形成する。

10

20

30

40

50

【 0 1 8 5 】

・ S T E P 4 - 1 1

次いで、図 1 6 C に示すように、下部誘電体層 1 7 A 上、第 2 コンタクトホール C H t 内および開口部 1 3 p 内に、タッチ配線を形成するための金属膜を形成し、金属膜のパターニングを行うことにより、タッチ配線 T L を得る。

【 0 1 8 6 】

・ S T E P 4 - 1 2

次いで、図 1 6 D に示すように、タッチ配線 T L 上および下部誘電体層 1 7 A 上に、上部誘電体層 1 7 B を形成する。この後、上部誘電体層 1 7 B および無機絶縁層 1 2 を、同じレジストマスクを用いてパターニングする。これにより、上部誘電体層 1 7 B に、ドレイン電極 8 d の一部を露出する開口部 1 7 B p を形成するとともに、無機絶縁層 1 2 の露出部分（開口部 1 3 p で露出された部分）のうち開口部 1 7 B p と重なる部分が除去されて開口部 1 2 p が形成される。つまり、開口部 1 2 p は、基板 1 の法線方向から見たとき、開口部 1 3 p および開口部 1 7 B p の両方と重なる部分に形成される。なお、開口部 1 7 A p の形成不良があった場合、下部誘電体層 1 7 A のうち開口部 1 7 B p と重なる部分も本工程でエッチングされ得る。このようにして、開口部 1 2 p 、 1 3 p 、 1 7 A p および 1 7 B p から構成される第 1 コンタクトホール C H p が得られる。基板 1 の主面 1 S の法線方向から見たとき、開口部 1 3 p と開口部 1 7 B p とが交差するように配置された場合には、第 1 コンタクトホール C H p において、開口部 1 2 p の側面の一部は開口部 1 3 p の側面と整合し、他の一部は開口部 1 7 B p と整合してもよい。

【 0 1 8 7 】

・ S T E P 4 - 1 3

続いて、上部誘電体層 1 7 B 上および第 1 コンタクトホール C H p 内に第 2 の透明導電膜を形成し、第 2 の透明導電膜のパターニングを行うことにより、画素電極 P E を含む第 2 の透明電極層を得る。このようにして、アクティブマトリクス基板 1 0 5 （図 1 2 A 、 1 2 B ）を得る。

【 0 1 8 8 】

上記方法では、上部誘電体層 1 7 B と無機絶縁層 1 2 とを同時にエッチングするので、無機絶縁層 1 2 と上部誘電体層 1 7 B との位置合わせが不要になる。また、上部誘電体層 1 7 B のパターニングの際に、下部誘電体層 1 7 A も同時にエッチングされ得るので、下部誘電体層 1 7 A の形成不良、位置合わせズレ等が生じた場合でも、上部誘電体層 1 7 B のパターニングのためのレジストマスクを用いて、下部誘電体層 1 7 A を再度エッチングできる。この結果、第 1 コンタクトホール C H p 内において、ドレイン電極 8 d と画素電極 P E との接触面積をより確実に確保できるので、信頼性の高い画素コンタクト部が形成される。

【 0 1 8 9 】

図示しないが、タッチ配線 T L を含むタッチ配線層を、共通電極 C E を含む第 1 の透明電極層の基板 1 側に設けてもよい。例えば、層間絶縁層 1 6 上に、タッチ配線層、第 2 の誘電体層 1 8 、共通電極 C E を含む第 1 の透明電極層、第 1 の誘電体層 1 7 および画素電極 P E を含む第 2 の透明電極層をこの順で形成してもよい。

【 0 1 9 0 】

< 変形例 >

図 1 8 は、変形例のアクティブマトリクス基板 1 0 7 における画素コンタクト部を例示する断面図である。

【 0 1 9 1 】

変形例では、第 1 コンタクトホール C H p 内において、ドレイン電極 8 d と画素電極 P E との間に、島状金属層 2 0 が配置されている。ドレイン電極 8 d と画素電極 P E とは、島状金属層 2 0 を介して電氣的に接続されている。島状金属層 2 0 は、例えばタッチ配線 T L と同じ金属膜を用いて（タッチ配線層内に）形成されている。例えば、図 1 3 A ~ 図 1 3 D および図 1 4 を参照して前述した方法において、下部誘電体層 1 7 A に開口部 1 7

A p の形成工程 (S T E P 3 - 1 0) の後、タッチ配線 T L 用の金属膜を形成し、金属膜をパターニングすることにより、タッチ配線 T L および島状金属層 2 0 を形成してもよい (S T E P 3 - 1 1) 。島状金属層 2 0 は、開口部 1 7 A p 、開口部 1 3 p および開口部 1 2 p から構成されるコンタクトホール内でドレイン電極 8 d と直接接するように配置されてもよい。この後、上部誘電体層 1 7 B を形成し、上部誘電体層 1 7 B に島状金属層 2 0 の一部または全部を露出する開口部 1 7 B p を設けてもよい。共通電極 C E は、開口部 1 7 B p 内で島状金属層 2 0 と接するように配置される。この構成によると、画素電極 P E のカバレッジが改善され、より信頼性の高い画素コンタクト部が得られる。

【 0 1 9 2 】

本発明による実施形態のアクティブマトリクス基板の構造は、図 1 ~ 図 1 8 を参照しながら説明した構造に限定されない。

【 0 1 9 3 】

上述した例では、T F T 3 0 は、チャネル領域のチャネル長方向が y 方向となるように配置されているが (T F T 縦置き構造) 、画素 T F T は、チャネル長方向が x 方向となるように配置されていてもよい (T F T 横置き構造) 。

【 0 1 9 4 】

図 1 9 は、本実施形態のコンタクト部の配置関係を、T F T 横置き構造のアクティブマトリクス基板に適用した例を示す平面図である。

【 0 1 9 5 】

画素 T F T である T F T 3 1 は、チャネル長方向が x 方向となるように配置されている。この例でも、基板 1 の法線方向から見たとき、タッチ配線コンタクト部の第 2 コンタクトホール C H t とソースコンタクト部のソース側開口部 1 1 s とは少なくとも部分的に重なり、画素コンタクト部の第 1 コンタクトホール C H p とドレインコンタクト部のドレイン側開口部 1 1 d とは少なくとも部分的に重なるように配置されている。これにより、これらのコンタクト部に起因する画素開口率の低下を抑制できる。

【 0 1 9 6 】

T F T 横置き構造では、第 2 コンタクトホール C H t と第 1 コンタクトホール C H p とを x 方向に並べて配置することが可能になるため、遮光領域の幅 (遮光範囲) M をより小さくできる。ただし、このような配置は、画素サイズ (特に各画素の x 方向の幅) が小さくなると困難である。これに対し、T F T 縦置き構造は、画素サイズの小さい (例えば 3 0 μ m 以下) アクティブマトリクス基板に好適に用いられ得る。T F T 縦置き構造に、本実施形態のコンタクト部の配置を適用することで、高精細であり、かつ、画素開口率の高いアクティブマトリクス基板を実現できる。

【 0 1 9 7 】

なお、図 1 9 では、画素電極 P E の基板 1 側に共通電極 C E が配置された例を示したが、共通電極 C E の基板 1 側に画素電極 P E が配置されてもよい。

【 0 1 9 8 】

さらに、タッチ配線層、共通電極 C E を含む透明電極層、および画素電極 P E を含む透明電極層は、いずれも、層間絶縁層 1 6 の上に形成されていればよく、その順序は、図 2 ~ 図 1 8 に例示した順序に限定されない。いずれの場合でも、共通電極 C E とタッチ配線 T L との間の絶縁体に第 2 コンタクトホール C H t が形成され、画素電極 P E とドレイン電極 8 d との間の絶縁体 (層間絶縁層 1 6 を含む) に第 1 コンタクトホール C H p が形成される。

【 0 1 9 9 】

画素 T F T の構造も、特に限定されない。上記の第 1 および第 2 の実施形態では、画素 T F T である T F T 3 0 、 3 1 はいずれもトップゲート構造 T F T であるが、酸化物半導体層 7 の基板 1 側にさらに他のゲート電極 (下部ゲート電極と呼ぶ) を備えたダブルゲート構造 T F T であってもよい。例えば、図 2 B に示す遮光層 3 にゲート信号を入力し、下部ゲート電極として機能させてもよい。この場合、ゲートバスライン G L は、ゲート電極 1 0 と同じ導電膜から形成されていてもよいし、下部ゲート電極と同じ導電膜から形成さ

10

20

30

40

50

れていてもよい。

【0200】

あるいは、画素TFTは、ゲート電極が酸化物半導体層の基板側に配置されたボトムゲート構造TFTであってもよい。ボトムゲート構造TFTとして、例えば、ソース/ドレイン電極と酸化物半導体層との間にチャネル保護層（エッチストップ層）を有するエッチストップ型のTFTを用いてもよい。エッチストップ層には、酸化物半導体層を露出するソース側開口部とドレイン側開口部とが設けられる。基板1の法線方向から見たとき、エッチストップ層のソース側開口部とタッチ配線コンタクト部とを互いに重なるように配置し、ドレイン側開口部と画素コンタクト部とを互いに重なるように配置してもよい。

【0201】

10

（酸化物半導体について）

酸化物半導体層7に含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

【0202】

酸化物半導体層7は、2層以上の積層構造を有していてもよい。酸化物半導体層7が積層構造を有する場合には、酸化物半導体層7は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層7が上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

20

【0203】

非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

30

【0204】

酸化物半導体層7は、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本実施形態では、酸化物半導体層7は、例えば、In-Ga-Zn-O系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。このような酸化物半導体層7は、In-Ga-Zn-O系の半導体を含む酸化物半導体膜から形成され得る。

【0205】

40

In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

【0206】

なお、結晶質In-Ga-Zn-O系の半導体の結晶構造は、例えば、上述した特開2014-007399号公報、特開2012-134475号公報、特開2014-209727号公報などに開示されている。参考のために、特開2012-134475号公報および特開2014-209727号公報の開示内容の全てを本明細書に援用する。In-Ga-Zn-O系半導体層を有するTFTは、高い移動度（a-SiTFTに比べ20倍超）および低いリーク電流（a-SiTFTに比べ100分の1未満）を有している

50

ので、駆動ＴＦＴ（例えば、複数の画素を含む表示領域の周辺に、表示領域と同じ基板上に設けられる駆動回路に含まれるＴＦＴ）および画素ＴＦＴ（画素に設けられるＴＦＴ）として好適に用いられる。

【０２０７】

酸化物半導体層７は、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えばＩｎ－Ｓｎ－Ｚｎ－Ｏ系半導体（例えばＩｎ₂Ｏ₃－ＳｎＯ₂－ＺｎＯ；ＩｎＳｎＺｎＯ）を含んでもよい。Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系半導体は、Ｉｎ（インジウム）、Ｓｎ（スズ）およびＺｎ（亜鉛）の三元系酸化物である。あるいは、酸化物半導体層７は、Ｉｎ－Ａｌ－Ｚｎ－Ｏ系半導体、Ｉｎ－Ａｌ－Ｓｎ－Ｚｎ－Ｏ系半導体、Ｚｎ－Ｏ系半導体、Ｉｎ－Ｚｎ－Ｏ系半導体、Ｚｎ－Ｔｉ－Ｏ系半導体、Ｃｄ－Ｇｅ－
 10
 Ｏ系半導体、Ｃｄ－Ｐｂ－Ｏ系半導体、ＣｄＯ（酸化カドミウム）、Ｍｇ－Ｚｎ－Ｏ系半導体、Ｉｎ－Ｇａ－Ｓｎ－Ｏ系半導体、Ｉｎ－Ｇａ－Ｏ系半導体、Ｚｒ－Ｉｎ－Ｚｎ－Ｏ系半導体、Ｈｆ－Ｉｎ－Ｚｎ－Ｏ系半導体、Ａｌ－Ｇａ－Ｚｎ－Ｏ系半導体、Ｇａ－Ｚｎ－Ｏ系半導体、Ｉｎ－Ｇａ－Ｚｎ－Ｓｎ－Ｏ系半導体などを含んでいてもよい。

【産業上の利用可能性】

【０２０８】

本発明の実施形態は、酸化物半導体ＴＦＴを有する種々の半導体装置に広く適用され、特に、高精細なタッチセンサ付き液晶表示装置に好適に適用される。

【符号の説明】

【０２０９】

1 : 基板
 3 : 遮光層
 5 : 下部絶縁層
 7 : 酸化物半導体層
 7 c : チャネル領域
 7 d : 第２領域
 7 s : 第１領域
 8 d : ドレイン電極
 8 s : ソース電極
 9 : ゲート絶縁層
 10 : ゲート電極
 11 : 上部絶縁層
 11 d : ドレイン側開口部
 11 s : ソース側開口部
 12 : 無機絶縁層
 12 p : 開口部
 13 : 有機絶縁層
 13 p : 開口部
 15 ' : 第１の透明導電膜
 15 p : 開口部
 16 : 層間絶縁層
 17 : 誘電体層
 17 A : 下部誘電体層
 17 A p : 開口部
 17 A p ' : 仮開口部
 17 A t : 開口部
 17 B : 上部誘電体層
 17 B p : 開口部
 17 p : 開口部
 17 t : 開口部

10

20

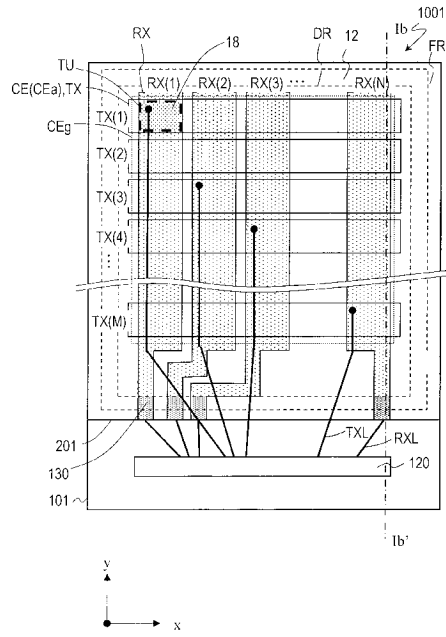
30

40

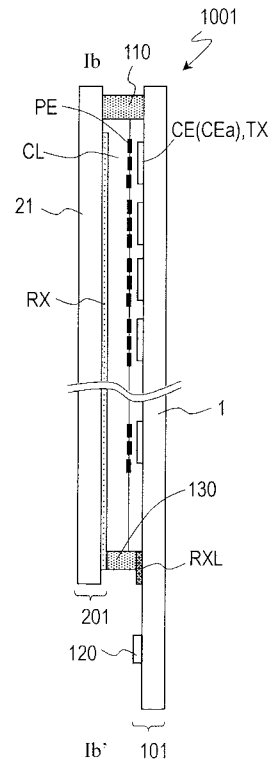
50

1 8	: 第 2 の誘電体層	
1 8 p	: 開口部	
1 8 p '	: 仮開口部	
1 8 t	: 開口部	
1 8 t '	: 仮開口部	
2 0	: 島状金属層	
2 1	: 基板	
4 3	: 中央線	
1 0 1 ~ 1 0 7	: アクティブマトリクス基板	
1 1 0	: シール材	10
1 2 0	: 半導体チップ	
1 3 0	: コンタクト柱	
2 0 1	: 対向基板	
1 0 0 1	: タッチパネル	
P I X	: 画素領域	
G L	: ゲートバスライン	
S L	: ソースバスライン	
T L	: タッチ配線	
t 1	: 下部配線部	
t 2	: 上部配線部	20
P E	: 画素電極	
C E	: 共通電極	
C E a	: 共通電極部分	
C H p	: 第 1 コンタクトホール	
C H t	: 第 2 コンタクトホール	
C L	: 液晶層	
D R	: 表示領域	
F R	: 周辺領域	
H 1	: 第 1 開口部	
H 2	: 第 2 開口部	30
M	: 遮光範囲	
R X	: レシーバ電極	
T X	: トランスミッタ電極	
R X L	: タッチセンサ検出用配線	
T X L	: タッチセンサ駆動用配線	
T U	: タッチ検出単位	

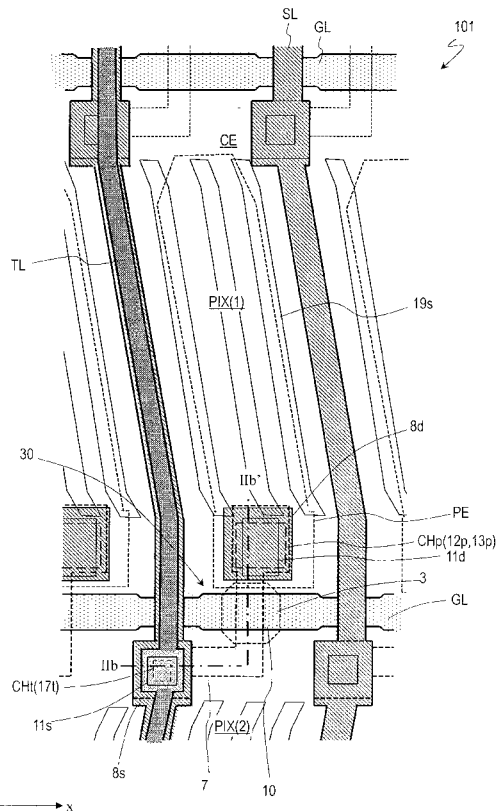
【図 1 A】



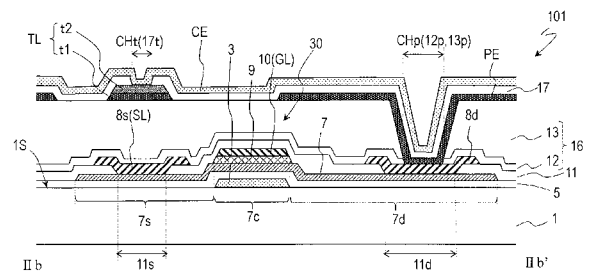
【図 1 B】



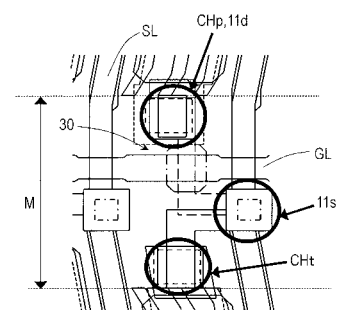
【図 2 A】



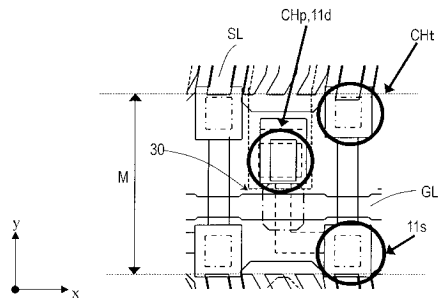
【図 2 B】



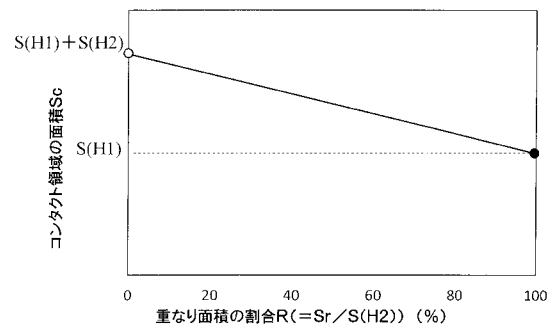
【図 3 A】



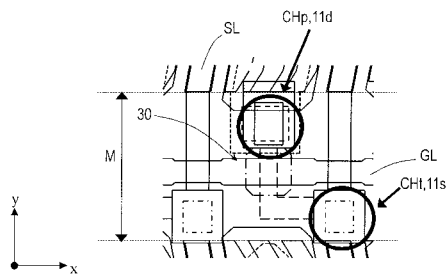
【図 3 B】



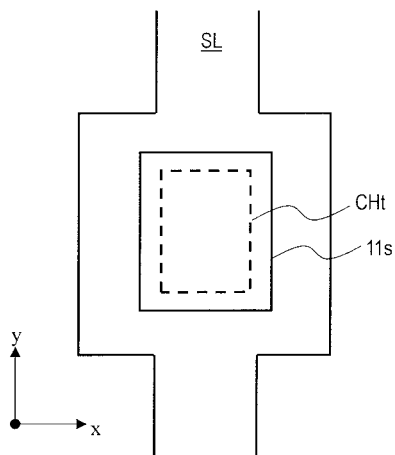
【図 4】



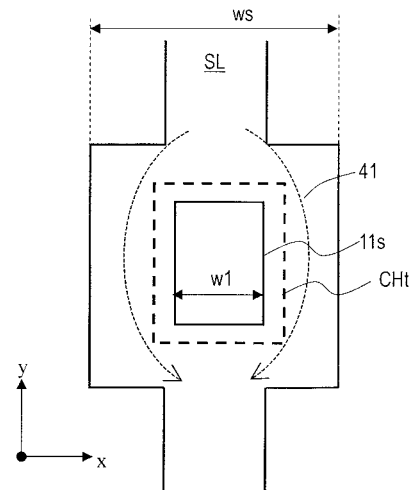
【図 3 C】



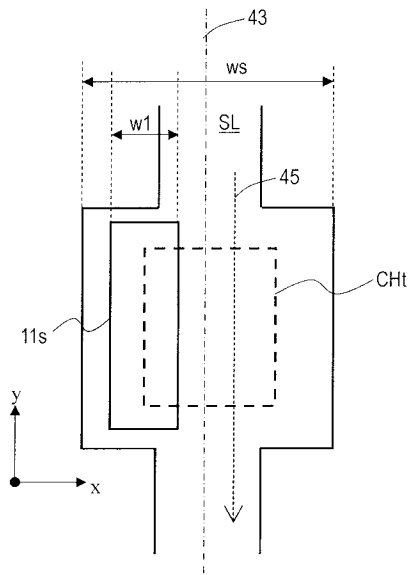
【図 5 A】



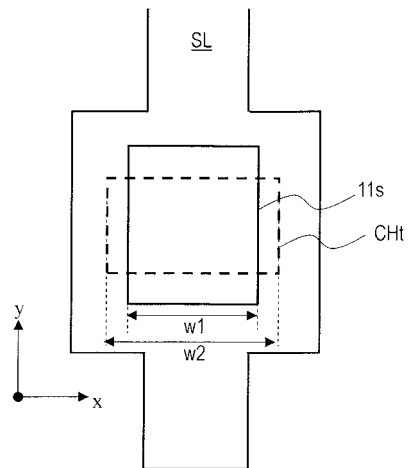
【図 5 B】



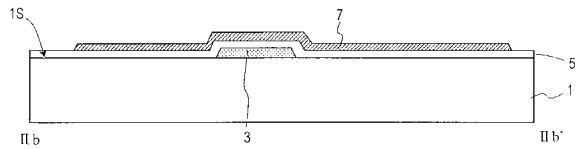
【図 5 C】



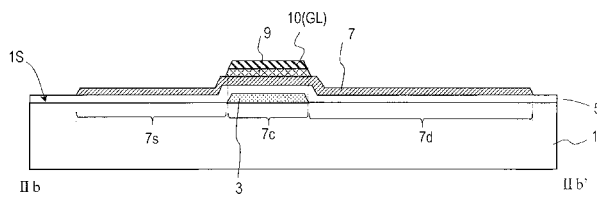
【図 5 D】



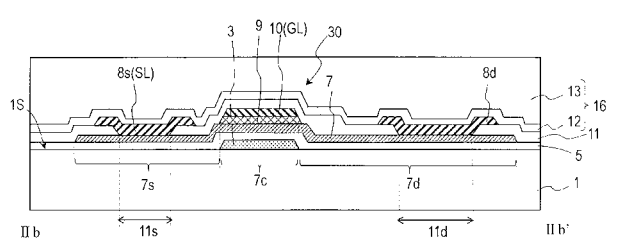
【図 6 A】



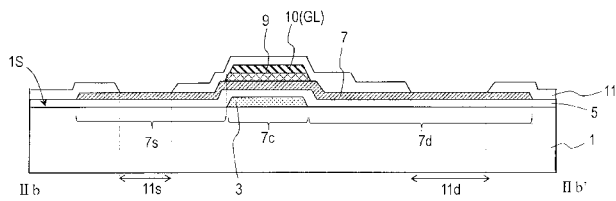
【図 6 B】



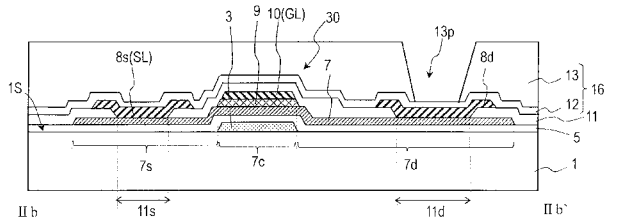
【図 6 E】



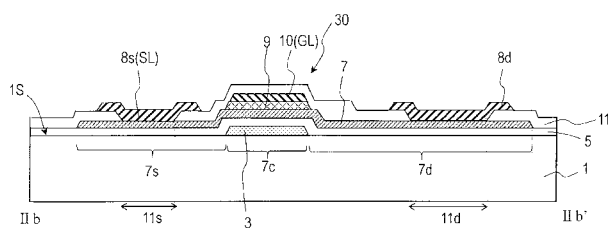
【図 6 C】



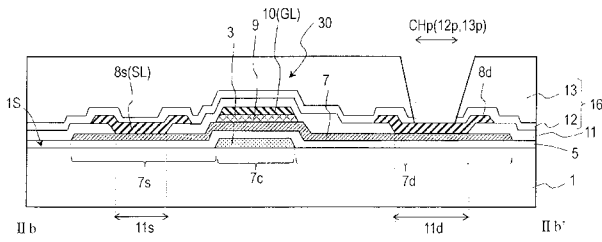
【図 6 F】



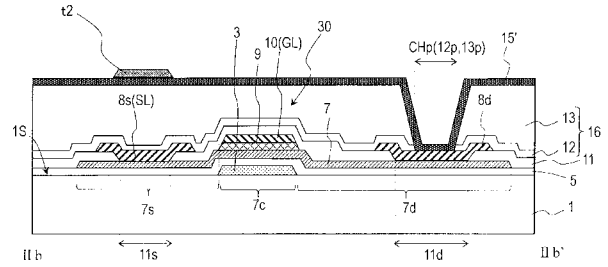
【図 6 D】



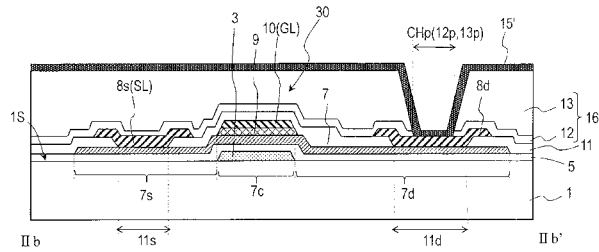
【図 6 G】



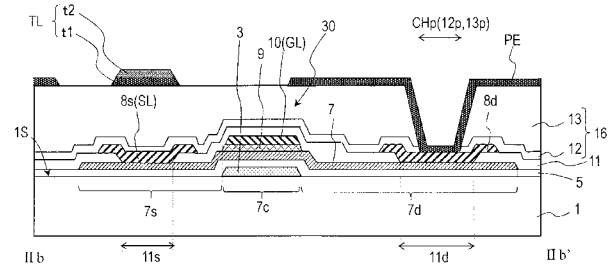
【図 6 I】



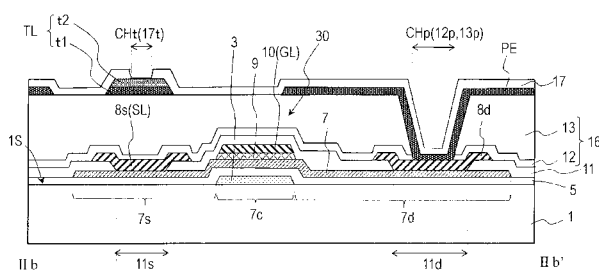
【図 6 H】



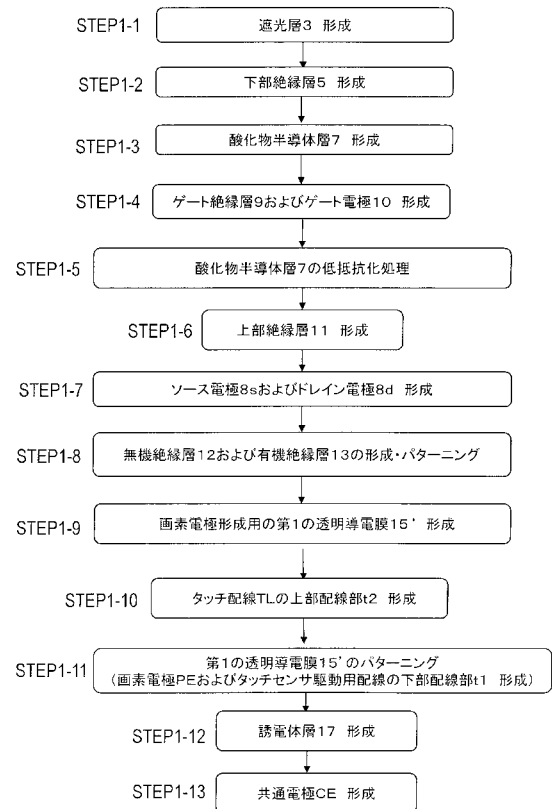
【図 6 J】



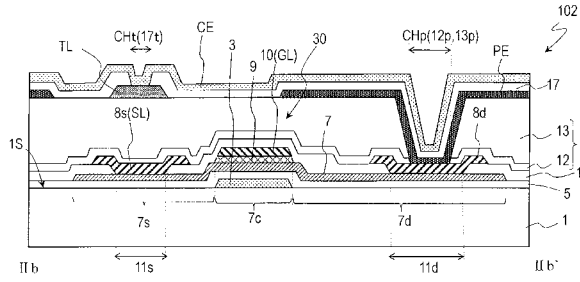
【図 6 K】



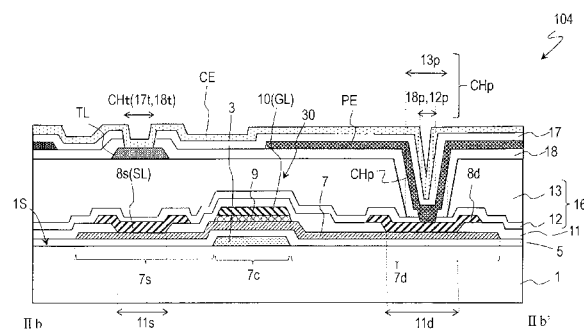
【図 7】



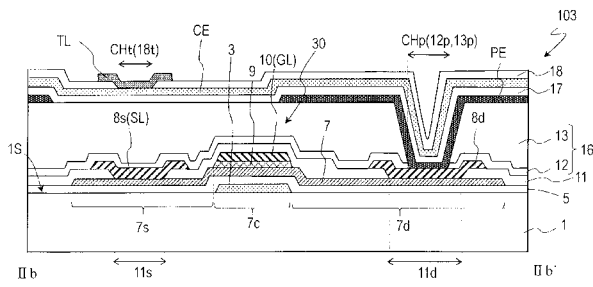
【図 8 A】



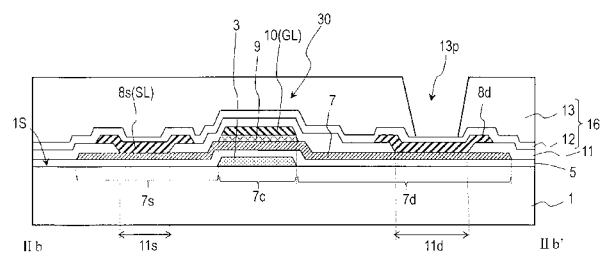
【図 8 C】



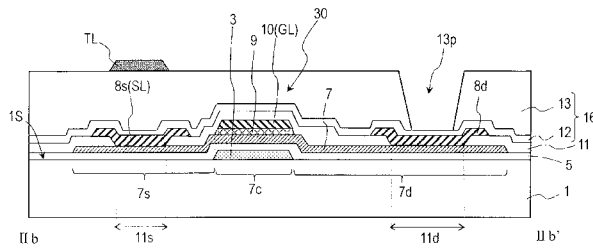
【図 8 B】



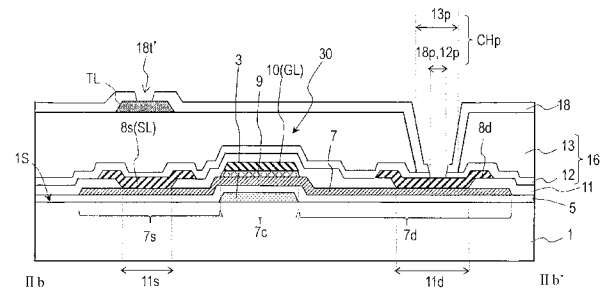
【図 9 A】



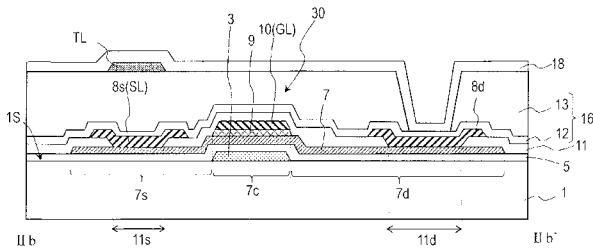
【図 9 B】



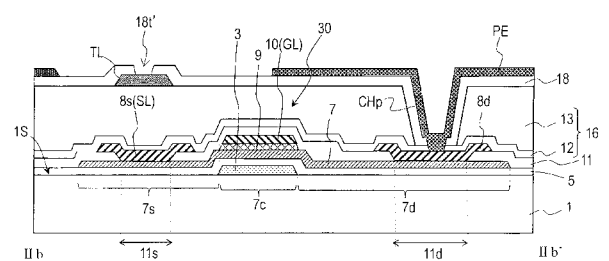
【図 9 D】



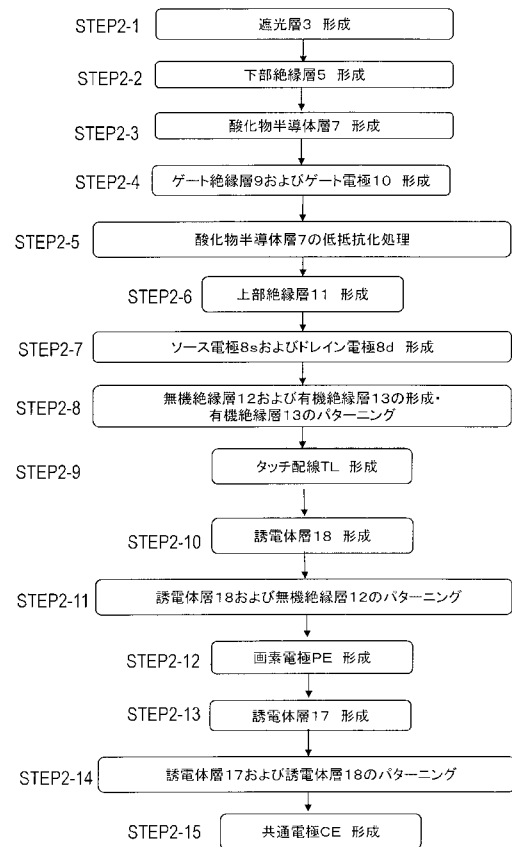
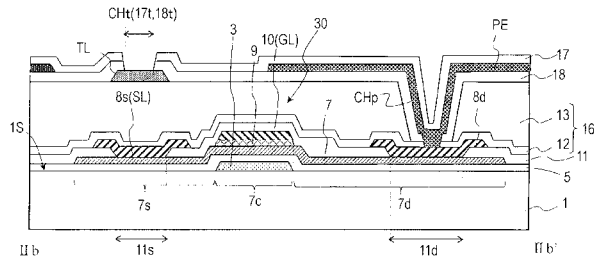
【図 9 C】



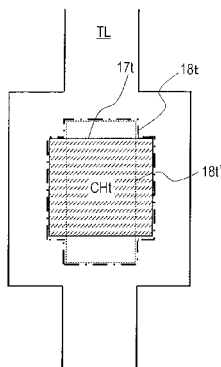
【図 9 E】



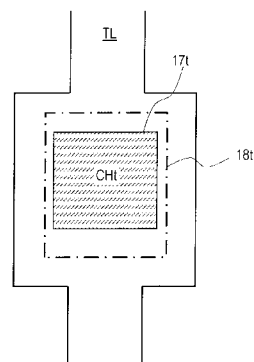
【 図 1 0 】



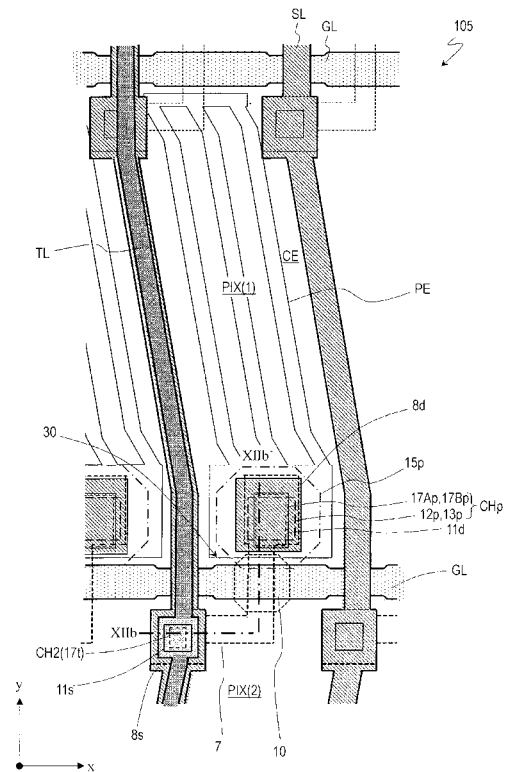
【 図 1 1 A 】



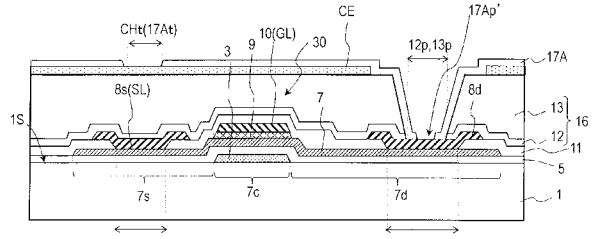
【 図 1 1 B 】



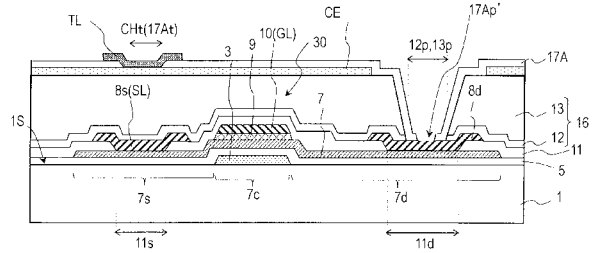
【 図 1 2 A 】



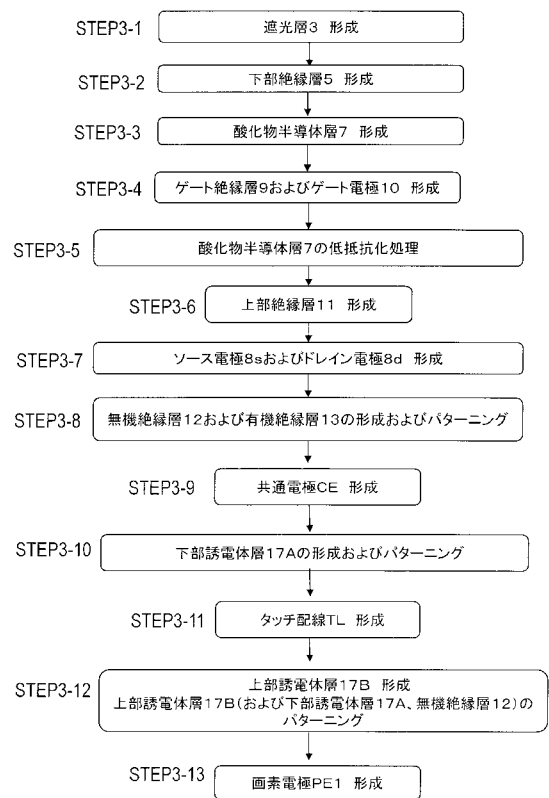
【 図 1 3 B 】



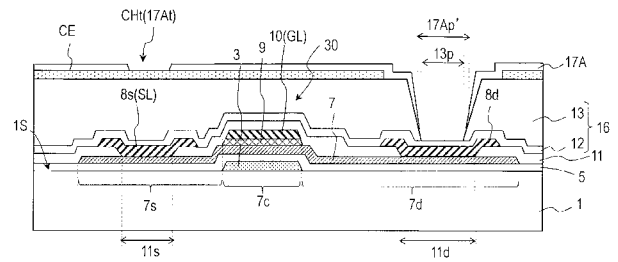
【 図 1 3 A 】



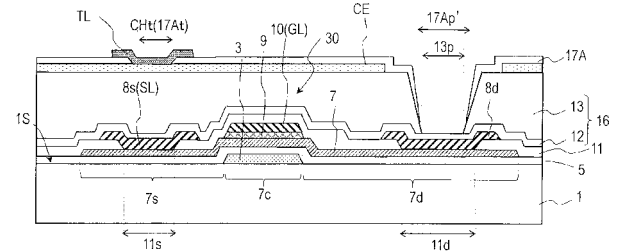
【 図 1 4 】



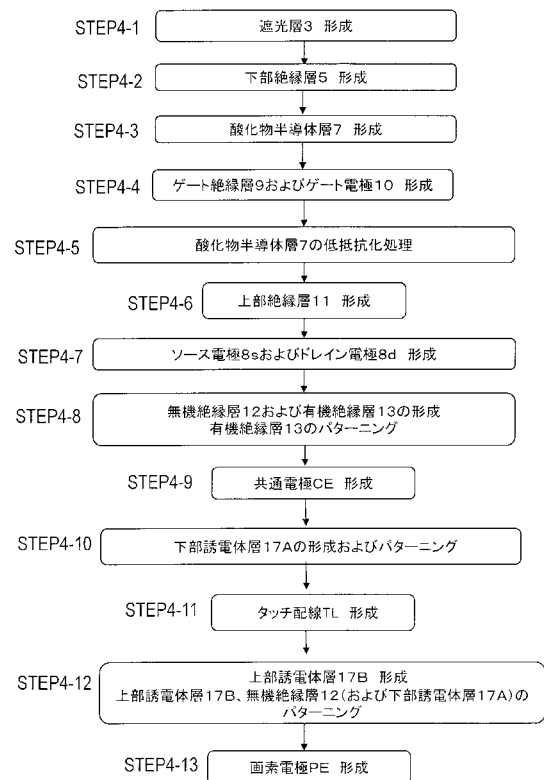
【 図 1 6 B 】



【 図 1 6 A 】



【圖 17】



[illegible]

フロントページの続き

(51)Int.Cl.		F I			テーマコード(参考)
G 0 6 F	3/044	(2006.01)	G 0 6 F	3/041	4 9 0
			G 0 6 F	3/044	1 2 6

(74)代理人 100202197

弁理士 村瀬 成康

(74)代理人 100202142

弁理士 北 倫子

(72)発明者 吉野 光

大阪府堺市堺区匠町 1 番地 シャープ株式会社内

(72)発明者 森永 潤一

大阪府堺市堺区匠町 1 番地 シャープ株式会社内

F ターム(参考) 2H189 AA14 HA11 HA13 HA16 JA14 LA10 LA28 LA31
 2H192 AA24 BA17 BB12 BC33 BC35 CB02 CB37 CB82 CC04 CC17
 CC55 EA15 EA66 EA72 GB33 JA32
 5C094 AA10 BA03 BA43 CA19 DA13 DB01 EA04 EA05 EA07 ED15
 FA02 FB01 FB02 FB14 FB15 JA01
 5G435 AA03 BB12 CC09 EE49 FF13

专利名称(译)	具有使用有源矩阵基板和有源矩阵基板的触摸传感器的液晶显示装置		
公开(公告)号	JP2020076950A	公开(公告)日	2020-05-21
申请号	JP2019166436	申请日	2019-09-12
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	森永潤一		
发明人	吉野 光 森永 潤一		
IPC分类号	G02F1/1368 G02F1/1333 G09F9/30 G09F9/00 G06F3/041 G06F3/044		
CPC分类号	G02F1/136227 G02F1/1368 G06F3/0412 G06F3/0416 G06F3/044 H01L27/1225 H01L27/124 G02F1/13338 G02F2001/134372 G06F3/0445 G06F3/0446 G02F1/136 G09G3/3648 G09G2300/0408 G09G2300/0426		
FI分类号	G02F1/1368 G02F1/1333 G09F9/30.330 G09F9/00.366.A G06F3/041.412 G06F3/041.490 G06F3/044.126		
F-TERM分类号	2H189/AA14 2H189/HA11 2H189/HA13 2H189/HA16 2H189/JA14 2H189/LA10 2H189/LA28 2H189/LA31 2H192/AA24 2H192/BA17 2H192/BB12 2H192/BC33 2H192/BC35 2H192/CB02 2H192/CB37 2H192/CB82 2H192/CC04 2H192/CC17 2H192/CC55 2H192/EA15 2H192/EA66 2H192/EA72 2H192/GB33 2H192/JA32 5C094/AA10 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA05 5C094/EA07 5C094/ED15 5C094/FA02 5C094/FB01 5C094/FB02 5C094/FB14 5C094/FB15 5C094/JA01 5G435/AA03 5G435/BB12 5G435/CC09 5G435/EE49 5G435/FF13		
代理人(译)	奥田诚治 三宅明子 田中 悠 Nariyasu村瀬		
优先权	62/733265 2018-09-19 US		
外部链接	Espacenet		

摘要(译)

提供一种能够抑制像素开口率降低的有源矩阵基板。[解] 有源矩阵基板包括：包括氧化物半导体层的TFT；布置在覆盖该TFT的层间绝缘层上的多个像素电极；包括多个公共电极部分的公共电极；以及多个第一布线， TFT的源电极和漏电极通过上绝缘层布置在氧化物半导体层上，并且源电极和漏电极在上绝缘层中形成的开口中电连接到氧化物半导体层。并且进一步包括连接漏极和像素电极之一的第一接触部分，连接公共电极部分和第一布线之一的第二接触部分以及基板主表面的法线。从该方向观察时，第一接触部分至少部分地与布置在任何一个像素区域中的TFT的源极侧开口部分与漏极侧开口部分重叠。ing。[选择图]图2B

