

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-185055

(P2019-185055A)

(43) 公開日 令和1年10月24日(2019.10.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 660U	5C080
H01L 29/786 (2006.01)	G09G 3/20 621A	5F110
	G09G 3/20 622D	
	G09G 3/20 612K	
審査請求 有 請求項の数 4 O L (全 76 頁) 最終頁に続く		

(21) 出願番号	特願2019-125276 (P2019-125276)	(71) 出願人	000153878
(22) 出願日	令和1年7月4日 (2019.7.4)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2018-40725 (P2018-40725)		神奈川県厚木市長谷398番地
原出願日	平成22年10月12日 (2010.10.12)	(72) 発明者	山崎 舜平
(31) 優先権主張番号	特願2009-238916 (P2009-238916)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成21年10月16日 (2009.10.16)		半導体エネルギー研究所内
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	小山 潤
(31) 優先権主張番号	特願2009-273913 (P2009-273913)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成21年12月1日 (2009.12.1)		半導体エネルギー研究所内
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	三宅 博之
			神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	津吹 将志
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

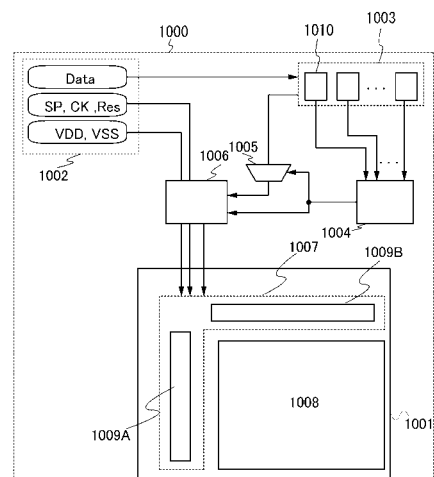
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】低消費電力化できる液晶表示装置を提供することを課題の一とする。

【解決手段】駆動回路部及び画素部を有する表示パネルと、駆動回路部を駆動する制御信号及び画素部に供給する画像信号を生成するための信号生成回路と、画像信号をフレーム期間毎に記憶する記憶回路と、記憶回路でフレーム期間毎に記憶された画像信号のうち、連続するフレーム期間の画像信号の差分を検出する比較回路と、比較回路で差分を検出した際に連続するフレーム期間の画像信号を選択して出力する選択回路と、比較回路で差分を検出した際に制御信号及び選択回路より出力される画像信号の駆動回路部への供給を行い、比較回路で差分を検出しない際に制御信号を駆動回路部への供給を停止する表示制御回路と、を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素部に画像が表示されている状態を維持しつつ走査線駆動回路の動作を停止する機能を有する液晶表示装置であって、

前記画素部は、液晶素子と、画像信号の前記液晶素子への入力を制御する機能を有する第 1 のトランジスタと、を有し、

前記第 1 のトランジスタは、パルス信号に従ってスイッチングが制御され、

前記走査線駆動回路は、前記パルス信号の出力を制御する機能を有する第 2 のトランジスタを有し、

前記第 2 のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記走査線駆動回路の動作の停止は、

前記走査線駆動回路へのスタートパルス信号の入力が停止される第 1 の動作と、

前記第 1 の動作の後、前記走査線駆動回路へのクロック信号の入力が停止される第 2 の動作と、

前記走査線駆動回路に電源電位を供給する機能を有する配線が、前記第 2 の動作の後、高電源電位から低電源電位になる期間を有する第 3 の動作と、

を経て行われることを特徴とする液晶表示装置。

【請求項 2】

画素部に画像が表示されている状態を維持しつつ走査線駆動回路の動作を停止する機能を有する液晶表示装置であって、

静止画像を表示する際に前記画素部に画像信号の書き込みを行う頻度を、動画像を表示する際に前記画素部に画像信号の書き込みを行う頻度より低く制御する機能を有し、

前記画素部は、液晶素子と、前記画像信号の前記液晶素子への入力を制御する機能を有する第 1 のトランジスタと、を有し、

前記第 1 のトランジスタは、パルス信号に従ってスイッチングが制御され、

前記走査線駆動回路は、前記パルス信号の出力を制御する機能を有する第 2 のトランジスタを有し、

前記第 2 のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記走査線駆動回路の動作の停止は、

前記走査線駆動回路へのスタートパルス信号の入力が停止される第 1 の動作と、

前記第 1 の動作の後、前記走査線駆動回路へのクロック信号の入力が停止される第 2 の動作と、

前記走査線駆動回路に電源電位を供給する機能を有する配線が、前記第 2 の動作の後、高電源電位から低電源電位になる期間を有する第 3 の動作と、

を経て行われることを特徴とする液晶表示装置。

【請求項 3】

画素部に画像が表示されている状態を維持しつつ走査線駆動回路の動作を停止する機能を有する液晶表示装置であって、

前記画素部は、液晶素子と、画像信号の前記液晶素子への入力を制御する機能を有する第 1 のトランジスタと、を有し、

前記第 1 のトランジスタは、パルス信号に従ってスイッチングが制御され、

前記走査線駆動回路は、前記パルス信号の出力を制御する機能を有する第 2 のトランジスタを有し、

前記第 1 のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記第 2 のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記走査線駆動回路の動作の停止は、

前記走査線駆動回路へのスタートパルス信号の入力が停止される第 1 の動作と、

前記第 1 の動作の後、前記走査線駆動回路へのクロック信号の入力が停止される第 2 の動作と、

前記走査線駆動回路に電源電位を供給する機能を有する配線が、前記第 2 の動作の後、

高電源電位から低電源電位になる期間を有する第３の動作と、
を経て行われることを特徴とする液晶表示装置。

【請求項４】

画素部に画像が表示されている状態を維持しつつ走査線駆動回路の動作を停止する機能を有する液晶表示装置であって、

静止画像を表示する際に前記画素部に画像信号の書き込みを行う頻度を、動画像を表示する際に前記画素部に画像信号の書き込みを行う頻度より低く制御する機能を有し、

前記画素部は、液晶素子と、前記画像信号の前記液晶素子への入力を制御する機能を有する第１のトランジスタと、を有し、

前記第１のトランジスタは、パルス信号に従ってスイッチングが制御され、

前記走査線駆動回路は、前記パルス信号の出力を制御する機能を有する第２のトランジスタを有し、

前記第１のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記第２のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記走査線駆動回路の動作の停止は、

前記走査線駆動回路へのスタートパルス信号の入力が停止される第１の動作と、

前記第１の動作の後、前記走査線駆動回路へのクロック信号の入力が停止される第２の動作と、

前記走査線駆動回路に電源電位を供給する機能を有する配線が、前記第２の動作の後、高電源電位から低電源電位になる期間を有する第３の動作と、

を経て行われることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置に関する。または、当該液晶表示装置を具備する電子機器に関する。

【背景技術】

【０００２】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンなどによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

【０００３】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、または In-Ga-Zn-O 系酸化物半導体を用いて薄膜トランジスタを作製し、液晶表示装置のスイッチング素子などに用いる技術が特許文献１で開示されている。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２００６－１６５５２８号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

酸化物半導体をチャネル領域に用いた薄膜トランジスタは、アモルファスシリコンをチャネル領域に用いた薄膜トランジスタよりも高い電界効果移動度が得られることが指摘されている。このような酸化物半導体を用いて形成した薄膜トランジスタを具備する画素は、液晶表示装置等の表示装置への応用が期待される。

【 0 0 0 6 】

液晶表示装置が有する各画素には、液晶素子の配向を制御するための電圧を保持する保持容量が設けられている。保持容量の大きさを決める要素として、薄膜トランジスタのオフリーク電流（以下、オフ電流）がある。オフ電流を低減することで、保持容量で電圧を保持できる期間を長く取ることができ、静止画等の表示を行う際の低消費電力化を図る上では重要となる。

【 0 0 0 7 】

また静止画像の表示を行う際に低消費電力化を図ることに加えて動画像の表示を行う表示装置とすることは、表示装置の付加価値を高める上で重要である。そこで静止画像と動画像を判定し、静止画像と動画像とを切り替えて表示を行うことで、静止画像を表示する際の消費電力を削減することによる低消費電力化の効果を高めることが重要となる。

10

【 0 0 0 8 】

なお本明細書で説明するオフ電流とは、薄膜トランジスタがオフ状態（非導通状態ともいう）のときに、ソースとドレインの間に流れる電流をいう。nチャネル型の薄膜トランジスタ（例えば、しきい値電圧が0乃至2V程度）では、ゲートとソースとの間に印加される電圧が負の電圧の場合に、ソースとドレインとの間を流れる電流のことをいう。

【 0 0 0 9 】

また、3Dディスプレイ、4k2kディスプレイ等、さらなる付加価値のついた液晶表示装置では、画素一つあたりの面積が小さくなることが予想される一方で、開口率の向上が望まれる。開口率の向上を図る上で、保持容量面積の削減が重要となる。結果として、薄膜トランジスタのオフ電流の低減が望まれる。

20

【 0 0 1 0 】

そこで、本発明の一態様は、酸化物半導体を用いた薄膜トランジスタを具備する画素において、薄膜トランジスタのオフ電流を低減し、低消費電力化できる液晶表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の一態様は、駆動回路部、及び酸化物半導体でなる半導体層を具備するトランジスタが各画素に設けられた画素部を有する表示パネルと、駆動回路部を駆動する制御信号及び画素部に供給する画像信号を生成するための信号生成回路と、画像信号をフレーム期間毎に記憶する記憶回路と、記憶回路でフレーム期間毎に記憶された画像信号のうち、連続するフレーム期間の画像信号の差分を検出する比較回路と、比較回路で差分を検出した際に連続するフレーム期間の画像信号を選択して出力する選択回路と、比較回路で差分を検出した際に制御信号、及び選択回路より出力される画像信号の駆動回路部への供給を行い、比較回路で差分を検出しない際に制御信号を駆動回路部への供給を停止する表示制御回路と、を有する液晶表示装置である。

30

【 0 0 1 2 】

本発明の一態様において、制御信号は、高電源電位、低電源電位、クロック信号、スタートパルス信号、及びリセット信号である液晶表示装置でもよい。

【 0 0 1 3 】

本発明の一態様において、酸化物半導体は、二次イオン質量分析法で検出される水素濃度が $1 \times 10^{16} / \text{cm}^3$ 以下である液晶表示装置でもよい。

40

【 0 0 1 4 】

本発明の一態様において、酸化物半導体は、キャリア密度が $1 \times 10^{14} / \text{cm}^3$ 未満である液晶表示装置でもよい。

【発明の効果】

【 0 0 1 5 】

酸化物半導体を用いた薄膜トランジスタを具備する画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。ま

50

た開口率の向上を図ることによって、高精細な表示部を有する液晶表示装置とすることができる。

【 0 0 1 6 】

また静止画像の表示に加えて動画像の表示を行う表示装置とすることにより、表示装置の付加価値を高めることができる。そして静止画像と動画像を判定し、静止画像と動画像とを切り替えて表示を行い、静止画像を表示する際に低消費電力化を図ることができる。

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】液晶表示装置のブロック図の一例を示す図。

【図 2】駆動回路の一例を示す図。

10

【図 3】駆動回路のタイミングチャートを示す図。

【図 4】駆動回路の一例を示す図。

【図 5】薄膜トランジスタを説明する図。

【図 6】薄膜トランジスタの作製方法を説明する図。

【図 7】薄膜トランジスタを説明する図。

【図 8】薄膜トランジスタの作製方法を説明する図。

【図 9】薄膜トランジスタを説明する図。

【図 10】薄膜トランジスタの作製方法を説明する図。

【図 11】薄膜トランジスタの作製方法を説明する図。

20

【図 12】薄膜トランジスタの作製方法を説明する図。

【図 13】薄膜トランジスタの作製方法を説明する図。

【図 14】薄膜トランジスタを説明する図。

【図 15】液晶パネルを説明する図。

【図 16】電子機器を示す図。

【図 17】電子機器を示す図。

【図 18】表示パネル及び薄膜トランジスタを説明する図。

【図 19】実施の形態 13 を説明するための図。

【図 20】実施の形態 13 を説明するための図。

【図 21】実施の形態 13 を説明するための図。

30

【図 22】実施の形態 13 を説明するための図。

【図 23】実施の形態 14 を説明するための図。

【図 24】実施の形態 14 を説明するための図。

【図 25】実施の形態 14 を説明するための図。

【図 26】実施の形態 1 を説明するための図。

【図 27】実施例 1 を説明するための図。

【図 28】実施例 1 を説明するための図。

【図 29】実施例 2 を説明するための図。

【図 30】実施例 2 を説明するための図。

【図 31】実施例 3 を説明するための図。

40

【図 32】実施例 3 を説明するための図。

【図 33】実施例 4 を説明するための図。

【図 34】実施例 5 を説明するための図。

【発明を実施するための形態】

【 0 0 1 8 】

以下、本発明の実施の形態及び実施例について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

50

【 0 0 1 9 】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 2 0 】

なお本明細書にて用いる第 1、第 2、第 3、乃至第 N (N は自然数) という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【 0 0 2 1 】

(実施の形態 1)

本実施の形態では、表示装置のブロック図、及び駆動回路における動作の停止手順及び開始手順について示す。まず図 1 では、表示装置のブロック図について説明を行う。

【 0 0 2 2 】

本実施の形態で示す液晶表示装置 1 0 0 0 は、表示パネル 1 0 0 1、信号生成回路 1 0 0 2、記憶回路 1 0 0 3、比較回路 1 0 0 4、選択回路 1 0 0 5、表示制御回路 1 0 0 6 を有する。

【 0 0 2 3 】

表示パネル 1 0 0 1 は、一例として、駆動回路部 1 0 0 7 及び画素部 1 0 0 8 を有する。ゲート線駆動回路 1 0 0 9 A、信号線駆動回路 1 0 0 9 B を有する。ゲート線駆動回路 1 0 0 9 A、信号線駆動回路 1 0 0 9 B は、複数の画素を有する画素部 1 0 0 8 を駆動するための駆動回路である。また、ゲート線駆動回路 1 0 0 9 A、信号線駆動回路 1 0 0 9 B、及び画素部 1 0 0 8 は、同じ基板上に形成されるトランジスタにより回路が構成されるものでもよい。

【 0 0 2 4 】

なおゲート線駆動回路 1 0 0 9 A、信号線駆動回路 1 0 0 9 B、及び画素部 1 0 0 8 を構成するトランジスタは、半導体層を酸化物半導体とした n チャネル型のトランジスタを用いる。なお駆動回路部 1 0 0 7 にあるゲート線駆動回路 1 0 0 9 A または信号線駆動回路 1 0 0 9 B は、同じ基板上に形成される構成としてもよいし、別の基板上に設ける構成としてもよい。

【 0 0 2 5 】

また、画素部 1 0 0 8 における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、R G B (R は赤、G は緑、B は青を表す) の三色に限定されない。例えば、R G B W (W は白を表す)、又は R G B に、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、本発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【 0 0 2 6 】

次いで、ゲート線駆動回路 1 0 0 9 A、信号線駆動回路 1 0 0 9 B、及び画素部 1 0 0 8 を構成するトランジスタの半導体層に用いる酸化物半導体層について説明する。

【 0 0 2 7 】

本実施の形態で用いる酸化物半導体は、酸化物半導体に含まれる水素が $1 \times 10^{16} / \text{cm}^3$ 以下として、酸化物半導体に含まれる水素若しくは OH 結合の除去をする。そしてキャリア密度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下とした酸化物半導体膜でチャネル領域が形成される薄膜トランジスタが構成されるものである。本明細書では、キャリア密度 $1 \times 10^{12} / \text{cm}^3$ 未満の酸化物半導体を真性 (I 型) と呼び、それ以上でもキャリア密度を $1 \times 10^{14} / \text{cm}^3$ 以下の酸化物半導体を実質的に真性と呼ぶこととする。なお、酸化物半導体層中の水素濃度の値は、二次イオン質量分析法 (S I M S : S e c o n d a r y I o n M a s s S p e c t r o s c o p y) で得られたものである。

10

20

30

40

50

【0028】

酸化物半導体のバンドギャップは2 e V以上、好ましくは2 . 5 e V以上、より好ましくは3 e V以上とすれば、熱励起によって生じるキャリアは無視できる程度となるので、ドナーとなり得る水素等の不純物を極力低減し、キャリア密度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下となるようにする。即ち、酸化物半導体層のキャリア濃度は、限りなくゼロにする。

【0029】

このように酸化物半導体に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体を薄膜トランジスタのチャネル形成領域に用いることで、チャネル幅が10 m mの場合でさえも、ドレイン電圧が1 Vから10 Vの範囲、ゲート電圧が- 5 Vから- 20 Vの範囲において、ドレイン電流は 1×10^{-13} A以下となる。

10

【0030】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、表示装置などを作製した場合、オフ電流値が小さくほとんどリークがないため、表示データを保持する時間を長くすることができる。

【0031】

具体的には、上述の酸化物半導体層を具備するトランジスタは、チャネル幅10 μm の場合において、チャネル幅1 μm あたりのオフ電流を10 a A / μm (1×10^{-17} A / μm) 以下にすること、さらには1 a A / μm (1×10^{-18} A / μm) 以下にすることが可能である。オフ状態における電流値(オフ電流値)が極めて小さいトランジスタをゲート線駆動回路1009 A、信号線駆動回路1009 B、及び画素部1008を構成するトランジスタとして用いることにより、映像信号等の電気信号の保持時間を長くすることができる。保持時間を長くすることができるため、例えば、映像信号の書き込みの後の保持期間は10秒以上、好ましくは30秒以上、さらに好ましくは1分以上10分未満とする。保持期間を長くすることで書き込みの間隔を長くとることができ、消費電力を抑制する効果を高くできる。

20

【0032】

なお、トランジスタのオフ電流の流れ難さをオフ抵抗率として表すことができる。オフ抵抗率とは、トランジスタがオフのときのチャネル形成領域の抵抗率であり、オフ抵抗率はオフ電流から算出することができる。

30

【0033】

具体的には、オフ電流とドレイン電圧との値が分かればオームの法則からトランジスタがオフのときの抵抗値(オフ抵抗R)を算出することができる。そして、チャネル形成領域の断面積Aとチャネル形成領域の長さ(ソースドレイン電極間の距離に相当する)Lが分かれば $\rho = RA / L$ の式(Rはオフ抵抗)からオフ抵抗率 ρ を算出することができる。

【0034】

ここで、断面積Aは、チャネル形成領域の膜厚をdとし、チャネル幅をWとするとき、 $A = dW$ から算出することができる。また、チャネル形成領域の長さLはチャネル長Lである。以上のように、オフ電流からオフ抵抗率を算出することができる。

【0035】

本実施の形態の酸化物半導体層を具備するトランジスタのオフ抵抗率は $1 \times 10^9 \Omega \cdot \text{m}$ 以上が好ましく、さらには $1 \times 10^{10} \Omega \cdot \text{m}$ 以上がより好ましい。

40

【0036】

一方、例えば低温ポリシリコンを具備するトランジスタでは、オフ電流が 1×10^{-12} A / μm 相当であると見積もって設計等行うこととなっている。そのため、酸化物半導体を有するトランジスタでは、低温ポリシリコンを具備するトランジスタに比較して、保持容量が同等(0 . 1 p F程度)である際、電圧の保持期間を 10^5 倍程度に引き延ばすことができる。また、アモルファスシリコンを具備するトランジスタの場合、チャネル幅1 μm あたりのオフ電流は、 1×10^{-13} A / μm 以上である。したがって、保持容量が同等(0 . 1 p F程度)である際、高純度の酸化物半導体を用いたトランジスタの方がア

50

モルファスシリコンを用いたトランジスタに比較して、電圧の保持期間を 10^4 倍以上に引き延ばすことができる。

【0037】

一例として、通常、低温ポリシリコンを用いたトランジスタを有する画素では表示を 60 フレーム / 秒 (1 フレームあたり 16 msec) で行っている。これは静止画であっても同じで、レートを低下させる (書き込みの間隔を伸ばす) と、画素の電圧が低下して表示に支障をきたすためである。一方、上述の酸化物半導体層を具備するトランジスタを用いた場合、オフ電流が小さいため、1 回の信号書き込みによる保持期間を 10^5 倍の 1600 秒程度とすることができる。

【0038】

そして、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。保持期間を長くとれるため、特に静止画の表示を行う際に、信号の書き込みを行う頻度を低減することができる。例えば、一つの静止画像の表示期間に画素に書き込む回数は、1 回または n 回とすることができる。なお、 n は 2 以上 10^3 回以下とする。こうして、表示装置の低消費電力化を図ることができる。

【0039】

また一般的に各画素は、一对の電極間に絶縁層を誘電体として挟むことにより構成される保持容量が設けられている。該保持容量の大きさは、各画素に設けられたトランジスタのオフ電流等を考慮して設定すればよい。本実施の形態では、各画素に設けられたトランジスタとして高純度の酸化物半導体層を有するトランジスタを用いていることにより、各画素における液晶容量に対して $1/3$ 以下、好ましくは $1/5$ 以下の容量の大きさを有する保持容量を設ければ充分である。

【0040】

前述の高純度の酸化物半導体層を具備するトランジスタは、保持期間を長く取ることができるため、特に静止画の表示を行う際に、信号の書き込みを行う頻度を著しく低減することができる。このため、表示の切り替えが少ない静止画等の表示では、画素への信号の書き込み回数を低減することができるため、低消費電力化を図ることができる。

【0041】

なお、静止画表示において、保持期間中の液晶素子に印加されている電圧の保持率を考慮して、適宜リフレッシュ動作してもよい。例えば、液晶素子の画素電極に信号を書き込んだ直後における電圧の値 (初期値) に対して所定のレベルまで電圧が下がったタイミングでリフレッシュ動作を行えばよい。所定のレベルとする電圧は、初期値に対してチラツキを感じない程度に設定することが好ましい。具体的には、初期値に対して 10% 低い状態、好ましくは 3% 低い状態となる毎に、リフレッシュ動作 (再度の書き込み) を行うのが好ましい。

【0042】

また、静止画表示における保持期間において、対向電極 (共通電極、コモン電極ともいう。) をフローティング状態とすることもできる。具体的には、対向電極にコモン電位を与える電源と対向電極との間にスイッチを設け、書き込み期間中はスイッチをオンにして電源から対向電極にコモン電位を与えた後、残りの保持期間においてはスイッチをオフにしてフローティング状態とすればよい。該スイッチについても、前述した高純度の酸化物半導体層を具備するトランジスタを用いることが好ましい。

【0043】

また、信号生成回路 1002 は、ゲート線駆動回路 1009A、及び信号線駆動回路 1009B を駆動するための信号を生成する回路である。また信号生成回路 1002 は、配線を介して駆動回路部 1007 を駆動するための信号を出力する回路、及び配線を介して記憶回路 1003 に画像信号 (ビデオ電圧、ビデオ信号、ビデオデータともいう) を出力する回路である。換言すれば、駆動回路部 1007 を駆動するための制御信号、及び画素部 1008 に供給する画像信号を生成し出力するための回路である。

【0044】

信号生成回路 1002 は、具体的には、制御信号として、ゲート線駆動回路 1009A、及び信号線駆動回路 1009B に電源電圧である高電源電位 VDD 、低電源電位 VSS を供給し、ゲート線駆動回路 1009A 用のスタートパルス SP 、クロック信号 CK 、及び / または、信号線駆動回路 1009B 用のスタートパルス SP 、クロック信号 CK を生成し、出力する。また信号生成回路 1002 は、動画像または静止画を表示するための画像信号 $Data$ を記憶回路 1003 に出力する。

【0045】

なお動画像は、複数のフレームに時分割した複数の画像を高速に切り替えることで人間の目に動画像として認識される画像のことをいう。具体的には、1 秒間に 60 回 (60 フレーム) 以上画像を切り替えることで、人間の目にはちらつきが少なく動画像と認識される連続する画像信号のことである。一方静止画は、動画像と異なり、複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させるものの、連続するフレーム期間、例えば n フレーム目と、 $(n+1)$ フレーム目とで画像信号が変化しない画像信号のことをいう。

10

【0046】

なお信号生成回路 1002 は、他にも画像信号、ラッチ信号等の信号を生成する回路であってもよい。また信号生成回路 1002 は、ゲート線駆動回路 1009A 及び / または信号線駆動回路 1009B には、各駆動回路のパルス信号の出力を停止するためリセット信号 Res を出力する構成としてもよい。なお各信号は第 1 のクロック信号、第 2 のクロック信号といったように複数の信号で構成される信号であってもよい。

20

【0047】

なお高電源電位 VDD とは、基準電位より高い電位のことであり、低電源電位 VSS とは基準電位以下の電位のことをいう。なお高電源電位及び低電源電位ともに、トランジスタが動作できる程度の電位であることが望ましい。

【0048】

なお、電圧とは、ある電位と、基準の電位 (例えばグラウンド電位) との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【0049】

なお信号生成回路 1002 から記憶回路 1003 への画像信号の出力がアナログの信号の場合には、 A/D コンバータ等を介してデジタルの信号に変換して、記憶回路 1003 に出力する構成とすればよい。

30

【0050】

記憶回路 1003 は、複数のフレームに関する画像信号を記憶するための複数のフレームメモリ 1010 を有する。なおフレームメモリは、例えば $DRAM$ (Dynamic Random Access Memory)、 $SRAM$ (Static Random Access Memory) 等の記憶素子を用いて構成すればよい。

【0051】

なおフレームメモリ 1010 は、フレーム期間毎に画像信号を記憶する構成であればよく、フレームメモリの数について特に限定されるものではない。またフレームメモリ 1010 の画像信号は、比較回路 1004 及び選択回路 1005 により選択的に読み出されるものである。

40

【0052】

比較回路 1004 は、記憶回路 1003 に記憶された連続するフレーム期間の画像信号を選択的に読み出して、当該画像信号の比較を行い、差分を検出するための回路である。当該比較回路 1004 での画像信号の比較により、差分が検出された際に当該差分を検出した連続するフレーム期間では動画像であると判断される。一方比較回路 1004 での画像信号の比較により、差分が検出されない際に当該差分を検出しなかった連続するフレーム期間では静止画であると判断される。すなわち、比較回路 1004 での差分の検出によって連続するフレーム期間の画像信号が、動画像を表示するための画像信号であるか、また

50

は静止画を表示するための画像信号であるか、の判断がなされるものである。なお、当該比較により得られる差分は、一定のレベルを超えたときに、差分を検出したと判断されるように設定してもよい。

【0053】

選択回路1005は、複数のスイッチ、例えば薄膜トランジスタで形成されるスイッチを設け、動画像を表示するための画像信号が比較回路での差分の検出により判断された際に、当該画像信号が記憶されたフレームメモリ1010より画像信号を選択して表示制御回路1006に出力するための回路である。なお比較回路1004で比較したフレーム間の画像信号の差分が検出されなければ、連続するフレーム期間で表示される画像は静止画であり、この場合、連続するフレーム期間の後半のフレームの画像信号について表示制御回路1006に出力しない構成とすればよい。

10

【0054】

表示制御回路1006は、画像信号、高電源電位VDD、低電源電位VSS、スタートパルスSP、クロック信号CK、及びリセット信号Resの制御信号に関して、駆動回路部1007への供給または停止を切り替える為の回路である。具体的には、比較回路1004により動画像と判断、すなわち連続フレーム期間の画像信号の差分が抽出された場合には、画像信号が選択回路1005より供給されて表示制御回路1006を介して駆動回路部1007に供給され、制御信号が、表示制御回路1006を介して駆動回路部1007に供給されることとなる。一方、比較回路1004により静止画と判断、すなわち連続フレーム期間の画像信号の差分を抽出しない場合には、画像信号が選択回路1005より供給されないため表示制御回路1006より駆動回路部1007に画像信号が供給されず、制御信号の駆動回路部1007への供給を表示制御回路1006が停止することとなる。

20

【0055】

なお、静止画と判断される場合において、静止画と判断される期間が短い場合には、制御信号のうち、高電源電位VDD、低電源電位VSSの停止を行わない構成としてもよい。頻繁に高電源電位VDD、低電源電位VSSの停止及び再開を行うことによる消費電力の増大を低減することができ、好適である。

【0056】

なお画像信号及び制御信号の停止は、画素部1008の各画素で画像信号を保持できる期間にわたって行うことが望ましく、各画素での保持期間の後に再度画像信号を供給するよう、表示制御回路1006が先に供給した画像信号及び制御信号を再度供給するようにする構成とすればよい。

30

【0057】

なお信号の供給とは、配線に所定の電位を供給することをいう。信号の停止とは、配線への所定の電位の供給を停止し、所定の固定電位が供給される配線、例えば低電源電位VSSが供給された配線、に接続することをいう。また信号の停止とは、所定の電位を供給されている配線との電氣的な接続を切断し、浮遊状態とすることをいう。

【0058】

上述のように酸化物半導体層を具備する薄膜トランジスタは、オフ電流が 1×10^{-12} A/ μ m以下とすることができるため、保持期間を大きくとることができる。そのため、本実施の形態における静止画の表示を行う際に低消費電力化を図るうえでの相乗効果が見込めることとなる。

40

【0059】

上述のように映像信号を比較して動画像か静止画かを判定し、クロック信号やスタートパルス等の制御信号の駆動回路部への供給の再開または停止を選択的に行うことで、低消費電力化を図ることができる。

【0060】

次いで、駆動回路部1007のゲート線駆動回路1009A、信号線駆動回路1009Bを構成するシフトレジスタの構成について図2に一例を示す。

【0061】

50

図 2 (A) に示すシフトレジスタは、第 1 のパルス出力回路 1 0 _ 1 乃至第 N のパルス出力回路 1 0 _ N (N は 3 の自然数) を有している。図 2 (A) に示すシフトレジスタの第 1 のパルス出力回路 1 0 _ 1 乃至第 N のパルス出力回路 1 0 _ N には、第 1 の配線 1 1 より第 1 のクロック信号 C K 1、第 2 の配線 1 2 より第 2 のクロック信号 C K 2、第 3 の配線 1 3 より第 3 のクロック信号 C K 3、第 4 の配線 1 4 より第 4 のクロック信号 C K 4 が供給される。また第 1 のパルス出力回路 1 0 _ 1 では、第 5 の配線 1 5 からのスタートパルス S P 1 (第 1 のスタートパルス) が入力される。また 2 段目以降の第 n のパルス出力回路 1 0 _ n (n は、2 ≤ n ≤ N の自然数) では、一段前段のパルス出力回路 1 0 _ n - 1 からの信号 (前段信号 O U T (n - 1) という) が入力される。また第 1 のパルス出力回路 1 0 _ 1 では、2 段後段の第 3 のパルス出力回路 1 0 _ 3 からの信号が入力される。

同様に、2 段目以降の第 n のパルス出力回路 1 0 _ n では、2 段後段の第 (n + 2) のパルス出力回路 1 0 _ (n + 2) からの信号 (後段信号 O U T (n + 2) という) が入力される。従って、各段のパルス出力回路からは、後段及び / または二つ前段のパルス出力回路に入力するための第 1 の出力信号 (O U T (1) (S R) ~ O U T (N) (S R))、別の回路等に入力される第 2 の出力信号 (O U T (1)) ~ O U T (N) が出力される。なお、図 2 (A) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 O U T (n + 2) が入力されないため、一例としては、別途第 7 の配線 1 7 より第 2 のスタートパルス S P 2、第 8 の配線 1 8 より第 3 のスタートパルス S P 3 をそれぞれ入力する構成でもよい。または別途、内部で生成された信号であってもよい。例えば、表示部へのパルス出力に寄与しない第 (n + 1) のパルス出力回路 1 0 _ (n + 1)、第 (n + 2) のパルス出力回路 1 0 _ (n + 2) を設け (ダミー段ともいう)、当該ダミー段より第 2 のスタートパルス (S P 2) 及び第 3 のスタートパルス (S P 3) に相当する信号を生成する構成としてもよい。

【 0 0 6 2 】

なお、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、一定の間隔で H 信号と L 信号を繰り返す信号である。また、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号 C K は、入力される駆動回路に応じて、G C K、S C K ということもあるが、ここでは C K として説明を行う。

【 0 0 6 3 】

なお、A と B とが接続されている、と明示的に記載する場合は、A と B とが電氣的に接続されている場合と、A と B とが機能的に接続されている場合と、A と B とが直接接続されている場合とを含むものとする。ここで、A、B は、対象物 (例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など) であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【 0 0 6 4 】

第 1 のパルス出力回路 1 0 _ 1 ~ 第 N のパルス出力回路 1 0 _ N の各々は、第 1 の入力端子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 1 の出力端子 2 6、第 2 の出力端子 2 7 を有している (図 2 (B) 参照)。

【 0 0 6 5 】

第 1 の入力端子 2 1、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれかと電氣的に接続されている。例えば、図 2 (A)、(B) において、第 1 のパルス出力回路 1 0 _ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 と電氣的に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 と電氣的に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 と電氣的に接続されている。また、第 2 のパルス出力回路 1 0 _ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 と電氣的に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 と電氣的に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 と電氣的に接

10

20

30

40

50

続されている。

【 0 0 6 6 】

また図 2 (A)、(B)において、第 1 のパルス出力回路 1 0 _ 1 は、第 4 の入力端子 2 4 に第 1 のスタートパルス S P 1 が入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力されていることとなる。

【 0 0 6 7 】

次に、パルス出力回路の具体的な回路構成の一例について、図 2 (C) で説明する。

【 0 0 6 8 】

図 2 (C) において第 1 のトランジスタ 3 1 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 2 のトランジスタ 3 2 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。第 3 のトランジスタ 3 3 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 4 のトランジスタ 3 4 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 5 の入力端子 2 5 に電氣的に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に電氣的に接続され、ゲート電極が第 3 の入力端子 2 3 に電氣的に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 2 の入力端子 2 2 に電氣的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電氣的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 1 0 のトランジスタ 4 0 のゲート電極に電氣的に接続され、ゲート電極が電源線 5 1 に電氣的に接続されている。第 1 0 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に電氣的に接続されている。第 1 1 のトランジスタ 4 1 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。

【 0 0 6 9 】

図 2 (C) において、第 3 のトランジスタ 3 3 のゲート電極、第 1 0 のトランジスタ 4 0 のゲート電極、及び第 9 のトランジスタ 3 9 の第 2 端子の接続箇所をノード N A とする。また、第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトランジスタ 3 8 の第 1 端子、及び第 1 1 のトランジスタ 4 1 のゲート電極の接続箇所をノード N B とする。

【 0 0 7 0 】

図 2 (C) におけるパルス出力回路が第 1 のパルス出力回路 1 0 _ 1 の場合、第 1 の入力端子 2 1 には第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 には第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 には第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にはスタートパルス S P が入力され、第 5 の入力端子 2 5 には後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 からは第 1 の出力信号 O U T (1)

10

20

30

40

50

)(SR)が出力され、第2の出力端子27からは第2の出力信号OUT(1)が出力されることとなる。

【0071】

ここで、図2(C)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図3に示す。なおシフトレジスタが走査線駆動回路である場合、図3中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0072】

図2、図3で、一例として示した、nチャネル型のトランジスタを複数用いて作製した駆動回路において、静止画表示及び動画像表示を行う際の、各配線の電位の供給または停止の手順について説明する。

【0073】

まず駆動回路部1007の動作を停止する場合には、まず表示制御回路1006は、スタートパルスSPを停止する。次いで、スタートパルスSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、各クロック信号CKを停止する。次いで、電源電圧の高電源電位VDD、及び低電源電位VSSを停止する(図26(A)参照)。また駆動回路部1007の動作を再開する場合には、まず表示制御回路1006は、電源電圧の高電源電位VDD、及び低電源電位VSSを駆動回路部1007に供給する。次いで、クロック信号CKを供給し、次いでスタートパルスSPの供給を再開する(図26(B)参照)。

【0074】

なお図2、図3の説明では、リセット信号Resを供給しない駆動回路の構成について示したが、リセット信号Resを供給する構成について図4に示し説明する。

【0075】

図4(A)に示すシフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N(Nは3以上の自然数)を有している。図4(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n(nは、2以上Nの自然数)では、一段前段のパルス出力回路10__n-1からの信号(前段信号OUT(n-1)という)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号が入力される。

同様に、2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)のパルス出力回路10__(n+2)からの信号(後段信号OUT(n+2)という)が入力される。従って、各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、別の回路等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。また各段のパルス出力回路には、第6の配線16よりリセット信号Resが供給される。

【0076】

なお図4に示すパルス出力回路が図2で示したパルス出力回路と異なる点は、リセット信号Resを供給する第6の配線16を有する点にあり、他の箇所に関する点は上記図2の説明と同様である。

【0077】

第1のパルス出力回路10__1~第Nのパルス出力回路10__Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27、第6の入力端子28を有している(図4(B)参照)。

【0078】

第 1 の入力端子 2 1、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれかと電氣的に接続されている。例えば、図 4 (A)、(B) において、第 1 のパルス出力回路 1 0 _ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 と電氣的に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 と電氣的に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 と電氣的に接続されている。また、第 2 のパルス出力回路 1 0 _ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 と電氣的に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 と電氣的に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 と電氣的に接続されている。

【 0 0 7 9 】

また図 4 (A)、(B) において、第 1 のパルス出力回路 1 0 _ 1 は、第 4 の入力端子 2 4 に第 1 のスタートパルス S P 1 が入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力され、第 6 の入力端子 2 8 よりリセット信号 R e s が入力されていることとなる。

【 0 0 8 0 】

次に、パルス出力回路の具体的な回路構成の一例について、図 4 (C) で説明する。

【 0 0 8 1 】

図 4 (C) において第 1 のトランジスタ 3 1 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 2 のトランジスタ 3 2 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。第 3 のトランジスタ 3 3 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 4 のトランジスタ 3 4 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 5 の入力端子 2 5 に電氣的に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に電氣的に接続され、ゲート電極が第 3 の入力端子 2 3 に電氣的に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 2 の入力端子 2 2 に電氣的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電氣的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 1 0 のトランジスタ 4 0 のゲート電極に電氣的に接続され、ゲート電極が電源線 5 1 に電氣的に接続されている。第 1 0 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に電氣的に接続されている。第 1 1 のトランジスタ 4 1 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。また第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトランジスタ 3 8 の第 1 端子、及び第 1 1 のトランジスタ 4 1 のゲート電極は、リセット信号 R e s を供給するための配線 5 3 に電氣的に接続されている。なおリセット信号 R e s は、第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトランジスタ 3

10

20

30

40

50

8の第1端子、及び第11のトランジスタ41のゲート電極の電位に高電源電位レベルの信号を供給することにより、パルス出力回路からの出力を強制的に低電源電位レベルの信号に落とすための信号である。

【0082】

図4(C)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードNAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードNBとする。

10

【0083】

図4(C)におけるパルス出力回路が第1のパルス出力回路10__1の場合、第1の入力端子21には第1のクロック信号CK1が入力され、第2の入力端子22には第2のクロック信号CK2が入力され、第3の入力端子23には第3のクロック信号CK3が入力され、第4の入力端子24にはスタートパルスSPが入力され、第5の入力端子25には後段信号OUT(3)が入力され、第1の出力端子26からは第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27からは第2の出力信号OUT(1)が出力され、第6の入力端子28からはリセット信号Resが入力される。

【0084】

なお、図4(C)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについては、図3に示す図2(C)のタイミングチャートと同様である。

20

【0085】

図4で、一例として示した、nチャネル型のトランジスタを複数用いて作製した駆動回路において、静止画から動画像表示をおこなう際の、各配線の電位の供給または停止の手順について説明する。

【0086】

まず駆動回路部1007の動作を停止する場合には、まず表示制御回路1006は、スタートパルスSPを停止する。次いで、スタートパルスSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、各クロック信号CKを停止する。次いで、リセット信号Resを供給する。次いで、電源電圧の高電源電位VDD、及び低電源電位VSSを停止する(図26(C)参照)。また駆動回路部1007の動作を再開する場合には、まず表示制御回路1006は、電源電圧の高電源電位VDD、及び低電源電位VSSを駆動回路部1007に供給する。次いで、リセット信号Resを供給する。次いで、クロック信号CKを供給し、次いでスタートパルスSPの供給を再開する(図26(D)参照)。

30

【0087】

図4で説明したように図2、図3の構成に加えてリセット信号を供給する構成とすることにより、静止画と動画像の切り替えの際の信号の遅延等による誤動作を低減することができるため好適である。

【0088】

また静止画で表示させる場合において、駆動回路部を構成する薄膜トランジスタ上に設けた共通電位電極を共通電位線から切り離してフローティング状態にしても良い。そして、静止画モードの後、駆動回路を再度動作させる際には、共通電位電極を共通電位線に接続する。このようにすると駆動回路部の薄膜トランジスタの誤動作を防止することができる。

40

【0089】

図18(A)は、そのような表示パネル1800の一例を示し、同図(B)はその断面構造を説明する図である。表示パネル1800には駆動回路1802、1804及び画素部1806が設けられている。駆動回路1802が設けられる領域に重畳して共通電位電極1808が配設されている。共通電位電極1808と共通電位端子1812の間には、両者の接続/非接続を制御するスイッチ素子1810が設けられている。

50

【 0 0 9 0 】

図 1 8 (B) に示すように、共通電位電極 1 8 0 8 は駆動回路の T F T 1 8 0 3 上に配設されている。共通電位電極 1 8 0 8 が T F T 1 8 0 3 上に設けられることにより、T F T 1 8 0 3 は静電遮蔽され、しきい値電圧の変動や寄生チャネルが生成するのを防いでいる。

【 0 0 9 1 】

スイッチ素子 1 8 1 0 は、この T F T 1 8 0 3 と同じ構成のものを用いることができる。これらの素子は、オフ状態でのリーク電流が極めて小さいので、表示パネルの動作を安定化させるのに寄与する。すなわち、静止画で表示する場合において、スイッチ素子 1 8 0 3 をオフにして共通電位電極をフローティング状態にさせた場合でも、電位を一定に保つ効果がある。

10

【 0 0 9 2 】

このように、バンドギャップの広い酸化物半導体により構成される T F T を用いると共に、共通電位電極を設けて外部電場を遮蔽することで、駆動回路の動作を停止させた状態でも静止画を表示させることができる。また、共通電位電極の電位を駆動回路の動作に合わせて適切に制御することにより、表示パネルの動作の安定化を図ることができる。

【 0 0 9 3 】

以上説明したように、酸化物半導体を用いた薄膜トランジスタのオフ電流が小さいという特徴を液晶表示装置に用いれば、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる。また、静止画の表示をする際制御信号を停止することにより、一層の低消費電力化を図ることができる。また静止画と動画との切り替えを誤動作なく行うことができる。

20

【 0 0 9 4 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 0 9 5 】

(実施の形態 2)

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図 5 及び図 6 を用いて説明する。

【 0 0 9 6 】

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの例を示す。本実施の形態で示す薄膜トランジスタ 4 1 0 は、実施の形態 1 の画素部 1 0 0 8 の各画素に用いる薄膜トランジスタに用いることができる。

30

【 0 0 9 7 】

図 5 (A) (B) に薄膜トランジスタの平面及び断面構造の一例を示す。図 5 (A) (B) に示す薄膜トランジスタ 4 1 0 は、トップゲート構造の薄膜トランジスタの一つである。

【 0 0 9 8 】

図 5 (A) はトップゲート構造の薄膜トランジスタ 4 1 0 の平面図であり、図 5 (B) は図 5 (A) の線 C 1 - C 2 における断面図である。

40

【 0 0 9 9 】

薄膜トランジスタ 4 1 0 は、絶縁表面を有する基板 4 0 0 上に、絶縁層 4 0 7、酸化物半導体層 4 1 2、ソース電極層又はドレイン電極層 4 1 5 a、及びソース電極層又はドレイン電極層 4 1 5 b、ゲート絶縁層 4 0 2、ゲート電極層 4 1 1 を含み、ソース電極層又はドレイン電極層 4 1 5 a、ソース電極層又はドレイン電極層 4 1 5 b にそれぞれ配線層 4 1 4 a、配線層 4 1 4 b が接して設けられ電氣的に接続している。

【 0 1 0 0 】

また、薄膜トランジスタ 4 1 0 はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

50

【0101】

以下、図6(A)乃至(E)を用い、基板400上に薄膜トランジスタ410を作製する工程を説明する。

【0102】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。

【0103】

また、例えば、基板400としてガラス基板を用いる場合には、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ酸と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい

10

【0104】

なお、基板400としては、上記のガラス基板以外に、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラス基板などを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0105】

まず、絶縁表面を有する基板400上に下地膜となる絶縁層407を形成する。酸化物半導体層と接する絶縁層407は、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などの酸化物絶縁層を用いると好ましい。絶縁層407の形成方法としては、プラズマCVD法又はスパッタリング法等を用いることができるが、絶縁層407中に水素が多量に含まれないようにするためには、スパッタリング法で絶縁層407を成膜することが好ましい。

20

【0106】

本実施の形態では、絶縁層407として、スパッタリング法により酸化シリコン層を形成する。基板400を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入し、ターゲットを用いて、基板400に絶縁層407として、酸化シリコン層を成膜する。また基板400は室温でもよいし、加熱されていてもよい。

【0107】

例えば、ターゲットとして、石英(好ましくは合成石英)を用い、基板温度108、基板とターゲットの間との距離(T-S間距離)を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により酸化シリコン膜を成膜する。膜厚は100nmとする。なお、石英(好ましくは合成石英)に代えてシリコンターゲットを酸化シリコン膜を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

30

【0108】

この場合において、処理室内の残留水分を除去しつつ絶縁層407を成膜することが好ましい。絶縁層407に水素、水酸基又は水分が含まれないようにするためである。

40

【0109】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H_2O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し絶縁層407に含まれる不純物の濃度を低減できる。

【0110】

絶縁層407を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは、10ppb以下まで除去された高純度ガスを用

50

いることが好ましい。

【0111】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、パルス的にバイアスを与えるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0112】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置を用いてもよい。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

10

【0113】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置を用いてもよい。

【0114】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法を用いてもよい。

【0115】

また、絶縁層407は積層構造でもよく、例えば、基板400側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

20

【0116】

例えば、酸化シリコン層と基板400との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【0117】

窒化シリコン層を形成する場合も、成膜時に基板を加熱してもよい。

【0118】

絶縁層407として窒化シリコン層と酸化シリコン層とを積層する場合、窒化シリコン層と酸化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に窒素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン層を形成し、次にスパッタガスを酸素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて酸化シリコン層を成膜する。窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。

30

【0119】

次いで、絶縁層407上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。

40

【0120】

また、酸化物半導体膜に水素、水酸基及び水分が極力含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層407が形成された基板400を予備加熱し、基板400に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0121】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層407の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気

50

気下で基板側に高周波電源を用いて電圧を印加して基板付近にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気にて代えて窒素、ヘリウム、酸素などを用いてもよい。

【0122】

酸化物半導体膜はスパッタリング法により成膜する。酸化物半導体膜は、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{Al}-\text{Zn}-\text{O}$ 系、 $\text{Sn}-\text{Ga}-\text{Zn}-\text{O}$ 系、 $\text{Al}-\text{Ga}-\text{Zn}-\text{O}$ 系、 $\text{Sn}-\text{Al}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{Zn}-\text{O}$ 系、 $\text{Sn}-\text{Zn}-\text{O}$ 系、 $\text{Al}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{O}$ 系、 $\text{Sn}-\text{O}$ 系、 $\text{Zn}-\text{O}$ 系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜を $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。具体的には、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol %] (すなわち、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom %]) を用いる。他にも、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom %]、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom %]の組成比を有するターゲットを用いることもできる。なお、酸化物半導体ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。スパッタリングの雰囲気は希ガス(代表的にはアルゴン)、酸素、あるいは希ガスと酸素の混合雰囲気とすればよい。また、ターゲットには、 SiO_2 を2重量%以上10重量%以下含ませてもよい。

10

【0123】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは、10ppb以下まで除去された高純度ガスを用いることが好ましい。

20

【0124】

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板400上に成膜される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

30

【0125】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を110mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

40

【0126】

次いで、酸化物半導体膜を第1のフォトリソグラフィ工程により島状の酸化物半導体層412に加工する(図6(A)参照。)。また、島状の酸化物半導体層412を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソマスクを使用しないため、製造コストを低減できる。

【0127】

なお、ここでの酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0128】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例え

50

ば塩素 (Cl_2)、塩化硼素 (BCl_3)、塩化珪素 (SiCl_4)、四塩化炭素 (CCl_4) など) が好ましい。

【0129】

また、フッ素を含むガス (フッ素系ガス、例えば四弗化炭素 (CF_4)、弗化硫黄 (SF_6)、弗化窒素 (NF_3)、トリフルオロメタン (CHF_3) など)、臭化水素 (HBr)、酸素 (O_2)、これらのガスにヘリウム (He) やアルゴン (Ar) などの希ガスを添加したガス、などを用いることができる。

【0130】

ドライエッチング法としては、平行平板型 RIE (Reactive Ion Etching) 法や、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件 (コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等) を適宜調節する。

10

【0131】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水 (31 重量% 過酸化水素水 : 28 重量% アンモニア水 : 水 = 5 : 2 : 2) などを用いることができる。また、ITO07N (関東化学社製) を用いてもよい。

【0132】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

20

【0133】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件 (エッチング液、エッチング時間、温度等) を適宜調節する。

【0134】

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層 412 に加工する。

【0135】

本実施の形態では、酸化物半導体層 412 に、第 1 の加熱処理を行う。第 1 の加熱処理の温度は、400 以上 750 以下とし、基板 400 の歪み点が 750 以下の場合には 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において 1 時間の加熱処理を行った後、大気に触れることなく、室温まで温度を下げ、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層を得る。この第 1 の加熱処理によって酸化物半導体層 412 の脱水化及び / または脱水素化を行うことができる。

30

【0136】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、及び / または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

40

【0137】

例えば、第 1 の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中

50

から出す G R T A を行ってもよい。G R T A を用いると短時間での高温加熱処理が可能となる。

【 0 1 3 8 】

なお、第 1 の加熱処理においては、窒素、及び / またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、及び / またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは 7 N (9 9 . 9 9 9 9 9 %) 以上、(即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下) とすることが好ましい。

【 0 1 3 9 】

また、第 1 の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層 4 1 2 が結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が 9 0 % 以上、または 8 0 % 以上の微結晶の酸化物半導体膜となる場合もある。また、第 1 の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層 4 1 2 は結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体の中に微結晶部 (粒径 1 n m 以上 2 0 n m 以下 (代表的には 2 n m 以上 4 n m 以下)) が混在する酸化物半導体膜となる場合もある。

10

【 0 1 4 0 】

また、酸化物半導体層の第 1 の加熱処理は、島状の酸化物半導体層 4 1 2 に加工する前の酸化物半導体膜に行うこともできる。その場合には、第 1 の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

20

【 0 1 4 1 】

なお、以上では、酸化物半導体層に対する脱水化、及び / または脱水素化の効果を奏する加熱処理は、酸化物半導体層 4 1 2 の形成直後におこなう例を示したが、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【 0 1 4 2 】

次いで、絶縁層 4 0 7 及び酸化物半導体層 4 1 2 上に、導電膜を成膜する。導電膜をスパッタリング法や真空蒸着法で成膜すればよい。導電膜の材料としては、A l 、C r 、C u 、T a 、T i 、M o 、W から選ばれた元素、または上述した元素を成分とする合金が、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれか一または複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、T i 膜と、その T i 膜上に重ねてアルミニウム膜を積層し、さらにその上に T i 膜を成膜する 3 層構造などが挙げられる。また、A l に、チタン (T i) 、タンタル (T a) 、タングステン (W) 、モリブデン (M o) 、クロム (C r) 、N d (ネオジム) 、S c (スカンジウム) から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。本実施の形態では、スパッタリング法により膜厚 1 5 0 n m のチタン膜を成膜する。

30

【 0 1 4 3 】

そして、第 2 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成する。レジストマスクはインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。その後、選択的にエッチングを行ってソース電極層又はドレイン電極層 4 1 5 a 、ソース電極層又はドレイン電極層 4 1 5 b を形成した後、レジストマスクを除去する (図 6 (B) 参照。) 。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

40

【 0 1 4 4 】

なお、導電膜のエッチングの際に、酸化物半導体層 4 1 2 が除去されて、その下の絶縁層 4 0 7 が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する。

50

【0145】

本実施の形態では、導電膜としてTi膜を用いて、酸化物半導体層412にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとしてアンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)を用いる。

【0146】

なお、第2のフォトリソグラフィ工程では、酸化物半導体層412は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0147】

第2のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いてもよい。酸化物半導体層412上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第2のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

10

【0148】

次いで、絶縁層407、酸化物半導体層412、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415b上にゲート絶縁層402を形成する(図6(C)参照。)。

20

【0149】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層402中に水素が極力含まれないようにするためには、スパッタリング法でゲート絶縁層402を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素とアルゴンの混合ガスを用いて行う。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

30

【0150】

ゲート絶縁層402は、下から酸化シリコン層と窒化シリコン層を積層した多層構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x>0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y>0$))を積層して、膜厚70nm以上400nm以下、例えば、100nmのゲート絶縁層としてもよい。

40

【0151】

次いで、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層402の一部を除去して、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bに達する開口421a、421bを形成する(図6(D)参照。)。

【0152】

次に、ゲート絶縁層402、及び開口421a、421b上に導電膜を形成する。本実施の形態では、スパッタリング法により膜厚150nmのチタン膜を形成する。その後、第4のフォトリソグラフィ工程によりゲート電極層411、配線層414a、414bを形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクを

50

インクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0153】

ゲート電極層411、配線層414a、414bの材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0154】

例えば、ゲート電極層411、配線層414a、414bの2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

10

【0155】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ410上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

20

【0156】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0157】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層412を有する薄膜トランジスタ410を形成することができる（図6（E）参照。）。薄膜トランジスタ410は実施の形態1における薄膜トランジスタ105として適用することができる。

30

【0158】

また、薄膜トランジスタ410上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。例えば、保護絶縁層として酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。

【0159】

また、平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層を形成してもよい。

40

【0160】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0161】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、

50

スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0162】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0163】

以上のようにして作製された、薄膜トランジスタを液晶表示装置の表示部を構成する複数の画素に用いることによって、画素からのリーク電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。また静止画の表示をする際制御信号を停止することにより一層の低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

10

【0164】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0165】

（実施の形態3）

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。なお、実施の形態2と同一部分又は同様な機能を有する部分、及び工程は、実施の形態2と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。本実施の形態で示す薄膜トランジスタ460は、実施の形態1の画素部1008の各画素に用いる薄膜トランジスタに用いることができる。

20

【0166】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図7及び図8を用いて説明する。

【0167】

図7（A）（B）に薄膜トランジスタの平面及び断面構造の一例を示す。図7（A）（B）に示す薄膜トランジスタ460は、トップゲート構造の薄膜トランジスタの一つである。

30

【0168】

図7（A）はトップゲート構造の薄膜トランジスタ460の平面図であり、図7（B）は図7（A）の線D1-D2における断面図である。

【0169】

薄膜トランジスタ460は、絶縁表面を有する基板450上に、絶縁層457、ソース電極層又はドレイン電極層465a（465a1、465a2）、酸化物半導体層462、ソース電極層又はドレイン電極層465b、配線層468、ゲート絶縁層452、ゲート電極層461（461a、461b）を含み、ソース電極層又はドレイン電極層465a（465a1、465a2）は配線層468を介して配線層464と電氣的に接続している。また、図示していないが、ソース電極層又はドレイン電極層465bもゲート絶縁層452に設けられた開口において配線層と電氣的に接続する。

40

【0170】

以下、図8（A）乃至（E）を用い、基板450上に薄膜トランジスタ460を作製する工程を説明する。

【0171】

まず、絶縁表面を有する基板450上に下地膜となる絶縁層457を形成する。

【0172】

本実施の形態では、絶縁層457として、スパッタリング法により酸化シリコン層を成膜する。基板450を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッ

50

タガスを導入しシリコンターゲット又は石英（好ましくは合成石英）を用いて、基板 450 に絶縁層 457 として、酸化シリコン層を成膜する。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0173】

例えば本実施の形態では、純度が 6 N であり、石英（好ましくは合成石英）をターゲットとして用い、基板温度 108 、基板とターゲットの間との距離（T - S 間距離）を 60 mm、圧力 0.4 Pa、高周波電源 1.5 kW、酸素及びアルゴン（酸素流量 25 sccm：アルゴン流量 25 sccm = 1：1）雰囲気下で RF スパッタリング法により酸化シリコン膜を成膜する。膜厚は 100 nm とする。なお、石英（好ましくは合成石英）に代えてシリコンターゲットを酸化シリコン膜を成膜するためのターゲットとして用いることができる。

10

【0174】

この場合において、処理室内の残留水分を除去しつつ絶縁層 457 を成膜することが好ましい。絶縁層 457 に水素、水酸基、及び / 又は水分が含まれないようにするためである。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水（ H_2O ）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し絶縁層 457 に含まれる不純物の濃度を低減できる。

【0175】

絶縁層 457 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1 ppm 以下、好ましくは、10 ppb 以下まで除去された高純度ガスを用いることが好ましい。

20

【0176】

また、絶縁層 457 は積層構造でもよく、例えば、基板 450 側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

【0177】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

30

【0178】

次いで、絶縁層 457 上に、導電膜を成膜する。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金が、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれか一または複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、Ti 膜と、その Ti 膜上に重ねてアルミニウム膜を積層し、さらにその上に Ti 膜を成膜する 3 層構造などが挙げられる。また、Al に、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジウム）、Sc（スカンジウム）から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。本実施の形態では導電膜としてスパッタリング法により膜厚 150 nm のチタン膜を形成する。その後、第 1 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層 465a1、465a2 を形成した後、レジストマスクを除去する（図 8（A）参照。）。ソース電極層又はドレイン電極層 465a1、465a2 は断面図では分断されて示されているが、図 7（A）に示すように、一部が円環状の連続した膜である。なお、形成されたソース電極層又はドレイン電極層 465a1、465a2 の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

40

【0179】

50

次いで、膜厚 2 nm 以上 200 nm 以下、例えば、5 nm 以上 30 nm 以下の酸化物半導体膜を成膜する。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。本実施の形態では、酸化物半導体膜として In - Ga - Zn - O 系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。

【0180】

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、ターゲットを用いて基板 450 上に成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

10

【0181】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1 ppm 以下、好ましくは、10 ppb 以下まで除去された高純度ガスを用いることが好ましい。

【0182】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を 110 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、酸素及びアルゴン (酸素流量 15 sccm : アルゴン流量 30 sccm) 雰囲気下の条件が適用される。

20

【0183】

次に、酸化物半導体膜を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層 462 に加工する (図 8 (B) 参照。)。本実施の形態では、エッチング液として磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層 462 に加工する。

【0184】

本実施の形態では、酸化物半導体層 462 に、第 1 の加熱処理を行う。第 1 の加熱処理の温度は、400 以上 750 以下とし、基板 450 の歪み点が 750 以下の場合には 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において 1 時間の加熱処理を行った後、大気に触れることなく、室温まで温度を下げ、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層を得る。この第 1 の加熱処理によって酸化物半導体層 462 の脱水化及び / または脱水素化を行うことができる。

30

【0185】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。例えば、第 1 の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す GRTA を行ってもよい。GRTA を用いると短時間での高温加熱処理が可能となる。

40

【0186】

なお、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、(即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

50

【0187】

また、酸化物半導体層462は、第1の加熱処理の条件、またはその材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。

【0188】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0189】

なお、以上では、酸化物半導体層に対する脱水化、及び/または脱水素化の効果を奏する加熱処理は、酸化物半導体層462の形成直後におこなう例を示したが、酸化物半導体層成膜後であれば、酸化物半導体層上にさらにソース電極層又はドレイン電極層465bを積層させた後、ソース電極層又はドレイン電極層465b上にゲート絶縁層452を形成した後、のいずれで行っても良い。

10

【0190】

次いで、絶縁層457及び酸化物半導体層462上に、導電膜を成膜し、第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層465b、配線層468を形成した後、レジストマスクを除去する(図8(C)参照。)。ソース電極層又はドレイン電極層465b、配線層468はソース電極層又はドレイン電極層465a1、465a2と同様な材料及び工程で形成すればよい。

20

【0191】

本実施の形態ではソース電極層又はドレイン電極層465b、配線層468としてスパッタリング法により膜厚150nmのチタン膜を形成する。本実施の形態では、ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bに同じチタン膜を用いる例のため、ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bとはエッチングにおいて選択比がとれない。よって、ソース電極層又はドレイン電極層465a1、465a2が、ソース電極層又はドレイン電極層465bのエッチング時にエッチングされないように、酸化物半導体層462に覆われないソース電極層又はドレイン電極層465a2上に配線層468を設けている。ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bとにエッチング工程において高い選択比を有する異なる材料を用いる場合には、エッチング時にソース電極層又はドレイン電極層465a2を保護する配線層468は必ずしも設けなくてもよい。

30

【0192】

なお、導電膜のエッチングの際に、酸化物半導体層462は一部がエッチングされることもある。酸化物半導体層462が必要以上に除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0193】

本実施の形態では、導電膜としてTi膜を用いて、酸化物半導体層462にはIn-Ga-Zn-O系酸化物半導体を用いているので、エッチャントとしてアンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)を用いる。

40

【0194】

なお、第2のフォトリソグラフィ工程では、酸化物半導体層462は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層465b、配線層468を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0195】

次いで、絶縁層457、酸化物半導体層462、ソース電極層又はドレイン電極層465a1、465a2、ソース電極層又はドレイン電極層465b上にゲート絶縁層452を

50

形成する。

【0196】

ゲート絶縁層452は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層452中に水素が極力含まれないようにするためには、スパッタリング法でゲート絶縁層452を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0197】

ゲート絶縁層452は、ソース電極層又はドレイン電極層465a1、465a2、ソース電極層又はドレイン電極層465b側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm=1：1）雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

【0198】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層452の一部を除去して、配線層438に達する開口423を形成する（図8（D）参照。）。図示しないが開口423の形成時にソース電極層又はドレイン電極層465bに達する開口を形成してもよい。本実施の形態では、ソース電極層又はドレイン電極層465bへの開口はさらに層間絶縁層を積層した後に形成し、電氣的に接続する配線層を開口に形成する例とする。

【0199】

次に、ゲート絶縁層452、及び開口423上に導電膜を形成した後、第5のフォトリソグラフィ工程によりゲート電極層461（461a、461b）、配線層464を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0200】

また、ゲート電極層461（461a、461b）、配線層464の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0201】

本実施の形態ではゲート電極層461（461a、461b）、配線層464としてスパッタリング法により膜厚150nmのチタン膜を形成する。図8（E）では、ゲート電極層461（461a、461b）は離れたように示されているが、図7（A）で示されるように、ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bの間に円環状に生じる空隙部分に重なるように、形成される。

【0202】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ460上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0203】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0204】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層 4 6 2 を有する薄膜トランジスタ 4 6 0 を作製することができる（図 8（E）参照。）。薄膜トランジスタ 4 6 0 は、実施の形態 1 の画素部 1 0 0 8 の各画素に用いる薄膜トランジスタに用いることができる。

【0205】

また、薄膜トランジスタ 4 6 0 上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。なお、図示しないが、ゲート絶縁層 4 5 2、保護絶縁層や平坦化絶縁層にソース電極層又はドレイン電極層 4 6 5 b に達する開口を形成し、その開口に、ソース電極層又はドレイン電極層 4 6 5 b と電氣的に接続する配線層を形成する。

【0206】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0207】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。また静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。本実施の形態ではチャンネルを円形とし、また、ソース電極層とドレイン電極層とを異なる層を用いて形成することによって、チャンネル長を短く、かつ、チャンネル幅をより大きくできる。このように、比較的、狭い面積でもチャンネル幅の大きな薄膜トランジスタを形成できるので、大きな電流のスイッチングができる。また、チャンネル幅は大きい、高純度化した酸化物半導体を使用しているので、オフ電流が極めて小さいという特徴を有する。

【0208】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0209】

（実施の形態 4）

本実施の形態の薄膜トランジスタを、図 9 を用いて説明する。本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。なお、実施の形態 2 と同一部分又は同様な機能を有する部分、及び工程は、実施の形態 2 と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。本実施の形態で示す薄膜トランジスタ 4 2 5、4 2 6 は、実施の形態 1 の画素部 1 0 0 8 の各画素に用いる薄膜トランジスタに用いることができる。

【0210】

図 9（A）（B）に薄膜トランジスタの断面構造の一例を示す。図 9（A）（B）に示す薄膜トランジスタ 4 2 5、4 2 6 は、酸化物半導体層を導電層とゲート電極層とで挟んだ構造の薄膜トランジスタの一つである。

【0211】

また、図 9（A）（B）において、基板はシリコン基板を用いており、シリコン基板 4 2 0 上に設けられた絶縁層 4 2 2 上に薄膜トランジスタ 4 2 5、4 2 6 がそれぞれ設けられている。

【0212】

図 9（A）において、シリコン基板 4 2 0 上に設けられた絶縁層 4 2 2 と絶縁層 4 0 7 との間に少なくとも酸化物半導体層 4 1 2 全体と重なるように導電層 4 2 7 が設けられている。

【0213】

なお、図 9（B）は、絶縁層 4 2 2 と絶縁層 4 0 7 との間の導電層が、導電層 4 2 4 のよ

10

20

30

40

50

うにエッチングにより加工され、酸化物半導体層 4 1 2 の少なくともチャネル領域を含む一部と重なる例である。

【0214】

導電層 4 2 7、4 2 4 は後工程で行われる加熱処理温度に耐えられる金属材料であればよく、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、Nd (ネオジム)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物などを用いることができる。また、単層構造でも積層構造でもよく、例えばタングステン層単層、又は窒化タングステン層とタングステン層との積層構造などを用いることができる。

10

【0215】

また、導電層 4 2 7、4 2 4 は、電位が薄膜トランジスタ 4 2 5、4 2 6 のゲート電極層 4 1 1 と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 4 2 7、4 2 4 の電位が GND、0 V という固定電位であってもよい。

【0216】

導電層 4 2 7、4 2 4 によって、薄膜トランジスタ 4 2 5、4 2 6 の電気特性を制御することができる。

【0217】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

20

【0218】

(実施の形態 5)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの例を示す。

【0219】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図 10 を用いて説明する。

【0220】

図 10 (A) 乃至 (E) に薄膜トランジスタの断面構造の一例を示す。図 10 (A) 乃至 (E) に示す薄膜トランジスタ 3 9 0 は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

30

【0221】

また、薄膜トランジスタ 3 9 0 はシングルゲート構造の薄膜トランジスタを用いて説明するが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも作製することができる。

【0222】

以下、図 10 (A) 乃至 (E) を用い、基板 3 9 4 上に薄膜トランジスタ 3 9 0 を作製する工程を説明する。

【0223】

まず、絶縁表面を有する基板 3 9 4 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 3 9 1 を形成する。形成されたゲート電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0224】

絶縁表面を有する基板 3 9 4 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。

【0225】

例えば、基板 3 9 4 としてガラス基板を用いる場合には、後の加熱処理の温度が高い場合には、歪み点が 7 3 0 以上のものを用いると良い。また、ガラス基板には、例えば、ア

50

ルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ酸と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい

【0226】

なお、基板 394 としては、上記のガラス基板以外に、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラス基板などを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0227】

下地膜となる絶縁膜を基板 394 とゲート電極層 391 との間に設けてもよい。下地膜は、基板 394 からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

10

【0228】

また、ゲート電極層 391 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0229】

例えば、ゲート電極層 391 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、銅層上にモリブデン層を積層した 2 層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した 2 層構造、窒化チタン層とモリブデン層とを積層した 2 層構造、又は窒化タングステン層とタングステン層とを積層した 2 層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

20

【0230】

次いで、ゲート電極層 391 上にゲート絶縁層 397 を形成する。

【0231】

ゲート絶縁層 397 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層 397 中に水素が極力含まれないようにするためには、スパッタリング法でゲート絶縁層 397 を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

30

【0232】

ゲート絶縁層 397 は、ゲート電極層 391 側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第 1 のゲート絶縁層としてスパッタリング法により膜厚 50 nm 以上 200 nm 以下の窒化シリコン層 (SiN_y ($y > 0$)) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 nm 以上 300 nm 以下の酸化シリコン層 (SiO_x ($x > 0$)) を積層して、例えば、膜厚 100 nm のゲート絶縁層とする。

40

【0233】

また、ゲート絶縁層 397、酸化物半導体膜 393 に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層 391 が形成された基板 394、又はゲート絶縁層 397 までが形成された基板 394 を予備加熱し、基板 394 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100 以上 400 以下好ましくは

50

150 以上300 以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、酸化物絶縁層396の成膜前であれば、図10(C)に示すソース電極層395a及びドレイン電極層395bまで形成した基板394にも同様に行ってもよい。

【0234】

次いで、ゲート絶縁層397上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜393をスパッタリング法により成膜する(図10(A)参照。)。

【0235】

なお、酸化物半導体膜393をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層397の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板付近にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0236】

酸化物半導体膜393は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜393をIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。具体的には、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol%] (すなわち、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom%])を用いる。他にも、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom%]、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom%]の組成比を有するターゲットを用いることもできる。なお、酸化物半導体ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。また、酸化物半導体膜393は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタリング法により形成することができる。また、ターゲットには、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

【0237】

減圧状態に保持された処理室内に基板を保持し、基板を室温又は400 未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板394上に酸化物半導体膜393を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、クライオポンプにより処理室内に残留する水分を除去しながらスパッタ成膜を行うことで、酸化物半導体膜393を成膜する際の基板温度は室温から400 未満とすることができる。

【0238】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。

【0239】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、直流電源を用いるDCスパッタリング法、さらにパルスのバイアスを与えるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0240】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置を用いてもよい。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0241】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置を用いてもよい。

10

【0242】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法を用いてもよい。

【0243】

次いで、酸化物半導体膜を第2のフォトリソグラフィ工程により島状の酸化物半導体層399に加工する(図10(B)参照。)。また、島状の酸化物半導体層399を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソマスクを使用しないため、製造コストを低減できる。

20

【0244】

また、ゲート絶縁層397にコンタクトホールを形成する場合、その工程は酸化物半導体層399の形成時に行うことができる。

【0245】

なお、ここでの酸化物半導体膜393のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0246】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

30

【0247】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、弗化硫黄(SF_6)、弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0248】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

40

【0249】

ウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水: 28重量%アンモニア水: 水 = 5: 2: 2)などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0250】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体に含まれるインジウム等の

50

材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0251】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0252】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層399及びゲート絶縁層397の表面に付着しているレジスト残渣などを除去することが好ましい。

【0253】

次いで、ゲート絶縁層397、及び酸化物半導体層399上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

10

20

【0254】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層395a、ドレイン電極層395bを形成した後、レジストマスクを除去する(図10(C)参照。)。

【0255】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層399上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

30

【0256】

なお、導電膜のエッチングの際に、酸化物半導体層399は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0257】

本実施の形態では、導電膜としてTi膜を用いて、酸化物半導体層399にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

40

【0258】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層399は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層395a、ドレイン電極層395bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0259】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過

50

した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0260】

また、レジストマスクを除去した後は、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理によって露出している酸化物半導体層399の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

10

【0261】

次に、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層として酸化物絶縁層396を形成する(図10(D)参照。)。前記プラズマ処理を行った場合は、プラズマ処理後に酸化物半導体層399を大気にさらすことなく、連続して酸化物絶縁層396を形成してもよい。なお、本実施の形態では、酸化物半導体層399がソース電極層395a、ドレイン電極層395bと重ならない領域において、酸化物半導体層399と酸化物絶縁層396とが接するように形成する。

【0262】

本実施の形態では、島状の酸化物半導体層399、ソース電極層395a、ドレイン電極層395bまで形成された基板394を室温又は100未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて、欠陥を含む酸化シリコン層を成膜し、酸化物絶縁層396とする。

20

【0263】

例えば、純度が6Nであり、ボロンがドーブされたシリコンターゲット(抵抗値0.01Ωcm)を用い、基板とターゲットの間との距離(T-S間距離)を89mm、圧力0.4Pa、直流(DC)電源6kW、酸素(酸素流量比率100%)雰囲気下でパルスDCスパッタリング法により成膜する。膜厚は300nmとする。なお、シリコンターゲットに代えて石英(好ましくは合成石英)を酸化シリコン膜を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

30

【0264】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層396を成膜することが好ましい。酸化物半導体層399及び酸化物絶縁層396に水素、水酸基、及び/又は水分が含まれないようにするためである。

【0265】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H_2O)など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層396に含まれる不純物の濃度を低減できる。

40

【0266】

なお、酸化物絶縁層396として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

【0267】

さらに、酸化物絶縁層396の形成後、酸化物絶縁層396と酸化物半導体層399とを接した状態で100乃至400で加熱処理を行ってもよい。本実施の形態における酸化物絶縁層396は欠陥を多く含むため、この加熱処理によって酸化物半導体層399中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層396に拡散さ

50

せ、酸化物半導体層 399 中に含まれる該不純物をより低減させることができる。

【0268】

以上の工程で、水素、水分、水酸基、及び / 又は水素化物の濃度が低減された酸化物半導体層 392 を有する薄膜トランジスタ 390 を形成することができる (図 10 (E) 参照。) 。

【0269】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0270】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層 398 を酸化物絶縁層 396 上に形成する。保護絶縁層 398 としては、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いる。

【0271】

保護絶縁層 398 として、酸化物絶縁層 396 まで形成された基板 394 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、酸化物絶縁層 396 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 398 を成膜することが好ましい。

【0272】

保護絶縁層 398 を形成する場合、保護絶縁層 398 の成膜時に 100 ~ 400 に基板 394 を加熱することで、酸化物半導体層中に含まれる水素、及び / または水分を酸化物絶縁層に拡散させることができる。この場合上記酸化物絶縁層 396 の形成後に加熱処理を行わなくてもよい。

【0273】

酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むエッチングガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にエッチングガスを窒素を含むエッチングガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理 (温度 100 乃至 400) を行うとよい。

【0274】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフ (n チャネル型トランジスタの場合、しきい値電圧が正の値となること) となる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

【0275】

また、ゲート絶縁層上にチャネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

【0276】

上記の工程は、液晶表示パネル、エレクトロルミネセンス表示パネル、電子インクを用いた表示装置などのバックプレーン（薄膜トランジスタが形成された基板）の製造に用いることができる。上記の工程は、400 以下の温度で行われるため、厚さが1mm以下で、一辺が1mを超えるガラス基板を用いる製造工程にも適用することができる。また、400 以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するために多大なエネルギーを消費しないで済む。

【0277】

以上のようにして作製された、酸化物半導体層を用いる薄膜トランジスタにおいてはオフ電流を低減することができる。そのため、このような薄膜トランジスタを液晶表示装置の表示部を構成する複数の画素に用いることによって、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。また静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

10

【0278】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0279】

（実施の形態6）

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を図11を用いて説明する。

20

【0280】

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ310は、実施の形態1の画素部1008の各画素に用いる薄膜トランジスタに用いることができる。

【0281】

図11（A）乃至（E）に薄膜トランジスタの断面構造の一例を示す。図11（A）乃至（E）に示す薄膜トランジスタ310は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0282】

また、薄膜トランジスタ310はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

30

【0283】

以下、図11（A）乃至（E）を用い、基板300上に薄膜トランジスタ310を作製する工程を説明する。

【0284】

まず、絶縁表面を有する基板300上に導電膜を成膜した後、第1のフォトリソグラフィ工程によりゲート電極層311を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソマスクを使用しないため、製造コストを低減できる。

40

【0285】

絶縁表面を有する基板300に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。

【0286】

例えば、基板300としてガラス基板を用いる場合には、後の加熱処理の温度が高い場合には、歪み点が730 以上のものを用いると良い。ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ酸と比較して酸化バリウム（BaO）を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 よりBaOを多く

50

含むガラス基板を用いることが好ましい

【0287】

なお、基板300としては、上記のガラス基板以外に、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラス基板などを用いることができる。

【0288】

下地膜となる絶縁膜を基板300とゲート電極層311との間に設けてもよい。下地膜は、基板300からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

10

【0289】

また、ゲート電極層311の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0290】

例えば、ゲート電極層311の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、銅層上にモリブデン層を積層した2層の積層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した2層の積層構造、窒化チタン層とモリブデン層とを積層した2層の積層構造、又は窒化タングステン層とタングステン層との2層の積層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムと珪素の合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。

20

【0291】

次いで、ゲート電極層311上にゲート絶縁層302を形成する。

【0292】

ゲート絶縁層302は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層302の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

30

【0293】

本実施の形態では、ゲート絶縁層302としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0294】

次いで、ゲート絶縁層302上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜330をスパッタ法により形成する。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。この段階での断面図が図11(A)に相当する。

40

【0295】

なお、酸化物半導体膜330をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層302の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気にて窒素、ヘリウム、酸素などを用いてもよい。

【0296】

酸化物半導体膜330は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜330

50

として $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系酸化物半導体ターゲットを用いてスパッタ法により成膜する。具体的には、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol %] (すなわち、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom %]) を用いる。他にも、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom %]、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom %] の組成比を有するターゲットを用いることもできる。なお、酸化物半導体ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。また、ターゲットには、 SiO_2 を2重量%以上10重量%以下含ませてもよい。

スパッタリングの雰囲気は希ガス(代表的にはアルゴン)、酸素、あるいは希ガスと酸素の混合雰囲気とすればよい。

【0297】

酸化物半導体膜330を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは、10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0298】

スパッタリングは、減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下でおこなう。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板300上に酸化物半導体膜330を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0299】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。

【0300】

次いで、酸化物半導体膜330を第2のフォトリソグラフィ工程により島状の酸化物半導体層331に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0301】

次いで、酸化物半導体層331に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層331の脱水化及び/または脱水素化を行うことができる。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、室温まで温度を下げ、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層331を得る(図11(B)参照。)。

【0302】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置、

10

20

30

40

50

Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【0303】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す GRTA を行ってもよい。GRTA を用いると短時間での高温加熱処理が可能となる。

10

【0304】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0305】

第1の加熱処理の結果、酸化物半導体層331中に含まれていた水素等は除去されるが、同時に酸素欠損も生じるので、n型の半導体(低抵抗化した半導体)となる。また、酸化物半導体層331は、第1の加熱処理の条件、またはその材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体膜となる場合もある。また、酸化物半導体層331は、第1の加熱処理の条件、またはその材料によっては、結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体膜となる場合もある。

20

【0306】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜330に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

30

【0307】

酸化物半導体層に対する脱水化、及び/または脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上に保護絶縁膜を形成した後、のいずれで行っても良い。

【0308】

また、ゲート絶縁層302にコンタクトホールを形成する場合、その工程は酸化物半導体膜330あるいは酸化物半導体層331に脱水化及び/または脱水素化処理を行う前でも行った後に行ってもよい。

40

【0309】

なお、ここでの酸化物半導体膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0310】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0311】

次いで、ゲート絶縁層302、及び酸化物半導体層331上に、導電膜を成膜する。導電膜はスパッタ法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金

50

か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれかーまたは複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

【0312】

導電膜成膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0313】

次に、第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層315a、ドレイン電極層315bを形成した後、レジストマスクを除去する(図11(C)参照。)。

【0314】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層331上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

【0315】

なお、導電膜のエッチングの際に、酸化物半導体層331は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0316】

本実施の形態では、導電膜としてTi膜を用いて、酸化物半導体層331にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0317】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層331は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層315a、ドレイン電極層315bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0318】

また、酸化物半導体層とソース電極層及びドレイン電極層の間に、酸化物導電層を形成してもよい。酸化物導電層とソース電極層及びドレイン電極層を形成するための金属層は、連続成膜が可能である。酸化物導電層はソース領域及びドレイン領域として機能しうる。

【0319】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作をすることができる。

【0320】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過

10

20

30

40

50

した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができる、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0321】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

10

【0322】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層316を形成する。

【0323】

酸化物絶縁層316は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層316に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層316に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルがN型化（低抵抗化）してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層316はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

20

【0324】

本実施の形態では、酸化物絶縁層316として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を成膜することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層316は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

30

【0325】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層316を成膜することが好ましい。酸化物半導体層331及び酸化物絶縁層316に水素、水酸基、及び/又は水分が含まれないようにするためである。

【0326】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水（ H_2O ）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層316に含まれる不純物の濃度を低減できる。

40

【0327】

酸化物絶縁層316を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは、10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0328】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは2

50

00 以上400 以下、例えば250 以上350 以下)を行う。例えば、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャンネル形成領域)が酸化物絶縁層316と接した状態で加熱される。

【0329】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化及び/または脱水素化のための加熱処理を行ったため低抵抗化した酸化物半導体膜の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層311と重なるチャンネル形成領域313はI型となり、ソース電極層315aに重なり、低抵抗な酸化物半導体よりなる高抵抗ソース領域314aと、ドレイン電極層315bに重なり、低抵抗な酸化物半導体よりなる高抵抗ドレイン領域314bとが自己整合的に形成される。以上の工程で薄膜トランジスタ310が形成される(図11(D)参照。)

10

【0330】

さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。また、酸化物絶縁層に欠陥を多く含む酸化シリコン層を用いると、この加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

20

【0331】

なお、ドレイン電極層315b(及びソース電極層315a)と重畳した酸化物半導体層において高抵抗ドレイン領域314b(又は高抵抗ソース領域314a)を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域314bを形成することで、ドレイン電極層315bから高抵抗ドレイン領域314b、チャンネル形成領域313にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層315bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層311とドレイン電極層315bとの間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

30

【0332】

また、酸化物半導体層における高抵抗ソース領域又は高抵抗ドレイン領域は、酸化物半導体層の膜厚が15nm以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が30nm以上50nm以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化し高抵抗ソース領域又は高抵抗ドレイン領域が形成され、酸化物半導体層においてゲート絶縁膜に近い領域はI型とすることもできる。

40

【0333】

酸化物絶縁層316上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層303を、窒化シリコン膜を用いて形成する(図11(E)参照。)

【0334】

本実施の形態では、保護絶縁層303として、酸化物絶縁層316まで形成された基板3

50

00を100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、酸化物絶縁層316と同様に、処理室内の残留水分を除去しつつ保護絶縁層303を成膜することが好ましい。

【0335】

保護絶縁層303上に平坦化のための平坦化絶縁層を設けてもよい。

【0336】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。また静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

10

【0337】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

【0338】

(実施の形態7)

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図12を用いて説明する。

20

【0339】

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ360は、実施の形態1の画素部1008の各画素に用いる薄膜トランジスタに用いることができる。

【0340】

図12(A)乃至(D)に薄膜トランジスタのび断面構造の一例を示す。図12(A)乃至(D)に示す薄膜トランジスタ360は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0341】

また、薄膜トランジスタ360はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

30

【0342】

以下、図12(A)乃至(D)を用い、基板320上に薄膜トランジスタ360を作製する工程を説明する。

【0343】

まず、絶縁表面を有する基板320上に導電膜を形成した後、第1のフォトリソグラフィ工程によりレジストマスクを形成し、それを用いて、導電膜を選択的にエッチングして、ゲート電極層361を形成する。その後、レジストマスクは除去する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0344】

また、ゲート電極層361の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0345】

次いで、ゲート電極層361上にゲート絶縁層322を形成する。

【0346】

本実施の形態では、ゲート絶縁層322としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

50

【0347】

次いで、ゲート絶縁層322上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。

【0348】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

【0349】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H₂O)など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

10

【0350】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは、10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0351】

次いで、酸化物半導体層の脱水化及び/または脱水素化を行う。脱水化及び/または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層332を得る(図12(A)参照。)。

20

【0352】

次いで、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

30

【0353】

次いで、ゲート絶縁層322、及び酸化物半導体層332上に、酸化物絶縁層を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層366を形成した後、レジストマスクを除去する。

【0354】

本実施の形態では、酸化物絶縁層366として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。酸化物半導体層に接して形成する酸化物絶縁層366は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

40

【0355】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層366を成膜することが好ましい。酸化物半導体層332及び酸化物絶縁層366に水素、水酸基、及び/又は水分が含まれないようにするためである。

【0356】

50

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水 (H_2O) など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 366 に含まれる不純物の濃度を低減できる。

【0357】

酸化物絶縁層 366 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1 ppm 以下、好ましくは、10 ppb 以下まで除去された高純度ガスを用いることが好ましい。

10

【0358】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200 以上400 以下、例えば250 以上350 以下）を行ってもよい。例えば、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層 366 と接した状態で加熱される。

【0359】

本実施の形態は、さらに酸化物絶縁層 366 が設けられ一部が露出している酸化物半導体層 332 を、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行う。酸化物絶縁層 366 によって覆われていない露出された酸化物半導体層 332 の領域は、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、低抵抗化することができる。例えば、窒素雰囲気下で250 、1時間の加熱処理を行う。

20

【0360】

酸化物絶縁層 366 が設けられた酸化物半導体層 332 に対する窒素雰囲気下の加熱処理によって、酸化物半導体層 332 の露出領域は低抵抗化し、抵抗の異なる領域（図12（B）においては斜線領域及び白地領域で示す）を有する酸化物半導体層 362 となる。

【0361】

次いで、ゲート絶縁層 322、酸化物半導体層 362、及び酸化物絶縁層 366 上に、導電膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層 365a、ドレイン電極層 365b を形成した後、レジストマスクを除去する（図12（C）参照。）。

30

【0362】

ソース電極層 365a、ドレイン電極層 365b の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。

【0363】

以上の工程を経ることによって、酸化物半導体膜の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層 361 と重なるチャネル形成領域 363 は、I 型となり、ソース電極層 365a に重なる高抵抗ソース領域 364a と、ドレイン電極層 365b に重なる高抵抗ドレイン領域 364b とが自己整合的に形成される。以上の工程で薄膜トランジスタ 360 が形成される。

40

【0364】

さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができ

50

る。よって液晶表示装置の信頼性を向上できる。

【0365】

なお、ドレイン電極層365b（及びソース電極層365a）と重畳した酸化物半導体層において、低抵抗化した酸化物半導体よりなる高抵抗ドレイン領域364b（又は高抵抗ソース領域364a）を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域364bを形成することで、ドレイン電極層から高抵抗ドレイン領域364b、チャネル形成領域363にかけて、導電性を段階的に変化させうるような構造とすることができる。そのため、ドレイン電極層365bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層361とドレイン電極層365bとの間に高電圧が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じにくく、トランジスタの耐圧を向上させた構成とすることができる。

10

【0366】

ソース電極層365a、ドレイン電極層365b、酸化物絶縁層366上に保護絶縁層323を形成する。本実施の形態では、保護絶縁層323を、窒化珪素膜を用いて形成する（図12（D）参照。）。

【0367】

なお、ソース電極層365a、ドレイン電極層365b、酸化物絶縁層366上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層323を積層してもよい。

【0368】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。また静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

20

【0369】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0370】

（実施の形態8）

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ350は、実施の形態1の画素部1008の各画素に用いる薄膜トランジスタに用いることができる。

30

【0371】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図13を用いて説明する。

【0372】

また、薄膜トランジスタ350はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

40

【0373】

以下、図13（A）乃至（D）を用い、基板340上に薄膜トランジスタ350を作製する工程を説明する。

【0374】

まず、絶縁表面を有する基板340上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層351を形成する。本実施の形態では、ゲート電極層351として、膜厚150nmのタングステン膜を、スパッタ法を用いて形成する。

【0375】

次いで、ゲート電極層351上にゲート絶縁層342を形成する。本実施の形態では、ゲ

50

ート絶縁層 342 としてプラズマ CVD 法により膜厚 100 nm 以下の酸化窒化珪素層を形成する。

【0376】

次いで、ゲート絶縁層 342 に、導電膜を形成し、第 2 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 355a、ドレイン電極層 355b を形成した後、レジストマスクを除去する（図 13（A）参照。）。）。。

【0377】

次に酸化物半導体膜 345 を形成する（図 13（B）参照。）。本実施の形態では、酸化物半導体膜 345 として In - Ga - Zn - O 系酸化物半導体ターゲットを用いてスパッタ法により成膜する。酸化物半導体膜 345 を第 3 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

10

【0378】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜 345 を成膜することが好ましい。酸化物半導体膜 345 に水素、水酸基又は水分が含まれないようにするためである。

【0379】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水（H₂O）など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜 345 に含まれる不純物の濃度を低減できる。

20

【0380】

酸化物半導体膜 345 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1 ppm 以下、好ましくは、10 ppb 以下まで除去された高純度ガスを用いることが好ましい。

【0381】

次いで、酸化物半導体層の脱水化及び／または脱水素化を行う。脱水化及び／または脱水素化を行う第 1 の加熱処理の温度は、400 以上 750 以下、好ましくは 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において 1 時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層 346 を得る（図 13（C）参照。）。）。。

30

【0382】

また、第 1 の加熱処理として、650 ～ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す GRTA を行ってもよい。GRTA を用いると短時間での高温加熱処理が可能となる。

【0383】

酸化物半導体層 346 に接する保護絶縁膜となる酸化物絶縁層 356 を形成する。

40

【0384】

酸化物絶縁層 356 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、酸化物絶縁層 356 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層 356 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが N 型化（低抵抗化）してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層 356 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0385】

50

本実施の形態では、酸化物絶縁層 356 として膜厚 200 nm の酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を成膜することができる。酸化物半導体層に接して形成する酸化物絶縁層 356 は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

10

【0386】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 356 を成膜することが好ましい。酸化物半導体層 346 及び酸化物絶縁層 356 に水素、水酸基、及び/又は水分が含まれないようにするためである。

【0387】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H₂O)など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 356 に含まれる不純物の濃度を低減できる。

20

【0388】

酸化物絶縁層 356 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1 ppm 以下、好ましくは、10 ppb 以下まで除去された高純度ガスを用いることが好ましい。

【0389】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200 以上400 以下、例えば250 以上350 以下）を行う。例えば、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層 356 と接した状態で加熱される。

30

【0390】

以上の工程を経ることによって、酸化物半導体膜を酸素過剰な状態とする。その結果、I型の酸化物半導体層 352 が形成される。以上の工程で薄膜トランジスタ 350 が作製される。

【0391】

さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

40

【0392】

酸化物絶縁層 356 上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。本実施の形態では、保護絶縁層として保護絶縁層 343 を、窒化珪素膜を用いて形成する（図13（D）参照。）。

【0393】

保護絶縁層 343 上に平坦化のための平坦化絶縁層を設けてもよい。

【0394】

50

以上のようにして得られた酸化物半導体層を用いる薄膜トランジスタはオフ電流を低減することができる。そのため、これらの薄膜トランジスタを液晶表示装置の表示部を構成する複数の画素に用いることによって、保持容量で電圧を保持できる期間を長く取ることができる。また、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。また、静止画の表示をする際制御信号を停止することによりさらなる低消費電力化を図ることができる。また、静止画と動画像との切り替えを誤動作なく行うことができる。

【0395】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

10

【0396】

(実施の形態9)

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態6と異なる例を図14に示す。図14は、図11と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0397】

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ380は、実施の形態1の画素部1008の各画素に用いる薄膜トランジスタに用いることができる。

20

【0398】

実施の形態6に従って、基板370上にゲート電極層381を形成し、第1のゲート絶縁層372a、第2のゲート絶縁層372bを積層する。本実施の形態では、ゲート絶縁層を2層構造とし、第1のゲート絶縁層372aに窒化物絶縁層を、第2のゲート絶縁層372bに酸化物絶縁層を用いる。

【0399】

酸化絶縁層としては、酸化シリコン層、酸化窒化シリコン層、または酸化アルミニウム層、又は酸化窒化アルミニウム層などを用いることができる。また、窒化絶縁層としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などを用いることができる。

30

【0400】

本実施の形態では、ゲート電極層381側から窒化シリコン層と酸化シリコン層とを積層した構造とする。第1のゲート絶縁層372aとしてスパッタリング法により膜厚50nm以上200nm以下(本実施の形態では50nm)の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層372a上に第2のゲート絶縁層372bとして膜厚5nm以上300nm以下(本実施の形態では100nm)の酸化シリコン層(SiO_x ($x > 0$))を積層して、例えば、膜厚150nmのゲート絶縁層とする。

【0401】

次に酸化物半導体膜の成膜を行い、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。

40

【0402】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

【0403】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H_2O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

50

【0404】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは、10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0405】

次いで、酸化物半導体層の脱水化及び／または脱水素化を行う。脱水化及び／または脱水素化を行う第1の加熱処理の温度は、400 以上基板の750 以下、好ましくは425 以上とする。なお、425 以上であれば加熱処理時間は1時間以下でよいが、425 未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア（露点が-40 以下、好ましくは-60 以下）を導入して冷却を行う。酸素ガスまたはN₂Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち酸素ガスまたはN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

10

【0406】

なお、加熱処理装置は電気炉に限られず、例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。また、LRTA装置、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。GRTAとは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、及び／または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。RTA法を用いて、600 ~ 750 で数分間加熱処理を行ってもよい。

20

【0407】

また、脱水化及び／または脱水素化を行う第1の加熱処理後に200 以上400 以下、好ましくは200 以上300 以下の温度で酸素ガスまたはN₂Oガス雰囲気下での加熱処理を行ってもよい。

30

【0408】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0409】

以上の工程を経ることによって酸化物半導体膜全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。よって、全体がI型化した酸化物半導体層382を得る。

40

【0410】

次いで、酸化物半導体層382上に、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層385a、ドレイン電極層385bを形成し、スパッタ法で酸化物絶縁層386を成膜する。

【0411】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層386を成膜することが好ましい。酸化物半導体層382及び酸化物絶縁層386に水素、水酸基、及び／又は水分が含まれないようにするためである。

【0412】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。

50

例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水 (H_2O) など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 386 に含まれる不純物の濃度を低減できる。

【0413】

酸化物絶縁層 386 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1 ppm 以下、好ましくは、10 ppb 以下まで除去された高純度ガスを用いることが好ましい。

【0414】

以上の工程で、薄膜トランジスタ 380 を作製することができる。

【0415】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理（好ましくは 150 以上 350 未満）を行ってもよい。例えば、窒素雰囲気下で 250 、1 時間の加熱処理を行う。

【0416】

また、大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

【0417】

酸化物絶縁層 386 上に保護絶縁層 373 を形成する。本実施の形態では、保護絶縁層 373 として、スパッタリング法を用いて膜厚 100 nm の窒化珪素膜を成膜する。

【0418】

窒化物絶縁層からなる保護絶縁層 373 及び第 1 のゲート絶縁層 372 a は、水分や、水素や、水素化物、水酸化物などの不純物を含まず、これらが外部から侵入することをブロックする効果がある。

【0419】

従って、保護絶縁層 373 形成後の製造プロセスにおいて、外部からの水分などの不純物の侵入を防ぐことができる。また、液晶表示装置としてデバイスが完成した後にも長期的に、外部からの水分などの不純物の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

【0420】

また、窒化物絶縁層からなる保護絶縁層 373 と、第 1 のゲート絶縁層 372 a との間に設けられる絶縁層を除去し、保護絶縁層 373 と、第 1 のゲート絶縁層 372 a とが接する構造としてもよい。

【0421】

従って、酸化物半導体層中の水分や、水素や、水素化物、水酸化物などの不純物を低減し、かつ該不純物の混入を防止し、酸化物半導体層中の不純物濃度を低く維持することができる。

【0422】

保護絶縁層 373 上に平坦化のための平坦化絶縁層を設けてもよい。

【0423】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を

10

20

30

40

50

図ることができる液晶表示装置とすることができる。また静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

【0424】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

【0425】

(実施の形態10)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタは、実施の形態1の薄膜トランジスタ105として用いることができる実施の形態2乃至8の薄膜トランジスタに適用することができる。

10

【0426】

本実施の形態では、ゲート電極層、ソース電極層及びドレイン電極層に透光性を有する導電材料を用いる例を示す。従って、他は上記実施の形態と同様に行うことができ、上記実施の形態と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【0427】

例えば、ゲート電極層、ソース電極層、ドレイン電極層の材料として、可視光に対して透光性を有する導電材料、例えばIn-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができ、膜厚は50nm以上300nm以下の範囲内で適宜選択する。ゲート電極層、ソース電極層、ドレイン電極層に用いる金属酸化物の成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害するSiO_x($x > 0$)を含ませ、後の工程で行う加熱処理の際に結晶化してしまうのを抑制することが好ましい。

20

【0428】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー(EPMA:Electron Probe X-ray MicroAnalyzer)を用いた分析により評価するものとする。

30

【0429】

また、薄膜トランジスタが配置される画素には、画素電極層、またはその他の電極層(容量電極層など)や、その他の配線層(容量配線層など)に可視光に対して透光性を有する導電膜を用いると、高開口率を有する表示装置を実現することができる。勿論、画素に存在するゲート絶縁層、酸化物絶縁層、保護絶縁層、平坦化絶縁層も可視光に対して透光性を有する膜を用いることが好ましい。

【0430】

本明細書において、可視光に対して透光性を有する膜とは可視光の透過率が75~100%である膜厚を有する膜を指し、その膜が導電性を有する場合は透明の導電膜とも呼ぶ。また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に適用する金属酸化物として、可視光に対して半透明の導電膜を用いてもよい。可視光に対して半透明とは可視光の透過率が50~75%であることを指す。

40

【0431】

薄膜トランジスタに透光性を持たせると、開口率を向上させることができる。特に10インチ以下の小型の液晶表示パネルにおいて、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、高い開口率を実現することができる。

50

また、薄膜トランジスタの構成部材に透光性を有する膜を用いることで、広視野角を実現するため、1画素を複数のサブピクセルに分割しても高い開口率を実現することができる。即ち、高密度の薄膜トランジスタ群を配置しても開口率を大きくとることができ、表示領域の面積を十分に確保することができる。例えば、一つの画素内に2～4個のサブピクセルを有する場合、薄膜トランジスタが透光性を有するため、開口率を向上させることができる。また、薄膜トランジスタの構成部材と同工程で同材料を用いて保持容量を形成すると、保持容量も透光性とすることができるため、さらに開口率を向上させることができる。

【0432】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

10

【0433】

(実施の形態11)

液晶表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図15を用いて説明する。図15は、第1の基板4001上に形成された薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図15(B)は、図15(A)または図15(C)のM-Nにおける断面図に相当する。

【0434】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上には第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

20

【0435】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG法、ワイヤボンディング法、或いはTAB法などを用いることができる。図15(A)は、COG法により信号線駆動回路4003を実装する例であり、図15(C)は、TAB法により信号線駆動回路4003を実装する例である。

30

【0436】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図15(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041、4042、4020、4021が設けられている。

【0437】

薄膜トランジスタ4010、4011は、実施の形態2乃至9のいずれか一の薄膜トランジスタを適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ4010、4011の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ4010、4011は信頼性の高い薄膜トランジスタである。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

40

【0438】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層

50

4040の電位がGND、0V、或いはフローティング状態であってもよい。

【0439】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010のソース電極層又はドレイン電極層と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0440】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。

【0441】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0442】

液晶材料は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0443】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【0444】

また、液晶材料の固有抵抗は、 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{13} \Omega \cdot \text{cm}$ を超えていることであり、さらに好ましくは $1 \times 10^{14} \Omega \cdot \text{cm}$ を超えていることが好ましい要件となる。なお、当該液晶材料を用いて液晶セルを構成した場合の抵抗は、配向膜及びシール材からの不純物が混入する可能性もあり、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、より好ましくは $1 \times 10^{12} \Omega \cdot \text{cm}$ を超えていることが好ましい要件となる。また、本明細書における固有抵抗の値は、20で測定した値とする。

【0445】

液晶材料の固有抵抗が大きいほど液晶材料を介して漏れる電荷を減らすことができ、液晶

10

20

30

40

50

素子の動作状態を保持する電圧が経時的に低下する現象を緩和できる。その結果、保持期間を長くとれるため、信号の書き込みを行う頻度を低減でき、表示装置の低消費電力化を図ることができる。

【0446】

なお透過型液晶表示装置の他に、半透過型液晶表示装置又は反射型液晶表示装置でも適用できる。また、本実施の形態の表示装置は、液晶表示装置に限定されず、表示素子としてエレクトロルミネッセンス素子（EL素子ともいう）などの発光素子を用いたEL表示装置であってもよい。

【0447】

また、液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

10

【0448】

薄膜トランジスタ4011、4010上には、酸化物半導体層に接して絶縁層4041が形成されている。絶縁層4041は実施の形態2で示した酸化物絶縁層416と同様な材料及び方法で形成すればよい。ここでは、絶縁層4041として、実施の形態2を用いてスパッタリング法により酸化シリコン層を形成する。また、絶縁層4041上に接して保護絶縁層4042を形成する。また、保護絶縁層4042は実施の形態2で示した保護絶縁層403と同様に形成すればよく、例えば窒化シリコン膜を用いることができる。また、保護絶縁層4042上に薄膜トランジスタ起因の表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。

20

【0449】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

30

【0450】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく液晶表示装置を作製することが可能となる。

【0451】

画素電極層4030、対向電極層4031は、インジウム錫酸化物（ITO）、酸化インジウムに酸化亜鉛（ZnO）を混合したIZO（indium zinc oxide）、酸化インジウムに酸化珪素（SiO₂）を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、などの透光性を有する透光性の導電性材料を用いることができる。または反射型の液晶表示装置において、透光性を有する必要がない、または反射性を有する必要がある場合は、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

40

【0452】

50

また、画素電極層 4030、対向電極層 4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長 550nm における透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0453】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0454】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0455】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0456】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0457】

また図15においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0458】

また、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0459】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが表示される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0460】

また、薄膜トランジスタは静電気などにより破壊されやすいため、さらに画素部または駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路は、走査線、信号線または容量バス線と共通配線との間に並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子及び/又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタと同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

【0461】

また、液晶表示モジュールには、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field

10

20

30

40

50

d Switching)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

【0462】

このように、本明細書に開示される液晶表示装置としては、特に限定されず、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、ディスプレイ液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置とすることが好ましい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASVモードなどを用いることができる。

10

【0463】

また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

20

【0464】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0465】

(実施の形態12)

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【0466】

図16(A)は携帯型遊技機であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、記録媒体読込部9672、等を有することができる。図16(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図16(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【0467】

図16(B)はデジタルカメラであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、シャッターボタン9676、受像部9677、等を有することができる。図16(B)に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図16(B)に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

40

【0468】

図16(C)はテレビ受像器であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、等を有することができる。図16(C)に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図16(C)に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

50

【0469】

図17(A)はコンピュータであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、ポインティングデバイス9681、外部接続ポート9680等を有することができる。図17(A)に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図17(A)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0470】

次に、図17(B)は携帯電話であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、マイクロフォン9638等を有することができる。図17(B)に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図17(B)に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【0471】

次に、図17(C)は電子ペーパー（E-bookともいう）であり、筐体9630、表示部9631、操作キー9635等を有することができる。図17(C)に示した電子ペーパーは、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図17(C)に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。

【0472】

本実施の形態において述べた電子機器は、表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置を具備する電子機器とすることができる。また静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

【0473】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0474】

（実施の形態13）

本実施の形態では、酸化物半導体を用いたボトムゲート型のトランジスタの動作原理について説明する。

【0475】

図19は、酸化物半導体を用いた逆スタガ型の絶縁ゲート型トランジスタの断面図である。ゲート電極（G1）上にゲート絶縁膜（GI1）を介して酸化物半導体層（OS）が設けられ、その上にソース電極（S）及びドレイン電極（D）が設けられている。さらに、ソース電極（S）及びドレイン電極（D）上に第2のゲート絶縁膜（GI2）と、その上に第2のゲート電極（G2）を設けた構造となっている。G2は接地電位に保たれている。

【0476】

以下では、エネルギーバンド図を用いて説明するが、ここで示すエネルギーバンド図は理解しやすくするために可能な限り簡略化しており、厳密なものではないことを断っておく。図20は、図19に示すA-A'断面におけるエネルギーバンド図（模式図）である。

図 20 (A) はゲート、ソースおよびドレインの間の電圧を等電位 ($V_D = 0 \text{ V}$) とした場合を示し、図 20 (B) はソースに対しゲートとドレインに正の電位 ($V_D > 0$) を加えた場合を示す。

【0477】

図 21 は、図 19 における B - B' の断面におけるエネルギーバンド図 (模式図) である。図 21 (A) はゲート (G1) に正の電位 ($+V_G$) が印加された状態であり、ソースとドレイン間にキャリア (電子) が流れるオン状態を示している。また、図 21 (B) は、ゲート (G1) に負の電位 ($-V_G$) が印加された状態であり、オフ状態 (少数キャリアは流れない) である場合を示す。

【0478】

図 22 は、真空準位と金属の仕事関数 (ϕ_M)、酸化物半導体の電子親和力 (χ) の関係を示す。

【0479】

金属は縮退しているため、伝導帯とフェルミ準位とは一致する。一方、従来の酸化物半導体は一般的に n 型であり、その場合のフェルミ準位 (E_f) は、バンドギャップ中央に位置する真性フェルミ準位 (E_i) から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素はドナーであり n 型化する一つの要因であることが知られている。

【0480】

これに対して本発明に係る酸化物半導体は、n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 (I 型) とし、又は実質的に真性型としたものである。すなわち、不純物を添加して I 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された I 型 (真性半導体) 又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位 (E_f) は真性フェルミ準位 (E_i) と同じレベルにまですることができ。

【0481】

酸化物半導体のバンドギャップ (E_g) が 3.15 eV である場合、電子親和力 (χ) は 4.3 eV と言われている。ソース電極及びドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 (χ) とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0482】

すなわち、金属の仕事関数 (ϕ_M) と酸化物半導体の電子親和力 (χ) が等しい場合、両者が接触すると図 20 (A) で示すようなエネルギーバンド図 (模式図) が示される。

【0483】

図 20 (B) において黒丸 (●) は電子を示し、ゲート及びドレインに正の電位が印加されると、電子はバリア (h) をこえて酸化物半導体に注入され、ドレインに向かって流れる。この場合、バリア (h) の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加された場合には、電圧印加のない図 20 (A) のバリアの高さすなわちバンドギャップ (E_g) の $1/2$ よりもバリアの高さ (h) は小さい値となる。

【0484】

このとき酸化物半導体に注入された電子は、図 21 (A) で示すように酸化物半導体中を流れる。また、図 21 (B) において、ゲート電極 (G1) に負の電位 (逆バイアス) が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0485】

例えば、上記のように絶縁ゲート型トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13} A 以下であり、サブスレッショルドスイング値 (S 値) が 0.1 V/dec (ゲート絶縁膜厚 100 nm) が得られる。

【0486】

なお、シリコン半導体の真性キャリア密度は $1.45 \times 10^{10} / \text{cm}^3$ (300 K) で

10

20

30

40

50

あり、室温においてもキャリアが存在している。これは、室温においても、熱励起キャリアが存在していることを意味している。実用的にはリン又はホウ素などの不純物が添加されたシリコンウエハが使用される。また、いわゆる真性シリコンウエハと言っても、意図的に制御できない不純物が存在するので、実際には $1 \times 10^{14} / \text{cm}^3$ 以上のキャリアがシリコン半導体に存在し、これがソース - ドレイン間の伝導に寄与する。さらに、シリコン半導体のバンドギャップは 1.12 eV であるので、シリコン半導体を用いたトランジスタは温度に依存してオフ電流が大きく変動することとなる。

【0487】

従って、単にバンドギャップの広い酸化物半導体をトランジスタに適用するのではなく、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、キャリア密度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下となるようにすることで、実用的な動作温度で熱的に励起されるキャリアを排除して、ソース側から注入されるキャリアのみによってトランジスタを動作させることができる。それにより、オフ電流を $1 \times 10^{-13} [\text{A}]$ 以下にまで下げると共に、温度変化によってオフ電流がほとんど変化しない極めて安定に動作するトランジスタを得ることができる。

10

【0488】

本発明の技術思想は、酸化物半導体中に、更に加えることをせずに逆に不本意に存在する水、水素という不純物を除去することにより、酸化物半導体自体を高純度化することにある。すなわち、ドナー準位を構成する水または水素を除去することにより、更に酸素欠損を除去するために酸素を十分に供給することにより、酸化物半導体自体を高純度化することを特徴としている。

20

【0489】

酸化物半導体は成膜直後ですら $10^{20} / \text{cm}^3$ のレベルの水素が SIMS (二次イオン質量分析) で観察される。このドナー準位という不純物を作る水または水素を意図的に除去し、更に水または水素の除去に伴い同時に減少してしまう酸素 (酸化物半導体の成分の一つ) を酸化物半導体に加えることにより、酸化物半導体を高純度化し、電氣的に I 型 (真性) 半導体とすることを技術思想の一つとしている。

【0490】

結果として、水素の量は少なければ少ないほど良く、酸化物半導体中のキャリアも少なければ少ないほど良い。酸化物半導体は、絶縁ゲート型トランジスタに用いる場合に半導体としてのキャリアを意図的に有するというよりも、逆に酸化物半導体のキャリアは無くしてしまい、半導体としてはキャリアを通過させる通路としての意味を与えた、いわゆる高純度化した I 型 (真性) 半導体である。

30

【0491】

その結果、酸化物半導体中にキャリアが無い、または極めて少なくさせることにより、絶縁ゲート型トランジスタのオフ電流が少なくなるというのが本発明の一態様における技術思想である。すなわち、その指標として水素は $1 \times 10^{16} / \text{cm}^3$ 以下、またキャリア密度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下が求められる。本発明の技術思想的には、ゼロまたはゼロに近いことが理想である。

【0492】

また結果として、酸化物半導体は通路 (パス) として機能し、酸化物半導体自体がキャリアを有さない、または極めて少ないように高純度化した I 型 (真性) とし、キャリアはソース側となる電極より供給される。供給の程度は、酸化物半導体の電子親和力 χ 、フェルミレベル、理想的には真性フェルミレベルと一致したフェルミレベル、及びソース、ドレインの電極の仕事関数、より導かれる、バリアハイト (障壁高さ) で決められる。

40

【0493】

このため、オフ電流は少なければ少ないほど良く、 $1 \sim 10 \text{ V}$ の間のいずれかのドレイン電圧を印加しての絶縁ゲート型トランジスタ特性において、単位チャネル幅あたりの電流が $100 \text{ aA} / \mu\text{m}$ (すなわち、測定される電流を薄膜トランジスタのチャネル幅 (単位: μm) で除した数値) 以下、好ましくは $10 \text{ aA} / \mu\text{m}$ 以下、さらに好ましくは 1 aA

50

/ μm 以下であることを特徴の一つとしている。

【0494】

(実施の形態14)

本実施の形態では、評価用素子(TEGとも呼ぶ)を用いたオフ電流の測定値について以下に説明する。

【0495】

図23に $L/W = 3\mu\text{m}/50\mu\text{m}$ の薄膜トランジスタを200個並列に接続し、 $L/W = 3\mu\text{m}/10000\mu\text{m}$ の薄膜トランジスタの初期特性を示す。また、上面図を図24(A)に示し、その一部を拡大した上面図を図24(B)に示す。図24(B)の点線で囲んだ領域が $L/W = 3\mu\text{m}/50\mu\text{m}$ 、 $L_{ov} = 1.5\mu\text{m}$ の1段分の薄膜トランジスタである。薄膜トランジスタの初期特性を測定するため、基板温度を室温とし、ソース・ドレイン間電圧(以下、ドレイン電圧または V_d という)を10Vとし、ソース・ゲート間電圧(以下、ゲート電圧または V_g という)を-20V~+20Vまで変化させたときのソース・ドレイン電流(以下、ドレイン電流または I_d という)の変化特性、すなわち V_g-I_d 特性を測定した。なお、図23では、 V_g を-20V~+5Vまでの範囲で示している。

10

【0496】

図23に示すようにチャネル幅 W が $10000\mu\text{m}$ の薄膜トランジスタは、 V_d が1V及び10Vにおいてオフ電流は $1 \times 10^{-13} [\text{A}]$ 以下となっており、測定機(半導体パラメータ・アナライザ、Agilent 4156C; Agilent社製)の分解能(

20

【0497】

測定した薄膜トランジスタの作製方法について説明する。

【0498】

まず、ガラス基板上に下地層として、CVD法により窒化珪素層を形成し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極層としてスパッタ法によりタングステン層を形成した。ここで、タングステン層を選択的にエッチングしてゲート電極層を形成した。

【0499】

次に、ゲート電極層上にゲート絶縁層としてCVD法により厚さ100nmの酸化窒化珪素層を形成した。

30

【0500】

次に、ゲート絶縁層上に、スパッタ法によりIn-Ga-Zn-O系酸化物半導体ターゲット(モル数比で、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$)を用いて、厚さ50nmの酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0501】

次に、酸化物半導体層をクリーンオープンにて窒素雰囲気下、450℃、1時間の第1の熱処理を行った。

【0502】

次に、酸化物半導体層上にソース電極層及びドレイン電極層としてチタン層(厚さ150nm)をスパッタ法により形成した。ここで、ソース電極層及びドレイン電極層を選択的にエッチングし、1つの薄膜トランジスタのチャネル長 L が $3\mu\text{m}$ 、チャネル幅 W が $50\mu\text{m}$ とし、200個を並列とすることで、 $L/W = 3\mu\text{m}/10000\mu\text{m}$ となるようにした。

40

【0503】

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタ法により酸化珪素層を膜厚300nmで形成した。ここで、保護層である酸化珪素層を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。その後、窒素雰囲気下、250℃で1時間、第2の熱処理を行った。

50

【0504】

そして、 $V_g - I_d$ 特性を測定する前に150、10時間の加熱を行った。

【0505】

以上の工程により、ボトムゲート型の薄膜トランジスタを作製した。

【0506】

図23に示すように薄膜トランジスタが、 1×10^{-13} [A]程度であるのは、上記作製工程において酸化物半導体層中における水素濃度を十分に低減できたためである。酸化物半導体層中の水素濃度は、 1×10^{16} atoms/cm³以下とする。なお、酸化物半導体層中の水素濃度の値は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で得られたものである。

10

【0507】

また、In-Ga-Zn-O系酸化物半導体を用いる例を示したが、特に限定されず、他の酸化物半導体材料、例えば、In-Sn-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、In-Sn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系などを用いることができる。また、酸化物半導体材料として、AlO_xを2.5~10wt%混入したIn-Al-Zn-O系や、SiO_xを2.5~10wt%混入したIn-Zn-O系を用いることもできる。

【0508】

また、キャリア測定機で測定される酸化物半導体層のキャリア密度は、 1×10^{14} / cm³未満、好ましくは 1×10^{12} / cm³以下である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロに近くすることができる。

20

【0509】

また、薄膜トランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、オフ電流値が極めて小さいため、さらに低消費電力化も図ることができる。

【0510】

また、薄膜トランジスタのオフ状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。

【0511】

続いて、本実施の形態で作製した薄膜トランジスタに対してオフ電流の温度特性を評価した。温度特性は、薄膜トランジスタが使われる最終製品の耐環境性や、性能の維持などを考慮する上で重要である。当然ながら、変化量が小さいほど好ましく、製品設計の自由度が増す。

30

【0512】

温度特性は、恒温槽を用い、-30、0、25、40、60、80、100、及び120のそれぞれの温度で薄膜トランジスタを形成した基板を一定温度とし、ドレイン電圧を6V、ゲート電圧を-20V~+20Vまで変化させて $V_g - I_d$ 特性を取得した。

【0513】

図25(A)に示すのは、上記それぞれの温度で測定した $V_g - I_d$ 特性を重ね書きしたものであり、点線で囲むオフ電流の領域を拡大したものを図25(B)に示す。図中の矢印で示す右端の曲線が-30、左端が120で取得した曲線で、その他の温度で取得した曲線は、その間に位置する。オン電流の温度依存性はほとんど見られない。一方、オフ電流は拡大図の図25(B)においても明かであるように、ゲート電圧が-20V近傍を除いて、全ての温度で測定機の分解能近傍の 1×10^{-12} [A]以下となっており、温度依存性も見えていない。すなわち、120の高温においても、オフ電流が 1×10^{-12} [A]以下を維持しており、チャネル幅Wが10000μmであることを考慮すると、オフ電流が非常に小さいことがわかる。

40

【0514】

上記のように高純度化された酸化物半導体 (purified OS) を用いた薄膜トラ

50

ンジスタは、オフ電流の温度依存性がほとんど現れない。これは、図 19 のバンド図で示すように、酸化物半導体が高純度化されることによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するため、温度依存性を示さなくなると言える。また、これは、酸化物半導体のバンドギャップが 3 e V 以上であり、熱励起キャリアが極めて少ないことにも起因する。また、ソース領域及びドレイン領域は縮退した状態にあるのでやはり温度依存性が現れない要因となっている。薄膜トランジスタの動作は、縮退したソース領域から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度の温度依存性がないことから上記特性（オフ電流の温度依存性無し）を説明することができる。

【0515】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、表示装置などを作製した場合、オフ電流値が小さくほとんどリークがないため、表示データを保持する時間を長くすることができる。

【実施例 1】

【0516】

本実施例では、上記実施の形態で説明した図 1 の液晶表示装置を実際に作製し、静止画の表示の際、画像信号の保持特性に関し評価した結果について説明する。

【0517】

まず、画素部に設けられる複数の画素の上面レイアウト図について、基板上に形成した薄膜トランジスタ等の素子を裏面側から撮影した写真図を図 27 に示す。

【0518】

図 27 に示す画素の写真からは、矩形状の画素が設けられており、ゲート線 2701 及び信号線 2702 が直交して設けられている様子がわかる。またゲート線 2701 と平行な位置に容量線 2703 が設けられている様子がわかる。また、ゲート線 2701 及び容量線 2703 と、信号線 2702 とが重畳する領域には、寄生容量を減らすために別途絶縁膜を設けており、図 27 ではコブ状の形で視認される。また本実施例で示す液晶表示装置では、透過型の液晶表示装置について示しており、R（赤）のカラーフィルタ 2704 R、G（緑）のカラーフィルタ 2704 G、B（青）のカラーフィルタ 2704 B が確認される。また図 27 では、ゲート線 2701 により制御される領域に、透光性を有する半導体層として酸化物半導体である In - Ga - Zn - O 系非単結晶膜が設けられており、薄膜トランジスタを形成している。

【0519】

また図 28 には、上記実施の形態による静止画表示の際、図 27 に示す各画素の、時間の経過に応じた、輝度変化についてのグラフを示す。

【0520】

図 28 からわかるように、図 27 の画素の上面レイアウトの場合、画像信号の保持期間が 1 分程度とできることがわかる。そのため、静止画表示の際、定期的に同じ画像信号を供給する動作（図中、refresh）をして一定の輝度を保持するようにすればよい。その結果、駆動回路部を構成するトランジスタに電圧が印加される時間が大幅に削減することができる。駆動回路の経時劣化を大幅に遅らせることができるため、液晶表示装置の信頼性が向上するといった効果が得られる。

【実施例 2】

【0521】

本実施例では、上記実施の形態で説明した図 1 の液晶表示装置を、実施例 1 とは別の構成にて実際に作製し、静止画の表示の際、画像信号の保持特性に関し評価した結果について説明する。

【0522】

まず、画素部に設けられる複数の画素の上面レイアウト図について、基板上に形成した薄膜トランジスタ等の素子を裏面側から撮影した写真図を図 29 に示す。

【0523】

図 29 に示す画素の写真からは、矩形状の画素が設けられており、ゲート線 2901 及び信号線 2902 が直交して設けられている様子がわかる。またゲート線 2901 と平行な位置に容量線 2903 が設けられている様子がわかる。また、ゲート線 2901 及び容量線 2903 と、信号線 2902 とが重畳する領域には、寄生容量を減らすために別途絶縁膜を設けており、図 29 ではコブ状の形で視認される。また本実施例で示す液晶表示装置では、反射型の液晶表示装置について示しており、R (赤) のカラーフィルターに重畳した反射電極 2904 R、G (緑) のカラーフィルターに重畳した反射電極 2904 G、B (青) のカラーフィルターに重畳した反射電極 2904 B が確認される。また図 29 では、ゲート線 2901 により制御される領域に、透光性を有する半導体層として酸化物半導体である In - Ga - Zn - O 系非単結晶膜が設けられており、薄膜トランジスタを形成している。

10

【0524】

また図 30 には、上記実施の形態による静止画表示の際、図 29 に示す各画素の時間の経過に応じた、輝度変化についてのグラフを示す。

【0525】

図 30 からわかるように、図 29 の画素の上面レイアウトの場合、画像信号の保持期間が実施例 1 と同様に、1 分程度とできることがわかる。そのため、静止画表示の際、定期的に同じ画像信号を供給する動作 (図中、refresh) をして一定の輝度を保持するようにすればよい。その結果、駆動回路部を構成するトランジスタに電圧が印加される時間が大幅に削減することができる。駆動回路の経時劣化を大幅に遅らせることができるため、液晶表示装置の信頼性が向上するといった効果が得られる。

20

【実施例 3】

【0526】

本実施例では、上記実施の形態で説明した図 1 の液晶表示装置を、実施例 1 及び実施例 2 とは別の構成にて実際に作製し、静止画の表示の際、画像信号の保持特性に関し評価した結果について説明する。

【0527】

まず、画素部に設けられる複数の画素の上面レイアウト図について、基板上に形成した薄膜トランジスタ等の素子を裏面側から撮影した写真図を図 31 に示す。

【0528】

図 31 に示す画素の写真からは、矩形状の画素が設けられており、ゲート線 3101 及び信号線 3102 が直交して設けられている様子がわかる。またゲート線 3101 と平行な位置に容量線 3103 が設けられている様子がわかる。また、ゲート線 3101 及び容量線 3103 と、信号線 3102 とが重畳する領域には、寄生容量を減らすために別途絶縁膜を設けており、図 31 ではコブ状の形で視認される。また本実施例で示す液晶表示装置では、ポリマー分散型液晶を用いた液晶表示装置について示しており、反射電極 3104 が確認される。また図 31 では、ゲート線 3101 により制御される領域に、透光性を有する半導体層として酸化物半導体である In - Ga - Zn - O 系非単結晶膜が設けられており、薄膜トランジスタを形成している。

30

【0529】

また図 32 には、上記実施の形態による静止画表示の際、図 31 に示す各画素の時間の経過に応じた、輝度変化についてのグラフを示す。

40

【0530】

図 32 からわかるように、図 31 の画素の上面レイアウトの場合、ポリマー分散型液晶自体に画像信号の保持特性を有するため、画像信号の保持期間を実施例 1 及び実施例 2 より長くすることができる。そのため、静止画表示の際、定期的に同じ画像信号を供給する動作の間隔を長くすることができる。その結果、駆動回路部を構成するトランジスタに電圧が印加される時間が大幅に削減することができる。駆動回路の経時劣化を大幅に遅らせることができるため、液晶表示装置の信頼性が向上するといった効果が得られる。

【実施例 4】

50

【0531】

本実施例では、上記実施の形態で説明した図1の液晶表示装置を、実施例1乃至実施例3とは別の構成にて実際に作製した結果について説明する。特に本実施例では、上記実施例1乃至3で説明した画素の上面レイアウト図とは異なる例について説明する。図33に、基板上に形成した薄膜トランジスタ等の素子を裏面側から撮影した写真図を示す。

【0532】

図33に示す画素の写真からは、矩形状の画素が設けられており、ゲート線3301及び信号線3302が直交して設けられている様子がわかる。また実施例1乃至実施例3で説明した画素の写真とは異なり、容量線を省略した上面レイアウトを示している。また本実施例で示す液晶表示装置では、透過型の液晶表示装置について示しており、画素電極3304が確認される。また図33では、ゲート線3301により制御される領域に、透光性を有する半導体層として酸化物半導体であるIn-Ga-Zn-O系非単結晶膜が設けられており、薄膜トランジスタを形成している。

10

【実施例5】

【0533】

本実施例では、上記実施の形態で説明した図1の液晶表示装置の駆動方法の一例について説明する。具体的には、nチャネル型のトランジスタを複数用いて作製した駆動回路（ここでは、図2、図3に示した駆動回路）において、静止画表示及び動画像表示をおこなう動作、または液晶素子に印加する電圧の再書き込みを行う動作（以下、リフレッシュ動作ともいう）の際の、駆動回路部への各配線の電位の供給または停止の手順について、図34を参照して説明する。図34は、シフトレジスタに高電源電位（VDD）を供給する配線、低電源電位（VSS）を供給する配線、スタートパルス（SP）を供給する配線、及び第1のクロック信号（CK1）を供給する配線乃至第4のクロック信号（CK4）を供給する配線の、期間T1の前後における電位の変化を示す図である。

20

【0534】

本実施例の液晶表示装置では、駆動回路部を常時動作することなく、静止画の表示を行うことができる。そのため図34に示すように、シフトレジスタに対し、高電源電位（VDD）、第1のクロック信号（CK1）乃至第4のクロック信号（CK4）、及びスタートパルス等の制御信号が供給される期間、並びに制御信号が供給されない期間が存在する。なお図34に示す期間T1は、制御信号が供給される期間、すなわち動画像を表示する期間及びリフレッシュ動作を行う期間に相当する。また図34に示す期間T2は、制御信号が供給されない期間、すなわち静止画を表示する期間に相当する。

30

【0535】

図34において高電源電位（VDD）が供給される期間は、期間T1に限らず、期間T1と期間T2にわたる期間にかけて設けられている。また図34において、第1のクロック信号（CK1）乃至第4のクロック信号（CK4）が供給される期間は、高電源電位（VDD）が供給された後から、高電源電位（VDD）が停止する前までにかけて設けられている。

【0536】

また図34に示すように、第1のクロック信号（CK1）乃至第4のクロック信号（CK4）は、期間T1が始まる前には一旦高電位の信号としてから一定周期のクロック信号の発振を開始し、期間T1が終わった後には低電位の信号としてからクロック信号の発振を終了する構成とすればよい。

40

【0537】

上述したように、本実施例の液晶表示装置では、期間T2ではシフトレジスタに高電源電位（VDD）、第1のクロック信号（CK1）乃至第4のクロック信号（CK4）、及びスタートパルス等の制御信号の供給を停止する。そして、制御信号の供給が停止する期間においては、各トランジスタの導通または非導通を制御して動作しシフトレジスタより出力されるパルス信号も停止する。そのため、シフトレジスタにおいて消費される電力及び当該シフトレジスタによって駆動される画素部において消費される電力を低減することが

50

可能になる。

【0538】

なお上述のリフレッシュ動作は、表示される静止画の画質の劣化を生じる可能性があるため、定期的に行う必要がある。本実施例の液晶表示装置は、各画素が有する液晶素子に印加する電圧を制御するスイッチング素子として、上述した酸化物半導体を具備するトランジスタを適用している。これにより、オフ電流を極端に低減することができるため、各画素が有する液晶素子に印加される電圧の変動を低減することが可能である。つまり静止画の表示により、シフトレジスタの動作が停止する期間が長期間に渡っても、画質の劣化を低減することができる。一例としては、当該期間が3分であったとしても表示される静止画の品質を維持することが可能である。例えば、1秒間に60回の書き込みを行う液晶表示装置と、3分間に1回のリフレッシュ動作を行う液晶表示装置とを比較すると約1/10000にまで消費電力を低減することが可能である。

10

【0539】

なお、上述の高電源電位(VDD)の停止とは、図34に示すように、低電位電源(VSS)と等電位とすることである、なお、高電源電位(VDD)の停止は、高電源電位が供給される配線の電位を浮遊状態とすることであってもよい。

【0540】

なお、高電源電位(VDD)が供給される配線の電位を増加させる、すなわち期間T1の前に低電源電位(VSS)より高電源電位(VDD)に増加させる際には、当該配線の電位の変化が緩やかになるように制御することが好ましい。当該配線の電位の変化の勾配が急峻であると、当該電位の変化がノイズとなり、シフトレジスタから不正パルスが出力される可能性がある。当該シフトレジスタが、ゲート線駆動回路が有するシフトレジスタである場合、不正パルスは、トランジスタをオンさせる信号となる。そのため、当該不正パルスによって、液晶素子に印加される電圧が変化し、静止画の画像が変化する可能性があるためである。上述した内容を鑑み、図34では、高電源電位(VDD)となる信号の立ち上がり立ち下がりよりも緩やかになる例について図示している。特に、本実施例の液晶表示装置においては、画素部において静止画を表示している際に、シフトレジスタに対する高電源電位(VDD)の供給の停止及び再供給が適宜行われる構成となる。つまり、高電源電位(VDD)を供給する配線の電位の変化が、ノイズとして画素部に影響した場合、当該ノイズは表示画像の劣化に直結する。そのため、本実施例の液晶表示装置においては、当該配線の電位の変化(特に、電位の増加)がノイズとして画素部に侵入しないよう制御することが重要となる。

20

30

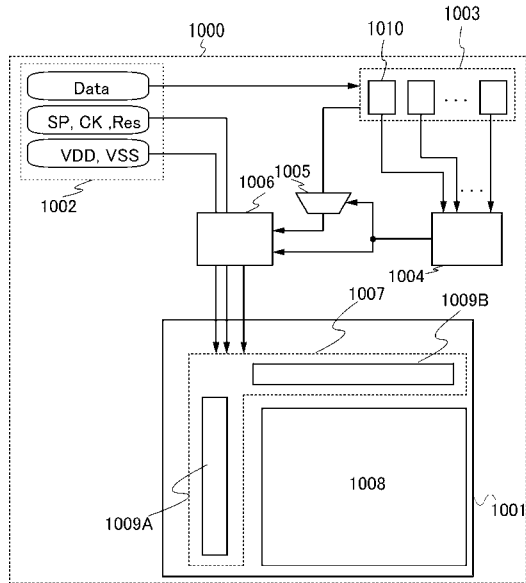
【符号の説明】

【0541】

1000	液晶表示装置
1001	表示パネル
1002	信号生成回路
1003	記憶回路
1004	比較回路
1005	選択回路
1006	表示制御回路
1007	駆動回路部
1008	画素部
1010	フレームメモリ
1009A	ゲート線駆動回路
1009B	信号線駆動回路

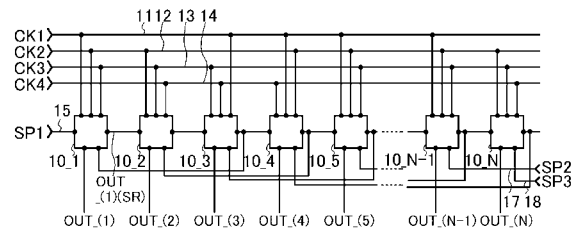
40

【図 1】

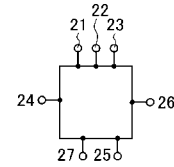


【図 2】

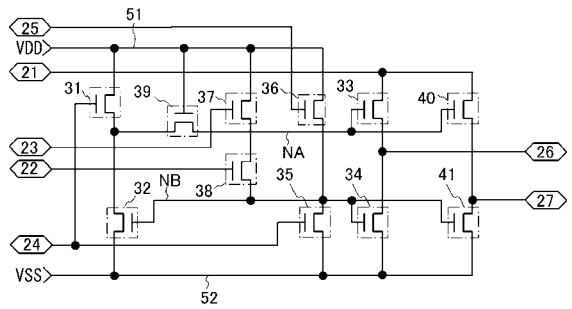
(A)



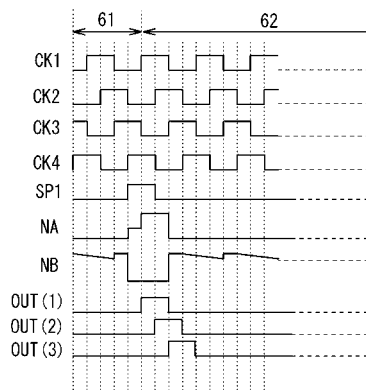
(B)



(C)

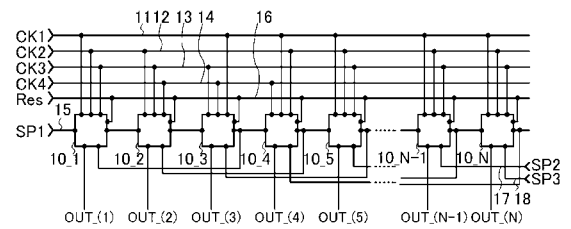


【図 3】

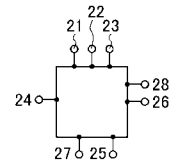


【図 4】

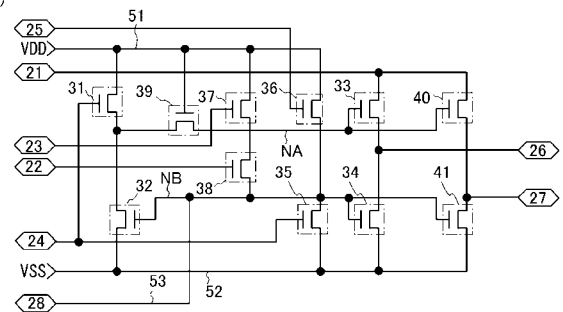
(A)



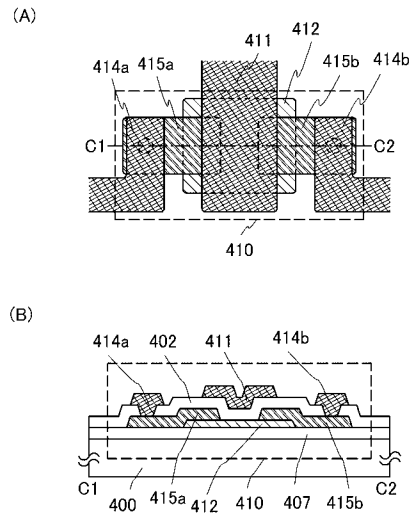
(B)



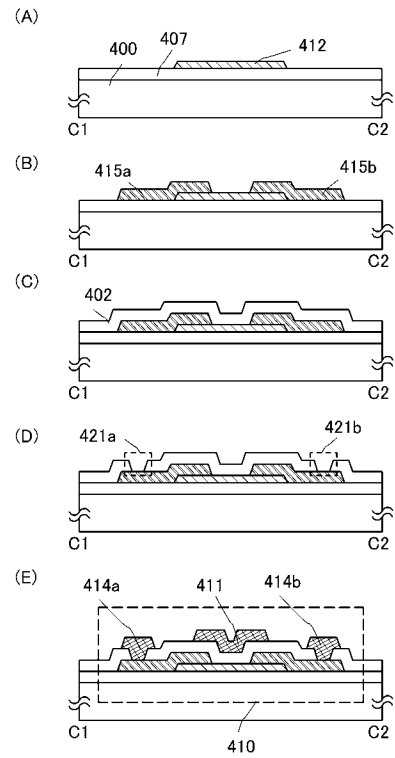
(C)



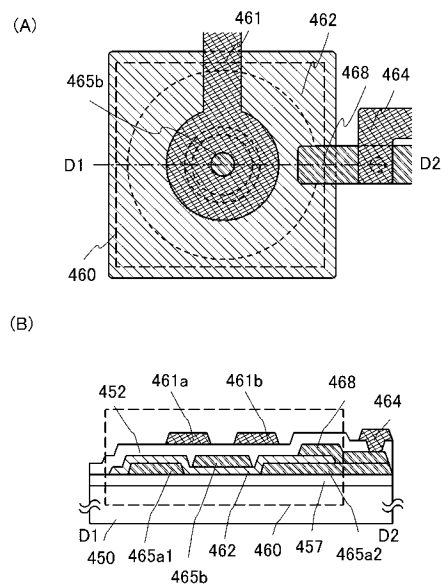
【図 5】



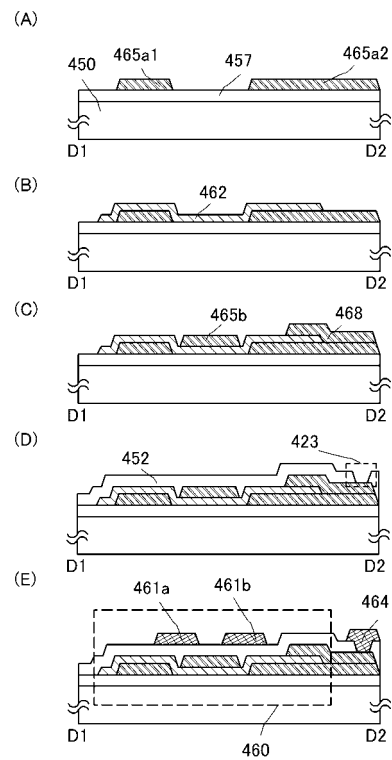
【図 6】



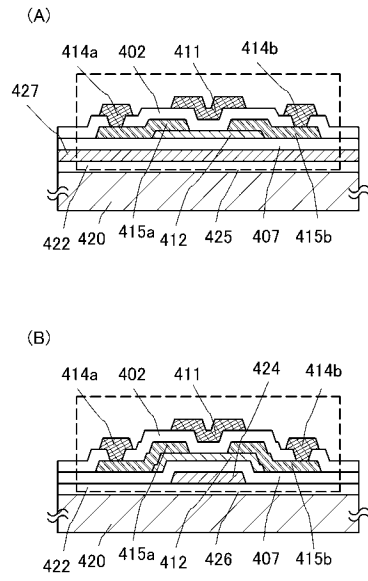
【図 7】



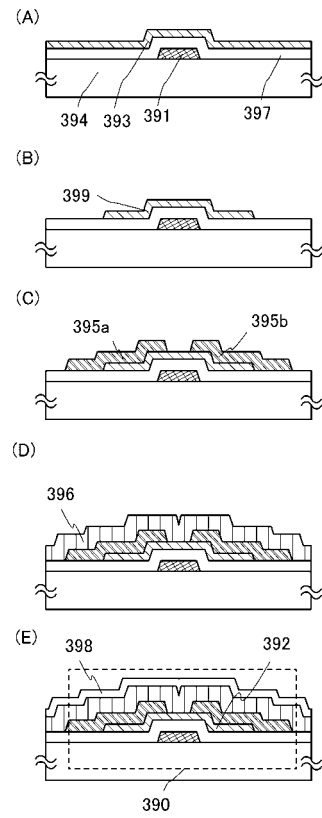
【図 8】



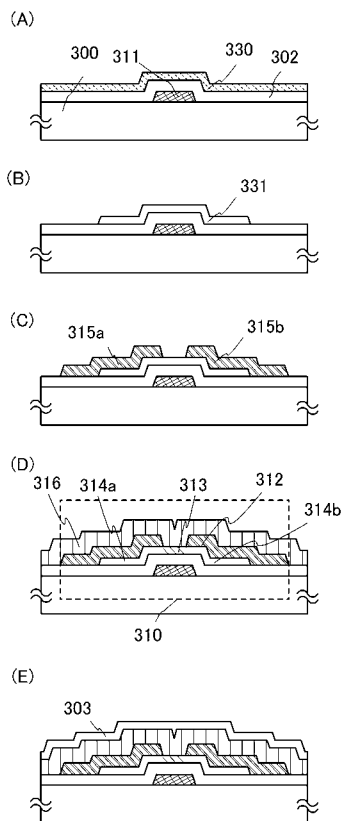
【図 9】



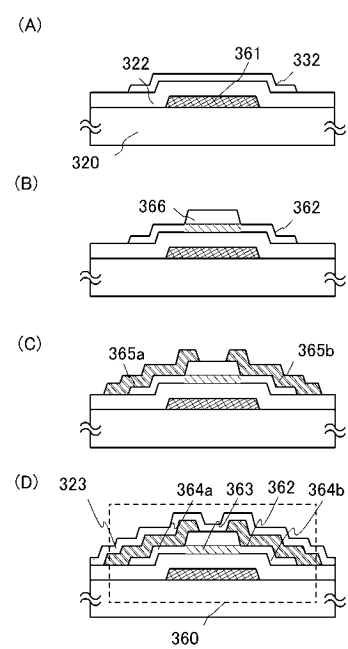
【図 10】



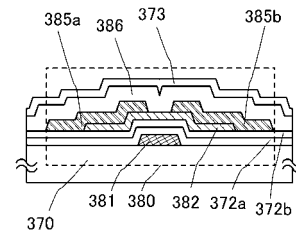
【図 11】



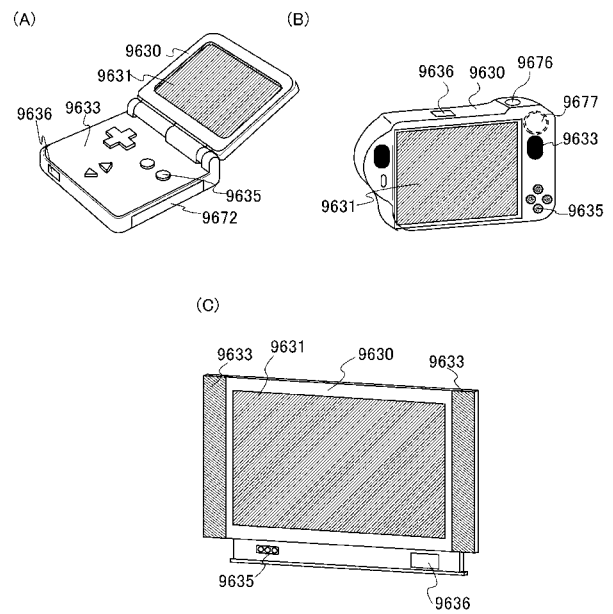
【図 12】



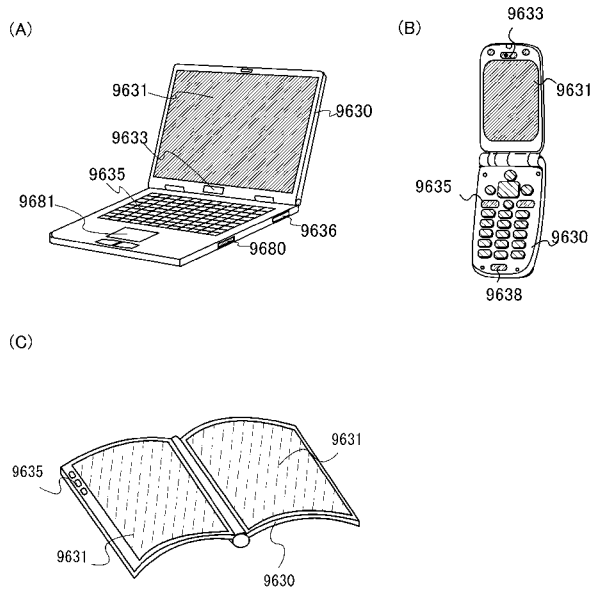
【 図 1 4 】



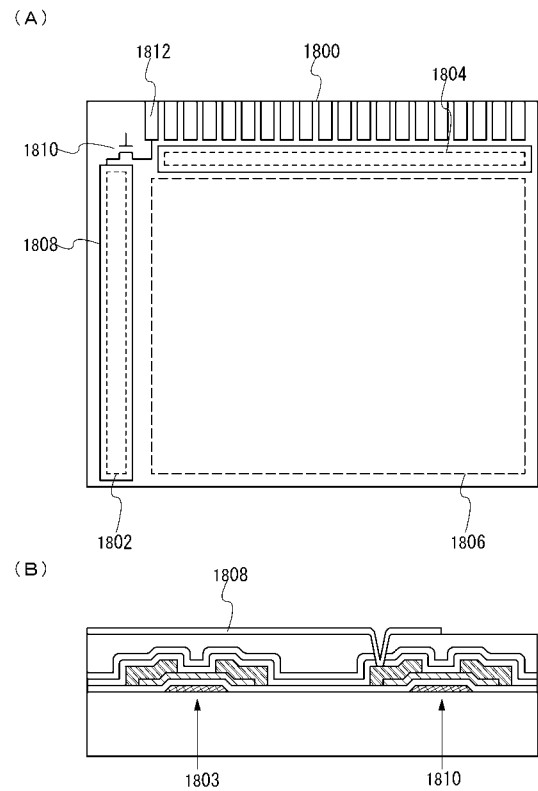
【 ㊦ 1 6 】



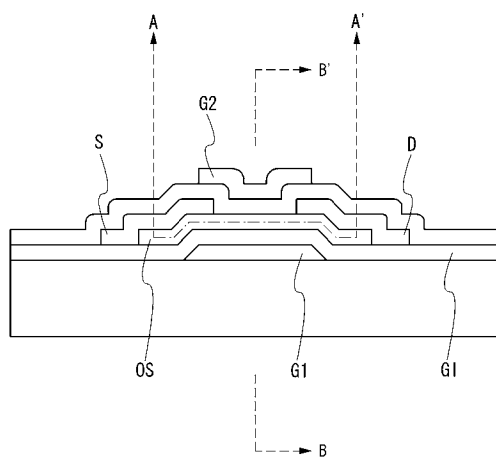
【図 17】



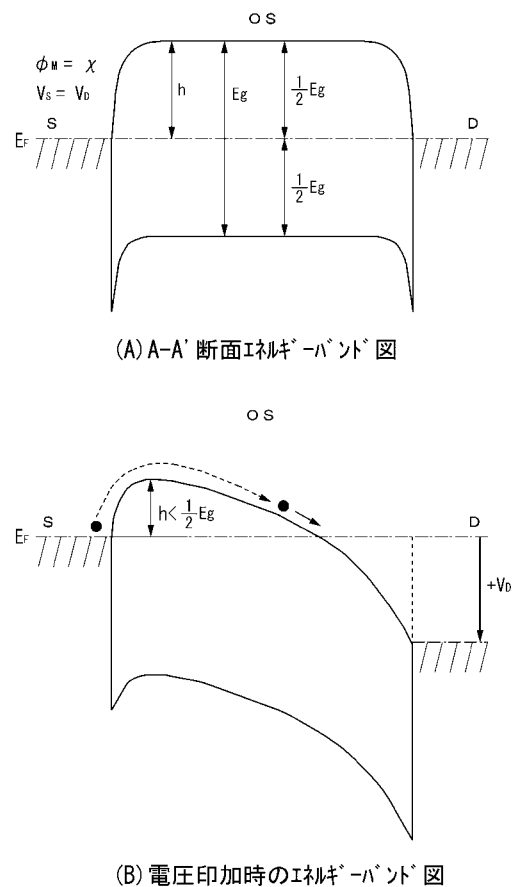
【図 18】



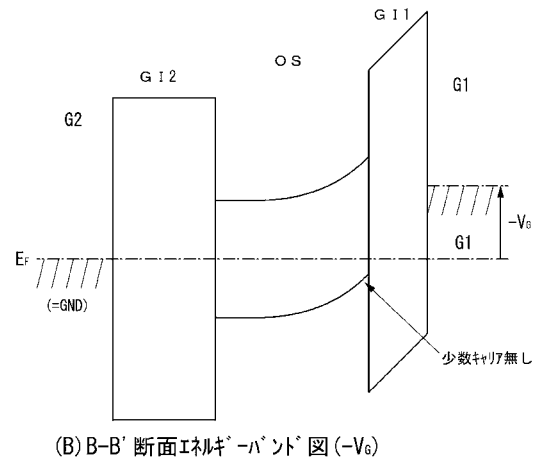
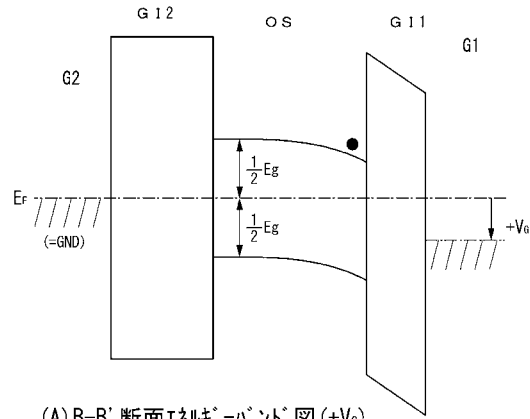
【図 19】



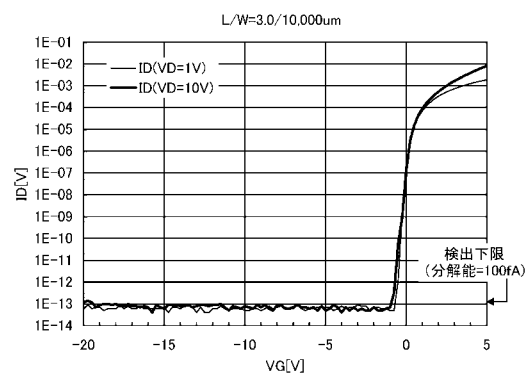
【図 20】



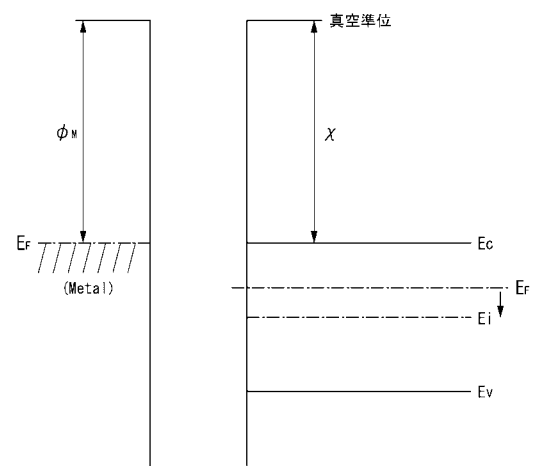
【図 2 1】



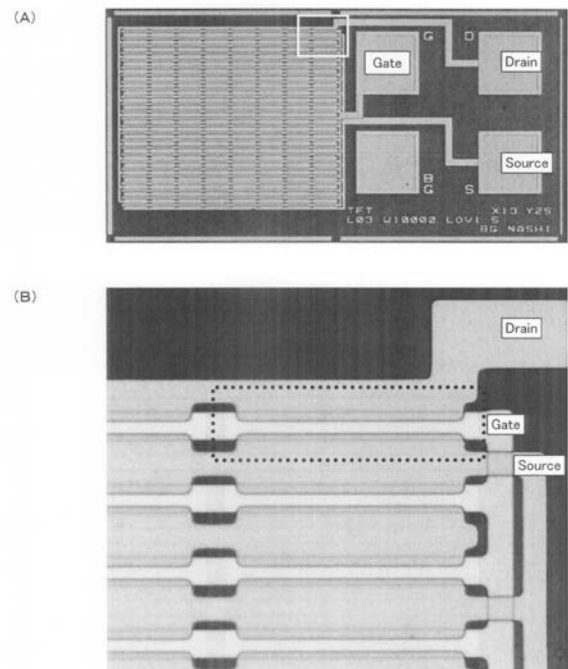
【図 2 3】



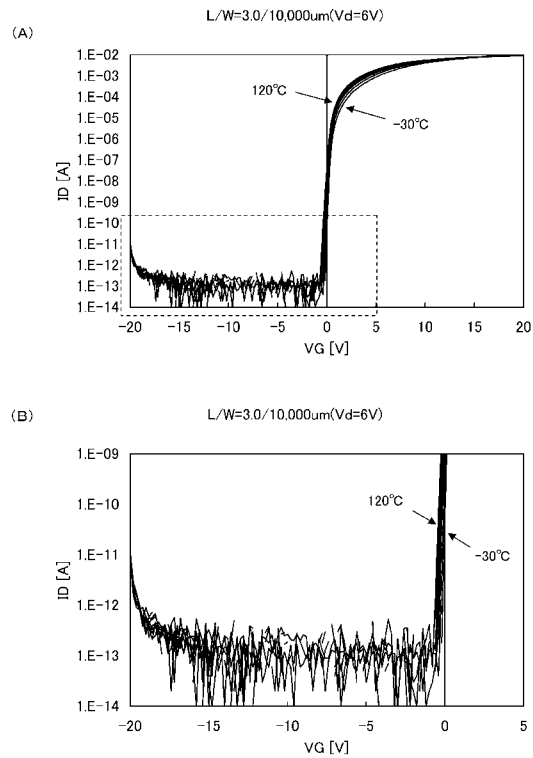
【図 2 2】



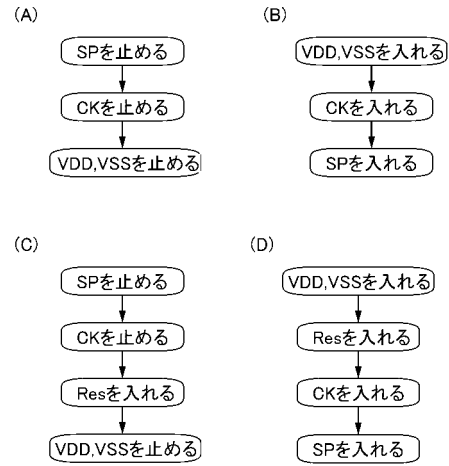
【図 2 4】



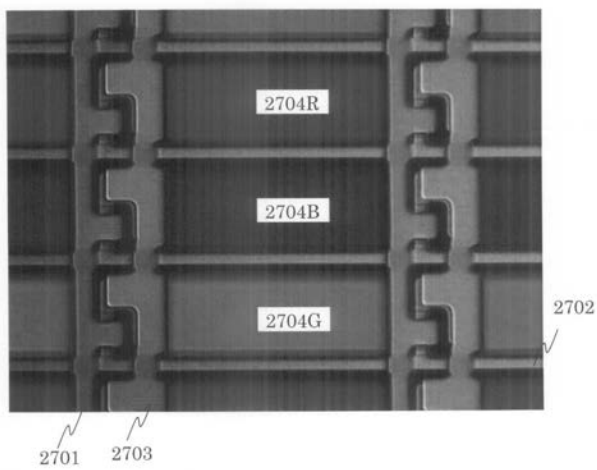
【図 25】



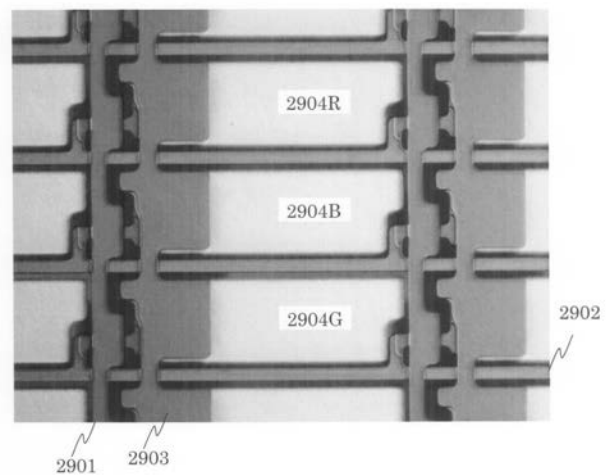
【図 26】



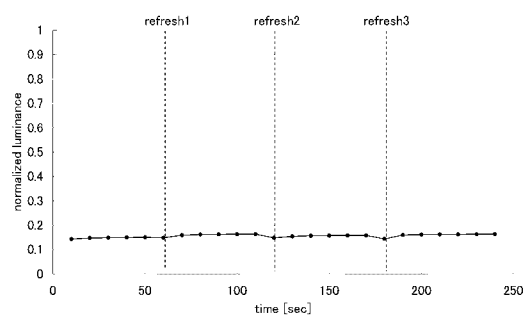
【図 27】



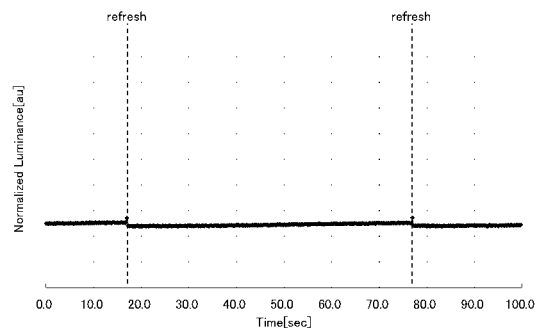
【図 29】



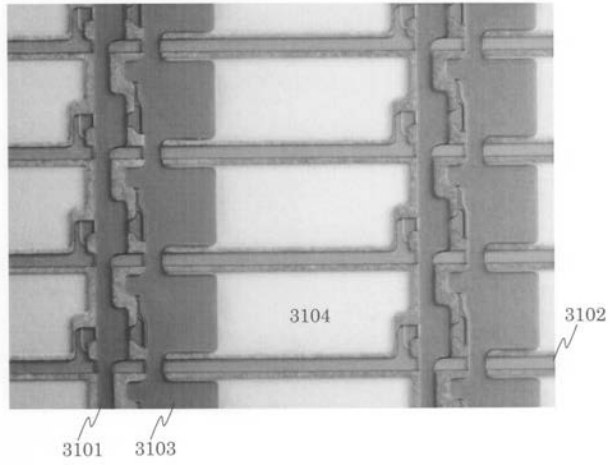
【図 28】



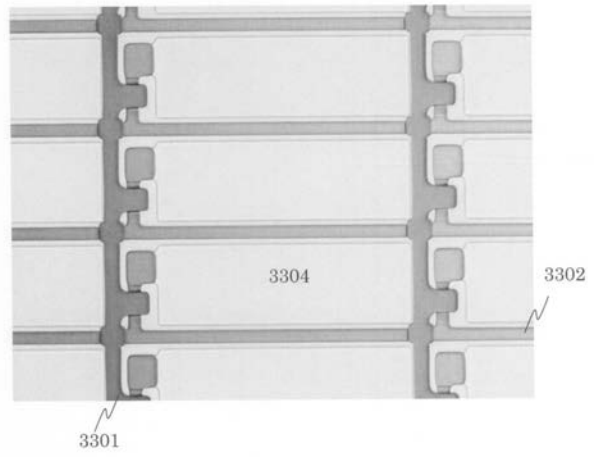
【図 30】



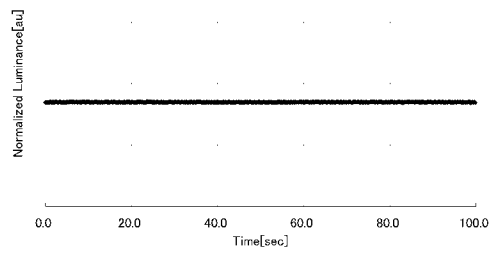
【図 3 1】



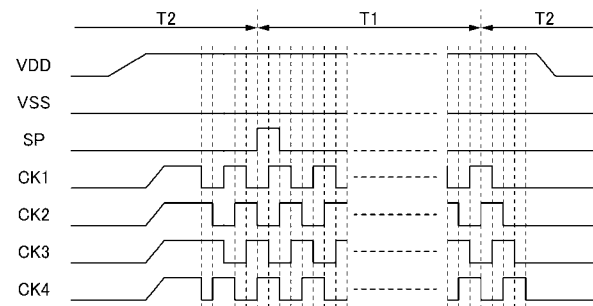
【図 3 3】



【図 3 2】



【図 3 4】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 2 G
	G 0 9 G 3/20	6 2 2 E
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 1 1 A
	H 0 1 L 29/78	6 1 8 B

(31)優先権主張番号 特願2009-278999(P2009-278999)

(32)優先日 平成21年12月8日(2009.12.8)

(33)優先権主張国・地域又は機関
日本国(JP)

(72)発明者 野田 耕生

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

Fターム(参考) 5C006 AA02 AA16 AA22 AC22 AC24 AC25 AF03 AF04 AF19 AF33
 AF44 AF45 AF51 AF53 AF59 AF68 AF69 AF72 BB16 BB21
 BB27 BC03 BC20 BF02 BF03 BF04 BF07 BF14 BF15 BF24
 BF28 BF34 BF42 FA23 FA32 FA36 FA37 FA48 GA03
 5C080 AA10 BB05 CC03 DD06 DD09 DD12 DD25 DD26 EE01 EE19
 EE26 EE29 FF03 FF11 GG02 GG05 GG07 GG08 GG13 GG15
 GG17 JJ02 JJ03 JJ04 JJ05 JJ06 KK02 KK04 KK07 KK08
 KK43 KK49 KK50
 5F110 AA06 AA09 BB01 BB02 CC01 CC03 CC07 CC10 DD01 DD02
 DD03 DD04 DD07 DD12 DD13 DD14 DD15 DD17 EE01 EE02
 EE03 EE04 EE06 EE07 EE14 EE15 EE24 EE27 EE30 EE42
 EE43 EE44 EE48 FF01 FF02 FF03 FF04 FF09 FF28 FF29
 FF30 FF36 GG01 GG06 GG13 GG14 GG15 GG16 GG24 GG25
 GG28 GG29 GG33 GG34 GG35 GG43 GG57 GG58 HJ30 HK01
 HK02 HK03 HK04 HK06 HK07 HK21 HK22 HK32 HK33 HK42
 HL01 HL02 HL03 HL04 HL06 HL09 HL11 HL12 HL23 HL27
 HM03 HM04 HM12 NN02 NN03 NN04 NN12 NN22 NN23 NN24
 NN25 NN27 NN33 NN34 NN36 NN40 PP02 PP03 PP10 PP13
 QQ02 QQ08 QQ09 QQ11

专利名称(译)	液晶显示装置		
公开(公告)号	JP2019185055A	公开(公告)日	2019-10-24
申请号	JP2019125276	申请日	2019-07-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤 三宅博之 津吹将志 野田耕生		
发明人	山崎 舜平 小山 潤 三宅 博之 津吹 将志 野田 耕生		
IPC分类号	G09G3/36 G09G3/20 H01L29/786		
CPC分类号	G02F1/1368 G09G3/3648 G09G3/3674 G09G2320/103 G09G2330/021 G09G2330/022 H01L27/1225 H01L29/7869 G09G3/3611 G09G3/3677 G09G5/18 G09G2310/0286 G09G2330/027 H01L29/06		
FI分类号	G09G3/36 G09G3/20.660.U G09G3/20.621.A G09G3/20.622.D G09G3/20.612.K G09G3/20.612.G G09G3/20.622.E G09G3/20.621.M G09G3/20.680.G G09G3/20.611.A H01L29/78.618.B		
F-TERM分类号	5C006/AA02 5C006/AA16 5C006/AA22 5C006/AC22 5C006/AC24 5C006/AC25 5C006/AF03 5C006/AF04 5C006/AF19 5C006/AF33 5C006/AF44 5C006/AF45 5C006/AF51 5C006/AF53 5C006/AF59 5C006/AF68 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BB21 5C006/BB27 5C006/BC03 5C006/BC20 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF07 5C006/BF14 5C006/BF15 5C006/BF24 5C006/BF28 5C006/BF34 5C006/BF42 5C006/FA23 5C006/FA32 5C006/FA36 5C006/FA37 5C006/FA48 5C006/GA03 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD09 5C080/DD12 5C080/DD25 5C080/DD26 5C080/EE01 5C080/EE19 5C080/EE26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG02 5C080/GG05 5C080/GG07 5C080/GG08 5C080/GG13 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK04 5C080/KK07 5C080/KK08 5C080/KK43 5C080/KK49 5C080/KK50 5F110/AA06 5F110/AA09 5F110/BB01 5F110/BB02 5F110/CC01 5F110/CC03 5F110/CC07 5F110/CC10 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD07 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE14 5F110/EE15 5F110/EE24 5F110/EE27 5F110/EE30 5F110/EE42 5F110/EE43 5F110/EE44 5F110/EE48 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF29 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG06 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG16 5F110/GG24 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG33 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HJ30 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HK42 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL09 5F110/HL11 5F110/HL12 5F110/HL23 5F110/HL27 5F110/HM03 5F110/HM04 5F110/HM12 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN25 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN36 5F110/NN40 5F110/PP02 5F110/PP03 5F110/PP10 5F110/PP13 5F110/QQ02 5F110/QQ08 5F110/QQ09 5F110/QQ11		
优先权	2009238916 2009-10-16 JP		

外部链接 [Espacenet](#)

摘要(译)

本发明提供一种能够降低功耗的液晶显示装置。信号产生电路，用于产生用于驱动驱动器电路部分的控制信号和提供给像素部分的图像信号；存储电路，用于按帧周期存储图像信号；比较电路，用于检测按帧周期存储在存储电路中的一系列帧周期中的图像信号之间的差。当在比较电路中检测到差异时，选择电路在一系列帧周期中选择并输出图像信号；显示控制电路，当在比较电路中检测到差异时，将从选择电路输出的控制信号和图像信号提供给驱动器电路部分，当差异时，停止向驱动器电路部分提供控制信号 在比较电路中未检测到。选定的图：图1

