

【特許請求の範囲】

【請求項 1】

画素毎に駆動回路及び駆動回路側電極を有する駆動回路基板と、前記駆動回路基板に対向し、前記駆動回路基板と平行で、透明電極層を有する透明基板と、前記駆動回路基板と前記透明基板との間に封入された液晶層とを備える液晶表示素子であって、

前記透明電極層及び前記駆動回路基板の少なくとも一方は、隣接する前記画素の境界の少なくとも一部に、前記透明電極層と前記駆動回路基板との間に突出する凸部を設けたことを特徴とする液晶表示素子。

【請求項 2】

前記凸部は、前記透明電極層に設けられ、前記透明電極層と同一材料であることを特徴とする請求項 1 に記載の液晶表示素子。 10

【請求項 3】

前記凸部は、誘電体であることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 4】

前記凸部は、前記境界が矩形に形成されたときに、前記矩形の 1 次元方向及び前記 1 次元方向に直交する 2 次元方向の少なくとも一方に設けられたことを特徴とする請求項 1 から請求項 3 の何れか一項に記載の液晶表示素子。

【請求項 5】

前記駆動回路は、アクティブマトリクス駆動回路であることを特徴とする請求項 1 から請求項 4 の何れか一項に記載の液晶表示素子。 20

【請求項 6】

前記凸部は、幅に対する高さの比が 1.5 以下であることを特徴とする請求項 1 から請求項 5 の何れか一項に記載の液晶表示素子。

【請求項 7】

前記凸部は、平面視において、隣り合う前記駆動回路側電極の間に設けられたことを特徴とする請求項 1 から請求項 6 の何れか一項に記載の液晶表示素子。

【請求項 8】

前記凸部の幅は、隣り合う前記駆動回路側電極の間隔以下であることを特徴とする請求項 7 に記載の液晶表示素子。

【請求項 9】

前記凸部は、断面形状が矩形であることを特徴とする請求項 1 から請求項 8 の何れか一項に記載の液晶表示素子。 30

【請求項 10】

前記透明基板側に配置され、入射光を偏光する入射光偏光手段と、
前記透明基板側に配置され、出射光を偏光する出射光偏光手段と、をさらに備え、
前記液晶表示素子は、反射型液晶表示素子であることを特徴とする請求項 1 から請求項 9 の何れか一項に記載の液晶表示素子。

【請求項 11】

前記透明基板側に配置され、入射光を偏光する入射光偏光手段と、
前記駆動回路基板側に配置され、出射光を偏光する出射光偏光手段と、をさらに備え、
前記駆動回路基板は、透明材料で形成され、
前記液晶表示素子は、透過型液晶表示素子であることを特徴とする請求項 1 から請求項 9 の何れか一項に記載の液晶表示素子。 40

【請求項 12】

請求項 1 から請求項 11 の何れか一項に記載の液晶表示素子と、
前記液晶表示素子の光源と、
を備えることを特徴とする空間光変調器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示素子及び空間光変調器に関する。

【背景技術】

【0002】

液晶表示素子は、テレビやパソコンなど様々なディスプレイ装置として実用化され、4K、8Kなどの高精細ディスプレイ装置として開発が進んでいる。また、液晶表示素子は、仮想現実空間（VR：Virtual Reality）、拡張現実空間（AR：Augmented Reality）などの新たな映像サービスでも利用されている。さらに、液晶表示素子は、インテグラル方式及びホログラフィ方式の空間光変調器（SLM：Spatial Light Modulator）としても利用されている。

【0003】

SLMは、光学素子（光変調素子）を2次元のマトリクス状に配列し、光の位相や振幅などを空間的に変調するものであり、ディスプレイ技術、記録技術などの分野で広く利用されている。SLMは、立体表示応用のために、さらなる多画素化と高密度化が要求されている。特に、SLMは、ホログラフィに利用する場合、立体像を視認できる角度（視域角）を大きくするために、画素ピッチを可視光の波長（360nm～830nm）程度に十分小さくしなければならない。例えば、視域角を30°以上とするためには、画素ピッチが1μm程度の超高密度ディスプレイ装置が必要である。

【0004】

液晶表示素子9は、図20に示すように、駆動回路91が形成された基板90と、液晶分子92aを有する液晶層92と、透明電極層93が形成された透明基板94とを備える。液晶表示素子9では、シリコン（Si）ベースの画素選択用トランジスタ駆動回路を各画素に内蔵したSi基板が用いられる。ここで、反射型のLCOS（Liquid Crystal on Silicon）が高密度化に適している一方、高密度化により隣接する画素3への電界クロストークαが顕著となり、コントラストが大きく低下する。現状、LCOSの画素ピッチ（画素間隔）Pは、3.5μm程度に留まっている。

この課題に対し、非特許文献1には、図21に示すように、隣接する画素3の間に誘電体セル壁95を形成する液晶表示素子9Aが提案されている。非特許文献1に記載の技術は、画素ピッチP=1μmにおいても、十分に電界クロストークを抑制できるとするシミュレーション結果を示している。

【0005】

従来より、SLMとしては、液晶表示素子だけでなく、デジタルマイクロミラーデバイス（DMD：Digital Mirror Device）も用いられている。DMDは、Siバックプレーン上に、マイクロメートルサイズの小さなミラーを2次元アレイ状に複数個並べたデバイスである。そして、DMDは、Siバックプレーンから印加された電圧により、微小なミラーを傾けて駆動するものである。

【0006】

さらに、高速動作と画素の微細化に向けて、磁性材料を用いた磁気光学式SLMが提案されている。この磁気光学式SLMは、磁性体に入射した光が透過又は反射する際に、その偏光の向きを変化させて出射するファラデー効果（反射の場合はカー効果）を利用している。光変調素子に磁界を印加して磁化反転させる磁界印加方式や、光変調素子に電流を供給することで、電子のスピンを注入し、磁化反転させるスピン注入方式が提案されている（特許文献1）。スピン注入方式の光変調素子では、膜面に垂直な電流を直接供給するため、隣接画素への電界クロストークがなく、1μm以下の微細化が可能とされる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開4829850号公報

【非特許文献】

【0008】

【非特許文献1】Y. Isomae, Y. Shibata, T. Ishinabe and H. Fujikake: "Design of

10

20

30

40

50

1- μm -pitch Liquid Crystal Spatial Light Modulators Having Dielectric Shield Wall Structure for Holographic Display with Wide Field of View, "Optical Review, Vol.24, No.2, pp.165-176 (2017)

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、DMDは、高速に動作する微小なミラーといった可動部が存在し、素子構造が複雑なため、高密度化が困難で画素ピッチが $5\mu\text{m}$ 程度に留まっている。また、スピン注入方式は、画素の微細化が可能であるものの、光変調度が小さくなってしまう。そこで、DMDやスピン注入方式ではなく、液晶表示素子の微細化を検討する。

10

【0010】

非特許文献1に記載の技術では、既知の製造手法を用いて、アスペクト比の高い誘電体セル壁を精度よく形成するのが困難なため、液晶密度の不均一性や誘電体セル壁形状の精度誤差によるコントラストのばらつきが増大する。また、非特許文献1に記載の技術では、誘電体セル壁が画素を囲っているため、均一に液晶を封入することが困難である。従って、非特許文献1に記載の技術では、画素ピッチが狭い液晶表示素子を高精度で製造することが現実的ではない。

さらに、非特許文献1に記載の技術では、誘電体セル壁により出射光の強度が低下し又は出射光が散乱し、広視域の立体像再生に支障が生じるという問題がある。

【0011】

20

本発明は、画素ピッチを狭くし、製造が容易な液晶表示素子及び空間光変調器を提供することを課題とする。さらに、本発明は、視域が広い空間光変調器を提供することを課題とする。

【課題を解決するための手段】

【0012】

前記した課題に鑑みて、本発明に係る液晶表示素子は、画素毎に駆動回路及び駆動回路側電極を有する駆動回路基板と、駆動回路基板に対向し、駆動回路基板と平行で、透明電極層を有する透明基板と、駆動回路基板と前記透明基板との間に封入された液晶層とを備える構成とした。

【0013】

30

透明電極層及び駆動回路基板の少なくとも一方は、隣接する画素の境界の少なくとも一部に、透明電極層と駆動回路基板との間に突出する凸部を設けた。

これにより、液晶表示素子は、隣接画素に漏れる電界を凸部が遮蔽するので、隣接画素への電界クロストークを抑制することができる。さらに、液晶表示素子は、凸部を形成しても、透明基板と駆動回路基板との間に空間が残るので、容易に液晶を封入することができる。

【0014】

また、前記した課題に鑑みて、本発明に係る空間光変調器は、前記した液晶表示素子と、液晶表示素子の光源と、を備える構成とした。

かかる空間光変調器によれば、従来技術の誘電体セル壁より凸部が低いので、凸部で出射光が遮光されにくく、出射光の強度低下や出射光の散乱を減少させることができる。

40

【発明の効果】

【0015】

本発明によれば、以下のような優れた効果を奏する。

本発明に係る液晶表示素子は、凸部が隣接画素への電界クロストークを抑制するので、画素ピッチを狭くすることができる。

本発明に係る空間光変調器は、凸部で出射光が遮光されにくく、出射光の強度低下や出射光の散乱を減少させることができる。

【図面の簡単な説明】

【0016】

50

【図 1】第 1 実施形態に係る液晶表示素子の断面を模式的に表す模式図である。

【図 2】図 1 の液晶表示素子において、1 次元方向に形成した凸部と画素との位置関係を説明する説明図である。

【図 3】第 1 実施形態に係る S L M の断面を模式的に表す模式図である。

【図 4】(a) ~ (h) は、液晶表示素子における光の偏光特性を説明する説明図である。

【図 5】第 1 実施形態に係る S L M の製造方法を示すフローチャートである。

【図 6】(a) 及び (b) は透明電極層形成工程を説明する説明図であり、(c) 及び (d) は凸部形成工程を説明する説明図である。

【図 7】(a) 及び (b) は凸部形成工程を説明する説明図であり、(c) は透明基板用配向膜形成工程を説明する説明図である。

【図 8】第 2 実施形態に係る液晶表示素子において、2 次元方向に形成した凸部と画素との位置関係を説明する説明図である。

【図 9】第 3 実施形態に係る液晶表示素子の断面を模式的に表す模式図である。

【図 10】第 3 実施形態に係る S L M の製造方法を示すフローチャートである。

【図 11】(a) 及び (b) は駆動回路基板製造工程を説明する説明図であり、(c) 及び (d) は凸部形成工程を説明する説明図である。

【図 12】(a) 及び (b) は凸部形成工程を説明する説明図であり、(c) は駆動回路基板用配向膜形成工程を説明する説明図である。

【図 13】第 4 実施形態に係る S L M の断面を模式的に表す模式図である。

【図 14】変形例 1 に係る液晶表示素子の断面を模式的に表す模式図である。

【図 15】変形例 2 に係る液晶表示素子において、1 次元方向に形成した凸部と画素との位置関係を説明する説明図であり、(a) は駆動回路基板を表し、(b) は透明基板を表す。

【図 16】変形例 3 に係る液晶表示素子において、隣接する画素の一部境界に形成した凸部と画素との位置関係を説明する説明図である。

【図 17】比較例の光出力特性を表す画像である。

【図 18】実施例 1 の光出力特性を表す画像である。

【図 19】(a) は比較例のコントラスト比を表し、(b) は実施例 1 のコントラスト比を表し、(c) は実施例 2 のコントラスト比を表す画像である。

【図 20】従来の液晶表示素子の断面を模式的に表す模式図である。

【図 21】従来技術において、誘電体セル壁を設けた液晶表示素子の断面を模式的に表す模式図である。

【発明を実施するための形態】

【0017】

以下、本発明の各実施形態について、適宜図面を参照しながら詳細に説明する。なお、以下の説明において参照する図面は、実施形態を概略的に示したものであるため、各部材のスケールや間隔、位置関係などが誇張、あるいは、部材の一部の図示が省略されている場合がある。また、以下の説明では、同一の名称および符号については原則として同一もしくは同質の部材を示しており、詳細説明を適宜省略することとする。さらに、各図において示す方向は、構成要素間の相対的な位置を示し、絶対的な位置を示すことを意図したものではない。

本発明の要旨に関係しない従来構成（例えば、カラーフィルタ、配向膜、反射膜）の図示や説明を省略することがある。また、以下の図面では、部材の断面についてハッチングの図示を省略することがある。また、液晶表示素子を断面視した際、駆動回路基板側を上方向、透明基板側を下方向として説明するが、その方向は限定されない。

【0018】

(第 1 実施形態)

図 1 ~ 図 3 を参照し、本発明の第 1 実施形態に係る液晶表示素子 1 及び S L M 100 の構成について説明する。なお、図 1 ~ 図 3 では、図面を見やすくするため、後記する透明

10

20

30

40

50

電極層 2 3 及び凸部 2 5 にドットを付した。また、3つの画素 3 を画素 3_L , 3_C , 3_R として図示した。また、図 1 ～図 3 では、横方向を X、縦方向を Y、高さ方向を Z と図示した。

S L M 1 0 0 は、ホログラムなどの立体表示に用いられるものであり、図 1 及び図 3 に示すように、液晶表示素子 1 と、この液晶表示素子 1 の光源 5 0 とを備える。

液晶表示素子 1 は、反射型液晶表示素子であり、駆動回路基板 1 0 と、透明基板 2 0 と、液晶層 3 0 と、偏光手段 4 0 と、を備える。

【0019】

[駆動回路基板]

駆動回路基板 1 0 は、画素 3 毎に駆動回路 1 3 及び駆動回路側電極 1 5 を有する基板である。本実施形態では、駆動回路基板 1 0 は、基板 1 1 の上面 1 1 a (透明基板 2 0 側の板面) に、駆動回路 1 3 及び駆動回路側電極 1 5 が形成される。つまり、駆動回路基板 1 0 は、T F T (Thin Film Transistor) 素子を複数備える T F T アレイ基板である。例えば、駆動回路基板 1 0 としては、可視光に対して非透過性を有する S i 基板に、S i ベースのトランジスタが形成されたアクティブマトリクス駆動回路基板を用いることができる。この他、駆動回路基板 1 0 としては、カーボンナノチューブを用いたトランジスタを利用したアクティブマトリクス駆動回路基板を用いることもできる。

【0020】

駆動回路 1 3 は、各画素 3 を駆動する T F T 素子であり、駆動回路側電極 1 5 に電氣的に接続される。また、駆動回路 1 3 は、各画素 3 を選択して駆動できるように形成される。

なお、駆動回路 1 3 は、実際には 1 画素の中に収まる程度の大きさであるが、本実施形態では簡略化のために、図 2 に示すように、各画素 3 の左上隅に小さな黒い四角として図示した。

【0021】

駆動回路側電極 1 5 は、後記する透明電極層 2 3 との間に電圧を印加する電極である。駆動回路側電極 1 5 は、図 2 に示すように、隣り合う駆動回路側電極 1 5 と一定の間隔を空けて形成されており、本実施形態では、駆動回路側電極 1 5 同士の間隔が格子状となっている。例えば、駆動回路側電極 1 5 としては、金 (A u)、銅 (C u)、アルミニウム (A l) などの導電率の高い金属材料のほか、グラフェンやカーボンナノチューブを用いることができる。

なお、駆動回路基板 1 0 は、駆動回路 1 3 及び駆動回路側電極 1 5 の上面に、図示を省略した配光膜を設けてもよい。例えば、配光膜としては、ポリイミド (P I)、酸化ケイ素 (S i O_x) を用いることができる。

【0022】

[透明基板]

透明基板 2 0 は、駆動回路基板 1 0 と平行になるように、駆動回路基板 1 0 に対向して配置されており、透明電極層 2 3 を有する基板である。本実施形態では、透明基板 2 0 は、ガラスなどの透明な基板 2 1 の下面 2 1 a (駆動回路基板 1 0 側の板面) に透明電極層 2 3 が形成される。

透明電極層 2 3 は、駆動回路側電極 1 5 との間に電圧を印加する電極であり、可視光波長 (例えば、3 6 0 n m ～ 8 3 0 n m) の範囲で透明な透明電極材料で形成される。例えば、透明電極材料としては、インジウム亜鉛酸化物 (I Z O : Indium Zinc Oxide)、インジウムスズ酸化物 (I T O : Indium Tin Oxide)、酸化スズ (S n O₂)、酸化アンチモン-酸化スズ系 (A T O)、酸化亜鉛 (Z n O)、フッ素ドーパ酸化スズ (F T O)、酸化インジウム (I n₂ O₃) を用いることができる。この他、透明電極材料としては、インジウム-ガリウム-亜鉛酸化物 (I G Z O : Indium Gallium Zinc Oxide)、グラフェン、カーボンナノチューブなどを用いることもできる。

【0023】

[凸部]

透明電極層 23 は、隣接する画素 3 の境界の少なくとも一部に、例えば、駆動回路基板 10 側に突出する凸部 25 を有する。本実施形態では、凸部 25 は、透明電極層 23 の下面 23a（駆動回路基板 10 側の板面）に形成される。また、凸部 25 は、透明電極層 23 と同一の材料、つまり、公知の透明電極材料で形成できる。なお、凸部 25 は、隣接する画素（セル）3 に漏れる電界を遮蔽する透明電極材料の壁であるから、電界セル壁と呼ばれることもある。

この隣接する画素 3 の境界とは、互いに隣接する画素同士の境界線から所定の幅を有する領域のことである。

【0024】

図 2 に示すように、画素 3 は、縦長に形成されており、2 次元のアレイ上に配列されている。凸部 25 は、液晶表示素子 1 を平面視すると、画素 3 の境界が矩形に形成されたときに、矩形の長辺方向（1 次元方向）に設けられる。また、凸部 25 は、隣り合う駆動回路側電極 15 の間で駆動回路基板 10 に対向するように配置されており、液晶表示素子 1 を平面視すると、縦方向に連続する画素 3 の境界において直線状に形成される。

なお、凸部 25 は、矩形の短辺方向（横方向）に設けてもよい。

【0025】

凸部 25 は、その断面形状が特に限定されない。本実施形態では、凸部 25 は、図 1 に示すように、その断面形状が矩形である。

凸部 25 は、その下端面 25a が基板 11 の上面 11a に接しなければ、その高さ H や幅 W が特に制限されない。以下、凸部 25 の幅 W に対する高さ H の比をアスペクト比（＝ H/W ）とする。

【0026】

既知の微細加工法では、アスペクト比が 1 を超えてくると、凸部 25 を精度よく形成することが一般的には難しくなる。さらに、凸部 25 の下端面 25a が基板 11 の上面 11a に接し、凸部 25 が各画素 3 を完全に隔離してしまうと、液晶層 30 の封入が困難になるだけでなく、大きな液晶分子 31 と小さな液晶分子 31 との偏りも生じてしまう。

また、凸部 25 の高さ H を高くするとコントラストが増大し、幅 W が 400 nm の場合、高さ H が 600 nm 程度でコントラストが飽和すると考えられる。このとき、凸部 25 のアスペクト比は、1.5 となる。

そこで、コントラストを向上させると共に、微細な凸部 25 の製造工程をできるだけ容易にするという観点から、凸部 25 のアスペクト比は、1.5 以下とするのが好ましく、1.0 以下とするのがより好ましい。

なお、凸部 25 の高さ H が 350 nm 以上になると、ディスクリネーションが発生する可能性が高くなる。そこで、凸部 25 の高さ H を 350 nm 以下（アスペクト比を 0.875 以下）としてもよい。このディスクリネーションとは、液晶分子の倒れ方が乱れる現象のことである。

【0027】

また、凸部 25 の幅 W を広くする程、液晶表示素子 1 のコントラストが向上すると考えられる。一方、液晶表示素子 1 を平面視した際、凸部 25 が駆動回路側電極 15 に重なってしまうと、その重なった部分の液晶層 30 が薄くなったことになり、光変調度が小さくなる。このため、凸部 25 の幅 W は、凸部 25 が駆動回路側電極 15 に重ならない範囲で広くすることが好ましい。つまり、凸部 25 の幅 W は、隣り合う駆動回路側電極 15 の間隔 S 以下にすることが好ましい。

なお、透明基板 20 は、透明電極層 23 の下面に、駆動回路基板 10 と同様の配光膜（不図示）を設けてもよい。また、透明基板 20 は、凸部 25 を設けること以外、一般的なものであるため、これ以上の説明を省略する。

【0028】

〔液晶層〕

液晶層 30 は、駆動回路基板 10 と透明基板 20 との間に封入された一般的なものである。ここで、液晶層 30 の動作モードは、特に限定されない。本実施形態では、液晶層 3

10

20

30

40

50

0 は、電圧を印加しない状態で液晶分子 3 1 が基板面に対して垂直に配向し、電圧を印加すると水平に傾斜する V A (Vertical Alignment) 液晶である。この他、液晶層 3 0 は、電圧を印加しない状態で液晶分子 3 1 が基板面に対して平行に配向し、電圧を印加すると垂直に傾斜する T N (Twisted Nematic) 液晶であってもよい。さらに、液晶層 3 0 は、電圧を印加すると水平面内で液晶分子 3 1 が回転する I P S (In Plane Switching) 液晶であってもよい。さらに、液晶層 3 0 は、O C B (Optically Compensated Bend) 液晶であってもよい。

【0029】

[偏光手段]

図 3 に示すように、偏光手段 4 0 は、入射光及び出射光の少なくとも一方を偏光するものである。本実施形態では、偏光手段 4 0 は、液晶表示素子 1 への入射光を偏光する入射光偏光手段 4 1 と、液晶表示素子 1 からの反射光（出射光）を偏光する出射光偏光手段 4 3 とを備える。例えば、入射光偏光手段 4 1 及び出射光偏光手段 4 3 は、直線偏光の偏光板を 2 枚、互いの偏光方向が 90° となるようにクロスニコル配置とした。本実施形態では、入射光偏光手段 4 1 及び出射光偏光手段 4 3 は、液晶表示素子 1 が反射型のため、透明基板 2 0 の上側（光源 5 0 側）に配置する。

なお、図 3 では、入射光及び出射光をブロック矢印で図示し、出射光偏光手段 4 3 で遮蔽された出射光を破線矢印で図示した。

【0030】

[光源]

光源 5 0 は、レーザ又は L E D (Light Emitting Diode) などの光源である。本実施形態では、光源 5 0 は、波長 633 nm のレーザ光源である。この他、光源 5 0 として、狭スペクトルの L E D を用いることができる。

【0031】

[S L M による光変調動作]

図 3 及び図 4 を参照し、S L M 1 0 0 による光変調動作について説明する。

図 3 に示すように、光源 5 0 から液晶表示素子 1 への入射光は、様々な方向の偏光成分 β_1 を有する自然光（非偏光）であり、入射光偏光手段 4 1 に入射する。入射光偏光手段 4 1 は、この入射光を直線偏光に変換する（直線偏光成分 β_2 を有する入射光のみ通過させる）。そして、入射光偏光手段 4 1 を通過した直線偏光は、各画素 3 に照射される。

【0032】

駆動回路 1 3 は、制御信号に従って所定の画素 3 を選択し、選択した画素 3 の駆動回路側電極 1 5 と透明電極層 2 3 との間に電圧を印加する。ここでは、3 個の画素 3 のうち、中央の画素 3_C が選択されたこととする。選択された中央の画素 3_C では、印加された電界分布に従って液晶分子 3 1 が水平に傾斜する。一方、選択されていない左右の画素 3_L , 3_R では、液晶分子 3 1 が基板面に対して垂直に配向した状態のままとなる。

なお、電圧を印加した画素 3_C の駆動回路側電極 1 5 に「O N」を付し、電圧を印加していない画素 3_L , 3_R の駆動回路側電極 1 5 に「O F F」を付した。

【0033】

一般的に、液晶分子 3 1 に対して偏光した光が照射されると、液晶分子 3 1 の光学的異方性により、液晶分子 3 1 を通過する光の屈折率（物質中を伝搬する光の速度を真空中の光速度で割った値）が配向方向に依存して変化する。そのため、液晶分子 3 1 の長軸方向と短軸方向に光を分解すると、それぞれの方向を通過した光の速度（位相速度）が変化し、位相差 δ が生じる。これをリタレーションと呼ぶ。液晶層 3 0 を透過した入射光は、それら光の合成と考えることができるため、結果的には楕円偏光となって出力される。図 4 に示すように、楕円偏光の形状は、位相差 δ の値によって変化する。 $\delta = 0$ では直線偏光となり（図 4 (a)）、 $\delta = \pi/4$ では楕円偏光となり（図 4 (b)）、 $\delta = \pi/2$ では楕円偏光の形状が真円となる（図 4 (c)）。その後、図 4 (d) ~ 図 4 (g) に示すように、 90° 回転した状態で偏光形状の変化を繰り返し、 $\delta = 2\pi$ で元の直線偏光に戻る。

。

【0034】

画素 3_L 、 3_C 、 3_R からの出射光は、液晶分子 3_1 の配向方向に応じた偏光成分を有し、出射光偏光手段43に入射する。出射光偏光手段43は、別方向の直線偏光成分 β_3 を有する出射光のみ通過させる。図3では、出射光偏光手段43は、電圧を印加した中央の画素 3_C からの出射光を通過させる。一方、出射光偏光手段43は、電圧を印加していない左右の画素 3_L 、 3_R からの出射光を遮蔽する。

なお、電圧を印加した画素 3_C での位相差を「 δ_{ON} 」と図示し、電圧を印加していない画素 3_L 、 3_R での位相差を「 δ_{OFF} 」と図示した。

【0035】

SLM100は、入射光偏光手段41及び出射光偏光手段43の偏光方向が直交するように配置されている（クロスニコル配置）。これにより、SLM100は、電圧を印加した画素 3_C からの光が透過する明状態と、電圧を印加していない画素 3_L 、 3_R からの光が遮断された暗状態とをつくることができる。さらに、SLM100は、印加する電圧の大きさによってリタレーション量も変化するため、電圧を印加した画素 3_C からの光の強度が変化し、印加電圧依存の階調表示も行うことができる。

【0036】

前記したように、従来の液晶表示素子9では、電界クロストーク α が生じることがある（図20）。しかし、本実施形態に係る液晶表示素子1は、透明基板20に形成された凸部25により、電圧を印加した画素 3_C から電圧を印加していない画素 3_L 、 3_R に漏れる電界を遮蔽する。これにより、液晶表示素子1は、従来の液晶表示素子9に比べて、電

【0037】

〔SLMの製造方法〕

図5～図7を参照し、SLM100の製造方法について説明する（適宜図1～図3参照）。

なお、凸部形成工程S4及び透明基板用配向膜形成工程S5以外は、既存の手法である。

【0038】

図5に示すように、駆動回路基板製造工程S1は、駆動回路基板10を製造する工程である。例えば、駆動回路基板製造工程S1では、マスク形成、露光、現像、エッチング、マスク除去などのリソグラフィを基板11に繰り返し行い、駆動回路基板10を製造する。この駆動回路基板製造工程S1において、駆動回路13及び駆動回路側電極15が駆動回路基板10に形成される。

【0039】

駆動回路基板用配向膜形成工程S2は、駆動回路基板10に配向膜を形成する工程である。例えば、駆動回路基板用配向膜形成工程S2では、駆動回路基板10に、酸化ケイ素を配向膜として蒸着した後、配向処理を行う。この配向処理とは、液晶分子 3_1 を所定方向に配列するために、配向膜に所定方向の微細な溝を形成する処理のことである。

【0040】

透明電極層形成工程S3は、透明基板20上に透明電極層23を形成する工程である。例えば、透明電極層形成工程S3では、図6（a）に示すように、ガラスなどの基板21を予め準備しておく。そして、透明電極層形成工程S3では、図6（b）に示すように、スパッタリング法、真空蒸着法、塗布法などの公知の手法により、基板21の下面21aにITOなどの透明電極層23を製膜する。

なお、図6では、図面を見やすくするため、透明基板20の上下を反転させて図示した。

【0041】

凸部形成工程S4は、透明基板20上に凸部25を形成する工程である。例えば、凸部形成工程S4では、図6（c）に示すように、スパッタリング法、真空蒸着法、塗布法などの公知の手法により、透明電極層23の下面23aに電界セル壁層25Aを製膜する。

この電界セル壁層 25A は、透明電極層 23 と同一の透明電極材料（例えば、ITO）からなる層である。そして、凸部形成工程 S4 では、マスクを電界セル壁層 25A に塗布し、凸部 25 の形成位置に対応したパターンをマスクに転写する。さらに、凸部形成工程 S4 では、パターンが転写されたマスクを露光し、不要なマスクを除去すると、図 6（d）に示すように、凸部 25 の形成位置のみマスク M が残る。さらに、凸部形成工程 S4 では、図 7（a）に示すように、反応性イオンエッチング（RIE：Reactive Ion Etching）などの公知の手法を施した後、マスク M を除去する。このようにして、図 7（b）に示すように、凸部 25 が透明基板 20 上に形成される。

なお、前記した透明電極層形成工程 S3 において、電界セル壁層 25A を透明電極層 23 に含めて製膜してもよい。

【0042】

透明基板用配向膜形成工程 S5 は、透明基板 20 に配向膜 27 を形成する工程である。例えば、透明基板用配向膜形成工程 S5 では、図 7（c）に示すように、透明電極層 23 及び凸部 25 の表面に配向膜 27 を斜め蒸着した後、配向処理を行う。

なお、配向膜 27 の斜め蒸着が凸部 25 で妨害され、配向膜 27 の膜厚が均一にならない場合も考えられる。この場合、透明電極層 23 の表面に配向膜 27 を形成した後に凸部 25 を形成し、その凸部 25 の上端面に配向膜 27 を形成してもよい。

【0043】

基板貼り合わせ工程 S6 は、駆動回路基板 10 と透明基板 20 とを貼り合わせる工程である。例えば、基板貼り合わせ工程 S6 では、液晶層 30 が所定の膜厚となるように、駆動回路基板 10 及び透明基板 20 に微小プラスチックボールなどのスペーサを配置（散布）する。さらに、基板貼り合わせ工程 S6 では、液晶材が漏れないように、駆動回路基板 10 及び透明基板 20 の周縁にエポキシ樹脂などのシールを形成する。その後、基板貼り合わせ工程 S6 では、シールを介して、駆動回路基板 10 と透明基板 20 とを貼り合わせる。

なお、基板貼り合わせ工程 S6 では、必要に応じてカラーフィルタ（不図示）を形成してもよい。

【0044】

液晶封入工程 S7 は、駆動回路基板 10 と透明基板 20 との間に液晶層 30 を封入する工程である。例えば、液晶封入工程 S7 では、貼り合わせた駆動回路基板 10 及び透明基板 20 を真空状態にしてから常圧に戻すことで、駆動回路基板 10 及び透明基板 20 の内部に液晶を注入する（真空注入法）。また、真空注入法ではなく、駆動回路基板 10 と透明基板 20 とを貼り合わせる際、予め液晶材を滴下しておく滴下注入法を行ってもよい。

なお、液晶表示素子 1 は、駆動回路基板製造工程 S1 ～液晶封入工程 S7 の工程で製造できる。

【0045】

偏光手段・光源取付工程 S8 は、偏光手段 40 及び光源 50 を取り付ける工程である。例えば、偏光手段・光源取付工程 S8 では、所定位置に光源 50 を取り付ける。さらに、偏光手段・光源取付工程 S8 では、直線偏光の偏光板を 2 個、透明基板 20 の上側にクロスニコル配置で取り付ける。

前記した各工程を経て、SLM100 を製造することができる。

【0046】

〔作用・効果〕

以上のように、液晶表示素子 1 は、凸部 25 が隣接する画素 3 への電界クロストークを抑制するので、画素ピッチ P を狭くすることができる。

また、液晶表示素子 1 は、凸部 25 のアスペクト比を 1.5 以下にすることで、電界クロストークの抑制効果を維持しつつ、微細な構造を精度よく形成することができる。

そして、液晶表示素子 1 は、凸部 25 を形成しても、透明基板 20 と駆動回路基板 10 との間に空間があるので、容易に液晶層 30 を封入することができる。

さらに、SLM100 は、液晶表示素子 1 の画素ピッチ P を 3 μm 以下にできるので、

10

20

30

40

50

10°以上の視域角を実現できる。

【0047】

(第2実施形態)

図8を参照し、本発明の第2実施形態に係る液晶表示素子1Bについて、第1実施形態と異なる点を説明する。

第1実施形態では凸部25を1次元方向に設けたのに対し、第2実施形態では凸部25Bを2次元方向に設けた点異なる。

【0048】

凸部25Bは、図8に示すように、液晶表示素子1を平面視すると、画素3の境界が矩形に形成されたときに、矩形の短辺方向及び長辺方向(2次元方向)に設けられる。つまり、凸部25Bは、液晶表示素子1Bを平面視した際、駆動回路13及び駆動回路側電極15を除いた箇所に格子状に設けられる。この他、凸部25Bは、アスペクト比(幅W及び高さH)、断面形状、材料など、第1実施形態の凸部25と同様である。

【0049】

[作用・効果]

以上のように、液晶表示素子1Bは、第1実施形態と同様の効果を奏する。さらに、液晶表示素子1Bは、凸部25Bを2次元方向に形成したので、隣接する画素3への電界の漏れがより減少し、電界クロストークをより効果的に抑制することができる。

【0050】

(第3実施形態)

図9を参照し、本発明の第3実施形態に係る液晶表示素子1Cについて、第1実施形態と異なる点を説明する。なお、図9では、図面を見やすくするため、後記する凸部17にドットを付した。

第1実施形態では透明電極材料の凸部25を透明基板20に設けたのに対し、第3実施形態では誘電体の凸部17を駆動回路基板10Cに設けた点異なる。

【0051】

[液晶表示素子]

図9に示すように、液晶表示素子1Cは、SLMに用いられる反射型液晶表示素子であり、駆動回路基板10Cと、透明基板20Cと、液晶層30と、図示を省略した偏光手段と、を備える。

駆動回路基板10Cは、図示を省略した駆動回路と、駆動回路側電極15と、凸部17とを備える基板である。つまり、駆動回路基板10Cは、凸部17を形成したこと以外、第1実施形態と同様のものである。

透明基板20Cは、透明電極層23を有する基板である。つまり、透明基板20Cは、図1の凸部25を備えていない一般的な透明基板である。

【0052】

[凸部]

以下、駆動回路基板10Cの凸部17について、詳細に説明する。

駆動回路基板10Cは、隣接する画素3の境界の少なくとも一部に、例えば、透明基板20側に突出する凸部17を有する。本実施形態では、凸部17は、基板11の上面11a(透明基板20C側の板面)に形成される。また、凸部17は、酸化ケイ素(SiO_x)のほか、チタン酸バリウム(BaTiO_3)、 tantalum酸ビスマス酸ストロンチウム(SBT)、ビスマスフェライト(BFO)などの誘電体で形成することもできる。なお、凸部17は、隣接する画素3に漏れる電界を遮蔽する誘電体の壁であるから、誘電体セル壁と呼ばれることもある。

【0053】

図2に示すように、凸部17は、液晶表示素子1Cを平面視した際、画素3の配列に沿って液晶表示素子1Cの縦方向又は横方向(1次元方向)に設けられる。また、凸部17は、図8に示すように、液晶表示素子1Cを平面視した際、画素3の配列に沿って液晶表示素子1Cの縦横に2次元方向に設けてもよい。

凸部 17 は、隣り合う駆動回路側電極 15 の間に位置する。さらに、凸部 17 の幅 W は、凸部 17 が駆動回路側電極 15 に接触しない範囲で広くすることが好ましい。

凸部 17 は、その上端面 17 a が透明電極層 23 の下面 23 a に接しなければ、その高さ H が特に制限されない。さらに、凸部 17 のアスペクト比は、第 1 実施形態と同様、1.5 以下であることが好ましく、0.875 以下であることがより好ましい。

【0054】

[SLMの製造方法]

図 10～図 12 を参照し、液晶表示素子 1 C を備える SLM の製造方法について説明する（適宜図 9 参照）。

なお、駆動回路基板製造工程 S 10～駆動回路基板用配向膜形成工程 S 12 以外は、既存の手法である。

【0055】

図 10 に示すように、駆動回路基板製造工程 S 10 は、駆動回路基板 10 C を製造する工程である。例えば、駆動回路基板製造工程 S 10 では、図 11 (a) に示すように、Si などの基板 11 を予め準備しておく。そして、駆動回路基板製造工程 S 10 では、マスク形成、露光、現像、エッチング、マスク除去などのリソグラフィを基板 11 に繰り返し行い、駆動回路基板 10 C を製造する。この駆動回路基板製造工程 S 10 において、図 11 (b) に示すように、トランジスタ 13 a 及びキャパシタ 13 b を有する駆動回路 13 と、駆動回路側電極 15 とが基板 11 に形成される。

【0056】

凸部形成工程 S 11 は、駆動回路基板 10 C 上に凸部 17 を形成する工程である。例えば、凸部形成工程 S 11 では、図 11 (c) に示すように、スパッタリング法、真空蒸着法、塗布法などの公知の手法により、基板 11 の上面 11 a に誘電体セル壁層 17 A を製膜する。この誘電体セル壁層 17 A は、公知の誘電体材料からなる層である。そして、凸部形成工程 S 11 では、マスクを誘電体セル壁層 17 A に塗布し、凸部 17 の形成位置に対応したパターンをマスクに転写する。さらに、凸部形成工程 S 11 では、パターンが転写されたマスクを露光し、不要なマスクを除去すると、図 11 (d) に示すように、凸部 17 の形成位置のみマスク M が残る。さらに、凸部形成工程 S 11 では、図 12 (a) に示すように、反応性イオンエッチングなどの公知の手法を施した後、マスク M を除去する。このようにして、図 12 (b) に示すように、凸部 17 が駆動回路基板 10 C 上に形成される。

【0057】

駆動回路基板用配向膜形成工程 S 12 は、駆動回路基板 10 C に配向膜 19 を形成する工程である。例えば、駆動回路基板用配向膜形成工程 S 12 では、図 12 (c) に示すように、凸部 17 を含む駆動回路基板 10 C に配向膜 19 を斜め蒸着した後、配向処理を行う。

なお、配向膜 19 の斜め蒸着が凸部 17 で妨害され、配向膜 19 の膜厚が均一にならない場合も考えられる。この場合、駆動回路基板 10 C の表面に配向膜 19 を形成した後に凸部 17 を形成し、その凸部 17 の上端面に配向膜 19 を形成してもよい。

【0058】

透明電極層形成工程 S 13 は、透明基板 20 C 上に透明電極層 23 を形成する工程である。例えば、透明電極層形成工程 S 13 では、スパッタリング法、真空蒸着法、塗布法などの公知の手法により、基板 21 の下面 21 a にITOなどの透明電極層 23 を製膜する。

透明基板用配向膜形成工程 S 14 は、透明基板 20 C に配向膜 27 を形成する工程である。例えば、透明基板用配向膜形成工程 S 14 では、透明電極層 23 の表面に酸化ケイ素を配向膜 27 として蒸着した後、配向処理を行う。

なお、基板貼り合わせ工程 S 6 以降は、第 1 実施形態と同様のため、説明を省略する。

【0059】

[作用・効果]

以上のように、液晶表示素子 1 C は、第 1 実施形態と同様の効果を奏する。さらに、液晶表示素子 1 C は、凸部 1 7 を下側の駆動回路基板 1 0 C に設けたので、出射角度の浅い出射光が凸部 1 7 に照射されにくく、出射光の強度低下や散乱をより抑制することができる。

なお、液晶表示素子 1 C は、第 1 実施形態第だけでなく、第 2 実施形態にも適用することができる。

【0060】

(第 4 実施形態)

図 1 3 を参照し、本発明の第 4 実施形態に係る液晶表示素子 1 D について、第 1 実施形態と異なる点を説明する。

第 1 実施形態では液晶表示素子 1 が反射型液晶表示素子であるのに対し、第 4 実施形態では液晶表示素子 1 D が透過型液晶表示素子である点異なる。

【0061】

[SLM]

図 1 3 に示すように、SLM100D は、立体表示に用いるものであり、液晶表示素子 1 D と、この液晶表示素子 1 の光源 5 0 とを備える。

液晶表示素子 1 D は、透過型液晶表示素子であり、駆動回路基板 1 0 D と、透明基板 2 0 と、液晶層 3 0 と、偏光手段 4 0 D と、を備える。

なお、透明基板 2 0、液晶層 3 0 及び光源 5 0 は、第 1 実施形態と同様のため、説明を省略する。

【0062】

[駆動回路基板]

駆動回路基板 1 0 D は、可視光波長の範囲で透明なアクティブマトリクス駆動回路基板であり、基板 1 1 と、図示を省略した駆動回路と、駆動回路側電極 1 5 D とを有する。この他、駆動回路基板 1 0 D としては、カーボンナノチューブを用いたトランジスタなどを利用したアクティブマトリクス駆動回路基板を用いることもできる。

【0063】

基板 1 1 D としては、例えば、 SiO_2 基板、 MgO 基板、サファイア基板といった可視光波長の範囲で透過性のある絶縁性基板を用いることができる。また、基板 1 1 D として、フレキシブルディスプレイ用の透明なプラスチック基板も用いることができる。

駆動回路は、酸化亜鉛 (ZnO)、インジウムスズ酸化物 (ITO) などの可視光波長の範囲で透過性を示す材料で形成した透明薄膜トランジスタである。

駆動回路側電極 1 5 D は、第 1 実施形態と同様の透明電極材料で形成した電極である。例えば、駆動回路側電極 1 5 D として、 ITO を膜厚 100 nm で形成したものがあげられる。

【0064】

[偏光手段]

偏光手段 4 0 D は、入射光及び出射光の少なくとも一方を偏光するものである。本実施形態では、偏光手段 4 0 D は、液晶表示素子 1 D への入射光を偏光する入射光偏光手段 4 1 と、液晶表示素子 1 D からの透過光 (出射光) を偏光する出射光偏光手段 4 3 D とを備える。例えば、入射光偏光手段 4 1 及び出射光偏光手段 4 3 D は、直線偏光の偏光板を 2 枚、クロスニコル配置とする。また、出射光偏光手段 4 3 D は、液晶表示素子 1 D が透過型のため、駆動回路基板 1 0 D の下側に配置する。

【0065】

[SLMによる光変調動作]

SLM100D による光変調動作について説明する。

透過型の SLM100D は、入射光偏光手段 4 1 及び出射光偏光手段 4 3 D の偏光方向が直交するように配置されている (クロスニコル配置)。これにより、SLM100D は、電圧を印加した画素 3_C からの光が透過する明状態と、電圧を印加していない画素 3_L, 3_R からの光が遮断されて暗状態とをつくることができる。さらに、SLM100D は

10

20

30

40

50

、印加する電圧の大きさによってリタデーション量も変化するため、電圧を印加した画素 3_Cからの光の強度が変化し、印加電圧依存の階調表示も行うことができる。

【0066】

このとき、液晶表示素子 1Dは、透明基板 20に形成された凸部 25により、電圧を印加した画素 3_Cから電圧を印加していない画素 3_L、3_Rに漏れる電界を遮蔽する。これにより、液晶表示素子 1Dは、従来の液晶表示素子 9に比べて、電界クロストーク α を抑制し、画素ピッチを狭くすることができる。

【0067】

[作用・効果]

以上のように、液晶表示素子 1Dは、第1実施形態と同様、凸部 25が隣接する画素 3 への電界クロストークを抑制するので、画素ピッチを狭くすることができる。

なお、液晶表示素子 1Dは、第1実施形態だけでなく、第2実施形態又は第3実施形態に適用することもできる。

【0068】

(変形例)

本発明の各実施形態を詳述してきたが、本発明は前記した各実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更なども含まれる。

前記した各実施形態では、凸部は、透明電極層又は駆動回路基板の何れか一方に設けることとして説明したが、透明電極層及び駆動回路基板の両方に設けてもよい。例えば、図 14に示すように、液晶表示素子 1Eでは、駆動回路基板 10に設けた凸部 17と、透明電極層 23に設けた凸部 25とが互い違いに配置されている。

【0069】

その他の形態として、液晶表示素子 1Fでは、図 15(a)に示すように、1次元（横方向）で直線状の凸部 17を駆動回路基板 10に設けてもよい。また、液晶表示素子 1Fでは、図 15(b)に示すように、1次元（縦方向）で直線状の凸部 25を透明電極層 23に設けてもよい。そして、液晶表示素子 1Fでは、凸部 17及び凸部 25が互いに直交するように駆動回路基板 10及び透明基板 20を貼り合わせ、その間に液晶層を封入してもよい。なお、図 15(b)では、平面視において、駆動回路側電極 15に重なる部分を一点鎖線で図示した。

【0070】

前記した各実施形態では、凸部は、1次元方向に直線状に設ける又は2次元方向に格子状で設けることとして説明したが、本発明は、これに限定されない。例えば、図 16に示すように、液晶表示素子 1Gを平面視したときに、隣接する画素 3の一部境界に矩形の凸部 25を設けてもよい。

【実施例】

【0071】

図 17～図 19を参照し、本発明の実施例について説明する。

図 3の SLM100を以下の条件で製作し（実施例 1）、その光出力特性を測定した。また、凸部 25を形成しない同一構成の SLMも製作し（比較例）、その光出力特性も測定した。

【0072】

基板 11：Si バックプレーンの基板にアクティブマトリクス駆動回路を形成、画素ピッチ 1 $\mu\text{m} \times 2 \mu\text{m}$

駆動回路側電極 15：金 (Au)、膜厚 100 nm、幅 500 nm

透明電極層 23：全画素共通の一枚の電極板、透明電極材料 ITO、膜厚 200 nm

凸部 25：透明電極層 23と同一材料で 1次元方向に形成、高さ 200 nm、幅 400 nm

液晶層 30：VA モード液晶分子、膜厚 1 μm

偏光手段 40：直線偏光の偏光板を 2枚、クロスニコル配置

光源 50：波長 633 nm のレーザ光源

10

20

30

40

50

【0073】

図17は、比較例の液晶表示素子の断面における光出力特性を表す。図18は、実施例1の液晶表示素子の断面における光出力特性を表す。また、図17及び図18では、青色の曲線が等電位線を表し、黒の短線が液晶分子31の方向を表し、青色(0V)から赤色(5V)の分布が電界強度を表す。また、図17及び図18では、上側に透明電極層23を図示し、下側に駆動回路側電極15を図示し、中間に液晶層30を図示した。さらに、図18では、透明電極層23に形成された凸部25を図示した。

【0074】

図17の比較例では、電圧を印加していない左側の画素において、電圧強度が水色となっており電界クロストークが生じていることがわかる。一方、図18の実施例1では、電圧を印加していない左側の画素において、電圧強度が青色となっており、電界クロストークを抑制できていることがわかる。

10

【0075】

さらに、2次元方向の凸部25B(図8)を備えるSLMを製作した(実施例2)。この実施例2のSLMは、凸部25Bを横方向にも形成したこと以外、実施例1と同一条件である。そして、実施例1、2及び比較例でコントラスト比を測定した。なお、コントラスト比とは、電圧を印加していない画素中心部の輝度に対する、電圧を印加した画素中心部の輝度の比を表す。

【0076】

図19(a)に比較例のコントラスト比、図19(b)に実施例1のコントラスト比、図19(c)に実施例2のコントラスト比をそれぞれ図示した。図19では、黒い箇所が暗く、白い箇所が明るいことを示す。図19より、実施例1のコントラスト比は、比較例に比べて、3倍程高くなることがわかった。さらに、実施例2のコントラスト比は、実施例1よりもさらに30%程度、高くなることがわかった。

20

【産業上の利用可能性】

【0077】

本発明は、例えば、液晶テレビ、パソコン、携帯電話用のディスプレイ装置、仮想現実空間用又は拡張現実空間用のヘッドマウントディスプレイ装置の液晶表示素子として利用することができる。また、本発明は、例えば、インテグラル方式やホログラフィ方式の立体表示用のSLMとして利用することができる。

30

【符号の説明】

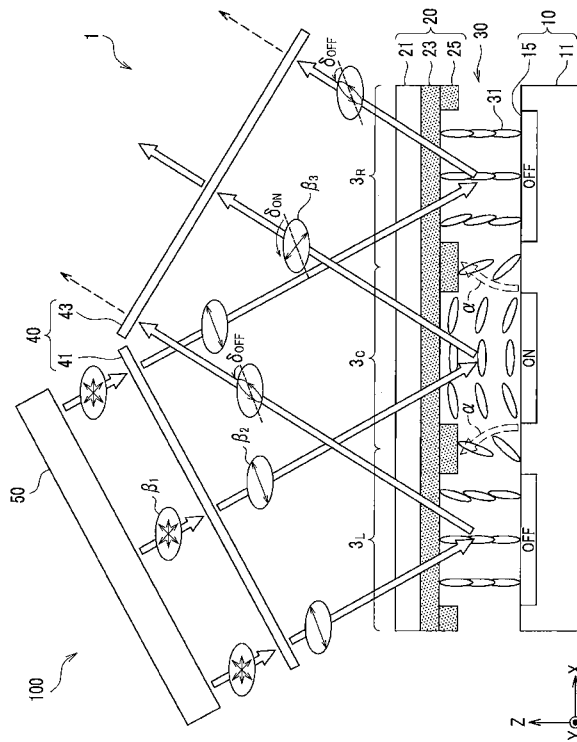
【0078】

1, 1B~1G 液晶表示素子
 3 画素
 10, 10C, 10D 駆動回路基板
 11, 11D 基板
 11a 上面
 13 駆動回路
 15, 15D 駆動回路側電極
 17 凸部
 17a 上面
 17A 誘電体セル壁層
 19 配向膜
 20, 20C 透明基板
 21 基板
 21a 上面
 23 透明電極層
 23a 上面
 25, 25B 凸部
 25a 上面

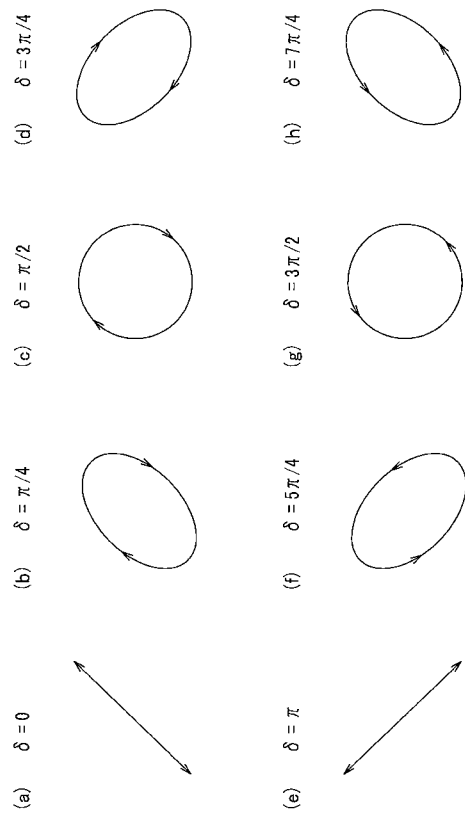
40

50

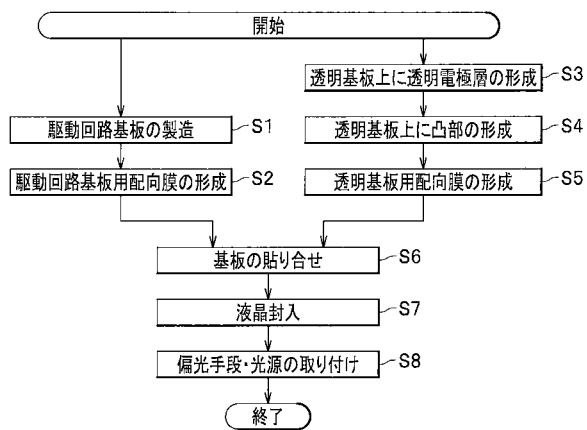
【図 3】



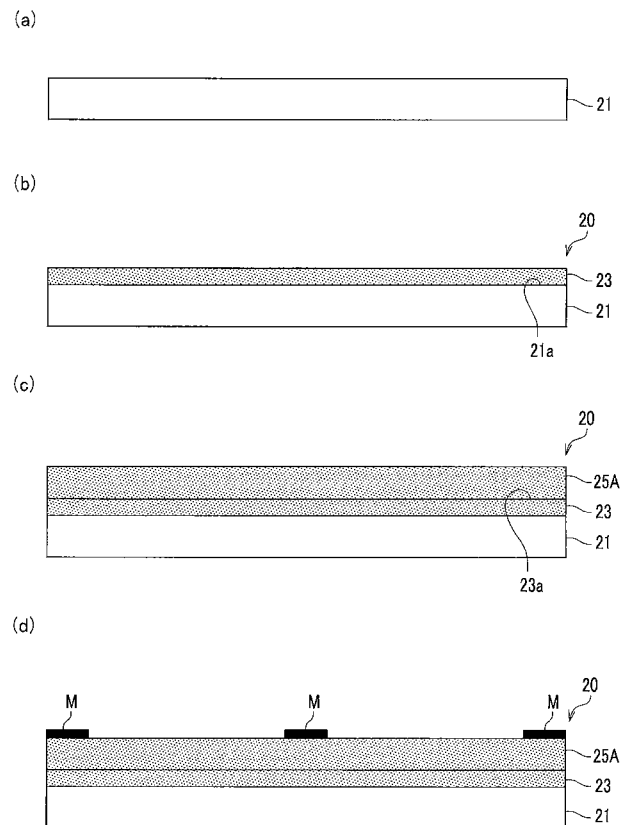
【図 4】



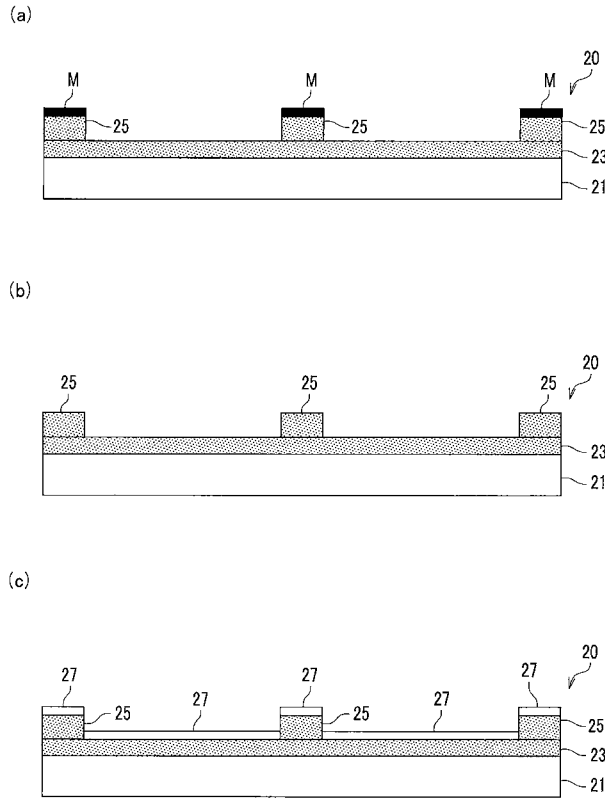
【図 5】



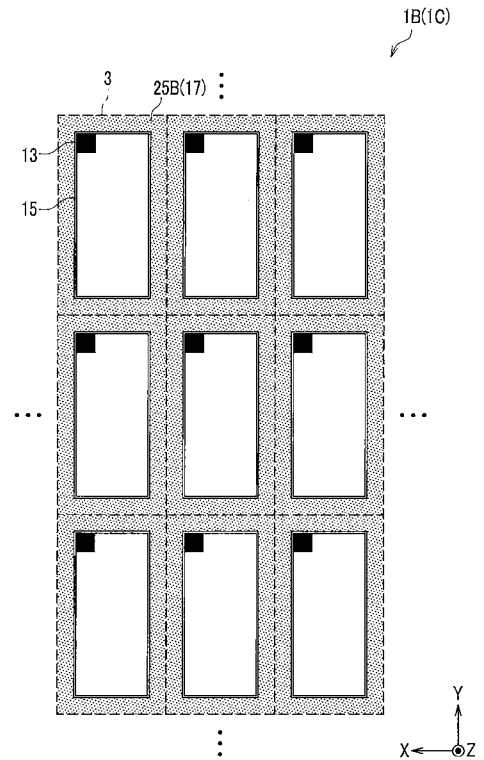
【図 6】



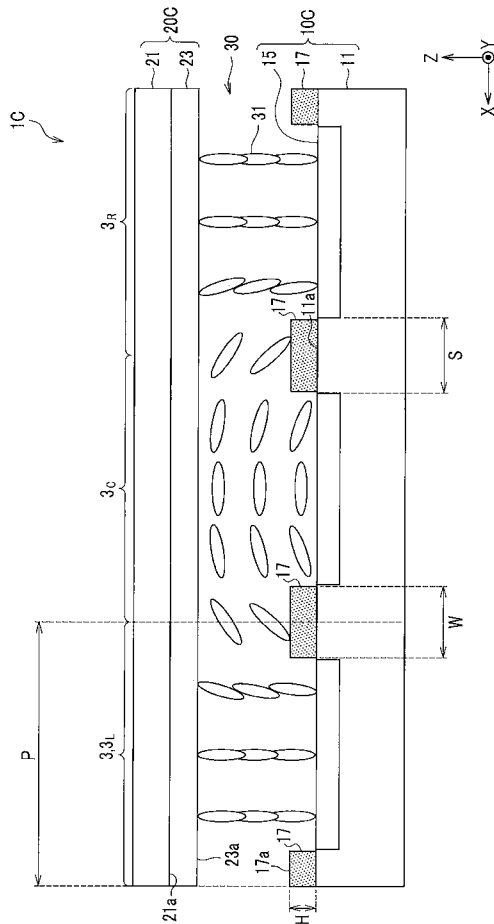
【図 7】



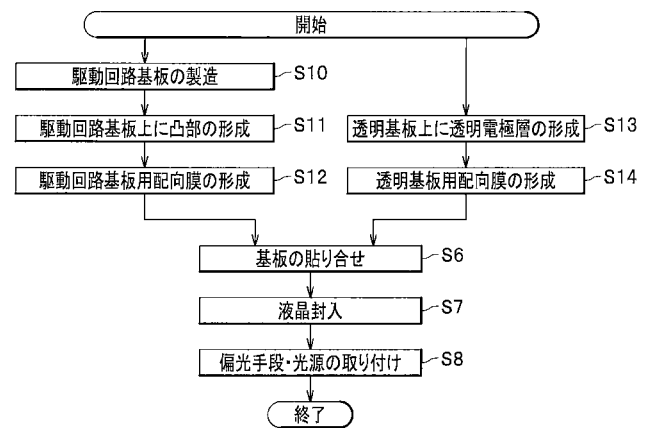
【図 8】



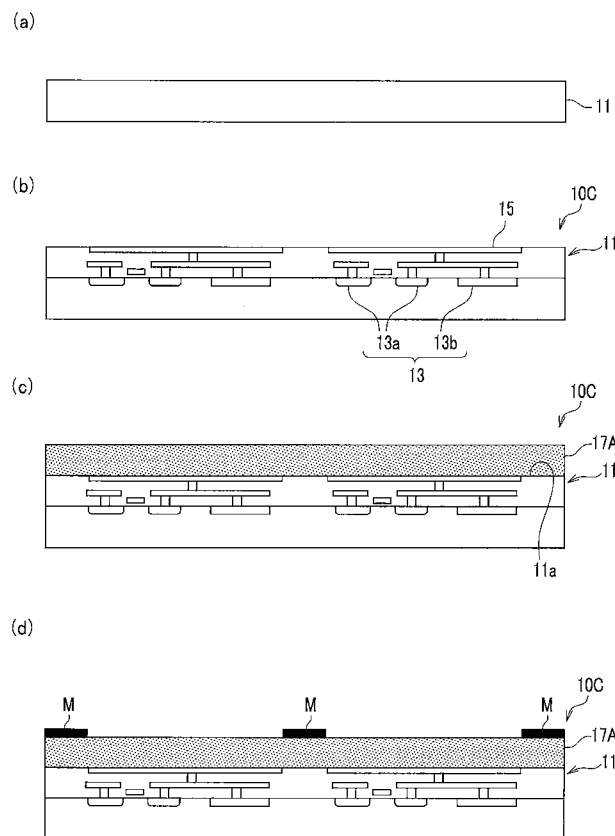
【図 9】



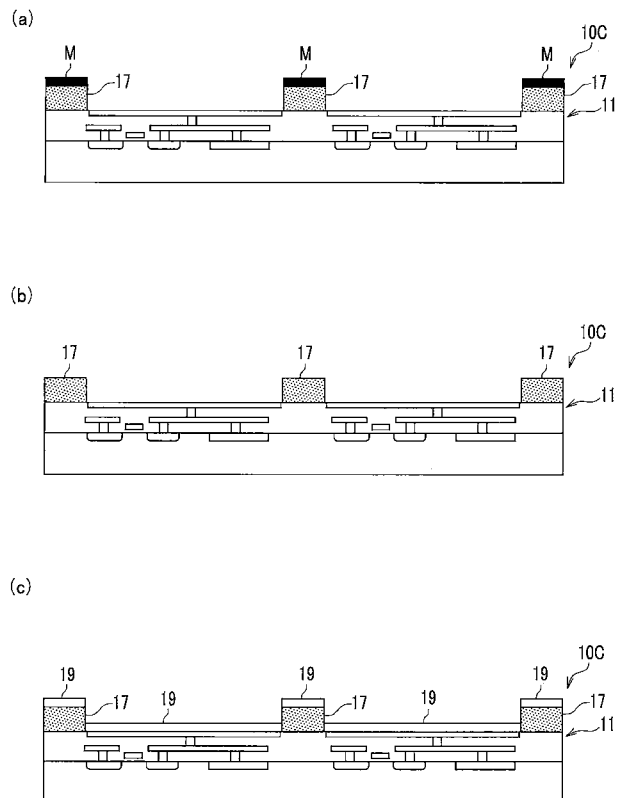
【図 10】



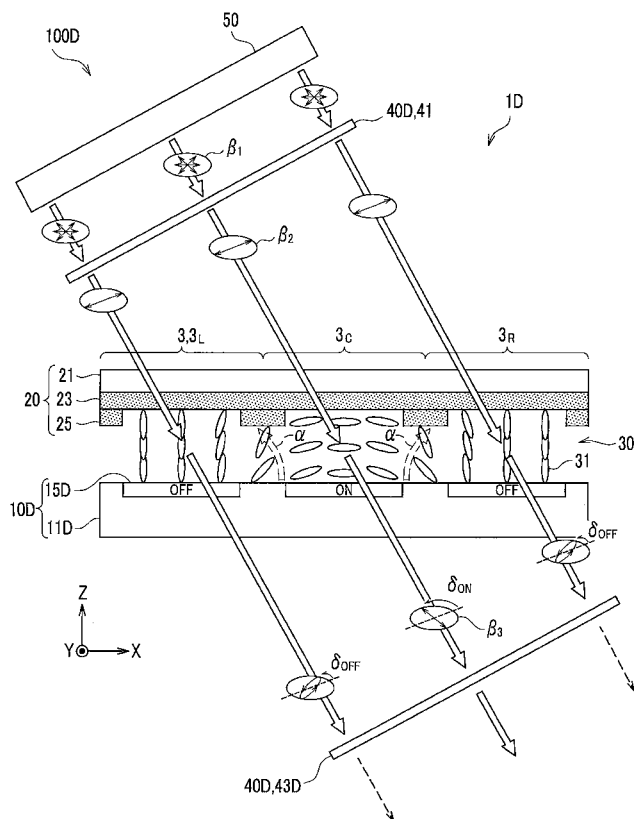
【 図 1 1 】



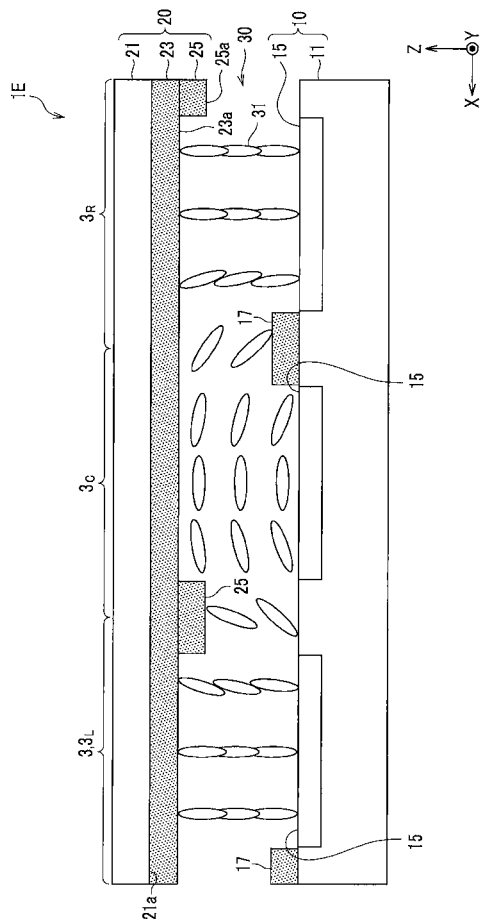
【図 1 2】



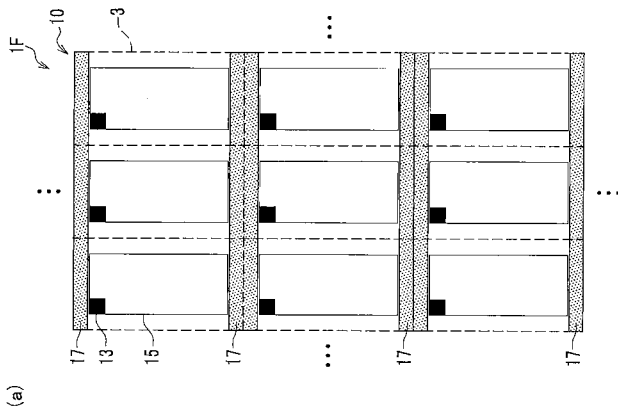
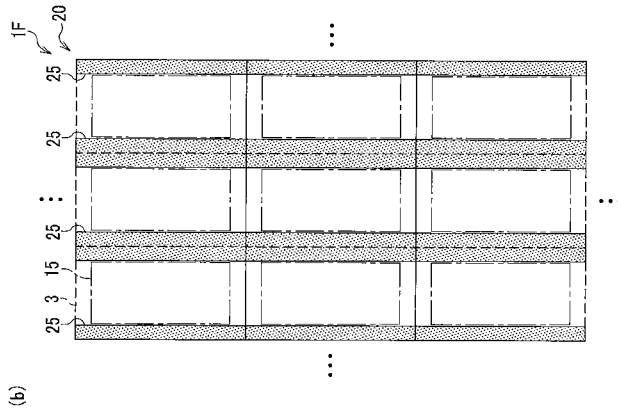
【图 13】



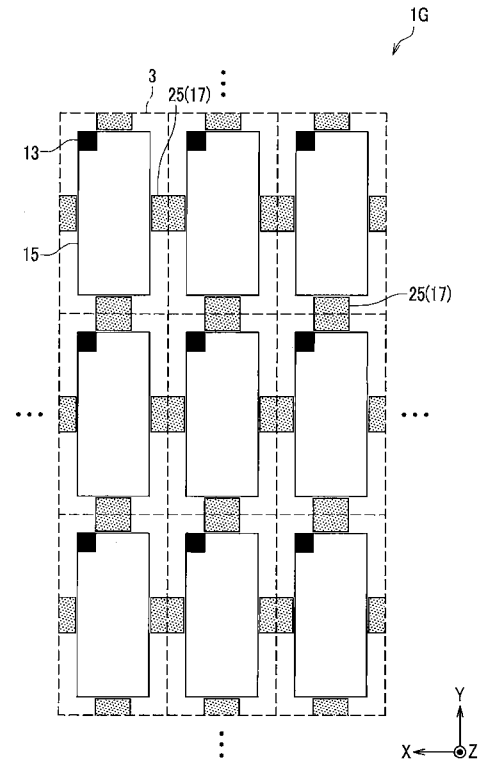
【図 14】



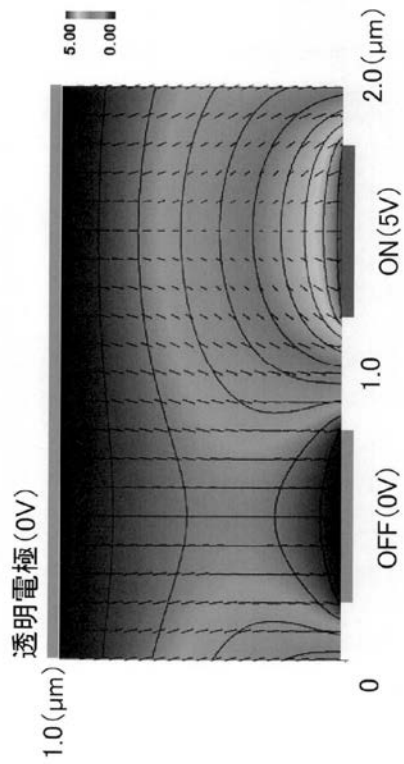
【図 15】



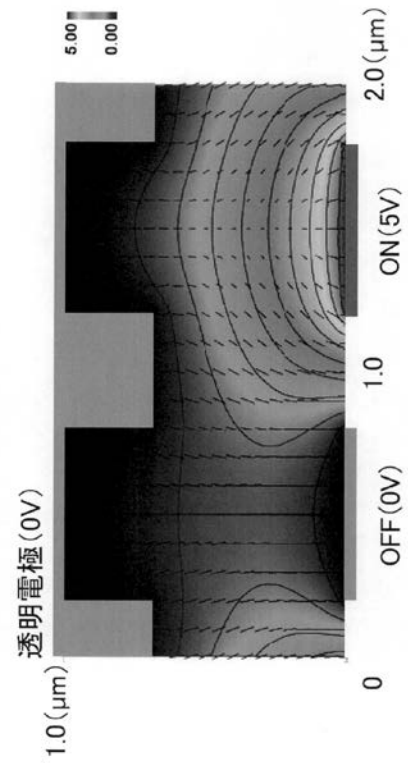
【図 16】



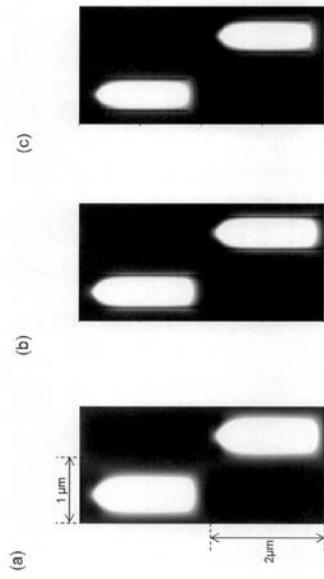
【図 17】



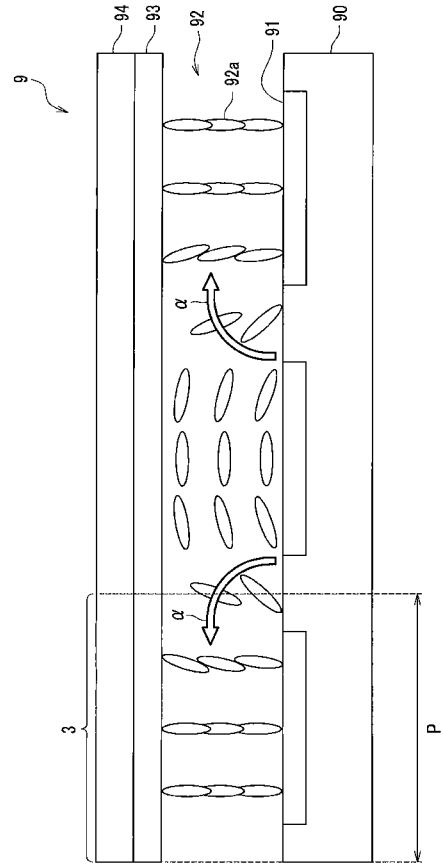
【図 18】



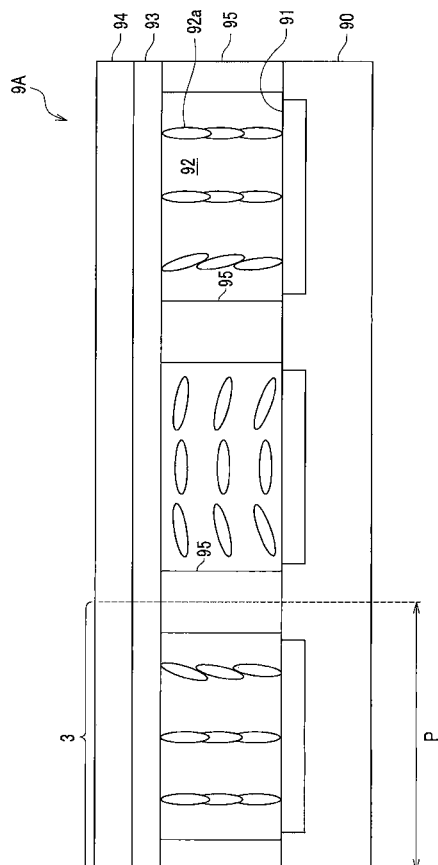
【図 19】



【図 20】



【図 21】



フロントページの続き

(72)発明者 船橋 信彦

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(72)発明者 菊池 宏

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

Fターム(参考) 2H088 EA10 EA37 HA02 HA08 HA18 HA21 HA28 JA05 JA09 MA03
2H189 AA14 BA11 HA16 JA05 JA10 JA12 JA14 LA03 LA10 LA17
LA19 MA15 NA05

专利名称(译)	液晶显示元件和空间光调制器		
公开(公告)号	JP2019144423A	公开(公告)日	2019-08-29
申请号	JP2018028800	申请日	2018-02-21
[标]申请(专利权)人(译)	日本放送协会		
申请(专利权)人(译)	日本广播公司		
[标]发明人	町田賢司 麻生慎太郎 青島賢一 船橋信彦 菊池宏		
发明人	町田 賢司 麻生 慎太郎 青島 賢一 船橋 信彦 菊池 宏		
IPC分类号	G02F1/13 G02F1/1333		
FI分类号	G02F1/13.505 G02F1/1333		
F-TERM分类号	2H088/EA10 2H088/EA37 2H088/HA02 2H088/HA08 2H088/HA18 2H088/HA21 2H088/HA28 2H088/JA05 2H088/JA09 2H088/MA03 2H189/AA14 2H189/BA11 2H189/HA16 2H189/JA05 2H189/JA10 2H189/JA12 2H189/JA14 2H189/LA03 2H189/LA10 2H189/LA17 2H189/LA19 2H189/MA15 2H189/NA05		
外部链接	Espacenet		

摘要(译)

为了提供易于制造的具有窄像素间距的液晶显示元件。液晶显示元件1包括：驱动电路基板10，该驱动电路基板10具有用于每个像素3的驱动电路和驱动电路侧电极15。与驱动电路基板10平行的透明基板20，具有透明电极层23。液晶层30和包围在驱动电路基板10与透明基板20之间的液晶层30。透明电极层23的至少一部分上在透明电极层23与驱动电路基板10之间设置有突出部25。相邻像素的边界3. SELECTED DRAWING：图1

