

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-101116

(P2019-101116A)

(43) 公開日 令和1年6月24日(2019.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H192
G09F 9/30 (2006.01)	G09F 9/30 349C	5C094
H01L 21/336 (2006.01)	H01L 29/78 619B	5F110
H01L 29/786 (2006.01)	H01L 29/78 612Z	

審査請求 未請求 請求項の数 14 O L (全 22 頁)

(21) 出願番号 特願2017-229451 (P2017-229451)
 (22) 出願日 平成29年11月29日 (2017.11.29)

(71) 出願人 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100109210
 弁理士 新居 広守
 (74) 代理人 100137235
 弁理士 寺谷 英作
 (74) 代理人 100131417
 弁理士 道坂 伸一
 (72) 発明者 梶田 大介
 兵庫県姫路市飾磨区妻鹿日田町1-6 パ
 ナソニック液晶ディスプレイ株式会社内
 Fターム(参考) 2H092 GA14 JA26 JB54 KA05 KA12
 KA24 KB14 KB24 KB25

最終頁に続く

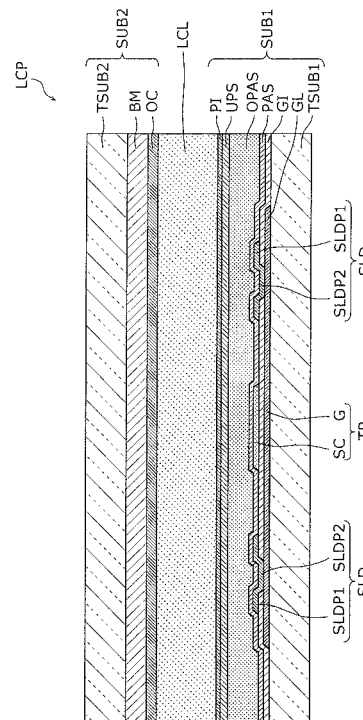
(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】 画像品位に優れた液晶表示パネルを提供する。

【解決手段】 マトリクス状に配列された複数の画素PIXを有する液晶表示パネルLCPであって、複数の画素PIXの各々に設けられ、ゲート電極G、ソース電極S、ドレイン電極D及び半導体層SCを有する薄膜トランジスタTRと、ゲート電極Gと同層に形成され、ゲート電極Gと電気的に接続された走査線GLと、ソース電極S及びドレイン電極Dの少なくとも一方と同層に形成された遮光体SLDとを備え、半導体層SCは、ゲート絶縁層GIを介して走査線GLの上方に形成され、遮光体SLDは、走査線GLの上方、かつ、半導体層SCの側方に位置し、遮光体SLDと走査線GLとは、ゲート絶縁層GIに形成されたコンタクトホールCHを介して接続されている。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

マトリクス状に配列された複数の画素を有する液晶表示パネルであって、
前記複数の画素の各々に設けられ、ゲート電極、ソース電極、ドレイン電極及び半導体層を有する薄膜トランジスタと、
前記ゲート電極と同層に形成され、前記ゲート電極と電氣的に接続された走査線と、
前記ソース電極及び前記ドレイン電極の少なくとも一方と同層に形成された第 1 遮光体とを備え、
前記半導体層は、絶縁層を介して前記走査線の上方に形成され、
前記第 1 遮光体は、前記走査線の上方、かつ、前記半導体層の側方に位置し、
前記第 1 遮光体と前記走査線とは、前記絶縁層に形成されたコンタクトホールを介して接続されている、
液晶表示パネル。

10

【請求項 2】

平面視において、前記第 1 遮光体は、前記走査線の幅方向の端部と前記半導体層との間に位置する、
請求項 1 に記載の液晶表示パネル。

【請求項 3】

前記第 1 遮光体は、前記絶縁層の上に位置する第 1 遮光部と、前記コンタクトホール内に位置する第 2 遮光部とを含む、
請求項 1 又は 2 に記載の液晶表示パネル。

20

【請求項 4】

前記走査線の幅方向における前記第 1 遮光部の外側先端部は、前記走査線の上に位置する、
請求項 3 に記載の液晶表示パネル。

【請求項 5】

前記第 1 遮光部は、前記絶縁層の上面に沿った上壁面を有し、
前記第 2 遮光部は、前記コンタクトホールの内面に沿った側壁面を有し、
断面視において、前記走査線の幅方向における前記上壁面の長さは、前記側壁面の長さよりも長い、
請求項 3 又は 4 に記載の液晶表示パネル。

30

【請求項 6】

前記コンタクトホールの内側面は、傾斜面である、
請求項 3 ～ 5 のいずれか 1 項に記載の液晶表示パネル。

【請求項 7】

平面視において、前記第 1 遮光体は、前記半導体層を挟んで一対形成されている、
請求項 1 ～ 6 のいずれか 1 項に記載の液晶表示パネル。

【請求項 8】

一対の前記第 1 遮光体は、前記走査線の幅方向に並んでいる、
請求項 7 に記載の液晶表示パネル。

40

【請求項 9】

平面視において、前記第 1 遮光体は、前記半導体層を囲んでいる、
請求項 1 ～ 8 のいずれか 1 項に記載の液晶表示パネル。

【請求項 10】

前記走査線の幅方向の端部の側面は、傾斜面である、
請求項 1 ～ 9 のいずれか 1 項に記載の液晶表示パネル。

【請求項 11】

さらに、前記第 1 遮光体を覆う第 1 絶縁膜と、前記第 1 絶縁膜を覆う第 2 絶縁膜とを備え、
前記第 2 絶縁膜の屈折率は、前記第 1 絶縁膜の屈折率よりも小さい、

50

請求項 10 に記載の液晶表示パネル。

【請求項 12】

さらに、前記半導体層を覆う第 2 遮光体を備える、
請求項 1 ~ 11 のいずれか 1 項に記載の液晶表示パネル。

【請求項 13】

前記第 2 遮光体は、アモルファスシリコンによって構成されている、
請求項 12 に記載の液晶表示パネル。

【請求項 14】

前記半導体層は、アモルファスシリコンによって構成されている、
請求項 1 ~ 13 のいずれか 1 項に記載の液晶表示パネル。

10

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、液晶表示パネルに関する。

【背景技術】

【0002】

液晶パネルを用いた液晶表示装置は、低消費電力で画像を表示することができるため、
テレビ又はモニタ等の画像表示装置として利用されている。

【0003】

液晶表示パネルは、画素電極及び薄膜トランジスタ (TFT; Thin Film Transistor) が形成された TFT 基板と、TFT 基板に対向する対向基板と、TFT 基板と対向基板との間に配置された液晶層とを備えている。液晶表示パネルでは、画素毎に設けられた画素電極によって液晶層による光透過率を画素毎に制御することで画像を表示している (例えば特許文献 1)。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2015 - 114375 号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

液晶表示装置では、薄膜トランジスタの半導体層に迷光が入射することがある。薄膜トランジスタの半導体層に光が入射すると、TFT 特性が変化し、液晶表示装置の画像品位が低下する。

【0006】

本開示は、このような課題を解決するためになされたものであり、画像品位に優れた液晶表示パネルを提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本開示に係る液晶表示パネルの一態様は、マトリクス状に配列された複数の画素を有する液晶表示パネルであって、前記複数の画素の各々に設けられ、ゲート電極、ソース電極、ドレイン電極及び半導体層を有する薄膜トランジスタと、前記ゲート電極と同層に形成され、前記ゲート電極と電気的に接続された走査線と、前記ソース電極及び前記ドレイン電極の少なくとも一方と同層に形成された第 1 遮光体とを備え、前記半導体層は、絶縁層を介して前記走査線の上方に形成され、前記第 1 遮光体は、前記走査線の上方、かつ、前記半導体層の側方に位置し、前記第 1 遮光体と前記走査線とは、前記絶縁層に形成されたコンタクトホールを介して接続されている。

40

【発明の効果】

【0008】

本開示に係る液晶表示パネルによれば、薄膜トランジスタの半導体層に光が入射するこ

50

とを抑制できるので、画像品位が低下することを抑制できる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1に係る液晶表示装置の概略構成を模式的に示す図である。

【図2】実施の形態1に係る液晶表示パネルの画素回路を示す図である。

【図3】実施の形態1に係る液晶表示パネルの画素の構成を示す平面図である。

【図4】図3のIV-IV線における実施の形態1に係る液晶表示パネルの断面図である。

【図5】図3のV-V線における実施の形態1に係る液晶表示パネルの断面図である。

【図6】従来の液晶表示パネルの構成を示す断面図である。

【図7】図6の破線で囲まれる領域VIIにおける従来の液晶表示パネルの拡大断面図である。

10

【図8】実施の形態1に係る液晶表示パネルにおいて、薄膜トランジスタの半導体層に向かう光の光路の一例を示す図である。

【図9】実施の形態2に係る液晶表示パネルの断面図である。

【図10】変形例1に係る液晶表示パネルの断面図である。

【図11】変形例2に係る液晶表示パネルの画素の構成を示す平面図である。

【図12】変形例3に係る液晶表示パネルの画素の構成を示す平面図である。

【発明を実施するための形態】

【0010】

以下、本開示の実施の形態について説明する。なお、以下に説明する実施の形態は、いずれも本開示の好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、及び、構成要素の配置位置や接続形態などは、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

20

【0011】

各図は模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺等は必ずしも一致していない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【0012】

30

(実施の形態1)

まず、液晶表示パネルLCPを用いた液晶表示装置LCDの概略構成について、図1及び図2を用いて説明する。図1は、実施の形態1に係る液晶表示装置LCDの概略構成を模式的に示す図である。図2は、実施の形態1に係る液晶表示パネルLCPの画素回路を示す図である。

【0013】

液晶表示装置LCDは、静止画像又は動画像を表示する画像表示装置の一例であって、図1に示すように、液晶表示パネルLCPと、液晶表示パネル駆動回路PDC(ソースドライバSDC、ゲートドライバGDC)と、バックライトBLと、画像処理部IPUとを備える。

40

【0014】

液晶表示パネルLCPは、バックライトBLの光出射側に配置される。液晶表示パネルLCPは、画像表示領域DSPにカラー画像又はモノクロ画像を表示する。液晶表示パネルLCPの駆動方式は、例えばIPS又はFFS等の横電界方式である。また、液晶表示パネルLCPは、例えば、ノーマリーブラック方式により電圧の制御が行われるが、電圧制御の方式は、ノーマリーブラック方式に限らない。

【0015】

図1及び図2に示すように、液晶表示パネルLCPは、マトリクス状に配列された複数の画素PIXを有する。画像が表示される画像表示領域DSPは、マトリクス状に配列された複数の画素PIXによって構成されている。

50

【0016】

図2に示すように、複数の画素PIXの各々には、薄膜トランジスタTRが設けられている。薄膜トランジスタTRは、ゲート電極G、ソース電極S及びドレイン電極Dを有する。

【0017】

また、各画素PIXには、画素電極PI T及び共通電極MI Tが設けられている。本実施の形態において、画素電極PI Tは、各画素PIXに1つずつ設けられている。一方、共通電極MI Tは、画像表示領域DSPの全ての画素PIXに共通する1つの平面状の電極であり、画像表示領域DSPの全体に形成されている。

【0018】

図2に示すように、液晶表示パネルLCPには、行方向に延在する複数の走査線（ゲート線）GLと、行方向に直交する列方向に延在する複数の映像信号線（ソース線）SLとが形成されている。

【0019】

複数の走査線GLの各々は、列方向に隣り合う2つの画素PIXの境界部ごとに設けられている。本実施の形態において、走査線GLは、列方向に隣り合う2つの画素PIXの境界部ごとに1本ずつ設けられている。

【0020】

各走査線GLは、行方向に配列された複数の画素PIXの各々の薄膜トランジスタTRと接続されている。具体的には、各走査線GLは、各画素PIXにおいて、薄膜トランジスタTRのゲート電極Gと接続されている。

【0021】

複数の映像信号線SLは、行方向に隣り合う2つの画素PIXの境界部ごとに設けられている。本実施の形態において、映像信号線SLは、行方向に隣り合う2つの画素PIXの境界部ごとに1本ずつ設けられている。

【0022】

各映像信号線SLは、列方向に配列された複数の画素PIXの各々の薄膜トランジスタTRと接続されている。具体的には、各映像信号線SLは、各画素PIXにおいて、薄膜トランジスタTRのドレイン電極Dに接続されている。つまり、本実施の形態において、映像信号線SLは、ドレイン線である。

【0023】

なお、各画素PIXにおいて、薄膜トランジスタTRのソース電極Sは、画素電極PI Tに接続されている。

【0024】

図1に示すように、液晶表示パネルLCPには、入力された映像信号に応じた画像を表示するために、液晶表示パネル駆動回路PDCが接続されている。液晶表示パネル駆動回路PDCは、ソースドライバSDC及びゲートドライバGDCを含む。ソースドライバSDC及びゲートドライバGDCは、例えばドライバIC（ICパッケージ）であり、プリント配線基板に実装されている。ソースドライバSDCが実装されたプリント配線基板及びゲートドライバGDCが実装されたプリント配線基板は、FFC（Flexible Flat Cable）又はFPC（Flexible Printed Cable）等のフレキシブル配線基板を介して液晶表示パネルLCPに接続される。

【0025】

図2に示すように、ソースドライバSDCは、液晶表示パネルLCPの映像信号線SLに接続されている。ソースドライバSDCは、ゲートドライバGDCによる走査線GLの選択に合わせて、画像処理部IPUから入力される映像信号に応じた電圧（データ電圧）を映像信号線SLに供給する。

【0026】

ゲートドライバGDCは、走査線GLに接続されている。ゲートドライバGDCは、画像処理部IPUから入力されるタイミング信号に応じて映像信号を書き込む画素PIXを

10

20

30

40

50

選択し、選択した画素 P I X の薄膜トランジスタ T R をオンする電圧（ゲートオン電圧）を走査線 G L に供給する。これにより、選択された画素 P I X の画素電極 P I T には、薄膜トランジスタ T R を介してデータ電圧が供給される。なお、共通電極 M I T には、コモンドライバ（図示せず）から共通電圧が供給される。

【 0 0 2 7 】

このように、ゲートドライバ G D C からゲートオン電圧が走査線 G L に供給されると、選択された画素 P I X の薄膜トランジスタ T R がオンし、この薄膜トランジスタ T R に接続された映像信号線 S L からデータ電圧が画素電極 P I T に供給される。そして、画素電極 P I T に供給されたデータ電圧と共通電極 M I T に供給された共通電圧との差により液晶層に電界が生じる。この電界により各画素 P I X における液晶層の液晶分子の配向状態が変化し、液晶表示パネル L C P を通過するバックライト B L の光の透過率が画素 P I X ごとに制御される。これにより、液晶表示パネル L C P の表示領域（画素領域）に所望の画像が表示される。

10

【 0 0 2 8 】

バックライト B L は、図 1 に示すように、液晶表示パネル L C P の背面側に配置されており、液晶表示パネル L C P に向けて光を照射する。本実施の形態において、バックライト B L は、LED（Light Emitting Diode）を光源とする LED バックライトであるが、これに限るものではない。また、バックライト B L は、液晶表示パネル L C P に対面するように LED が基板上に二次元状に配列された直下型の LED バックライトであるが、エッジ型であってもよい。バックライト B L は、平面状の均一な散乱光（拡散光）を照射する面発光ユニットである。この場合、バックライト B L は、光源からの光を拡散させるために拡散板（拡散シート）等の光学部材を有していてもよい。

20

【 0 0 2 9 】

画像処理部 I P U は、CPU 等の演算処理回路と、ROM や RAM 等のメモリとを備える制御装置である。画像処理部 I P U には、液晶表示パネル L C P に表示するための画像データが入力される。画像処理部 I P U は、CPU がメモリに格納されたプログラムを読み出して実行することにより各種の処理を実行する。具体的には、画像処理部 I P U は、外部のシステム（図示せず）から入力された映像データに対して色調整等の各種の画像信号処理を行って各画素 P I X の階調値を示す映像信号と各画素 P I X に映像信号を書き込むタイミングを示すタイミング信号とを生成し、映像信号をソースドライバ S D C に出力するとともにタイミング信号をゲートドライバ G D C に出力する。

30

【 0 0 3 0 】

次に、液晶表示パネル L C P の具体的な構造について、図 3 ～ 図 5 を用いて説明する。図 3 は、実施の形態 1 に係る液晶表示パネル L C P の画素 P I X の構成を示す平面図である。図 4 は、図 3 の IV - IV 線における同液晶表示パネル L C P の断面図である。図 5 は、図 3 の V - V 線における同液晶表示パネル L C P の断面図である。

【 0 0 3 1 】

図 3 に示すように、各画素 P I X は、行方向に延在する走査線 G L と列方向に延在する映像信号線 S L とによって囲まれる領域である。各画素 P I X には、画素電極 P I T が設けられている。

40

【 0 0 3 2 】

図 3 に示すように、画素電極 P I T は、列方向に延在する複数本のライン電極 P I T L を有する。複数本のライン電極 P I T L の長手方向の両端部は、走査線 G L の近傍において行方向に沿って延在する連結電極 P I T C によって連結されている。各画素電極 P I T において、全てのライン電極 P I T L は、同一の幅及び同一の間隔で、互いに平行に形成されている。なお、本実施の形態において、各ライン電極 P I T L は、直線状に形成されているが、中央部に屈曲部を有する略「く」の字状に形成されていてもよい。

【 0 0 3 3 】

図 4 及び図 5 に示すように、液晶表示パネル L C P は、第 1 基板 S U B 1 と、第 1 基板 S U B 1 に対向する第 2 基板 S U B 2 と、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間に

50

配置された液晶層 L C L とを備えている。本実施の形態において、第 1 基板 S U B 1 がバックライト B L 側に位置し、第 2 基板 S U B 2 が観察者側に位置する。液晶層 L C L は、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間に封止されている。

【 0 0 3 4 】

第 1 基板 S U B 1 は、薄膜トランジスタ T R として T F T を有する T F T 基板である。また、第 1 基板 S U B 1 には、薄膜トランジスタ T R だけではなく、映像信号線 S L 及び走査線 G L 等の各種配線、これらの配線間を絶縁する層間絶縁膜、画素電極 P I T 、共通電極 M I T 及び配向膜 P I 等が設けられている。これらは、第 1 透明基材 T S U B 1 に形成される。第 1 透明基材 T S U B 1 は、例えば、ガラス基板等の透明基板である。

【 0 0 3 5 】

第 1 透明基材 T S U B 1 に形成された薄膜トランジスタ T R は、ゲート電極 G と、ソース電極 S と、ドレイン電極 D と、チャネル層となる半導体層 S C とを有する。図 5 に示すように、薄膜トランジスタ T R は、ボトムゲート構造の T F T であり、第 1 透明基材 T S U B 1 の上に形成されたゲート電極 G と、ゲート電極 G の上に形成されたゲート絶縁層 G I と、ゲート絶縁層 G I を介してゲート電極 G の上方に形成された半導体層 S C とによって構成されている。

【 0 0 3 6 】

本実施の形態において、ゲート電極 G は、走査線 G L の一部であり、半導体層 S C は、ゲート絶縁層 G I を介して走査線 G L の上に形成されている。また、ソース電極 S 及びドレイン電極 D は、半導体層 S C の上に形成されている。

【 0 0 3 7 】

ゲート電極 G、ソース電極 S 及びドレイン電極 D は、金属材料等の導電材料によって構成されている。ゲート電極 G は、例えば、下層のモリブデン膜（例えば 10 nm）と上層の銅膜（例えば 300 nm）との 2 層構造からなる金属膜によって構成されている。また、ソース電極 S 及びドレイン電極 D は、例えば、下層のモリブデン膜（例えば 20 nm）と上層の銅膜（例えば 300 nm）との 2 層構造からなる金属膜によって構成されている。ゲート電極 G、ソース電極 S 及びドレイン電極 D は、スパッタ等によって金属膜を成膜し、フォトリソグラフィ法及びウェットエッチング法を用いて金属膜をパターニングすることで、所定形状に形成することができる。なお、本実施の形態において、ソース電極 S とドレイン電極 D とは同層に形成されているので、ソース電極 S とドレイン電極 D とは、同じ金属膜を同時にパターニングすることによって形成される。

【 0 0 3 8 】

半導体層 S C は、アモルファスシリコンによって構成されている。半導体層 S C は、例えば、下層の i - アモルファスシリコン膜（例えば 155 nm）と上層の n - アモルファスシリコン膜（例えば 25 nm）との 2 層構造からなる半導体膜によって構成されている。この場合、プラズマ C V D 等によって n - アモルファスシリコン膜と i - アモルファスシリコン膜を順次成膜して積層膜を形成し、フォトリソグラフィ法及びウェットエッチング法を用いて積層膜をパターニングすることで、所定形状の半導体層 S C を形成することができる。

【 0 0 3 9 】

ゲート絶縁層 G I は、絶縁材料によって構成されている。ゲート絶縁層 G I は、例えば、窒化シリコン膜（例えば 390 nm）によって構成されている。ゲート絶縁層 G I は、プラズマ C V D 等によって成膜することができる。

【 0 0 4 0 】

なお、ゲート電極 G、ソース電極 S、ドレイン電極 D、半導体層 S C 及びゲート絶縁層 G I の材料は、これらに限定されるものではない。例えば、半導体層 S C の材料としては、アモルファスシリコンに限るものではなく、低温ポリシリコン等のポリシリコン又は I n - G a - Z n - O 系酸化物半導体等を用いてもよい。また、ゲート電極 G、ソース電極 S、ドレイン電極 D 及び半導体層 S C は、2 層で構成されるものに限らず、単層で構成されていてもよいし、3 層以上で構成されていてもよい。また、ゲート絶縁層 G I も、単層

10

20

30

40

50

で構成されるものに限らず、2層以上で構成されていてもよい。

【0041】

また、図3～図5に示すように、第1基板SUB1には、走査線GL及び映像信号線SLが形成されている。走査線GLは、ゲート電極Gと同層に形成されている。つまり、走査線GLとゲート電極Gとは、同じ金属膜を同時にパターニングすることによって形成される。一方、映像信号線SLは、ソース電極S及びドレイン電極Dと同層に形成されている。つまり、映像信号線SLとソース電極S及びドレイン電極Dとは、同じ金属膜を同時にパターニングすることによって形成される。なお、図3に示すように、本実施の形態において、薄膜トランジスタTRのドレイン電極Dは、映像信号線SLに接続されており、薄膜トランジスタTRのソース電極Sは、画素電極PITに接続されている。

10

【0042】

図3及び図5に示すように、第1基板SUB1には、遮光体SLDが設けられている。遮光体SLDは、半導体層SCの側方に設けられており、薄膜トランジスタTRの半導体層SCに向かう光を遮光する。遮光体SLDは、半導体層SCに向かう光を遮光することで半導体層SCをガードするガード構造を有する。

【0043】

遮光体SLDは、ソース電極S及びドレイン電極Dの少なくとも一方と同層に形成されている。本実施の形態では、ソース電極Sとドレイン電極Dとが同層に形成されているので、遮光体SLDは、ソース電極S及びドレイン電極Dの両方と同層に形成されている。したがって、遮光体SLDは、ソース電極S及びドレイン電極Dと同じ材料によって構成されている。本実施の形態において、遮光体SLDとソース電極S及びドレイン電極Dとは、例えば同じ金属膜をパターニングすることによって形成される。つまり、遮光体SLDは、ソース電極S及びドレイン電極Dと同様に金属膜あり、遮光体SLDに入射する光を反射することで遮光する反射膜である。具体的には、遮光体SLDは、下層のモリブデン膜（例えば20nm）と上層の銅膜（例えば300nm）との2層構造からなる金属膜によって構成されている。なお、遮光体SLDとソース電極S及びドレイン電極Dとは、分離して形成されている。

20

【0044】

図5に示すように、遮光体SLDは、走査線GLの上方に設けられている。具体的には、遮光体SLDは、走査線GLに積層されたゲート絶縁層GIの上に形成されている。遮光体SLDと走査線GLとは、ゲート絶縁層GIに形成されたコンタクトホールCHを介して接続されている。つまり、遮光体SLDは、ソース電極S及びドレイン電極Dとは電氣的に接続されていないが、走査線GLとは電氣的に接続されている。コンタクトホールCHは、フォトリソグラフィ法及びエッチング法によりゲート絶縁層GIに形成されたスルーホールである。

30

【0045】

本実施の形態において、遮光体SLDは、ゲート絶縁層GIの上に位置する部分である第1遮光部SLDP1と、コンタクトホールCH内に位置する部分である第2遮光部SLDP2とを含む。

【0046】

40

第1遮光部SLDP1は、第2遮光部SLDP2の上部から水平方向に張り出すようにひさし状に形成されている。第1遮光部SLDP1は、ゲート絶縁層GIの上面に沿って形成された第1遮光膜であり、ゲート絶縁層GIの上面に沿った上壁面（上遮光面）を有する。つまり、第1遮光部SLDP1の上壁面は、ゲート絶縁層GIの上面に接触している。

【0047】

第2遮光部SLDP2は、ゲート絶縁層GIを介して形成された第1遮光部SLDP1と走査線GLとを連結させる連結部である。第2遮光部SLDP2は、コンタクトホールCHを埋め込むように形成された第2遮光膜であり、コンタクトホールCHの内側面に沿った側壁面（横遮光面）を有する。つまり、第2遮光部SLDP2の側壁面は、コンタク

50

トホールCHの内側面に接触している。

【0048】

本実施の形態において、コンタクトホールCHは、等方エッチングによって形成されるため、上から下に向かって内径が漸次小さくなる順テーパ状である。したがって、コンタクトホールCHの内側面は、傾斜面となっている。これにより、コンタクトホールCH内に形成される第2遮光部SLDP2の側壁面も傾斜面となる。

【0049】

また、走査線GLの幅方向（列方向）における第1遮光部SLDP1の上壁面の長さ（第2遮光部SLDP2から水平方向への突出量）は、第2遮光部SLDP2の側壁面の長さよりも長くなっている。図3に示すように、本実施の形態において、第1遮光部SLDP1は、第2遮光部SLDP2の上部から全方位に突出するように形成されており、全方位において、第1遮光部SLDP1の上壁面の長さが第2遮光部SLDP2の側壁面の長さよりも長くなっている。

10

【0050】

図3に示すように、本実施の形態における遮光体SLDは、平面視において、走査線GLの幅方向の端部と半導体層SCとの間に位置している。具体的には、図3及び図5に示すように、走査線GLの幅方向における第1遮光部SLDP1の外側先端部は、走査線GLの上に位置している。つまり、走査線GLの幅方向における第1遮光部SLDP1の外側先端部は、走査線GLの幅方向の端部から後退した位置に存在している。

20

【0051】

また、本実施の形態において、遮光体SLDは、半導体層SCを挟んで一対形成されている。一対の遮光体SLDは、走査線GLの幅方向に並んでいる。つまり、半導体層SCは、一対の遮光体SLDの間に位置している。

【0052】

本実施の形態において、半導体層SCは、走査線GLの長手方向（画素PIXの行方向）に延在する長尺状であるので、一対の遮光体SLDは、走査線GLの長手方向に延在している。具体的には、走査線GLの長手方向において、各遮光体SLDの長さは、半導体層SCの長さよりも長くなっている。つまり、走査線GLの長手方向における遮光体SLDの長さは、走査線GLの長手方向における半導体層SCの長さよりも長くなっている。

30

【0053】

遮光体SLDは、第1絶縁膜PASによって覆われている。第1絶縁膜PASは、薄膜トランジスタTR、走査線GL、映像信号線SL及び遮光体SLDを覆うように、第1透明基材TSUB1の上方に形成されている。具体的には、第1絶縁膜PASは、走査線GL及びゲート電極Gを含む配線層と、映像信号線SL、ソース電極S、ドレイン電極D及び遮光体SLDを含む配線層と、半導体層SCを含む層とを覆うように、ゲート絶縁層GI上の全面に形成されている。第1絶縁膜PASは、例えば、窒化シリコン膜等の無機材料からなる無機絶縁膜（例えば200nm）によって構成されている。無機絶縁膜である第1絶縁膜PASは、例えばプラズマCVD等によって成膜することができる。

【0054】

さらに、第1絶縁膜PASを覆うように第2絶縁膜OPASが形成されている。本実施の形態において、第2絶縁膜OPASの厚さは、第1絶縁膜PASの厚さよりも厚い。具体的には、第2絶縁膜OPASの厚さは、第1絶縁膜PASの厚さの10倍以上であり、一例として、3000nmである。これにより、走査線GL及び映像信号線SL等の配線と共通電極MITとの間の厚み方向の距離を大きくすることができるので、走査線GL及び映像信号線SL等の配線と共通電極MITとで形成される寄生容量を軽減することができる。しかも、第2絶縁膜OPASを厚くすることで、薄膜トランジスタTR、走査線GL及び映像信号線SLを形成することで生じるTFT層の凹凸差を軽減してTFT層を平坦化することができる。これにより、表面が平坦化された第2絶縁膜OPASを形成することができるので、第2絶縁膜OPASの直上の共通電極MITを平坦な平面状に形成することができる。

40

50

【0055】

本実施の形態において、第2絶縁膜OPASは、炭素を含む有機材料からなる有機絶縁膜によって構成されている。有機絶縁膜である第2絶縁膜OPASは、例えば液状の有機材料を塗布して硬化することによって形成することができる。これにより、第2絶縁膜OPASを容易に厚膜化することができるので、全ての画素PIXにわたって第2絶縁膜OPASの表面を容易に平坦にすることができる。つまり、第2絶縁膜OPASは、平坦化層として機能している。

【0056】

なお、第1絶縁膜PASの上に積層される第2絶縁膜OPASの屈折率は、第1絶縁膜PASの屈折率よりも小さい。例えば、第2絶縁膜OPASの屈折率は、1.5で、第1絶縁膜PASの屈折率は、1.9である。また、第1絶縁膜PASの下に積層されるゲート絶縁層GIの屈折率は、第1絶縁膜PASの屈折率と同等であり、例えば、1.5である。

10

【0057】

また、第1基板SUB1には、共通電極MIT及び画素電極PITが形成されている。具体的には、共通電極MIT及び画素電極PITは、第3絶縁膜UPSを介して対向して積層されている。

【0058】

本実施の形態において、共通電極MITは、第2絶縁膜OPASの上に形成されている。そして、共通電極MITを覆うように第3絶縁膜UPSが形成され、第3絶縁膜UPSの上に画素電極PITが所定形状で形成されている。共通電極MIT及び画素電極PITは、例えば、インジウム錫酸化物(ITO: Indium Tin Oxide)等の透明金属酸化物によって構成された透明電極である。また、第3絶縁膜UPSは、例えば、窒化シリコン膜等の無機絶縁膜(例えば600nm)によって構成されている。無機絶縁膜である第3絶縁膜UPSは、例えばプラズマCVD等によって成膜することができる。

20

【0059】

上述のように、共通電極MITは、全ての画素PIXにわたって形成された平面状のべた電極である。これにより、走査線GL及び映像信号線SL等の配線が共通電極MITによって覆われるので、走査線GL及び映像信号線SL等の配線で発生する電界を共通電極MITによって遮蔽することができる。つまり、TFT層で発生する電界を共通電極MITによってシールドすることができる。

30

【0060】

なお、共通電極MITは薄膜平面状のべた電極であるが、共通電極MITにおける走査線GLの上には、行方向に沿って延在する開口部(不図示)が形成されている。この共通電極MITの開口部には、第1絶縁膜PAS、第2絶縁膜OPAS及び第3絶縁膜UPSの3層構造の絶縁層を貫通するコンタクトホールが設けられている。画素電極PITは、コンタクトホールを介して薄膜トランジスタTRのソース電極Sに接続されている。なお、遮光体SLDは、平面視において、この共通電極MITの開口部と重なる位置に形成されている。

【0061】

また、画素電極PITの上には配向膜PIが形成されている。配向膜PIは、第1透明基材TSUB1の上方において、画素電極PITを覆うように全ての画素PIXにわたって形成されている。配向膜PIは、液晶層LCLに接しており、液晶層LCLの液晶分子の初期配向角度を制御する。本実施の形態では、液晶分子の初期配向角度を一定方向に揃えるために、配向膜PIにはラビング処理が施されている。

40

【0062】

図4及び図5に示すように、観察者側の第2基板SUB2は、第1基板SUB1に対向する対向基板である。図5に示すように、第2基板SUB2は、第2透明基材TSUB2と、第2透明基材TSUB2に形成された遮光層BMとを有する。第2透明基材TSUB2は、第1透明基材TSUB1と同様に、例えば、ガラス基板等の透明基板である。

50

【 0 0 6 3 】

遮光層 B M は、黒色層であり、例えばカーボンブラックによって構成されている。遮光層 B M は、第 2 透明基材 T S U B 2 の液晶層 L C L 側の面に形成される。本実施の形態において、遮光層 B M は、列方向に隣り合う 2 つの画素 P I X の境界部ごとに形成されている。具体的には、遮光層 B M は、第 1 基板 S U B 1 における各走査線 G L を覆うように複数形成されている。つまり、平面視において、各遮光層 B M は、各走査線 G L に重なっている。各遮光層 B M は、帯状であり、一定の幅で行方向に沿ってライン状に形成されている。遮光層 B M の幅は、走査線 G L の幅よりも大きくなっており、走査線 G L は遮光層 B M からはみ出さないように形成されている。このように、遮光層 B M を形成することによって、遮光層 B M によって外光等の光を遮光することができる。これにより、走査線 G L の表面で外光等の光が反射して画像品位が低下することを抑制できる。遮光層 B M の表面には、オーバーコート層 O C が形成されている。

10

【 0 0 6 4 】

なお、図 4 に示すように、本実施の形態では、行方向に隣り合う 2 つの画素 P I X の境界部には遮光層 B M が形成されておらず、映像信号線 S L が遮光層 B M で覆われていないが、遮光層 B M は、走査線 G L だけではなく、映像信号線 S L を覆うように形成されていてもよい。つまり、遮光層 B M は、格子状に形成されていてもよい。

【 0 0 6 5 】

また、液晶表示パネル L C P がカラー画像を表示する場合、第 2 基板 S U B 2 は、カラーフィルタを有するカラーフィルタ基板となる。この場合、例えば、各画素 P I X に対応して、赤色カラーフィルタ、青色カラーフィルタ及び緑色カラーフィルタのいずれかのカラーフィルタが形成される。カラーフィルタは、遮光層 B M の間の領域（つまり遮光層 B M の開口部）に形成される。一方、液晶表示パネル L C P がモノクロ画像を表示する場合は、第 2 基板 S U B 2 にはカラーフィルタが形成されない。

20

【 0 0 6 6 】

このように構成される液晶表示パネル L C P には、一对の偏光板（不図示）が貼り合わされている。例えば、一对の偏光板の一方が第 1 基板 S U B 1 の外面に形成され、一对の偏光板の他方が第 2 基板 S U B 2 の外面に形成される。一对の偏光板は、偏光方向が互いに直交するように配置されている。また、一对の偏光板には、位相差板が貼り合わされていてもよい。

30

【 0 0 6 7 】

次に、本実施の形態に係る液晶表示パネル L C P の作用効果について、本発明に至った経緯も含めて説明する。

【 0 0 6 8 】

液晶表示装置における液晶表示パネルの T F T 基板には、薄膜トランジスタが形成されている。薄膜トランジスタの半導体層（チャネル層）に光が入射すると、薄膜トランジスタの閾値電圧（ V_{th} ）が変動することが知られている。

【 0 0 6 9 】

さらに、薄膜トランジスタの半導体層がアモルファスシリコンによって構成されている場合には、アモルファスシリコンは光を吸収する特質を有するため、半導体層に光が入射すると、薄膜トランジスタの閾値電圧が変動するだけではなく、フォトコン（光導電現象）が発生し、オフリーク電流が増大する。

40

【 0 0 7 0 】

このように、薄膜トランジスタの半導体層に光が入射すると、T F T 特性が変化し、液晶表示装置の画像品位が低下するという課題がある。

【 0 0 7 1 】

液晶表示パネルの薄膜トランジスタの半導体層に入射する光としては、液晶表示装置内におけるバックライトからの光、又は、液晶表示装置の外部から入り込む光（外光）、あるいは、これらの光が液晶層で散乱した光（散乱光）等が考えられる。

【 0 0 7 2 】

50

このため、従来の液晶表示パネルでは、薄膜トランジスタの半導体層を走査線等の金属膜の上に形成したり、薄膜トランジスタの半導体層の上に遮光膜を形成したりすることで、薄膜トランジスタの半導体層に入射しようとする光を遮光する技術が提案されている。

【0073】

しかしながら、このような技術を用いても、薄膜トランジスタのTFT特性の変動を十分に抑制することができていない。

【0074】

そこで、本願発明者は、薄膜トランジスタのTFT特性が変動する原因について、光以外に種々探ってみたものの、やはり薄膜トランジスタのTFT特性の変動を十分に抑制することができなかった。

【0075】

そこで、本願発明者は、さらに検討した結果、薄膜トランジスタの半導体層に入射しようとする光を十分に遮光しきれていないのではないかと考えに至り、薄膜トランジスタの半導体層に入射する光の経路について種々検討した。

【0076】

その結果、走査線GLの幅方向の端部の形状に起因して、液晶表示パネルの背面から入射する光（バックライトの光等）の一部が薄膜トランジスタの半導体層に入射することを突き止めた。この点について、図6及び図7を用いて説明する。図6は、従来の液晶表示パネルLCPXの構成を示す断面図である。図7は、図6の破線で囲まれる領域VIIの拡大図である。

【0077】

図6に示される従来の液晶表示パネルLCPXは、図5に示される実施の形態に係る液晶表示パネルLCPに対して、遮光体SLDが設けられていない構成である。

【0078】

走査線GLを所定形状に形成する際、フォトリソグラフィ法及びウェットエッチング法によって金属膜をパターニングする。このとき、金属膜が等方的にエッチングされるため、図6及び図7に示すように、走査線GLの幅方向の端部の側面が傾斜面（テーパ面）となって現れる。この場合、走査線GLの端部の傾斜面の傾斜角は、金属膜の種類やエッチャントの種類によって異なるが、一例として約45°である。

【0079】

そして、走査線GLの端部の側面が傾斜面になると、走査線GLの端部を段差状に覆うゲート絶縁層GIも走査線GLの端部の上方において傾斜面を有することになる。同様に、ゲート絶縁層GIに順次積層される第1絶縁膜PAS及び第2絶縁膜OPASも、走査線GLの端部の上方において傾斜面を有することになる。この結果、走査線GLの端部の上方において、ゲート絶縁層GIと第1絶縁膜PASとの界面が傾斜面になるとともに、第1絶縁膜PASと第2絶縁膜OPASとの界面が傾斜面になる。

【0080】

このとき、第1絶縁膜PASに積層される第2絶縁膜OPASの屈折率が第1絶縁膜PASの屈折率よりも小さくあり、第2絶縁膜OPASの方が第1絶縁膜PASよりも屈折率が高い。このため、図7に示すように、液晶表示パネルLCPXの背面から入射した光の一部は、走査線GLの端部の上方における第1絶縁膜PASと第2絶縁膜OPASとの界面のうちの傾斜面（傾斜界面）で全反射することになる。この結果、液晶表示パネルLCPXの背面から入射した光の一部は、第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射し、その後、図6に示すように、金属膜である走査線GLの表面における金属反射と、第1絶縁膜PASと第2絶縁膜OPASとの界面における全反射とを繰り返して、薄膜トランジスタTRの半導体層SCに向かってゲート絶縁層GI内を進行し、半導体層SCに到達する。

【0081】

このように、本願発明者が鋭意検討した結果、液晶表示パネルLCPXに入射した光の一部が、走査線GLの端部の傾斜面に起因して形成された第1絶縁膜PASと第2絶縁膜

10

20

30

40

50

OPASとの傾斜界面で全反射することで、薄膜トランジスタTRの半導体層SC入射することを突き止めた。

【0082】

本開示は、このような知見に基づいてなされたものであり、本願発明者は、ソース電極S及びドレイン電極Dを形成するときの金属膜を利用して、第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射する光を遮光する遮光体SLDを設けるという着想を得た。

【0083】

具体的には、ソース電極S及びドレイン電極Dの少なくとも一方と同層に形成された遮光体SLDを、走査線GLの上方かつ半導体層SCの側方に形成し、かつ、ゲート絶縁層GIに形成されたコンタクトホールCHを介して走査線GLに接続している。

10

【0084】

この構成により、図8に示すように、液晶表示パネルLCPに入射した光の一部が、走査線GLの端部の上方に形成された第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射すること等によってゲート絶縁層GI内を進行したとしても、この光が半導体層SCに到達することを抑制できる。

【0085】

具体的には、遮光体SLDと走査線GLとがゲート絶縁層GIに形成されたコンタクトホールCHで接続されているため、コンタクトホールCH内には遮光体SLDが存在する。つまり、ゲート絶縁層GI内に遮光体SLDからなる遮光壁が形成されている。これにより、半導体層SCに向かってゲート絶縁層GI内を進行する光は、このコンタクトホールCH内に存在する遮光体SLDによって反射することでブロックされる。この結果、液晶表示パネル1に入射した光が半導体層SCに入射することを抑制することができる。したがって、半導体層SCに光が入射することで薄膜トランジスタTRの閾値電圧が変動することを抑制することができる。この結果、液晶表示パネルLCPの画像品位が低下することを抑制できる。

20

【0086】

また、本実施の形態における液晶表示パネルLCPでは、平面視において、遮光体SLDが、走査線GLの幅方向の端部と半導体層SCとの間に位置している。

【0087】

この構成により、走査線GLの幅方向の端部の横から液晶表示パネルLCPに入射する光が薄膜トランジスタTRの半導体層SCに入射することを効果的に抑制することができる。

30

【0088】

特に、本実施の形態における液晶表示パネルLCPでは、走査線GLの幅方向の端部の側面が傾斜面となっている。また、第2絶縁膜OPASの屈折率が第1絶縁膜PASの屈折率よりも小さくなっている。

【0089】

これにより、液晶表示パネルLCPに入射した光の一部は、走査線GLの幅方向の端部の側面（傾斜面）に起因して形成された第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射し、半導体層SCに向かってゲート絶縁層GI内を進行することになるが、本実施の形態における液晶表示パネルLCPでは、ゲート絶縁層GIに形成されたコンタクトホールCH内に遮光体SLDが存在するので、全反射した光は、このコンタクトホールCH内に存在する遮光体SLDによって反射してブロックされる。この結果、第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射した光が半導体層SCに入射することを効果的に抑制することができる。

40

【0090】

また、本実施の形態において、遮光体SLDは、ゲート絶縁層GIの上に位置する第1遮光部SLDP1と、ゲート絶縁層GIのコンタクトホールCH内に位置する第2遮光部SLDP2とを含む。

50

【0091】

この構成により、コンタクトホールCH内の第2遮光部SLDP2が遮光壁となるので、半導体層SCに向かってゲート絶縁層GI内を進行する光を、第2遮光部SLDP2によって反射させてブロックすることができる。これにより、半導体層SCに光が入射することを効果的に抑制することができる。しかも、第1遮光部SLDP1が、ゲート絶縁層GIを覆う上壁となるので、ゲート絶縁層GIから液晶層LCLの方向に迷光が漏れることを抑制することもできる。したがって、液晶表示パネルLCPの画像品位が低下することを一層抑制できる。

【0092】

特に、本実施の形態では、走査線GLの幅方向における第1遮光部SLDP1の外側先端部が走査線GLの上に位置している。

10

【0093】

この構成により、第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射した光は、走査線GLと遮光体SLDの第1遮光部SLDP1との間におけるゲート絶縁層GI内を進行することになるが、第2遮光部SLDP2によって、ゲート絶縁層GI内を進行して半導体層SCに向かって進行する光を効果的に遮光することができる。

【0094】

また、本実施の形態において、走査線GLの幅方向における第1遮光部SLDP1の上壁面の長さは、第2遮光部SLDP2の側壁面の長さよりも長くなっている。

【0095】

20

この構成により、第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射してゲート絶縁層GI内を進行する光を、第1遮光部SLDP1の上壁面と第2遮光部SLDP2の側壁面とで囲まれる空間でトラップすることができる。これにより、第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射した光が迷光となって再び液晶表示パネルLCP内に進行することを抑制できる。したがって、液晶表示パネルLCPの画像品位が低下することを一層抑制できる。

【0096】

また、本実施の形態において、コンタクトホールCHの内側面は、傾斜面である。

【0097】

この構成により、第2遮光部SLDP2の側壁面が傾斜面となるので、第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射してゲート絶縁層GI内を進行する光を、第1遮光部SLDP1の上壁面と第2遮光部SLDP2の側壁面とで囲まれる空間内で、より効率よくトラップすることができる。

30

【0098】

また、本実施の形態において、遮光体SLDは、半導体層SCを挟んで一対形成されている。

【0099】

この構成により、半導体層SCの全側方のうち一対の遮光体SLDが形成されている2つの側方において、半導体層SCに向かってくる光を一対の遮光体SLDによって遮光することができる。

40

【0100】

さらに、本実施の形態において、一対の遮光体SLDは、走査線GLの幅方向に並んでいる。

【0101】

上記のように、走査線GLの幅方向の端部はエッチングにより傾斜面が形成されやすいので、走査線GLの幅方向の両端部の各々の上方には、第1絶縁膜PASと第2絶縁膜OPASとの界面に傾斜面が形成されやすい。このため、特に走査線GLの幅方向の両端部の各々において、液晶表示パネルLCPの背面から入射した光の一部が第1絶縁膜PASと第2絶縁膜OPASとの傾斜界面で全反射して半導体層SCに向かって進行することになる。そこで、一対の遮光体SLDを走査線GLの幅方向に並べることで、走査線GLの

50

幅方向の両端部の各々の上方における第 1 絶縁膜 P A S と第 2 絶縁膜 O P A S との傾斜界面で全反射して半導体層 S C に向かう光を効果的に抑制することができる。

【 0 1 0 2 】

また、本実施の形態において、薄膜トランジスタ T R の半導体層 S C は、アモルファスシリコンによって構成されている。

【 0 1 0 3 】

上記のように、アモルファスシリコンは光を吸収する特質を有するため、アモルファスシリコンによって構成された半導体層 S C に光が入射すると、薄膜トランジスタ T R の閾値電圧が変動するだけではなく、フォトコンの発生によりオフリーク電流が増大する。

【 0 1 0 4 】

これに対して、本実施の形態における液晶表示パネル L C P では、上記のように、遮光体 S L D が設けられているので、第 1 絶縁膜 P A S と第 2 絶縁膜 O P A S との傾斜界面で全反射した光を遮光体 S L D によって遮光し、薄膜トランジスタ T R の半導体層 S C に光が入射することを抑制できる。これにより、薄膜トランジスタ T R の閾値電圧が変動することを抑制だけではなく、フォトコンの発生を抑制してオフリーク電流が増大することを抑制することもできる。この結果、アモルファスシリコンによって構成された半導体層をチャンネル層とする薄膜トランジスタ T R を有する液晶表示パネル L C P であっても、画像品位が低下することを効果的に抑制することができる。

【 0 1 0 5 】

(実施の形態 2)

次に、実施の形態 2 に係る液晶表示パネル L C P ' について、図 9 を用いて説明する。図 9 は、実施の形態 2 に係る液晶表示パネル L C P ' の断面図である。

【 0 1 0 6 】

図 9 に示すように、本実施の形態に係る液晶表示パネル L C P ' は、薄膜トランジスタ T R の半導体層 S C に向かう光を遮光するガード構造として、第 1 遮光体 S L D 1 及び第 2 遮光体 S L D 2 を備える。

【 0 1 0 7 】

本実施の形態における第 1 遮光体 S L D 1 は、上記実施の形態 1 における遮光体 S L D と同じである。つまり、本実施の形態に係る液晶表示パネル L C P ' は、上記実施の形態 1 に係る液晶表示パネル L C P に対して、さらに、第 2 遮光体 S L D 2 が付加された構成となっている。

【 0 1 0 8 】

第 2 遮光体 S L D 2 は、半導体層 S C を覆うように半導体層 S C の上方に形成されている。具体的には、第 2 遮光体 S L D 2 は、第 1 絶縁膜 P A S の上に形成されている。つまり、第 2 遮光体 S L D 2 は、半導体層 S C を覆う第 1 絶縁膜 P A S を介して半導体層 S C の上方に形成されている。

【 0 1 0 9 】

本実施の形態において、第 2 遮光体 S L D 2 は、半導体層 S C を覆っているだけではなく、一対の第 1 遮光体 S L D 1 も覆っている。つまり、第 2 遮光体 S L D 2 は、一対の第 1 遮光体 S L D 1 の一方から他方にわたって形成されている。なお、第 2 遮光体 S L D 2 は、図 9 に示すように、一対の第 1 遮光体 S L D 1 の一部に平面視で重なっていてもよいし、一対の第 1 遮光体 S L D 1 の全体に平面視で重なっていてもよい。

【 0 1 1 0 】

第 1 遮光体 S L D 1 は、上記実施の形態 1 と同様に、可視光を反射することによって遮光するものであるが、第 2 遮光体 S L D 2 は、可視光を吸収することによって遮光するものである。具体的には、第 2 遮光体 S L D 2 は、可視光を吸収する材料によって構成された光吸収膜である。本実施の形態において、第 2 遮光体 S L D 2 は、アモルファスシリコンによって構成されている。

【 0 1 1 1 】

本実施の形態では、さらに、第 2 遮光体 S L D 2 を覆うように第 1 絶縁膜 P A S の上に

10

20

30

40

50

層間絶縁膜 P A S 2 が設けられており、第 2 絶縁膜 O P A S は、この層間絶縁膜 P A S 2 の上に形成されている。層間絶縁膜 P A S 2 は、例えば、窒化シリコン膜等の無機材料からなる無機絶縁膜（例えば 300 nm）によって構成されており、プラズマ C V D によって形成することができる。なお、層間絶縁膜 P A S 2 は、設けられていなくてもよい。つまり、第 2 遮光体 S L D 2 の上に第 2 絶縁膜 O P A S が直接積層されていてもよい。

【0112】

以上、本実施の形態における液晶表示パネル L C P ' によれば、上記実施の形態 1 における液晶表示パネル L C P と同様に、ソース電極 S 及びドレイン電極 D の少なくとも一方と同層に形成された第 1 遮光体 S L D 1 を、走査線 G L の上方かつ半導体層 S C の側方に形成し、かつ、ゲート絶縁層 G I に形成されたコンタクトホール C H を介して走査線 G L

10

【0113】

この構成により、第 1 絶縁膜 P A S と第 2 絶縁膜 O P A S との傾斜界面で全反射すること等して半導体層 S C に向かってゲート絶縁層 G I 内を進行する光を、遮光体 S L D によって遮光することができる。

【0114】

しかも、本実施の形態における液晶表示パネル L C P ' では、半導体層 S C を覆うように第 2 遮光体 S L D 2 が形成されている。

【0115】

この構成により、半導体層 S C の上から半導体層 S C に向かってくる光を第 2 遮光体 S L D 2 によって遮光することができる。

20

【0116】

このように、本実施の形態では、半導体層 S C の側方から半導体層 S C に向かってくる光が半導体層 S C に入射することを抑制するだけでなく、半導体層 S C の上方から半導体層 S C に向かってくる光が半導体層 S C に入射することを抑制することもできる。したがって、本実施の形態における液晶表示パネル L C P ' は、上記実施の形態における液晶表示パネル L C P と比べて、半導体層 S C に光が入射することによって薄膜トランジスタ T R の閾値電圧が変動することを一層抑制することができる。これにより、液晶表示パネル L C P ' の画像品位が低下することを一層抑制できる。

【0117】

また、本実施の形態において、第 2 遮光体 S L D 2 は、アモルファスシリコンによって構成されている。

30

【0118】

この構成により、半導体層 S C の上方から半導体層 S C に向かってくる光を第 2 遮光体 S L D 2 によって吸収することで遮光することができる。これにより、半導体層 S C の上方から半導体層 S C に向かってくる光が第 2 遮光体 S L D 2 で反射や散乱して迷光となって再び液晶表示パネル L C P ' 内に進行することを抑制できる。したがって、液晶表示パネル L C P ' の画像品位が低下することを一層抑制できる。

【0119】

なお、第 2 遮光体 S L D 2 の材料は、アモルファスシリコンに限るものではなく、光を吸収する材料であれば、カーボンブラック又は色レジスト等の光吸収膜であってもよい。また、第 2 遮光体 S L D 2 は、光を吸収するものに限らず、第 1 遮光体 S L D 1 と同様に、光を反射するものであってもよい。

40

【0120】

（変形例）

以上、本開示に係る液晶表示パネル及び液晶表示装置について、実施の形態 1、2 に基づいて説明したが、本開示は、上記実施の形態 1、2 に限定されるものではない。

【0121】

例えば、上記実施の形態 1 における遮光体 S L D では、走査線 G L の幅方向における第 1 遮光部 S L D P 1 の外側先端部が走査線 G L の上に位置していたが、これに限らない。

50

例えば、図 10 に示すように、第 1 遮光部 S L D P 1 が走査線 G L の幅方向の端部を超える位置まで延在していてもよい。つまり、走査線 G L の幅方向における第 1 遮光部 S L D P 1 の外側先端部が、走査線 G L の幅方向の端縁よりも外方に位置していてもよい。この構成により、第 1 絶縁膜 P A S と第 2 絶縁膜 O P A S との傾斜界面で全反射してゲート絶縁層 G I 内を進行する光に限らず、その他の経路でゲート絶縁層 G I 内を進行する光を遮光することができる。

【 0 1 2 2 】

また、上記実施の形態 1 において、遮光体 S L D は、半導体層 S C における走査線 G L の幅方向の側方（図 3 では半導体層 S C の 2 つの長辺側）の各々に対向するように 2 つのみ設けられていたが、これに限らない。例えば、図 11 に示すように、遮光体 S L D は、平面視において半導体層 S C を囲むように設けられていてもよい。具体的には、遮光体 S L D は、列方向における半導体層 S C の 2 つの側方の各々と、行方向の半導体層 S C の 2 つの側方（図 11 では半導体層 S C の短辺側）の一方とに対向するように、3 つ設けられていてもよい。さらに、遮光体 S L D は、複数に分離して形成されているのではなく、図 12 に示すように、半導体層 S C を囲むように一体に形成された 1 つの遮光体 S L D であってもよい。なお、図 12 では、遮光体 S L D の平面視形状を略「コ」の字状としたが、これに限らない。このように、半導体層 S C の列方向の側方だけではなく列方向の側方にも遮光体 S L D を設けることによって、走査線 G L の幅方向（列方向）の端部の横から液晶表示パネル L C P に入射する光のうち、半導体層 S C の行方向の側方に回り込んでくる光についても、半導体層 S C に入射することを抑制することができる。

10

20

【 0 1 2 3 】

また、上記実施の形態 1、2 において、画素電極 P I T における複数のライン電極 P I T L は、2 つの連結電極 P I T C によって連結されていたが、画素 P I X 内の薄膜トランジスタ T R から遠い側の連結電極 P I T C については設けなくてもよい。この場合、画素電極 P I T は、複数のライン電極 P I T L によって構成された櫛歯状の電極となる。

【 0 1 2 4 】

また、上記実施の形態では、映像信号線 S L と薄膜トランジスタ T R のドレイン電極 D とを接続し、画素電極 P I T と薄膜トランジスタ T R のソース電極 S とを接続したが、これに限らない。例えば、映像信号線 S L と薄膜トランジスタ T R のソース電極 S とを接続し、画素電極 P I T と薄膜トランジスタ T R のドレイン電極 D とを接続してもよい。

30

【 0 1 2 5 】

また、上記実施の形態 1、2 において、画素電極 P I T の複数本のライン電極 P I T L は、列方向に沿って延在していたが、これに限らない。すなわち、複数本のライン電極 P I T L の一部又は全部は、行方向に沿って延在していてもよい。この場合、複数本のライン電極 P I T L は、行方向に平行に延在する場合に限らず、行方向に対して傾斜して延在していてもよいし、略「へ」の字状に屈曲していてもよい。

【 0 1 2 6 】

また、上記実施の形態 1、2 における液晶表示装置では、1 枚の液晶表示パネルを用いたが、これに限るものではなく、重ね合わせた 2 枚の液晶表示パネルを用いてもよい。この場合、観察者側にカラー画像を表示する第 1 の液晶表示パネルを配置し、バックライト側にモノクロ画像を表示する第 2 の液晶表示パネルを配置するとよい。このように、2 枚の液晶表示パネルを用いることで、1 枚の液晶表示パネルの場合よりも、コントラスト比を大幅に向上させることができる。

40

【 0 1 2 7 】

その他、上記実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

【 符号の説明 】

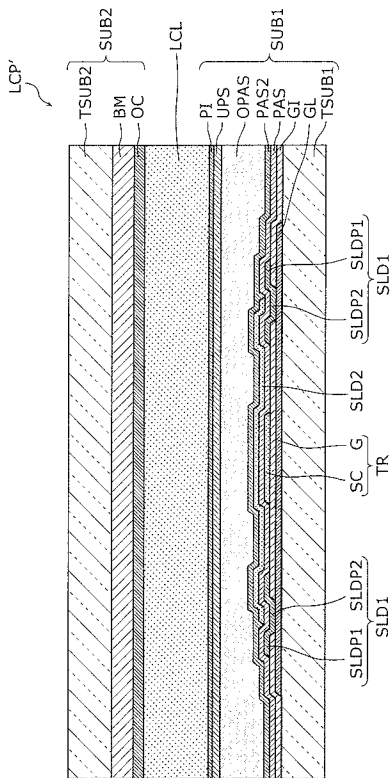
【 0 1 2 8 】

L C D 液晶表示装置

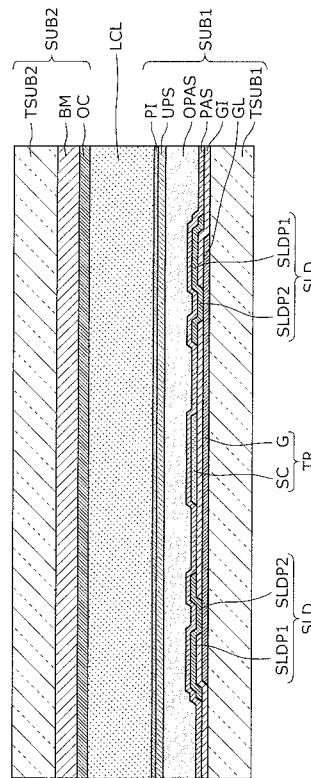
50

L C P、L C P'	液晶表示パネル	
B L	バックライト	
P D C	液晶表示パネル駆動回路	
S D C	ソースドライバ	
G D C	ゲートドライバ	
I P U	画像処理部	
D S P	画像表示領域	
P I X	画素	
S L	映像信号線	
G L	走査線	10
P I T	画素電極	
P I T L	ライン電極	
P I T C	連結電極	
M I T	共通電極	
T R	薄膜トランジスタ	
D	ドレイン電極	
G	ゲート電極	
S	ソース電極	
S C	半導体層	
G I	ゲート絶縁層	20
S U B 1	第1基板	
S U B 2	第2基板	
L C L	液晶層	
T S U B 1	第1透明基材	
T S U B 2	第2透明基材	
S L D	遮光体	
S L D 1	第1遮光体	
S L D 2	第2遮光体	
S L D P 1	第1遮光部	
S L D P 2	第2遮光部	30
P I	配向膜	
P A S	第1絶縁膜	
O P A S	第2絶縁膜	
U P S	第3絶縁膜	
C H	コンタクトホール	
B M	遮光層	
O C	オーバーコート層	

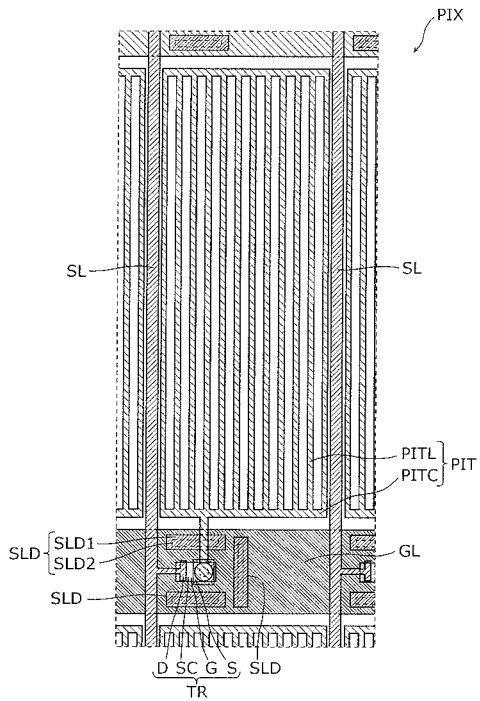
【 図 9 】



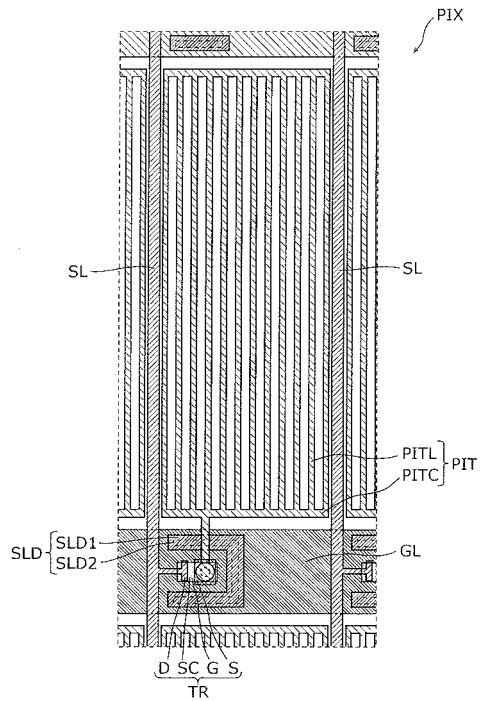
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

F ターム(参考) 2H192 AA24 BB13 BB73 BC31 CB05 CB35 CC04 CC12 EA04 EA14
EA61
5C094 AA02 AA21 BA03 BA43 CA19 DA13 DB01 ED15 FA01 FA02
FB12 FB14 FB15
5F110 AA21 BB01 CC07 DD02 EE02 EE04 EE14 EE15 EE44 FF03
FF30 GG01 GG02 GG13 GG15 GG19 GG24 GG35 GG45 HK02
HK04 HK21 HK22 HK33 NN03 NN04 NN05 NN24 NN27 NN28
NN35 NN42 NN45 NN46 NN48 NN49 QQ08

专利名称(译)	液晶显示面板		
公开(公告)号	JP2019101116A	公开(公告)日	2019-06-24
申请号	JP2017229451	申请日	2017-11-29
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	梶田大介		
发明人	梶田 大介		
IPC分类号	G02F1/1368 G02F1/1343 G09F9/30 H01L21/336 H01L29/786		
CPC分类号	G02F1/136209 G02F1/136286 G02F2202/103 H01L27/1222 H01L27/124 H01L27/1248 H01L29/78633 H01L29/78669 G02F1/133345 G02F1/1368 G09G3/3677 G09G3/3688		
FI分类号	G02F1/1368 G02F1/1343 G09F9/30.349.C H01L29/78.619.B H01L29/78.612.Z		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JB54 2H092/KA05 2H092/KA12 2H092/KA24 2H092/KB14 2H092/KB24 2H092/KB25 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CB35 2H192/CC04 2H192/CC12 2H192/EA04 2H192/EA14 2H192/EA61 5C094/AA02 5C094/AA21 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB01 5C094/ED15 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5F110/AA21 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE04 5F110/EE14 5F110/EE15 5F110/EE44 5F110/FF03 5F110/FF30 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG19 5F110/GG24 5F110/GG35 5F110/GG45 5F110/HK02 5F110/HK04 5F110/HK21 5F110/HK22 5F110/HK33 5F110/NN03 5F110/NN04 5F110/NN05 5F110/NN24 5F110/NN27 5F110/NN28 5F110/NN35 5F110/NN42 5F110/NN45 5F110/NN46 5F110/NN48 5F110/NN49 5F110/QQ08		
代理人(译)	新居 広守 荣作Teratani Dozaka真一		
外部链接	Espacenet		

摘要(译)

提供一种图像质量优异的液晶显示面板。一种液晶显示面板LCP，具有以矩阵排列的多个像素PIX，设置在多个像素PIX的每一个中，并包括栅电极G，源电极S，漏电极D和半导体层SC。薄膜晶体管TR，形成在与栅电极G相同的层中并且电连接到栅电极G的扫描线GL，以及形成在与源电极S和漏电极D中的至少一个相同的层中的光屏蔽体SLD并且半导体层SC经由栅极绝缘层GI形成在扫描线GL上方，遮光体SLD位于扫描线GL上方并且位于半导体层SC侧，并且遮光体SLD和扫描线GL经由形成在栅极绝缘层GI中的接触孔CH连接。[选中图]图5

