

【特許請求の範囲】**【請求項 1】**

複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる液晶表示装置であって、

前記画素は、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

入力された映像信号の各フレームデータについて、表示期間が 1 フレーム期間よりも短いサブフレームを複数用いて表示するためのサンプリングを、前記列データ線を介して行う第 1 のスイッチング部と、

前記第 1 のスイッチング部と共に S R A M を構成し、前記第 1 のスイッチング部が前記サンプリングしたサブフレームデータを保持する第 1 の保持部と、

前記第 1 の保持部が保持した前記サブフレームデータを出力させる第 2 のスイッチング部と、

前記第 2 のスイッチング部と共に D R A M を構成し、前記第 2 のスイッチング部を通して入力される前記第 1 の保持部に保持された前記サブフレームデータにより記憶内容が書き換えられ、出力データを前記画素電極に印加する第 2 の保持部と、

前記複数の画素に行単位で、前記サブフレームデータを前記第 1 の保持部に書き込むことを繰り返し、前記サブフレームデータが前記複数の画素の全てに書き込まれた後、トリガパルスにより前記複数の画素全ての前記第 2 のスイッチング部をオンにして、前記第 1 の保持部に保持された前記サブフレームデータにより前記複数の画素の前記第 2 の保持部の記憶内容を書き換える動作を前記サブフレーム毎に行う画素制御部とを備え、

前記画素の前記第 1 のスイッチング部に接続されている第 1 の列データ線が接続されると共に、所定の固定電圧が印加されるセンスアンプとを備え、

前記 D R A M を通して前記画素電極に書き込んだ信号を、前記第 2 のスイッチング部をオンにして前記 D R A M から前記 S R A M を通して、前記第 1 のスイッチング部から前記列データ線を介して読み出して、前記センスアンプを用いて画素検査をする

ことを特徴とする液晶表示装置。

【請求項 2】

前記請求項 1 に記載の液晶表示装置の検査方法であって、

前記画素の前記第 1 のスイッチング部に接続されている前記第 1 の列データ線に 1 ビットの検査用信号を入力するステップと、

前記画素の S R A M に前記検査用信号をラッチするステップと、

前記画素の前記第 2 のスイッチング部をオンにして、前記画素の S R A M にラッチした前記検査用信号を前記画素の前記 D R A M にラッチするステップと、

前記画素の前記第 2 のスイッチング部をオンにして、前記画素の D R A M にラッチした前記検査用信号を前記画素の S R A M に読み出すステップと、

前記ラッチされた前記検査用信号を前記第 1 の列データ線に供給するステップと、

前記供給された前記検査用信号と、前記所定の固定電圧とに基づく電位差を前記センスアンプにより増幅するステップと

を含むことを特徴とする液晶表示装置の検査方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置及び液晶表示装置検査方法に係り、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及び液晶検査方法に関する。

【背景技術】**【0002】**

従来から、液晶表示装置における中間調表示方式の 1 つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（

10

20

30

40

50

例えば、動画像の場合には 1 画像の表示単位である 1 フレーム) を複数のサブフレームに分割し、表示されるべき階調にあわせて、それらのサブフレームを組み合わせ、各画素の駆動を行う。表示されるべき階調は、所定の期間内に占める画素の駆動期間の割合によって定まる。そして、所定の期間内に占める画素の駆動期間の割合は、分割された各サブフレームの組み合わせによって定まる。

【 0 0 0 3 】

前述のようなサブフレーム駆動方式を採用した液晶表示装置として、例えば特許文献 1 に記載されているように、各画素が、マスターラッチ、スレーブラッチ、液晶表示素子、及び第 1 ~ 第 3 の計 3 つのスイッチングトランジスタとから構成されるものが知られている。

10

【 0 0 0 4 】

この場合、各画素では、マスターラッチは 2 つの入力端子のうち、一方の入力端子に対しては、第 1 のスイッチングトランジスタを通して 1 ビットの第 1 のデータが印加されると共に、他方の入力端子に対しては、第 2 のスイッチングトランジスタを通して、第 1 のデータとは相補的な関係にある 1 ビットの第 2 のデータが印加される。そして行走査線を介した行選択信号の印加に基づき、対象となる画素が選択されると、これら第 1 のスイッチングトランジスタ及び第 2 のスイッチングトランジスタがオン状態となり、第 1 のデータが書き込まれる。第 1 のデータが論理値「 1 」で、第 2 のデータが論理値「 0 」のとき、その画素はデータに基づいた表示を行う。

20

【 0 0 0 5 】

あるサブフレーム期間内で、全ての画素に対して上述したような動作により各データが書き込まれた後、そのサブフレーム期間内で、全画素の第 3 のスイッチングトランジスタがオン状態とされる。そして、マスターラッチに書き込まれたデータが同時にスレーブラッチへ読み出される。そしてスレーブラッチされたデータが液晶表示素子の画素電極に、そのスレーブラッチでラッチされたデータを印加する。サブフレーム毎に前述の一連の動作が繰り返され、 1 フレーム期間内の全てのサブフレームの組み合わせに基づき、所望の階調表示が行われる。

【 0 0 0 6 】

すなわち、サブフレーム駆動方式を採用した液晶表示装置では、 1 フレーム期間内に存在する全てのサブフレームについて、同一又は異なる所定の表示期間が各サブフレームに割り当てられている。そして、各画素は、最大階調表示時は全てのサブフレームで白表示を行い (表示とされ) 、最小階調表示時は全てのサブフレームが白表示を行わない (非表示とされる、換言すれば黒表示とされる) 。そして最大階調表示時および最小階調表示時以外の場合は、表示される階調に応じて、表示されるサブフレームが選択される。なお、この従来の液晶表示装置は、入力されるデータが階調を示すデジタルデータであり、 2 段ラッチ構成のデジタル駆動方式を用いている。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特表 2 0 0 1 - 5 2 3 8 4 7 号 公 報

40

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、前述の従来の液晶表示装置では、各画素内の 2 つのラッチはそれぞれ、いわゆる S R A M (Static Random Access Memory) で構成されるため、回路を構成するトランジスタの数が多くなってしまう。そのため、画素の小型化が困難であるという問題を有している。

【 0 0 0 9 】

また、前述の従来の液晶表示装置の各画素は通常、シフトレジスタなどを含んだ回路を構成したシリコンバックプレーンを用いるが、これは大規模半導体集積回路 (L S I : Lar

50

ge Scale Integrated circuit) 工程を介して作成される。ウェハ作成後のプローブ検査において、画素検査が正常に行えない課題という問題を有している。この問題は、画素検査が行われる場合、列データ線にデータを入力してその入力データをSRAMに書き込んだ後、正常に書き込まれたかどうかを検査するため、列データ線からSRAMに書き込まれたデータを読み出すが、このとき列データ線に溜まっていた電荷によってSRAMが書き換わってしまう可能性があるために生じる。

【0010】

これまでの議論に加えて、前述した特許文献1に記載されている液晶表示装置は2つの相補ビット線をもつ2スイッチ型のSRAMであるが、関連する従来技術として、1つのビット線と1つのスイッチで構成される1スイッチ型のSRAMを採用した場合の問題について述べる。

10

【0011】

例えば、いわゆるフルハイビジョン(FHD)の解像度を有する液晶表示装置の場合、画面縦方向の画素数は1080画素となり、各列データ線の容量は1pF程度になる。例えば、列データ線が“L”レベルで0Vとする。そして例えば、列データ線に接続されたスイッチングトランジスタと共にSRAMを構成する、互いに、第1のインバータの入力端子が第2のインバータの出力端子に接続され、また第2のインバータの入力端子が第1のインバータの入力端子に接続された2つのインバータのうち、上記スイッチングトランジスタに接続された方のインバータの入力端子の電圧が“H”レベルで3.3Vとする。この場合、画素検査を行うためにSRAMに書き込まれたデータを列データ線から読み出すことを目的として上記スイッチングトランジスタをオン状態としたときに、そのスイッチングトランジスタに出力端子が接続された他方のインバータを構成しているPチャネルMOS(Metal Oxide Semiconductor)型電界効果トランジスタ(以下、PMOSTランジスタという)を通して電源から、上記の1pF程度の電荷容量に充電されることになる。

20

【0012】

このとき、上記の他方のインバータを構成しているトランジスタの駆動力は、上記の一方のインバータを構成しているトランジスタの駆動力よりも小さいため、充電時間が長くなる傾向がある。そのため必要な充電が完全に行われないうちに、上記の一方のインバータの入力端子の電圧がその反転電圧を下回ってしまう傾向を有する。そして、上記の一方のインバータの入力端子の電圧、すなわちSRAMの書き込まれるべきデータが書き換えられてしまう。このため、SRAMのデータを列データ線に出力することができず、正確な画素検査が行えないという問題が有る。

30

【0013】

本発明は以上の点に鑑みなされたもので、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及びその画素検査方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明は、上記目的を達成するため、複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる液晶表示装置であって、前記画素は、対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、入力された映像信号の各フレームデータについて、表示期間が1フレーム期間よりも短いサブフレームを複数用いて表示するためのサンプリングを、前記列データ線を介して行う第1のスイッチング部と、前記第1のスイッチング部と共にSRAMを構成し、前記第1のスイッチング部が前記サンプリングしたサブフレームデータを保持する第1の保持部と、前記第1の保持部が保持した前記サブフレームデータを出力させる第2のスイッチング部と、前記第2のスイッチング部と共にDRAMを構成し、前記第2のスイッチング部を通して入力される前記第1の保持部に保持された前記サブフレームデータにより記憶内容が書き換えられ、出力データを前記画素電極に印加する第2の保持部と、前記複数の画素に行単位で、前記サ

40

50

ブフレームデータを前記第 1 の保持部に書き込むことを繰り返し、前記サブフレームデータが前記複数の画素の全てに書き込まれた後、トリガパルスにより前記複数の画素全ての前記第 2 のスイッチング部をオンにして、前記第 1 の保持部に保持された前記サブフレームデータにより前記複数の画素の前記第 2 の保持部の記憶内容を書き換える動作を前記サブフレーム毎に行う画素制御部とを備え、前記画素に接続されている第 1 のデータ線が接続されると共に、所定の固定電圧が印加されるセンスアンプとを備えることを特徴とする液晶表示装置を提供する。

【 0 0 1 5 】

また本発明は、上記目的を達成するため、前述の液晶表示装置の検査方法であって、前記画素に接続されている前記第 1 のデータ線に 1 ビットの検査用信号を入力するステップと、記第画素の S R A M に前記検査用信号をラッチするステップと、前記ラッチされた前記検査用信号を前記第 1 のデータ線に供給するステップと、前記供給された前記検査用信号と、前記所定の固定電圧とに基づく電位差を前記センスアンプにより増幅するステップとを備えることを特徴とする液晶表示装置の検査方法を提供する。

【 発明の効果 】

【 0 0 1 6 】

本発明によれば、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及びその画素検査方法を提供することができる。

【 図面の簡単な説明 】

【 0 0 1 7 】

【 図 1 】 本発明の実施の形態に係る液晶表示装置 1 の全体構成図である。

【 図 2 】 本発明の第 1 の実施の形態に係る回路図である。

【 図 3 】 本発明の実施の形態に係るインバータの一例の回路図である。

【 図 4 】 本発明の実施の形態に係る画素 1 2 の断面構造図の例である。

【 図 5 】 本発明の実施の形態に係る液晶表示装置 1 の画素 1 2 の書き込み / 読み出し動作を説明するためのタイミングチャートである。

【 図 6 】 本発明の実施の形態に係る液晶表示装置 1 の液晶の、飽和電圧および液晶の閾値電圧の 2 値重みつきパルス幅変調データとしての多重化を説明図である。

【 図 7 】 本発明の実施の形態に係るセンスアンプ回路の構成図である。

【 図 8 】 本発明の実施の形態に係る画素検査の動作説明用タイミングチャートである。

【 図 9 】 本発明の実施の形態に係る液晶表示装置 1 の D R A M をオンした場合とオフした場合を説明する画素回路の模式図である。

【 発明を実施するための形態 】

【 0 0 1 8 】

以下、図面を参照して本発明の実施形態について説明する。図 1 は、本発明の実施形態に係る液晶表示装置 1 のブロック図である。液晶表示装置 1 は、複数の画素 1 2 が規則的に配置された画像表示部と、タイミングジェネレータと、垂直シフトレジスタと、データラッチ回路と、水平ドライバと、センスアンプと、画素読み出し用シフトレジスタとから構成される。

【 0 0 1 9 】

水平ドライバは、水平シフトレジスタと、ラッチ回路と、レベルシフタ / 画素ドライバとから構成される。また、画素読み出し用シフトレジスタは、1 行分の画素数に相当する段数を有するシフトレジスタである。

【 0 0 2 0 】

画像表示部は、垂直シフトレジスタに一端が接続されて行方向 (X 方向) に延在する m 本 (m は 2 以上の自然数) の行走査線 g 1 ~ g m と、レベルシフタ / 画素ドライバに一端が接続されて列方向 (Y 方向) に延在する n 本 (n は 2 以上の自然数) の列データ線 d 1 ~ d n とが交差する各交差部に設けられ、二次元マトリクス状に配置された、それぞれ (m × n) / 2 個ずつの画素 1 2 から構成される (図 1 では、画像表示部を破線で囲んだブロックで示す。) 。画像表示部内の全ての画素 1 2 は、一端がタイミングジェネレータに

10

20

30

40

50

接続されたトリガパルス用トリガ線 $t r i g$ 及び $t r i g b$ に共通接続されている。

【 0 0 2 1 】

正転トリガパルス用トリガ線 $t r i g$ が伝送する正転トリガパルスと、反転トリガパルス用トリガ線 $t r i g b$ が伝送する反転トリガパルスとは、常に逆論理値の関係（相補的な関係）にある。

【 0 0 2 2 】

タイミングジェネレータは、上位装置から垂直同期信号 $V s t$ 、水平同期信号 $H s t$ 、基本クロック $C L K$ といった外部信号を入力信号として受ける。そしてタイミングジェネレータは、これらの外部信号に基づいて、交流化信号 $F R$ 、 V スタートパルス $V S T$ 、 H スタートパルス $H S T$ 、クロック信号 $V C K$ 及びクロック信号 $H C K$ 、ラッチパルス $L T$ 、トリガパルス $t r i g / t r i g b$ 、画素読み出し用シフトレジスタクロック信号 $T C K / T C K b$ などの各種の内部信号を生成する。

10

【 0 0 2 3 】

上記の内部信号のうち、交流化信号 $F R$ は、1 サブフレーム毎に極性反転する信号である。交流化信号 $F R$ は、画像表示部を構成する画素 1 2 A 及び画素 1 2 B 内の液晶表示素子の共通電極に、後述する共通電極電圧 $V c o m$ として供給される。スタートパルス $V S T$ は、後述する各サブフレームの開始のタイミングで出力されるパルス信号である。このスタートパルス $V S T$ によって、サブフレームの切替わりが制御される。

【 0 0 2 4 】

スタートパルス $H S T$ は、水平シフトレジスタに入力する開始タイミングに出力されるパルス信号である。クロック信号 $V C K$ は、垂直シフトレジスタにおける 1 水平走査期間（1 H）を規定するシフトクロックであり、クロック信号 $V C K$ のタイミングにあわせて垂直シフトレジスタがシフト動作を行う。クロック信号 $H C K$ は、水平シフトレジスタにおけるシフトクロックであり、3 2 ビット幅でデータをシフトしていくための信号である。ラッチパルス $L T$ は、水平シフトレジスタが水平方向の 1 行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。

20

【 0 0 2 5 】

また、タイミングジェネレータは、正転トリガパルスを、正転トリガパルス用トリガ線 $t r i g$ を通して、また反転トリガパルスを、反転トリガパルス用トリガ線 $t r i g b$ を通して画像表示部内の全画素 1 2 に供給する。正転トリガパルスと反転トリガパルスとは、画像表示部内の画素 1 2 に設けられた（図 1 では図示を省略した）第 1 の信号保持手段に対し順次、データの書き込みが完了された直後に出力される。そして、そのサブフレーム期間内で、画像表示部内の全画素 1 2 の第 1 の信号保持手段のデータが同じ画素内の（図 1 では図示を省略した）第 2 の信号保持手段に一度に転送される。なお、第 1 の信号保持手段及び第 2 の信号保持手段については、後に詳述する。

30

【 0 0 2 6 】

垂直シフトレジスタは、それぞれのサブフレームの最初に供給される V スタートパルス $V S T$ を、クロック信号 $V C K$ に従って転送する。そして垂直シフトレジスタは、行走査線 $g 1 \sim g m$ に対して行走査信号を 1 H 単位で順次排他的に供給する。また垂直シフトレジスタは、1 フレーム期間では全ての行走査線 $g 1 \sim g m$ に行走査線を供給する。これにより、1 フレーム期間において、画像表示部において最も上にある行走査線 $g 1$ から最も下にある行走査線 $g m$ まで、行走査線が 1 本ずつ順次 1 H 単位で選択されていく。

40

【 0 0 2 7 】

データラッチ回路は、図示しない外部回路から供給される 1 サブフレーム毎に分割された 3 2 ビット幅のデータを、上位装置からの基本信号 $C L K$ に基づいてラッチした後、基本信号 $C L K$ に同期して水平シフトレジスタへ出力する。

【 0 0 2 8 】

ここで、映像信号の 1 フレームが、その映像信号の 1 フレーム期間より短い表示期間を持つ複数のサブフレームに分割されて、それらサブフレームの組み合わせによって階調表示が行われる本実施の形態では、前述したような画素と周辺回路の外部にある上位構成回

50

路において、映像信号の画素毎の階調を示す階調データが、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の1ビットのサブフレームデータに変換される。そして、これら画素と周辺回路の外部にある上位構成回路において、更に同じサブフレームにおける32画素分の上記サブフレームデータをまとめて上記32ビット幅のデータとしてデータラッチ回路に供給している。

【0029】

水平シフトレジスタは、1ビットシリアルデータの処理系でみた場合、タイミングジェネレータから1Hの最初に供給されるHスタートパルスHSTによりシフトを開始し、データラッチ回路から供給される32ビット幅のデータをクロック信号HCKに同期してシフトする。ラッチ回路は、水平シフトレジスタが画像表示部の1行分の画素数nと同じn

10

【0030】

ラッチ回路へのデータ転送が終了すると、タイミングジェネレータからHスタートパルスが再び出力され、水平シフトレジスタはクロック信号HCKに従ってデータラッチ回路からの32ビット幅のデータのシフトを再開する。

【0031】

レベルシフト／画素ドライバに設けられたレベルシフトは、ラッチ回路によりラッチされて供給される1行のn画素に対応したn個のサブフレームデータの信号レベルを、液晶駆動電圧までレベルシフトする。レベルシフト／画素ドライバに設けられた画素ドライバは、レベルシフト後の1行のn画素に対応したn個のサブフレームデータを、n本の列データ線d1～dnに並列に出力する。

20

【0032】

水平ドライバを構成する水平シフトレジスタ、ラッチ回路、及びレベルシフト／画素ドライバは、1H内において今回データを書き込む画素行に対するデータの出力と、次の1H内でデータを書き込む画素行に関するデータのシフトとを並行して行う。ある水平走査期間において、ラッチされた1行分のn個のサブフレームデータが、データ信号としてそれぞれn本の列データ線d1～dnに並列に、かつ、一斉に出力される。

30

【0033】

ここで、列データ線d1～dnはセンスアンプに接続されており、微弱な電位信号差を増幅してVDD、GND信号(ここでVDDは電源電圧、GNDは基準電圧)に変換し、変換された各画素検査信号は、TESTをオンすることによって1Hの半分の画素数分の画素検査信号が一斉に画素読み出し用シフトレジスタに格納される。その後、TESTをオフ制御し、画素読み出し用シフトレジスタに画素検査信号をラッチする。画素読み出し用シフトレジスタクロック信号TCKは、2本の列データ線毎に配置されたセンスアンプから入力された信号を転送するためのクロックである。TCK/TCKbに従って画素検査された信号がシリアルに出力端子TOUTから順次読み出される。

【0034】

画像表示部を構成する複数の画素12のうち、垂直シフトレジスタからの行走査信号により選択された1行ずつの画素12は、レベルシフト／画素ドライバから一斉に出力された1行分のn個のサブフレームデータをn本のデータ線d1～dn及びを介してサンプリングして各画素12内の(図1では図示を省略した)後述する第1の信号保持手段に書き込む。

40

【0035】

次に、本発明の液晶表示装置の画素12の各実施の形態について詳細に説明する。

(第1の実施の形態)

本発明が有する多数の側面のうちの一つの側面を、第1の実施の形態として、以下に説明する。本実施の形態に係る液晶表示装置1の画素12の等価回路を、その周囲の画素検

50

査回路のセンスアンプと共に図 2 に示す。図 2 において、画素 1 2 は図 1 中の任意の行走査線 g に接続された画素で、画素 1 2 は任意の列データ線 d と、任意の行走査線 g との交差部に設けられている。また、列データ線 d はセンスアンプの片方の入力に接続され、センスアンプのもう片方の入力に固定電圧を入力する配線 m i d に接続されている。センスアンプは列データ線 d と配線 m i d から入力される微弱な電位差を増幅する回路である。配線 m i d は任意のアナログ電圧を上位装置から供給できるようになっている。通常は $V_{DD}/2$ とし、電源電圧と基準電圧の中間電圧に調整する。

【 0 0 3 6 】

画素 1 2 は、第 1 のスイッチング手段であるスイッチ S W 1 1、スイッチ S W 1 1 のオン/オフに応じて信号（データ）を保持する第 1 の保持手段 S M 1 2 1、第 2 のスイッチング手段であるスイッチ S W 1 2、スイッチ S W 1 2 のオン/オフに応じて信号を保持する第 2 の保持手段である容量 C 1 1、画素電極である反射電極 P E 1 と液晶 L C 1、共通電極である C E から構成される。第 1 の保持手段 S M 1 2 1 は、インバータ I N V 1 1 とインバータ I N V 1 2 とから構成される。スイッチ S W 1 1 と、第 1 の保持手段 S M 1 2 1 は、S R A M (Static Random Access Memory) を構成する（図 2 中では S R A M 1）。スイッチ S W 1 2 と、容量 C 1 1 とは、D R A M (Dynamic Random Access Memory) を構成する（図 2 中では D M 1 2 2）。

10

【 0 0 3 7 】

スイッチ S W 1 1 は、ゲートが行走査線 g に共通に接続され、ドレインが列データ線 d に接続され、ソースが第 1 の信号保持手段 S M 1 2 1 の入力端子に接続されている、1 個の N チャネル M O S (Metal Oxide Semiconductor) 型トランジスタ（以下、N M O S トランジスタという）により構成されている。第 1 の信号保持手段 S M 1 2 1 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ I N V 1 1 及びインバータ I N V 1 2 からなる自己保持型メモリである。

20

【 0 0 3 8 】

インバータ I N V 1 1 は、その入力端子がインバータ I N V 1 2 の出力端子と S W 1 1 を構成する N M O S トランジスタのソースとに接続されている。インバータ I N V 1 2 は、その入力端子がスイッチ S W 1 2 とインバータ I N V 1 1 の出力端子とに接続されている。

30

【 0 0 3 9 】

インバータ I N V 1 1、インバータ I N V 1 2、インバータ I N V 2 1、及びインバータ I N V 2 2 はいずれも、図 3 に示すような、互いのゲート同士、及び互いのドレイン同士が接続された、P チャネル M O S 型トランジスタ（以下、P M O S トランジスタという）P T r 及び N M O S トランジスタ N T r とからなる C M O S (Complementary Metal Oxide Semiconductor) インバータの構成であるが、それぞれのインバータの駆動力が異なるように設計されている。

【 0 0 4 0 】

すなわち、スイッチ S W 1 1 から見て第 1 の信号保持手段 S M 1 2 1 を構成している入力側のインバータ I N V 1 1 内のトランジスタは、スイッチ S W 1 1 から見て第 1 の信号保持手段 S M 1 2 1 を構成している出力側のインバータ I N V 1 2 内のトランジスタと比べて、駆動力の大きいトランジスタを用いている。さらにスイッチ S W 1 1 を構成している N M O S トランジスタは、インバータ I N V 1 2 を構成している N M O S トランジスタと比べて、駆動力の大きいトランジスタを用いている。

40

【 0 0 4 1 】

これは、スイッチ S W 1 1 の入力側の電圧が“H”レベルのときに、電圧が、インバータ I N V 1 1 の入力側のトランジスタが反転する大きさ以上に達するためには、スイッチ S W 1 1 に流れる電流が、出力側のインバータ I N V 1 2 のトランジスタを構成する N M O S トランジスタを流れる電流よりも大きい必要があるためである。

【 0 0 4 2 】

このように、スイッチ S W 1 1 を構成している N M O S トランジスタの駆動力はインバ

50

ータINV12を構成しているNMOSTランジスタの駆動力よりも大きくする必要がある。そのため、スイッチSW11を構成しているNMOSTランジスタのランジスタサイズと、インバータINV12を構成しているNMOSTランジスタのランジスタサイズとは、これを考慮して決定される必要がある。

【0043】

スイッチSW12は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続されたNMOSTランジスタとPMOSTランジスタとからなるトランスミッションゲートの構成とされている。NMOSTランジスタのゲートは正転トリガパルス用トリガ線trigに接続され、PMOSTランジスタのゲートは反転トリガパルス用トリガ線tribに接続されている。

10

【0044】

また、スイッチSW12は一方の端子が第1の信号保持手段SM121に接続され、他方の端子が容量C11と液晶表示素子LCM1の反射電極PE1にそれぞれ接続されている。

【0045】

従って、スイッチSW12は、正転トリガパルス用トリガ線trigを介して供給される正転トリガパルスが“H”レベル（このときは、反転トリガパルス用トリガ線tribを介して供給される反転トリガパルスは“L”レベル）のときはオン状態とされ、第1の信号保持手段SM121の記憶データを読み出して容量C11及び反射電極PE1へ転送する。また、スイッチSW12は、正転トリガパルス用トリガ線trigを介して供給される正転トリガパルスが“L”レベル（このときは、反転トリガパルス用トリガ線tribを介して供給される反転トリガパルスは“H”レベル）のときはオフ状態とされ、第1の信号保持手段SM121の記憶データの読み出しは行わない。

20

【0046】

スイッチSW12は上述したようなトランスミッションゲートの構成とされているため、GNDからVDDまでの範囲の電圧をオン・オフすることができる。つまり、トランスミッションゲートを構成するNMOSTランジスタとPMOSTランジスタの各ゲートに印加される信号がGND側の電位（“L”レベル）のときは、PMOSTランジスタが導通することができない代わりに、NMOSTランジスタが低抵抗で導通することができる。一方、ゲート入力信号がVDD側の電位（“H”レベル）のときはNMOSTランジスタが導通することができない代わりに、PMOSTランジスタが低抵抗で導通することができる。

30

【0047】

従って、トリガ線trigを介して供給される正転トリガパルスと、トリガ線tribを介して供給される反転トリガパルスとにより、スイッチSW12を構成するトランスミッションゲートをオン／オフ制御することによって、GNDからVDDまでの電圧範囲を低抵抗、高抵抗でスイッチングすることができる。

【0048】

容量C11はスイッチSW12と共にDM122のDRAMを構成している。ここで、第1の信号保持手段SM121の記憶データと容量C11の保持データとが異なっていた場合、スイッチSW12がオン状態とされ、SM121の記憶データが容量C11へ転送されたときには、容量C11の保持データが第1の信号保持手段SM121の記憶データで置き換えられる必要がある。

40

【0049】

容量C11の保持データが書き換えられる場合、その保持データは充電、または放電によって変化する。そして容量C11の充放電はインバータINV11の出力信号によって駆動される。容量C11の保持データが充電によって“L”レベルから“H”レベルに書き換えられる場合、インバータINV11の出力信号は“H”レベルである。このときインバータINV11を構成するPMOSTランジスタ（図3のPTr）がオン状態、NMOSTランジスタ（図3のNTr）がオフ状態となるため、インバータINV11のPM

50

OSトランジスタのソースに接続されている電源電圧VDDによって容量C11が充電される。

【0050】

一方、容量C11の保持データが放電によって“H”レベルから“L”レベルに書き換えられる場合、インバータINV11の出力信号は“L”レベルである。このときインバータINV11を構成するNMOSトランジスタ(図3のNT_r)がオン状態、PMOSトランジスタ(図3のPT_r)がオフ状態となるため、容量C11の蓄積電荷が、インバータINV11のNMOSトランジスタ(図3のNT_r)を通してGNDへ放電される。

【0051】

スイッチSW12は、上述したトランスマッションゲートを用いたアナログスイッチの構成であるため、上記の容量C11の高速な充放電が可能になる。

更に、本実施の形態ではインバータINV11の駆動力は、インバータINV12の駆動力よりも大きく設定されているため、容量C11を高速に充放電駆動することが可能である。

また、スイッチSW12をオンにすると、容量C11に蓄えられた電荷はインバータINV12の入力ゲートにも影響を与えるが、インバータINV12に対してインバータINV11の駆動力を大きく設定していることにより、インバータINV12のデータ入力反転よりもインバータINV11による容量C11の充放電が優先され、SM121の記憶データを書き換えてしまうことを防止することが可能となる。

【0052】

さらに図2に示した本実施の形態の画素12によれば、上記のように、液晶表示素子LCM1の印加電圧を高く設定することができ、ダイナミックレンジを大きく取ることが可能になるという効果だけではなく、画素の小型化が可能であるという大なる効果が得られる。この画素12の小型化は、図2に示したように計7個のトランジスタと1つの容量C11から構成され、従来の画素よりも少ない数の構成素子により画素を構成できることに加えて、以下に説明するように、第1の信号保持手段SM121、DM122、反射電極PE1を、素子の高さ方向に有効に配置することができることによる。

【0053】

図4は、本実施の形態に係る画素12の断面構成図である。図2に示した容量C11には、配線間で容量を形成するMIM(Metal - Insulator - Metal)容量や、基板-ポリシリコン間で容量を形成するDiffusion容量、2層ポリシリコン間で容量を形成するPIP(Poly - Insulator - Poly)容量などを用いることができる。図4は、このうちMIMにより容量C11を構成した場合の液晶表示装置の断面構成図を示す。なお、図4は画素12の一部の構成断面図を示している。

【0054】

図4において、シリコン基板に形成されたNウェル上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV11のPMOSトランジスタPT_r11と、スイッチSW12のPMOSトランジスタTr2とが形成されている。また、シリコン基板に形成されたPウェル上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV12のNMOSトランジスタNT_r12と、スイッチSW12のNMOSトランジスタTr1とが形成されている。なお、図4にはインバータINV11を構成するNMOSトランジスタとインバータINV12を構成するPMOSトランジスタとは図示されていない。

【0055】

また、上記の各トランジスタPT_r11、Tr2、Tr1、及びNT_r12の上方には、層間絶縁膜をメタル間に介在させて第1メタル、第2メタル、第3メタル、電極、第4メタル、及び第5メタルが積層されている。第5メタルは画素毎に形成される反射電極PE1を構成している。スイッチSW12を構成するNMOSトランジスタTr1及びPMOSトランジスタTr2の各ソースを構成する各拡散層は、コンタクトにより第1メタルにそれぞれ電氣的に接続され、更に、スルーホールを通して第2メタル、第3メタル、第

10

20

30

40

50

4メタル、及び第5メタルに電氣的に接続されている。すなわち、スイッチSW12を構成するNMOSTランジスタTr1及びPMOSTランジスタTr2の各ソースは、反射電極PEに電氣的に接続されている。

【0056】

更に、反射電極PE（第5メタル）上には保護膜としてパッシベーション膜（PSV）が形成され、透明電極である共通電極CEに離間対向配置されている。それら反射電極PE1と共通電極CEとの間に液晶LC1が充填封止されて、液晶表示素子を構成している。

【0057】

ここで、第3メタル上には層間絶縁膜を介してMIM電極が形成されている。このMIM電極は、第3メタル及び第3メタルとMIM電極との間の層間絶縁膜と共に容量C11を構成している。MIMにより容量C11を構成すると、第1の信号保持手段SM121とスイッチSW11、スイッチSW12はトランジスタと第1メタル及び第2メタルの1層配線及び2層配線、DM122の一部C11はトランジスタ上部の第3メタルを利用したMIM配線にて形成することが可能になる。MIM電極は、スルーホールを介して第4メタルに電氣的に接続され、更に第4メタルはスルーホールを介して反射電極PE1に電氣的に接続されているため、容量C11は反射電極PE1に電氣的に接続されている。

【0058】

図4中で図示を省略した光源が照射した光は、共通電極CE及び液晶LCM1を透過して反射電極PE1（第5メタル）に入射して反射され、元の入射経路を逆進して共通電極CEを通して射出される。

【0059】

本実施の形態によれば、図4に示すように、5層配線である第5メタルを反射電極PE1に割り当てることにより、第1の信号保持手段SM121、DM122の一部C11、及び反射電極PE1を高さ方向に有効に配置することが可能になり、画素小型化が実現できる。これにより、例えば3μm以下のピッチの画素を電源電圧3.3Vのトランジスタで構成できる。この3μmピッチの画素では対角の長さ0.55インチの横方向4000画素及び縦方向2000画素の液晶表示パネルを実現できる。

【0060】

次に、本実施の形態の画素12を用いた図1の液晶表示装置1のデータ書き込み及び読み出し動作について、図5のタイミングチャートを併せ参照して説明する。

【0061】

前述したように、液晶表示装置1において、垂直シフトレジスタからの行走査信号により行走査線g1から行走査線gmに向って、行走査線が1本ずつ順次1H単位で選択されていくため、画像表示部を構成する複数の画素12は、選択された行走査線に共通に接続された1行のn個の画素単位でデータの書き込みが行われる。そして、画像表示部を構成する複数の画素12の全てに書き込みが終わった後、トリガパルスに基づいて全画素一斉に読み出しが行われる。

【0062】

図5（A）は、水平ドライバから列データ線d1～dnに出力される1ビットのサブフレームデータの一画素の書き込み期間及び読み出し期間を模式的に示す。左下がりの斜線が書き込み期間を示す。なお、図5（A）において、B0b、B1b、B2bは、ビットB0、B1、B2のデータの反転データであることを示す。

【0063】

また、図5（B）は、タイミングジェネレータから正転トリガパルス用トリガ線trigに出力されるトリガパルスを示す。このトリガパルスは1サブフレーム毎に出力される。なお、反転トリガパルス用トリガ線trigbに出力される反転トリガパルスは正転トリガパルスと常に逆論理値であるのでその図示は省略してある。

【0064】

まず、行走査信号により選択された1行の複数の画素12はスイッチSW11がオン状

10

20

30

40

50

態とされ、その時列データ線 d に出力される図 5 (A) のビット B 0 の正転サブフレームデータがスイッチ S W 1 1 によりサンプリングされることで S M 1 2 1 に書き込まれる。以下、同様にして、画像表示部を構成する全ての画素 1 2 の第 1 の信号保持手段 S M 1 2 1 にビット B 0 のサブフレームデータの書き込みが行われ、その書き込み動作が終了した後の図 5 に示す時刻 T 1 で、図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素 1 2 に同時に供給される。

【 0 0 6 5 】

これにより、全ての画素 1 2 のスイッチ S W 1 2 がオン状態とされるため、第 1 の信号保持手段 S M 1 2 1 に記憶されているビット B 0 の正転サブフレームデータがスイッチ S W 1 2 を通して容量 C 1 1 に一斉に転送されて保持されると共に、反射電極 P E 1 に印加される。この容量 C 1 1 によるビット B 0 の正転サブフレームデータの保持期間は、時刻 T 1 から図 5 (B) に示すように次の “ H ” レベルの正転トリガパルスが入力される時刻 T 2 までの 1 サブフレーム期間である。図 5 (C) は、反射電極 P E 1 に印加されるサブフレームデータのビットを模式的に示す。

10

【 0 0 6 6 】

ここで、サブフレームデータのビット値が「 1」、すなわち “ H ” レベルのときには反射電極 P E 1 には電源電圧 V D D (ここでは例えば 3.3 V) が印加され、ビット値が「 0」、すなわち “ L ” レベルのときには反射電極 P E 1 には 0 V が印加される。一方、共通電極 C E には、G N D 及び V D D に制限されることなく、自由な電圧が共通電極電圧 V c o m として印加できるようになっており、“ H ” レベルの正転トリガパルスが入力される時と同時タイミングで規定の電圧に切り替わるようにされている。ここでは、共通電極電圧 V c o m は、正転サブフレームデータが反射電極 P E 1 に印加されるサブフレーム期間は、図 5 (D) に示すように 0 V よりも液晶の閾値電圧 V t t だけ低い電圧に設定される。

20

【 0 0 6 7 】

図 2 で示した液晶表示素子は、反射電極 P E 1 の印加電圧と共通電極電圧 V c o m との差電圧の絶対値である、液晶 L C 1 の印加電圧に応じた階調表示を行う。従って、ビット B 0 の正転サブフレームデータが反射電極 P E 1 に印加される時刻 T 1 ~ T 2 の 1 サブフレーム期間では、液晶 L C 1 の印加電圧は、図 5 (E) に示すように、サブフレームデータのビット値が「 1」のときは $3.3\text{ V} + V_{tt}$ ($= 3.3\text{ V} - (-V_{tt})$) となり、サブフレームデータのビット値が「 0」のときは $+V_{tt}$ ($= 0\text{ V} - (-V_{tt})$) となる。

30

【 0 0 6 8 】

図 6 に、液晶の印加電圧 (R M S 電圧) と液晶のグレースケール値との関係を示す。図 6 に示すように、グレースケール値曲線は黒のグレースケール値が液晶の閾値電圧 V t t の R M S 電圧に対応し、白のグレースケール値が液晶の飽和電圧 V s a t ($= 3.3\text{ V} + V_{tt}$) の R M S 電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。従って、液晶表示素子は上記のように液晶 L C の印加電圧が $(3.3\text{ V} + V_{tt})$ のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

40

【 0 0 6 9 】

続いて、上記のビット B 0 の正転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 0 b で示すようにビット B 0 の反転サブフレームデータの画素 1 2 の S M 1 2 1 への書き込みが順番に開始される。そして、画像表示部の全画素の S M 1 2 1 にビット B 0 の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 2 で図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部を構成する全ての画素に同時に供給される。

【 0 0 7 0 】

これにより、全ての画素 1 2 のスイッチ S W 1 2 がオンとされるため、S M 1 2 1 に記憶されているビット B 0 の反転サブフレームデータがスイッチ S W 1 2 を通して容量 C 1 1 に転送されて保持されると共に、反射電極 P E 1 に印加される。この容量 C 1 1 による

50

ビット B 0 の反転サブフレームデータの保持期間は、時刻 T 2 から図 5 (B) に示すように次の “ H ” レベルの正転トリガパルスが入力される時刻 T 3 までの 1 サブフレーム期間である。ここで、ビット B 0 の反転サブフレームデータはビット B 0 の正転サブフレームデータと常に逆論理値の関係にあるため、ビット B 0 の正転サブフレームデータが「 1 」のときは「 0 」、ビット B 0 の正転サブフレームデータが「 0 」のときは「 1 」である。

【 0 0 7 1 】

一方、共通電極電圧 V_{com} は、反転サブフレームデータが反射電極 P E 1 に印加されるサブフレーム期間は、図 5 (D) に示すように 3.3 V よりも液晶の閾値電圧 V_{th} だけ高い電圧に設定される。従って、ビット B 0 の反転サブフレームデータが反射電極 P E 1 に印加される時刻 T 2 ~ T 3 の 1 サブフレーム期間では、液晶 L C 1 の印加電圧は、サブフレームデータのビット値が「 1 」のときは $-V_{th}$ ($= 3.3\text{ V} - (3.3\text{ V} + V_{th})$) となり、サブフレームデータのビット値が「 0 」のときは $-3.3\text{ V} - V_{th}$ ($= 0\text{ V} - (3.3\text{ V} + V_{th})$) となる。

10

【 0 0 7 2 】

従って、ビット B 0 の正転サブフレームデータのビット値が「 1 」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「 0 」であるため、液晶 L C 1 の印加電圧は、 $-(3.3\text{ V} + V_{th})$ となり、液晶 L C 1 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 はビット B 0 の正転サブフレームデータ表示時と同じ白を表示する。

【 0 0 7 3 】

20

同様に、ビット B 0 の正転サブフレームデータのビット値が「 0 」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「 1 」であるため、液晶 L C 1 の印加電圧は、 $-V_{th}$ となり、液晶 L C 1 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 は黒を表示する。

【 0 0 7 4 】

従って、画素 1 2 は図 5 (E) に示すように、時刻 T 1 ~ 時刻 T 3 までの 2 サブフレーム期間は、ビット B 0 とビット B 0 の相補ビット B 0 b とで同じ階調を表示すると共に、液晶 L C 1 の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 L C 1 の焼き付きを防止することができる。

30

【 0 0 7 5 】

続いて、上記の相補ビット B 0 b の反転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 1 で示すようにビット B 1 の正転サブフレームデータの画素 1 2 の S M 1 2 1 への書き込みが順番に開始される。そして、画像表示部の全画素 1 2 の第 1 の信号保持手段 S M 1 2 1 にビット B 1 の正転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 3 で図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部を構成する全ての画素に同時に供給される。

【 0 0 7 6 】

これにより、全ての画素のスイッチ S W 1 2 がオンとされるため、第 1 の信号保持手段 S M 1 2 1 に記憶されているビット B 1 の正転サブフレームデータがスイッチ S W 1 2 を通して容量 C 1 1 に転送されて保持されると共に、反射電極 P E 1 に印加される。この容量 C 1 1 によるビット B 1 の正転サブフレームデータの保持期間は、時刻 T 3 から図 5 (B) に示すように次の “ H ” レベルの正転トリガパルスが入力される時刻 T 4 までの 1 サブフレーム期間である。

40

【 0 0 7 7 】

一方、共通電極電圧 V_{com} は、正転サブフレームデータが反射電極 P E 1 に印加されるサブフレーム期間は、図 5 (D) に示すように 0 V よりも液晶の閾値電圧 V_{th} だけ低い電圧に設定される。従って、ビット B 1 の正転サブフレームデータが反射電極 P E 1 に印加される時刻 T 3 ~ T 4 の 1 サブフレーム期間では、液晶 L C 1 の印加電圧は、図 5 (E) に示すように、サブフレームデータのビット値が「 1 」のときは $3.3\text{ V} + V_{th}$ (

50

$= 3.3 \text{ V} - (-V_{\text{tt}})$) となり、サブフレームデータのビット値が「 0 」のときは $+V_{\text{tt}} (= 0 \text{ V} - (-V_{\text{tt}}))$ となる。

【 0 0 7 8 】

続いて、上記のビット B 1 の正転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 1 b で示すようにビット B 1 の反転サブフレームデータの画素 1 2 の第 1 の信号保持手段 S M 1 2 1 への書き込みが順番に開始される。そして、画像表示部の全画素の第 1 の信号保持手段 S M 1 2 1 にビット B 1 の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 4 で図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部を構成する全ての画素に同時に供給される。

【 0 0 7 9 】

これにより、全ての画素 1 2 のスイッチ S W 1 2 がオンとされるため、第 1 の信号保持手段 S M 1 2 1 に記憶されているビット B 1 の反転サブフレームデータがスイッチ S W 1 2 を通して容量 C 1 1 に転送されて保持されると共に、反射電極 P E 1 に印加される。この容量 C 1 1 によるビット B 0 の反転サブフレームデータの保持期間は、時刻 T 4 から図 5 (B) に示すように次の “ H ” レベルの正転トリガパルスが入力される時刻 T 5 までの 1 サブフレーム期間である。ここで、ビット B 1 の反転サブフレームデータはビット B 1 の正転サブフレームデータと常に逆論理値の関係にある。

【 0 0 8 0 】

一方、共通電極電圧 V_{com} は、反転サブフレームデータが反射電極 P E 1 に印加されるサブフレーム期間は、図 5 (D) に示すように 3.3 V よりも液晶の閾値電圧 V_{tt} だけ高い電圧に設定される。従って、ビット B 1 の反転サブフレームデータが反射電極 P E 1 に印加される時刻 T 4 ~ T 5 の 1 サブフレーム期間では、液晶 L C 1 の印加電圧は、サブフレームデータのビット値が「 1 」のときは $-V_{\text{tt}} (= 3.3 \text{ V} - (3.3 \text{ V} + V_{\text{tt}}))$ となり、サブフレームデータのビット値が「 0 」のときは $-3.3 \text{ V} - V_{\text{tt}} (= 0 \text{ V} - (3.3 \text{ V} + V_{\text{tt}}))$ となる。

【 0 0 8 1 】

これにより、画素 1 2 は図 5 (E) に示すように、時刻 T 3 ~ 時刻 T 5 までの 2 サブフレーム期間はビット B 1 とビット B 1 の相補ビット B 1 b とで同じ階調を表示すると共に、液晶 L C 1 の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 L C 1 の焼き付きを防止することができる。以下、上記と同様の動作が繰り返され、本実施の形態の画素 1 2 を有する液晶表示装置 1 によれば、複数のサブフレームの組み合わせによって階調表示を行うことができる。

【 0 0 8 2 】

なお、ビット B 0 と相補ビット B 0 b の各表示期間は同じ第 1 のサブフレーム期間であり、また、ビット B 1 と相補ビット B 1 b の各表示期間も同じ第 2 のサブフレーム期間であるが、第 1 のサブフレーム期間と第 2 のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第 2 のサブフレーム期間は第 1 のサブフレーム期間の 2 倍に設定されている。また、図 5 (E) に示すように、ビット B 2 と相補ビット B 2 b の各表示期間である第 3 のサブフレーム期間は、第 2 のサブフレーム期間の 2 倍に設定されている。他のサブフレーム期間についても同様であり、システムに従って各サブフレーム期間の長さが所定の長さに決められ、またサブフレーム数も任意の数に決定される。

【 0 0 8 3 】

次に、本発明の実施の形態に係る液晶表示装置の画素検査の基本動作について、適宜図面を参照して説明する。まず、画素検査の開始時にある特定の行走査線 g に “ H ” レベルの行走査信号を供給してスイッチ S W 1 1 をオンにする。また、配線 t r i g と t r i g b にそれぞれ “ H ” レベルのトリガパルス及び “ L ” レベルの反転トリガパルスを供給して、スイッチ S W 1 2 もオンにする。

【 0 0 8 4 】

次に、列データ線 d に 1 ビットの検査信号として “ L ” レベルのデータを供給する。これにより、画素 1 2 の第 1 の信号保持手段 S M 1 2 1 を構成するインバータ I N V 1 1 の

10

20

30

40

50

入力端子とインバータ I N V 1 2 の出力端子との接続点である a 点に “ L ” レベルのデータが書き込まれる。またインバータ I N V 1 1 の出力端子及びインバータ I N V 1 2 の入力端子がスイッチ S W 1 2 を介して容量 C 1 1 に接続された接続点である b 点に “ H ” レベルのデータが書き込まれる。このとき、画素 1 2 の第 1 の信号保持手段 S M 1 2 1 において、インバータ I N V 1 1 を構成するトランジスタの駆動力がインバータ I N V 1 2 を構成するトランジスタの駆動力よりも大きいため、a 点は第 1 の信号保持手段 S M 1 2 1 の入力として、b 点は S M 1 2 1 の出力としてそれぞれ機能する。

【 0 0 8 5 】

ここで S W 1 2 はオンにされているため、容量 C 1 1 も “ H ” レベルのデータが書き込まれた状態になっている。

【 0 0 8 6 】

次に、行走査線 g を “ L ” レベルにすると、画素 1 2 の反射電極 P E 1 はそれぞれ入力データを反転した “ H ” レベルのデータがラッチされた状態になる。

【 0 0 8 7 】

書込みが終わった後、図 1 に示している T l a t を “ L ” レベルにすることにより列データ線 d をオープン状態とする。列データ線 d に接続されたセンスアンプの入力をセンスアンプ入力制御 n u t をオン状態とすることにより、中間電圧を供給した配線 m i d に接続する。これにより、センスアンプの入力の列データ線 d は中間電圧の 1 . 6 5 V にプリチャージされる。その後、センスアンプ入力制御 n u t をオフ状態とする。列データ線 d は信号線の容量があるため、1 . 6 5 V 電圧が保持される。

【 0 0 8 8 】

次に行走査線 g を “ H ” レベルにすると、画素 1 2 に書き込まれたデータが信号線 d にそれぞれ出力される。画素 1 2 は入力と出力が決まった S R A M であるため、d の信号線に保持されている 1 . 6 5 V が画素 1 2 に書き込まれることになるが、画素 1 2 に書き込まれたデータも信号線 d にそれぞれ吐き出されることになり、信号線 d はそれぞれ画素 1 2 に書き込まれたデータに影響されて信号線のレベルが変化する。つまり、列データ線 d は画素 1 2 に書き込まれたデータにより、インバータ I N V 1 2 によって “ L ” レベルに駆動される。

【 0 0 8 9 】

インバータ I N V 1 2 の駆動力は非常に小さく列データ線容量は大きいため、列データ線 d をそれぞれ “ L ” レベルに駆動するには時間がかかるが、列データ線 d の電位がわずかに変化すれば、列データ線 d と配線 m i d から入力されたセンスアンプが電位差を増幅し、センスアンプの出力は “ L ” レベルに出力される。

【 0 0 9 0 】

このセンスアンプによって出力された信号は、バッファにて信号波形を整形される。その後、T E S T 端子が “ H ” レベルに制御することによって e 1 から e n の全ての列センスアンプ出力が画素読み出し用シフトレジスタの所定の場所に入力される。この後、タイミングジェネレータから送られてくる T C K / T C K b の信号に従って、シリアルに出力端子 T O U T から信号が取り出される。

【 0 0 9 1 】

本実施の形態では、以上の画素検査を画素 1 2 に対し、列データ線 d から “ L ” レベルのデータを入力して信号を読み出す第 1 の検査方法と、列データ線 d から “ H ” レベルのデータを入力して信号を読み出す第 2 の検査方法との 2 種類を、タイミングを変えて 2 回実行する。

【 0 0 9 2 】

これにより、画素 1 2 において “ L ” レベルの電圧や “ H ” レベルの電圧を読み出すことが可能になるため、メモリとしてロジックの画素機能検査が可能になる。このとき、例えばプロセスにより、容量 C 1 1 が、G N D や V D D 配線などにショートしていれば画素検査において任意のデータを読み出すことが不可能である。また第 1 の信号保持手段 S M 1 2 1 がショートしていたり断線していたりした場合でも、本実施の形態に係る画素検査

10

20

30

40

50

において任意のデータを読み出すことが不可能である。以上のデータ読み出しが不可能な場合は、不良画素が存在する液晶表示装置であると判断して、ビジネス上適切な対応をとることが可能となる。

【0093】

センサンプ回路の構成図を図7に示す。+ - の2つのゲート入力 of 差電圧を回路内部で増幅して出力する。電圧源回路(図7中では破線にて示す。)はセンサンプに供給するアナログ電圧を抵抗分割により形成している。なお、センサンプ回路は図7の構成とは限らない。さらにゲインの高い高性能なセンサンプを用いる場合もありうる。

【0094】

次に、本実施の形態における前述した動作不良に対応した画素検査の動作について、図1の全体構成図、図2の回路図、及び図8のタイミングチャートを併せ参照して更に詳細に説明する。

【0095】

画素検査時において、まず、画素検査時の最初の時刻 t_1 において、 $trig$ が“H”レベル、 $trigb$ が“L”レベルとし、画素12の SW_{12} がオンに制御される。次に時刻 T_2 から T_3 までの間、 LT を“H”レベルに制御し、列データ線 $d_1 \sim d_n$ に所定のデータを書き込む。このとき、前述したように列データ線 $d(d_1、d_2、d_3、\dots、d_n)$ に“L”レベルのデータを書き込む。

【0096】

時刻 t_2 から t_4 において、画像表示部の或る1本の行走査線 gx を“H”レベルに制御し、レベルシフタ/画素ドライバから列データ線 $d_1 \sim d_n$ に書き込まれたデータを1行分の画素12に書き込む。

【0097】

時刻 t_4 で画像表示部の或る1本の行走査線 gx を“L”レベルに制御し、画素12の第1の信号保持手段 SM_{121} に信号をラッチする。

【0098】

次に画素に書き込まれたデータの読み出し動作を行う。時刻 $t_4.5$ において $Tlat$ を“L”レベルにして、全ての列データ線をオープン状態にする。これにより列データ線 $d_1 \sim d_n$ は容量のみで電圧が確定される状態となる。時刻 T_5 において、センサンプ入力制御 nut を“H”レベルとすることにより、列データ線 d を配線 $mid(1.65V)$ と同通させる。これにより、列データ線 d は $1.65V$ となる。その後、センサンプ入力制御 nut を“L”レベルとすることにより、全ての列データ線を再度オープン状態にする。これにより列データ線 d_1 は容量のみで $1.65V$ の電圧が保持確定されている状態となる。

【0099】

時刻 t_6 で行走査線 gx を“H”レベルに制御することによって、画素12に書き込んだデータを読み出す。 T_6 のタイミングで画素12のインバータ INV_{12} によって列データ線 d が駆動される。インバータ INV_{12} の駆動力は非常に小さいものであるため、最初はわずかに列データ線の電位が変動するが、時間をかけて“L”レベルのデータとなる。これにより、列データ線 d は“L”レベル方向に駆動される。

【0100】

このわずかな列データ線 d と配線 mid との電圧差 Y をセンサンプが増幅し、センサンプの出力に接続されたバッファに入力される。バッファによって VDD (電源電圧)及び GND (基準電圧)レベルにデータが整形される。時刻 T_6 で $TEST$ を“H”レベルに制御することによって、センサンプの出力に接続されたバッファの出力 e_1 から e_n を一斉に画素読み出し用シフトレジスタにラッチする。時刻 t_7 で $TEST$ を“L”レベルにして画素読み出し用シフトレジスタのラッチを完了する。

【0101】

時刻 t_7 から、画素読み出し用シフトレジスタに供給される、図8に示す互いに逆位相のクロック信号 $TCkb$ 及びクロック信号 TCk を交互にオン・オフする制御が繰り返さ

10

20

30

40

50

れる。これにより、画素読み出し用シフトレジスタに格納された読み出し信号のうち、列センスアンプバッファ出力 e_n からの読み出し信号から列センスアンプバッファ出力 e_1 からの読み出し信号に向かって、順番に出力端子 $TOUT$ へ画素検査信号が出力される。クロック信号 $TCkb$ 及びクロック信号 TCk は、1 行分の画素数の半分の数のオン・オフ制御が繰り返されることによって、全データが読み出され 1 行分の検査が終了する。この 1 行分の画素の読み出し信号と入力検査信号とを比較し、両者が同じであるか否かにより画素検査ができる。

【0102】

以上の動作終了後、今度は垂直シフトレジスタを制御することによって、次の画素行の各画素 12 を選択し、上記と同様にして画素検査を行う。これらを繰り返し、垂直方向の画素数分の検査を実行し、画像表示部を構成する全ての画素において、検査を実施する。なお、入力する検査信号は上記のように列データ線 d_1 に“L”レベルにする必要は無く、反対のデータを書き込んで検査してもよい。

【0103】

このようにして、本実施の形態によれば、画素検査を正確に実施することができる。本実施の形態によれば、画素検査のために画素 12 に検査用のトランジスタを増加させることなく検査が行えるため、前述した従来の液晶表示装置のように画素内に 2 つの $SRAM$ を用いた液晶表示装置に比べて、画素の小型化が可能となり、かつ正確な画素検査が可能となる。

【0104】

以上は $DRAM$ をオンに制御したときの画素検査であったが、 $DRAM$ をオフにした場合の画素検査も行える。このとき、図 8 において、 $trig$ を“L”レベル、 $tirgb$ を“H”レベルに制御することによって $DRAM$ をオフにした検査も行える。その他のタイミングチャートは上述と同様である。この場合、 $DRAM$ をオン状態にした場合と、オフ状態にした場合との 2 種類の画素検査を行い、検査結果を比較することで $DRAM$ のオープン検査を行うことが可能となる。

【0105】

本実施の形態に係る液晶表示装置 1 の $DRAM$ をオンした場合とオフした場合を説明する画素回路模式図を、それぞれ図 9 (A) 及び図 9 (B) に示す。図 9 (A) に示す $DRAM$ がある場合は、図 2 のスイッチ $SW12$ がオンの場合であり、図 9 (B) に示す $DRAM$ がない場合は図 2 の b 点において、プロセスの不具合にて配線が切断され、容量 $C11$ が接続されていない場合を示している。図 9 において、画素回路内の $INV12$ にそれぞれ $C11$ が接続されているかいないかが、それぞれの相違点である。

【0106】

このとき、インバータ $INV12$ に容量 $C11$ が接続されている場合 (図 9 (A) の場合) には、インバータの駆動力が強く、インバータ $INV12$ に $C11$ が接続されていない場合 (図 9 (B) の場合) にはインバータの駆動力が弱い。

【0107】

これは、インバータ $INV12$ を構成するゲート電圧は、液晶 $LC1$ と容量 $C11$ の容量とに基づいて決定されるが、図 10 に図示しない (図 2 に図示) インバータ $INV11$ の出力電圧で充電されて決定される。インバータ $INV11$ の出力電圧は、インバータ $INV11$ の入力電圧レベルによって決定されるが、インバータ $INV11$ の入力電圧は 1.65V に書き込まれた列データ線 d の電圧によって、1.65V 程度に決定される。

【0108】

つまり図 2 の b 点に“L”レベルの電圧が書き込まれていた場合、読み出すときはインバータ $INV11$ によって b 点の電圧を 1.65V に書き換えようとする。しかし、 b 点における液晶表示素子 $LC1$ と容量 $C11$ の容量が大きい場合 1.65V への書き換えに時間がかかり、その結果としてわずかに“H”レベルの反転電圧が a 点に出力されることになる。 a 点がわずかに“H”レベルになることによって、インバータ $INV11$ はわずかに“L”レベルを出力しようとする。これらを繰り返すことによって、少しずつ列デー

10

20

30

40

50

タ線 d は “ H ” レベルになっていく。

【 0 1 0 9 】

この結果、列データ線 d とに出力された電位と配線 m i d との電位差が、センスアンプが判定できる振幅に達するとセンスアンプの出力には “ H ” レベル (V D D) 電圧が出力されて画素検査が可能となる。

【 0 1 1 0 】

このとき、D R A M が断線されており接続されていない場合には、b 点には液晶 L C 1 の容量がなく、容量 C 1 1 しかない。この容量 C 1 1 をインバータ I N V 1 1 で 1 . 6 5 V に書き換えようとする。b 点の容量が小さい場合、1 . 6 5 V に短時間で書き換えてしまうため、インバータ I N V 1 2 の入力電圧は 1 . 6 5 V になってしまい、a 点の電圧が 1 . 6 5 V になってしまう。c 点の電圧も 1 . 6 5 V となり、接続されている列データ線 d と配線 m i d の電位差がほとんどなく、センスアンプが不感となり、正規判定の電圧を出力することが出来ない。

【 0 1 1 1 】

このため、図 8 において時刻 T 6 以降、d が所定の電圧に変動していく時間が図 9 (A) に示した場合と比較して、図 9 (B) に示した場合の方が長くなる。センスアンプが正常に動作しだす電位差が決まっているため、時刻 T 6 から時刻 T 7 までの時間をある時間 (X) に調整することで、図 9 (A) に示した場合では正常に検査可能だが、図 9 (B) に示した場合では正常に検査できないようにすることができる。

【 0 1 1 2 】

この時間 (X) において D R A M を接続して検査することにより (図 9 の (A) に相当) 、画素内の D R A M 部がオープン (切断されている) である (図 9 の (B) に相当) と正常に検査できないことになる。これにより、D R A M のオープン検査を実施することができるようになる。通常、オープン検査は画素電極をシリーズにスルーホールを経由した画素構成にして検査する必要があるが、本実施の形態に係るこの方法によれば、画素構成を変更することが無いいため、画素ピッチを拡大することがなく D R A M のオープン検査を実施することが出来る。

【 0 1 1 3 】

なお、前述した実施の形態に示す具体的な数値等は、発明の理解を容易とするための例示にすぎず、特に断る場合を除き、本発明を限定するものではない。

【 符号の説明 】

【 0 1 1 4 】

- 1 液晶表示装置
- 1 2 画素
- C E 共通電極
- L C 1 液晶
- P E 1 反射電極
- L C M 1 液晶表示素子
- C 1 1 容量
- S W 1 1 、 S W 1 2 スイッチ
- I N V 1 1 、 I N V 1 2 インバータ
- d 列データ線
- g 行走査線

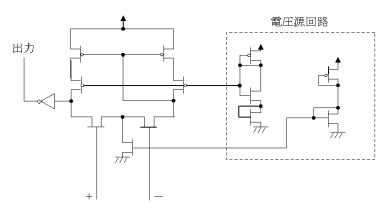
10

20

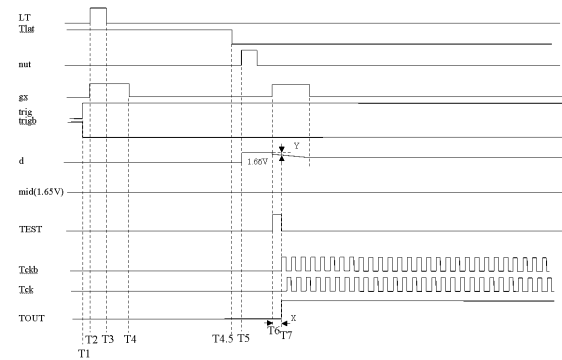
30

40

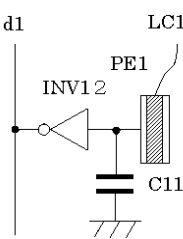
【図 7】



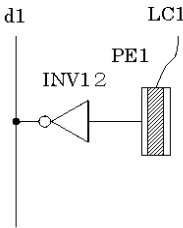
【図 8】



【図 9】



(A)



(B)

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 3 1 M
G 0 9 G	3/20	6 2 4 B
G 0 2 F	1/133	5 5 0

专利名称(译)	液晶显示装置和液晶显示装置的检查方法		
公开(公告)号	JP2017126075A	公开(公告)日	2017-07-20
申请号	JP2017030802	申请日	2017-02-22
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.670.Q G09G3/20.680.F G09G3/20.670.H G09G3/20.641.E G09G3/20.631.M G09G3/20.624.B G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA19 2H193/ZF44 2H193/ZK03 2H193/ZK14 5C006/AA14 5C006/AC25 5C006/AC28 5C006/AF44 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF03 5C006/BF04 5C006/BF09 5C006/BF25 5C006/BF27 5C006/BF34 5C006/BF37 5C006/BF46 5C006/EB01 5C006/FA34 5C006/GA01 5C080/AA10 5C080/BB05 5C080/DD15 5C080/EE28 5C080/EE29		
其他公开文献	JP6394716B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置及其像素检查方法，其能够减小要构成的像素的尺寸，并且能够精确地进行像素检查。在像素12中，输出到列数据线d的数据由开关SW11采样并写入SRAM1。将数据写入构成图像显示单元的所有像素的SRAM 1中。此后，通过触发脉冲，所有像素的开关SW 12接通，SRAM 1的数据同时传送到构成DRAM的电容器C 11并保持，并且还应用于反射电极PE 1。通过在元件的高度方向上有效地布置SM 121，DM 122和反射电极PE 1，可以实现像素的小型化。此外，通过连接到像素12的读出放大器和预定的固定电压适当地检查这些像素。

