

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-125213

(P2015-125213A)

(43) 公開日 平成27年7月6日(2015.7.6)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
H01L 29/786 (2006.01)	H01L 29/78 612C	5C094
H01L 21/336 (2006.01)	H01L 29/78 624	5F110
G09F 9/30 (2006.01)	G09F 9/30 330Z	

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2013-268408 (P2013-268408)
 (22) 出願日 平成25年12月26日 (2013.12.26)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100153176
 弁理士 松井 重明
 (74) 代理人 100109612
 弁理士 倉谷 泰孝
 (72) 発明者 若松 良平
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

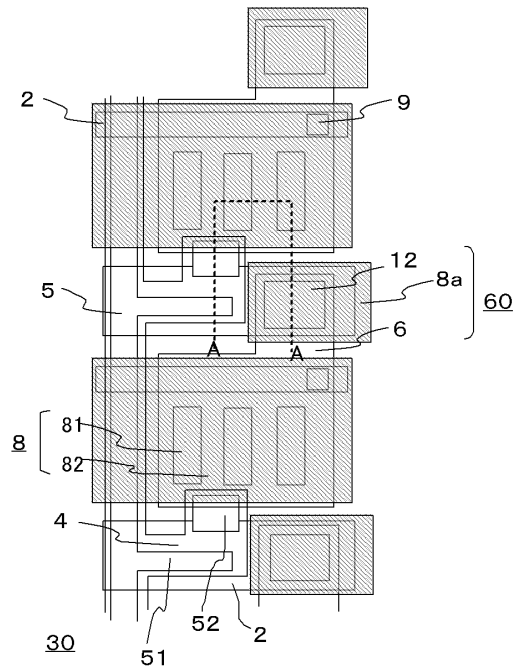
(54) 【発明の名称】 アレイ基板と該アレイ基板を有する液晶表示装置

(57) 【要約】

【課題】 液晶表示装置において薄膜トランジスタの特性異常に起因する表示不良が発生した場合、当該画素に対応するTFTの特性を評価する必要がある。しかし、下部電極に画素電圧を印加し、上部電極にコモン電圧を印加するFFS方式において、TFTの静特性を評価するには下部電極にプロービングする必要があるものの、下部電極を覆うように上部電極が配置されているためプロービングが不可能であった。

【解決手段】 下部電極6と下部電極上を覆う絶縁膜と該絶縁膜上に形成される上部電極8とを備え、下部電極6は、走査配線2をまたぐようにして隣接する隣接画素の走査配線上に延在して、走査配線2上にコンタクトホール12が設けられ、コンタクトホール12を覆うようにして下部電極6と接続するように絶縁膜上に形成されるパッド電極8aを有する解析パッド60が形成されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基板上に、走査配線と、これに交差する信号配線によって規定される複数の画素がマトリクス状に配置された表示領域とを有し、
前記画素は、スイッチング素子と、該スイッチング素子と接続された下部電極と、
該下部電極上に形成された絶縁膜と、
該絶縁膜上に形成されて前記下部電極との間でフリンジ電界を発生させる上部電極とを備え、
前記下部電極は、前記走査配線をまたぐようにして隣接する隣接画素の走査配線上に延在して、

10

前記走査配線上において前記下部電極上の前記絶縁膜にコンタクトホールが設けられ、
前記コンタクトホールを覆うようにして下部電極と接続するように前記絶縁膜上にパッド電極が形成されている

アレイ基板。

【請求項 2】

前記パッド電極は、
前記スイッチング素子を除いて、前記隣接画素の走査配線上を全て覆うことを特徴とする請求項 1 に記載のアレイ基板。

【請求項 3】

前記上部電極は、隣接画素における上部電極とは直接パターンでつながっていないことを特徴とする請求項 1 または 2 に記載のアレイ基板。

20

【請求項 4】

請求項 1 から請求項 3 のいずれか 1 項に記載のアレイ基板を有する液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置に関するものである。特に詳しくは、フリンジフィールドスイッチング (FFS: Fringe Field Switching) 方式のアレイ基板と当該アレイ基板を有する液晶表示装置の構成に関するものである。

【背景技術】

30

【0002】

近年、従来のブラウン管に代わって、液晶、エレクトロルミネセンス、帯電微粒子等の原理を利用した薄型で平面形状の表示パネルを有する新しい表示装置が多く使用されるようになった。これらの新しい表示装置の代表である液晶表示装置は、薄型、軽量だけでなく、低消費電力で低電圧駆動できる特徴を有している。液晶表示装置は、2枚の基板の間に液晶を封入する。片方の基板は、複数の画素がマトリクス状に配置された表示領域を有するアレイ基板であり、もう片方の基板は、カラーフィルタ、ブラックマトリクス(遮光膜)等が形成された対向基板である。

【0003】

特に、薄膜トランジスタ (TFT: Thin Film Transistor) 型液晶表示装置は、アレイ基板上の各画素に、スイッチング素子である TFT が設けられ、各画素が独立して液晶を駆動する電圧を保持できるので、クロストークの少ない高画質な表示が可能である。また、各画素には、TFT の ON、OFF を制御する走査配線 (ゲート配線) と、これに交差する画像データ入力用の信号配線 (ソース配線) が設けられている。通常、各画素は、走査配線と信号配線に囲まれた領域が対応する。

40

【0004】

インプレーンスイッチング (In-Plane Switching) 方式の液晶表示装置は、片側のアレイ基板に複数の画素電極と対向電極 (共通電極) を交互に隙間を空けて配置して、基板面に対して横電界を印加して表示を行う方式である。インプレーンスイッチング方式は、一般的な TN (Twisted Nematic) 方式と比較して、視

50

野角特性に優れている利点がある。しかし、従来のインプレーンスイッチング方式の液晶表示装置は、TN方式と比べて、光透過率が小さいという欠点がある。

【0005】

この欠点を改善した方式として、フリンジフィールドスイッチング（FFS）方式が提案されている。FFS方式の液晶表示装置は、液晶にフリンジ電界（横電界と縦電界の両成分を含む斜め電界）を印加して表示を行う方式である。FFS方式の液晶表示装置では、画素電極と対向電極は、インプレーンスイッチング方式と同様に、片側のアレイ基板上に形成されるが、画素電極と対向電極は絶縁膜を介して上下に配置される。通常、下部電極は板形状で、上部電極は隙間部と枝電極部を有するスリット形状、または櫛歯形状をしている。（例えば、特許文献1参照）

10

【0006】

FFS方式では、画素電極は、下部電極でも上部電極でもどちら側の構成も可能である。FFS方式は、上部電極と下部電極間で、フリンジ電界により液晶を駆動するようにしているため、上部電極の枝電極部上の液晶も駆動して表示に寄与することができる。これにより、画素電極および対向電極の部分は殆ど表示に寄与しないIPS方式よりも光透過率が向上する利点がある。

【0007】

表示部にTFTに起因する異常が発生した際、当該画素に対応するTFTの静特性の評価を実施する必要がある。実施方法として、ソース信号入力端子、ゲート信号入力端子および画素電極に測定用のプローブを接触させることにより、TFT静特性の測定を実施している。

20

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2009-216963号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、従来のFFS方式において下部電極に画素電圧が印加され、上部電極にコモン電圧が印加された場合、TFTの静特性評価を実施するには下部に配置されている画素電極にプロービングを実施する必要があるものの、上部電極が配置されているためプロービングが不可能であった。

30

【0010】

また、プロービングを実施するために開口部を設けて画素電極を露出する構造も考えられるが、当該開口部は表示に寄与しないため開口率の減少を招き表示品位を低下させる問題があった。

【0011】

この問題を解決するために特許文献1に開示された液晶表示装置によれば、表示領域周辺にダミー画素を設け画素電極を露出させている。具体的には、ダミー画素の画素電極にプロービングし、TFT静特性を評価することで、表示領域のTFT静特性の代替としている。

40

【0012】

しかし、微輝点および表示ムラなどの表示不具合が発生した場合、表示不良が発生した画素に対応するTFTの静特性を評価することが重要となるため、ダミー画素のTFT静特性では表示不良が発生した画素の代替とならない。

【0013】

この発明は上記のような問題点を解消するためになされたもので、FFS構造において表示品位を低下させず特定の画素に対応するTFTの静特性を容易に評価可能とすることを目的とする。

【課題を解決するための手段】

50

【0014】

本発明の手段は、基板上に、走査配線と、これに交差する信号配線によって規定される複数の画素がマトリクス状に配置された表示領域とがあり、画素は、スイッチング素子と、該スイッチング素子と接続された下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成されて前記下部電極との間でフリンジ電界を発生させる上部電極とを備え、下部電極は、走査配線をまたぐようにして隣接する隣接画素の走査配線上に延在して、走査配線上において下部電極上の絶縁膜にコンタクトホールが設けられ、コンタクトホールを覆うようにして絶縁膜上にパッド電極が形成されているアレイ基板である。

【発明の効果】

【0015】

本発明によれば、表示内におけるTF Tの静特性評価が可能なFF S方式のアレイ基板、および液晶表示装置を得ることができる。

【図面の簡単な説明】

【0016】

【図1】実施の形態1に係るアレイ基板および液晶表示装置の模式図を示す平面図である。

【図2】実施の形態1に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。

【図3】図2のA - A線における液晶表示装置の断面図である。

【発明を実施するための形態】

【0017】

実施の形態1 .

はじめに、本発明のアレイ基板、および液晶表示装置の構成を簡単に説明する。図1は、実施の形態1に係るアレイ基板を有する液晶表示装置を模式的に示す平面図である。

【0018】

液晶表示装置100は表示領域50を有し、表示領域50においては複数の画素30がマトリクス状に配置されて構成される。そして、画素30を区切るように延在する走査配線・信号配線や、画素30に表示信号を供給するスイッチング素子であるTF T、および液晶15に電圧を印加する画素電極等が形成されたアレイ基板10を有する。さらに、このアレイ基板10と液晶15を介して対向配置されカラーフィルタやブラックマトリクス等が形成された対向基板20とを張り合わせた液晶セルを有する。液晶セルにおいては、対向基板20よりもアレイ基板10が大きく一部はみ出しており、そのみ出した領域内に後述する駆動回路が実装されている。液晶セルの両面にはさらに偏光板や位相板が貼り付けられる。この形態を示したのが図1であるが、実際の液晶表示装置では、さらに、駆動回路に接続する外部回路やバックライトや筐体等(図示しない)を取り付けていることが多い。

【0019】

アレイ基板10は、表示領域50と、表示領域50の外周の額縁領域55とを有する。額縁領域55には、COG(Chip On Glass)実装技術により、走査配線駆動回路61および信号配線駆動回路65が実装されている。また、アレイ基板10の端部には、走査配線駆動回路61および信号配線駆動回路65に、制御信号、クロック、画像データ等を供給する外部回路と接続するフレキシブル基板70、75用の複数の端子(図示せず)が設けられている。

【0020】

なお、図1では、表示領域50から、走査配線駆動回路61または信号配線駆動回路65の出力部へ延びる走査配線または信号配線の引き出し配線や、走査配線駆動回路61および信号配線駆動回路65の入力部と、アレイ基板10の端部に設けられたフレキシブル基板70、75用の複数の端子とを接続する入力配線が多数本あるが、図の簡略化のためにこれらの多数の配線は図示していない。

【0021】

10

20

30

40

50

小型パネルでは、配線の総本数が比較的少ないので、走査配線用駆動回路 6 1 および信号配線用駆動回路 6 5 を一体化した駆動回路が使用されることが多い。同時に、フレキシブル基板 7 0、7 5 も、まとめて 1 枚にすることもある。

【 0 0 2 2 】

図 2 は、実施の形態 1 に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。図 3 は、図 2 において A - A で示す箇所の断面図である。

【 0 0 2 3 】

図 2、3 に示すように、ガラス、プラスチック等の絶縁性基板 1 上に、Al、Cr、Mo、Ti、Ta、W、Ni、Cu、Au、Ag 等の金属や、これらの合金または積層膜からなる走査配線 2 と、これに並行して、かつこれと同一層で共通配線 2 1 も形成されている。なお、共通配線 2 1 は基準電位に維持されている。

10

【 0 0 2 4 】

次に、これらの上層の全面に SiO₂ 等の酸化膜、SiN 等の窒化膜からなるゲート絶縁膜 3 が形成されている。走査配線 2 上の一部分のゲート絶縁膜 3 上には、半導体膜 4 と、これに不純物が注入されたオーミックコンタクト膜 4 1 が積層して形成されている。

【 0 0 2 5 】

次に、走査配線 2 と交差するように、Al、Cr、Mo、Ti、Ta、W、Ni、Cu、Au、Ag 等の金属や、これらの合金または積層膜からなる信号配線 5 が、ゲート絶縁膜 3 上に形成されている。また、信号配線 5 と同一層からなるソース電極 5 1 とドレイン電極 5 2 が、オーミックコンタクト膜 4 1 と重なるように形成されている。

20

【 0 0 2 6 】

ソース電極 5 1 とドレイン電極 5 2 から露出するオーミックコンタクト膜 4 1 は除去されているが、オーミックコンタクト膜 4 1 の下層である半導体膜 4 は残されている。したがって、ソース電極 5 1 とドレイン電極 5 2 との間においても、オーミックコンタクト膜 4 1 は除去されているが、半導体膜 4 は残って TFT のチャネル部となる。このチャネル部の下層の走査配線 2 は、ゲート電極としても作用し、スイッチング素子である TFT が構成されている。

【 0 0 2 7 】

なお、半導体膜 4 およびオーミックコンタクト膜 4 1 は、TFT 領域だけでなく、信号配線 5 の下層で延在して配置される場合もある。

30

【 0 0 2 8 】

板形状の下部電極 6 は画素電極であり、ITO (Indium Tin Oxide) や IZO 等の酸化透明導電膜からなる。反射型では、Al、Ag、Pt 等の金属や、これらの合金または積層膜で、表面が高反射率の導電膜からなる場合もある。下部電極 6 の一部分は、ドレイン電極 5 2 の上に積層して形成され、TFT と電氣的に接続されている。なお、下部電極 6 の一部分を、ドレイン電極 5 2 の下層に形成して、電氣的に接続することもできる。また、実施の形態 1 の下部電極 6 は、その下部電極 6 が形成されている画素と隣接する画素の走査配線 2 の上方にまで延在している。

【 0 0 2 9 】

信号配線 5、TFT、および下部電極 6 の上層には、酸化膜、窒化膜等、または有機樹脂の絶縁膜や、これらの積層膜からなる保護膜 7 が形成されている。保護膜 7 上には、ITO 等の酸化透明導電膜からなる上部電極 8 が形成されている。保護膜 7 や上部電極 8 上には配向膜 1 4 が形成されている。

40

【 0 0 3 0 】

図 2、3 に示すように、上部電極 8 は、酸化透明導電膜がない複数の隙間部 8 1 と、電氣的に共通に接続されている複数の枝電極部 8 2 とを有する。実施の形態 1 では、上部電極 8 は、隙間部 8 1 が酸化透明導電膜で囲まれているスリット形状である。この枝電極部 8 2 と、隙間部 8 1 の保護膜 7 を介して露出する下部電極 6 との間にフリンジ電界を発生させて液晶 1 5 を駆動する。

【 0 0 3 1 】

50

また、上部電極 8 は、保護膜 7 とゲート絶縁膜 3 に開口した第 1 コンタクトホール 9 を介して、共通配線 2 1 に接続されており、基準電位に維持される対向電極となっている。ここで、上部電極・下部電極と、画素電極・対向電極の用語について説明する。上部電極 8 は絶縁膜 7 を介して下部電極 6 よりも上層にあるという意味での区別であり、レイヤーの上下関係を表した表現である。

【0032】

一方、画素電極と対向電極は、両者間の電界により液晶を駆動するための電極であるが、各々に印加される電位が異なり、いわば駆動の面で区別した表現である。具体的には、対向電極 8 は共通配線 2 1 から基準電位を供給されているが、画素電極 6 は TFT のドレイン電極 5 2 から信号電位を供給される。したがって、一般的には上部電極・下部電極と画素電極・対向電極との対応関係を入れ替えた構造もありうる。しかし、本発明の実施の形態 1 においては、課題から必然的に上部電極が共通電極となり、下部電極が画素電極となるため、状況に応じて適宜使い分けることとする。

10

【0033】

酸化透明導電膜からなる上部電極 8 は、比抵抗が金属膜からなる走査配線 2 や信号配線 5 に比較して大きいので、画素 3 0 毎に、走査配線 2 と同一層からなる共通配線 2 1 に接続することで、低抵抗化を図っている。なお、上部電極 8 が所定の基準電位になる構成であれば、画素 3 0 毎に第 1 コンタクトホール 9 を設ける必要は必ずしもなく、たとえば複数画素ごとに 1 つのコンタクトホールを開口してもよい。

【0034】

図示していないが、COG 用の端子部やフレキシブル基板用の端子部等の領域には、端子電極が設けられており、各端子部には、走査配線 2 または信号配線 5 と電気的接続をとるために、ゲート絶縁膜 3 または保護膜 7 にコンタクトホールが形成されている。通常、耐腐食性を向上するために、上部電極 8 と同一層からなる酸化透明導電膜が、端子電極の表面を覆うように形成されている。

20

【0035】

また、各画素 3 0 の保護膜 7 上には、第 1 コンタクトホール 9 以外に、光が透過しない領域において、第 2 コンタクトホール 1 2 を有する解析パッド 6 0 を配置している。

【0036】

解析パッド 6 0 の構成を以下に説明する。実施の形態 1 では、先にも述べたように走査配線 2 をまたぐようにして隣接する画素 3 0 に対応する走査配線 2 上に、画素電極である下部電極 6 の一部分を配置する。なお、隣接画素の走査配線 2 上に配置するのは、下部電極 6 の一部分に限定されない。たとえば、下部電極 6 と電気的に接続されている導電パターンでさえあればよい。

30

【0037】

走査配線 2 上の下部電極 6 は画素電極から電圧を供給されるため、画素 3 0 に供給される電圧と同電位である。走査配線上に配置された下部電極 6 上に第 2 コンタクトホール 1 2 が形成されている。第 2 コンタクトホール 1 2 の領域である下部電極 6 が上部電極 8 と同じ酸化透明材料からなる場合、上部電極 8 のエッチング工程の際にダメージを受ける場合がある。これを回避するために第 2 コンタクトホール 1 2 上に上部電極 8 と同じ材料であるパッド電極 8 a が形成されている。この構造により、上部電極 8 のパターニングのエッチング工程の間、第 2 コンタクトホール 1 2 内で露出する下部電極 6 は、パッド電極 8 a とその上層のレジストマスクにより覆われるため、エッチング液にさらされず保護されることになる。

40

【0038】

この際、第 2 コンタクトホール 1 2 上のパッド電極 8 a は周囲の共通電極 8 とは分離されている。従って、パッド電極 8 a には下部電極 6 から画素電圧が供給されるため、第 2 コンタクトホール 1 2 上のパッド電極 8 a は下部電極 6 と同電位となる。

【0039】

解析パッド 6 0 の大きさは、プローブ用針の直径と同程度以上にする必要がある。

50

【0040】

解析パッド60は走査配線2の領域内に形成するが、走査配線2自体は表示に寄与しないので、解析パッド60を設けること自体による画素の開口率の低下はない。

【0041】

解析パッド60は、走査配線2をまたぐようにして隣接する画素30の走査配線2の領域に配置されている。解析パッド60を評価対象の画素30の走査配線2に配置する場合と比べ、走査配線2と信号配線5との間の寄生容量Cgdの増加を抑えることが可能となる。

【0042】

実施の形態1では、走査配線2に生じる電界が液晶15にかかる電界に影響を与え配向不良を発生させる恐れがある。従って、液晶15と走査配線2との間を他の電極で遮蔽する必要がある。一般的には、対向電極である上部電極8が複数画素間の隣接部をまたぐように形成することにより、走査配線2上を上部電極8が覆うことで上記の遮蔽を行うことが多い。

10

【0043】

しかし、本発明の実施の形態1でそのような構造を採用すると、下部電極電位の露出部分である解析パッド60にある程度の面積を必要とするため、上部電極8が走査配線をまたいで隣接する画素間を接続することにより遮蔽を行う構造を採用した場合、走査配線をまたぐ箇所における上部電極8の幅は細くなる。これにより上部電極8の配線が破断しやすくなり、ラビングの際に破片となって異物を生じることにより表示不良をひきおこす恐れがある。

20

【0044】

そこで、解析パッド60のパッド電極8aによって、TFT部を除く走査配線2を全て覆うことにより、走査電極2に生じる電界が液晶15へ及ぼす影響を遮断することが可能となる。また、この場合、上部電極8は隣接画素における上部電極とは直接パターンでつながっていないことになるが、各々の上部電極は第1コンタクトホールを介して共通配線21と接続しており、各共通配線は画素外で電氣的に接続されるので、画素間での上部電極の電位の同一性は保たれることになる。

【0045】

実施の形態1に係るアレイ基板では、解析パッド60のパッド電極8aを拡大することによりプロービングが容易となる。

30

【0046】

アレイ基板10と対向基板20は、液晶セルの組み立て工程において、それぞれにポリイミド等の有機樹脂からなる配向膜14を塗布形成した後、ラビング、光配向等の手法を用いて、液晶15の液晶分子が所定の方向に向くように配向処理を施す。

【0047】

アレイ基板10と対向基板20とを、互いの配向膜14が対向するように重ね合わせ、スペーサ材で数 μm 程度の隙間を空けて、表示領域50の周辺部に形成されるシール材によって貼り合わせる。このシール材の内側の隙間に、液晶15が封入される。

【0048】

このようにして形成された液晶セルの両面に偏光板や位相板を貼り付けた後、図1に示すようにして、走査線用駆動回路61、信号線用駆動回路65やフレキシブル基板70、75が実装される。液晶セルに各種電気信号を供給するための外部回路や、透過型では液晶セルの背面にバックライトユニットを取り付け、筐体に収納することにより液晶表示装置100が完成する。

40

【0049】

次に、実施の形態1に係る発明の作用、効果について詳述する。アレイ基板10の第2コンタクトホール12の領域では、画素電極である下部電極6と同一電位であるパッド電極8aが形成されており解析パッド60が構成されている。ここで解析パッド60とは、保護膜7とゲート絶縁膜3とに開口した第2コンタクトホール12内において接続するパ

50

ッド電極 8 a と下部電極 6 とを含めた構造を指す。

【 0 0 5 0 】

液晶表示装置 1 0 0 において、表示部に S ライン、G ライン、縦クロストーク、保持ムラ、輝点など不具合が出た場合、T F T 特性の異常が原因の 1 つと考えられる。

【 0 0 5 1 】

不具合の解析法の 1 つとして、異常部の T F T の静特性評価が挙げられる。本評価を実施することにより T F T の特性の把握が可能となり、原因の究明に寄与できる。

【 0 0 5 2 】

T F T 静特性評価を実施するには、液晶表示装置 1 0 0 を分解する必要がある。液晶表示装置 1 0 0 から走査線用駆動回路 6 1、信号線用駆動回路 6 5 やフレキシブル基板 7 0、7 5 や、対向基板 2 0、偏光板、位相差フィルムを除去する。さらに、液晶および配向膜をアセトンや配向膜剥離液等の薬液を用いて除去し、アレイ基板 1 0 の単板を分離する。

10

【 0 0 5 3 】

アレイ基板 1 0 のソース端子、ゲート端子、画素部に、測定評価用のプローブを接触させるプロービングを実施する。

【 0 0 5 4 】

実施の形態 1 のように画素 3 0 の上層を覆うようにして共通電極である上部電極 8 が形成されているため画素 3 0 に直接プロービングしても T F T 静特性を測定することはできない。

20

【 0 0 5 5 】

そこで、画素 3 0、具体的には下部電極 6 と電気的につながっているパッド電極 8 a を有する解析パッド 6 0 にプロービングすることにより画素電極 6 へのコンタクトが可能となり T F T の静特性評価が可能となる。

【 0 0 5 6 】

T F T 静特性の評価を実施することにより、T F T 特性の異常に起因する表示不具合の解析が可能となる。

【 0 0 5 7 】

また、液晶表示装置 1 0 0 において、走査配線 2 の電界が液晶 1 5 の配向に影響を与えるため、液晶 1 5 と走査配線 2 との間を電極等によって遮蔽する必要がある。解析パッド 6 0 のパッド電極 8 a が T F T 部を除く走査配線 2 を覆うことにより、走査電極 2 に印加される電界が液晶 1 5 へ及ぼす影響を遮断することが可能となる。

30

【 0 0 5 8 】

従って、画素 3 0 の走査配線 2 付近の液晶の配向不良を押さえることが可能となり、不良の原因を特定することにより歩留まりの向上を図ることが可能となる。

【 0 0 5 9 】

解析パッド 6 0 を配置することにより、表示画素の T F T 静特性評価が可能となる。従って、アレイ基板 1 0 を製造後、表示画素の T F T 静特性を評価することで表示面内の T F T 静特性の把握出来るため、プロセス管理の手法として使用することが可能となる。

40

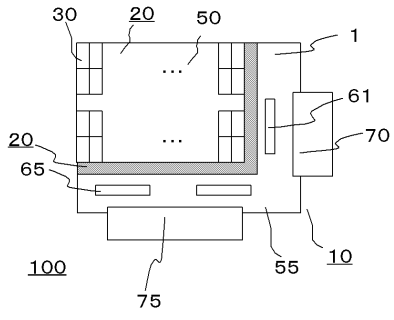
【符号の説明】

【 0 0 6 0 】

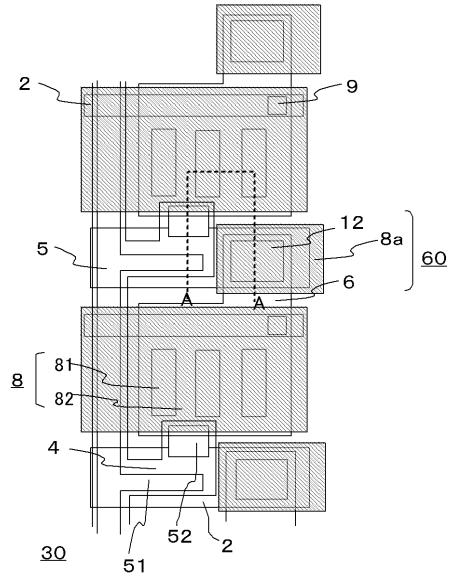
1 絶縁性基板、2 走査配線、3 ゲート絶縁膜、4 半導体膜、
5 信号配線、6 下部電極、7 保護膜、8 上部電極、8 a パッド電極、
9 コンタクトホール、1 0 アレイ基板、1 1 絶縁性基板、1 2 第2コンタクトホール、
1 3 カラーフィルタ、1 4 配向膜、1 5 液晶、2 0 対向基板、
2 1 共通配線、3 0 画素、4 1 オーミットコンタクト膜、
5 0 表示領域、5 1 ソース電極、5 2 ドレイン電極、6 0 解析パッド、
6 1 走査配線駆動回路、6 5 信号配線用駆動回路、
7 0、7 5 フレキシブル基板、8 1 隙間部、8 2 枝電極部、1 0 0 液晶表示装置

50

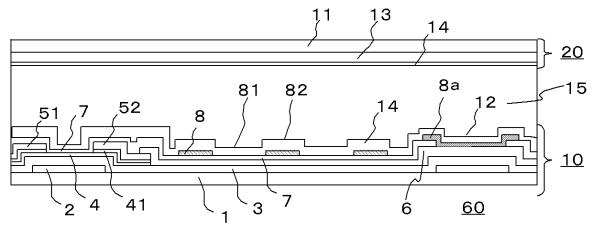
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

F ターム(参考) 2H192 AA24 BB12 BB52 BB82 CB05 DA32 DA72 FA65 FB22 HB04
HB14 HB22 JA32
5C094 AA21 AA42 AA43 BA03 BA43 DB02 EA03 FB12 FB15
5F110 AA24 BB01 BB02 CC07 DD01 DD02 EE02 EE03 EE04 EE06
EE14 FF02 FF03 HK02 HK03 HK04 HK06 HK08 HK21 HK22
HK25 HL07 NN02

专利名称(译)	阵列基板和具有阵列基板的液晶显示装置		
公开(公告)号	JP2015125213A	公开(公告)日	2015-07-06
申请号	JP2013268408	申请日	2013-12-26
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	若松良平		
发明人	若松 良平		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 G09F9/30		
FI分类号	G02F1/1368 H01L29/78.612.C H01L29/78.624 G09F9/30.330.Z G09F9/30.330		
F-TERM分类号	2H192/AA24 2H192/BB12 2H192/BB52 2H192/BB82 2H192/CB05 2H192/DA32 2H192/DA72 2H192/FA65 2H192/FB22 2H192/HB04 2H192/HB14 2H192/HB22 2H192/JA32 5C094/AA21 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/DB02 5C094/EA03 5C094/FB12 5C094/FB15 5F110/AA24 5F110/BB01 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF02 5F110/FF03 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK08 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HL07 5F110/NN02		
代理人(译)	稻叶忠彦 村上佳菜子 松井茂明		
外部链接	Espacenet		

摘要(译)

解决的问题：当由于液晶显示装置中的薄膜晶体管的异常特性而导致显示失败时，评估与像素相对应的TFT的特性。然而，在将像素电压施加到下部电极而将公共电压施加到上部电极的FFS方法中，有必要探查下部电极以评估TFT的静态特性，但是覆盖上部电极以覆盖下部电极。既然放置了，就不可能进行探测。设置下部电极（6），覆盖下部电极的绝缘膜，以及形成在该绝缘膜上的上部电极（8），下部电极（6）扫描相邻的像素以横跨扫描配线（2）。分析垫具有在布线上方延伸并设置在扫描布线2上的接触孔12，并且具有形成在绝缘膜上以覆盖接触孔12并连接至下部电极6的垫电极8a。形成60个。[选择图]图2

(21) 出願番号	特願2013-268408 (P2013-268408)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成25年12月26日 (2013.12.26)	(74) 代理人	100112210 弁理士 稲葉 忠彦
		(74) 代理人	100108431 弁理士 村上 加奈子
		(74) 代理人	100153176 弁理士 松井 盛明
		(74) 代理人	100109612 弁理士 倉谷 泰幸
		(72) 発明者	若松 良平 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く