

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-524289

(P2012-524289A)

(43) 公表日 平成24年10月11日(2012.10.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 624C	2H193
G02F 1/133 (2006.01)	G09G 3/20 624D	5C006
G02F 1/1368 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 670J	

審査請求 有 予備審査請求 未請求 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2012-505174 (P2012-505174)
 (86) (22) 出願日 平成22年4月15日 (2010. 4. 15)
 (85) 翻訳文提出日 平成23年10月14日 (2011. 10. 14)
 (86) 国際出願番号 PCT/EP2010/054994
 (87) 国際公開番号 W02010/119113
 (87) 国際公開日 平成22年10月21日 (2010. 10. 21)
 (31) 優先権主張番号 12/424, 319
 (32) 優先日 平成21年4月15日 (2009. 4. 15)
 (33) 優先権主張国 米国 (US)

(71) 出願人 509297808
 ストア、エレクトロニック、システムズ
 STORE ELECTRONIC SY
 STEMS
 フランス国アルジャントゥーイユ、リュ、
 ド、モンティニー、39
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (72) 発明者 ノイゲバウアー、チャールズ エフ.
 アメリカ合衆国、シーイー94024、ロ
 ス アルトス、アロヨ ロード 782
 最終頁に続く

(54) 【発明の名称】 低電力アクティブマトリクス型ディスプレイ

(57) 【要約】

低い周波数でリフレッシュされる液晶ディスプレイ (LCD) における、電力消費量の低減及びデバイスのストレス蓄積の軽減のためのシステム及び方法が開示される。典型的な一実施形態において、LCD画素の電荷を保持するために、直列にされた2つ以上のトランジスタが使用される。トランジスタへの負ストレスを防止するため、上記2つ以上のトランジスタは交互に“オン”状態に駆動され、何れの1つのトランジスタも長い“オフ”時間を経験しないようにされる。他の一実施形態において、周辺ESD回路における動的電力消費及び静的電力消費を最小化するような、フレーム書込及びストレス緩和を実行する回路及び信号伝達波形が提供される。

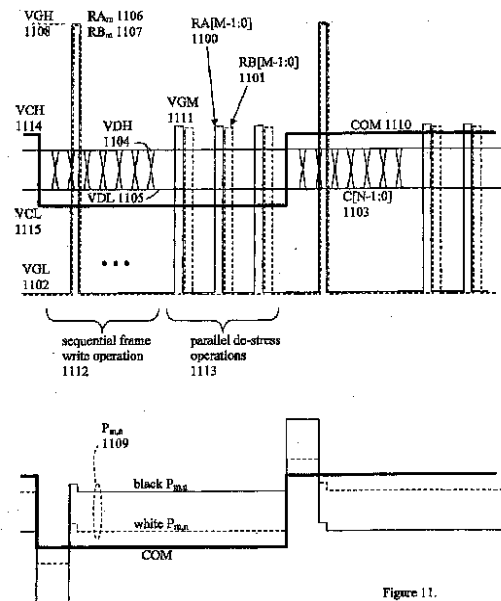


Figure 11.

【特許請求の範囲】

【請求項 1】

ディスプレイ回路を動作させる方法であって、前記ディスプレイ回路は、コモン電極に接続され且つ複数の行信号を介して行ドライバ回路に接続された複数のアクティブマトリクスセルを有し、当該方法は：

前記コモン電極を変調すること；

前記複数のアクティブマトリクスセルに複数の電荷を書き込むこと；及び

前記アクティブマトリクスセルの電荷を実質的に維持し且つ前記行ドライバ回路における電力損失を低減するよう、前記コモン電極の1つ以上の変調と実質的に同じ極性及び振幅で、前記行信号の実質的に全てを変調すること；

を有する、方法。

10

【請求項 2】

前記コモン電極の負側への変調と実質的に同じ極性及び振幅で、前記行信号の実質的に全てを変調すること、を有する請求項 1 に記載の方法。

【請求項 3】

画素アレイ用のディスプレイ回路であって：

行及び列のドライバ；及び

前記行及び列のドライバに結合された複数の画素回路であり、各画素回路が、液晶ディスプレイ(LCD)の1つの画素に直列接続された少なくとも2つのトランジスタを有する、複数の画素回路；

20

を有し、

前記行及び列のドライバは、前記画素回路の前記トランジスタに第1の負のゲート電圧及び正のゲート電圧を印加して前記LCDの画素への導通経路を形成し、前記導通経路を介して画素に電荷を送ることによって、前記LCDに新たなフレームを書き込むように構成され、且つ、フレーム書込処理同士の間、各画素回路に対して、前記第1の負のゲート電圧より高い第2の負のゲート電圧を印加する、

ディスプレイ回路。

【請求項 4】

前記行ドライバは、前記フレーム書込処理のレートより高いレートで、前記画素回路の前記トランジスタの全てより少ないトランジスタに前記正のゲート電圧を印加するように構成される、請求項 3 に記載のディスプレイ回路。

30

【請求項 5】

前記行及び列のドライバは、10Hz以下のレートで前記LCDのフレームを更新するように構成される、請求項 3 に記載のディスプレイ回路。

【請求項 6】

前記行及び列のドライバは、1Hz以下のレートで前記LCDのフレームを更新するように構成される、請求項 3 に記載のディスプレイ回路。

【請求項 7】

前記トランジスタは、水素化アモルファスシリコン薄膜トランジスタ(a-Si:H TFT)を有する、請求項 3 に記載のディスプレイ回路。

40

【請求項 8】

ディスプレイ回路を動作させる方法であって、前記ディスプレイ回路は、液晶ディスプレイ(LCD)の画素に接続された複数のトランジスタを有し、当該方法は：

フレーム書込処理を実行し、各フレーム書込処理は前記LCDの表示画像を更新し、各フレーム書込処理は、前記トランジスタにゲート電圧を印加して前記LCDの画素をプログラムすることを有し；

前記フレーム書込処理において、前記LCDの画素の電荷を実質的に維持するよう前記ゲート電圧を変調し；且つ

フレーム書込処理同士の間、前記トランジスタのチャンネルを実質的に電荷なしに維持するよう、前記ディスプレイ回路の前記トランジスタにゲート電圧変調を適用する；

50

ことを有する、方法。

【発明の詳細な説明】

【技術分野】

【0001】

この開示は、低電力アクティブマトリクス型ディスプレイに関する。

【背景技術】

【0002】

低電力ディスプレイは、殆どの移動（モバイル）電子装置の必須のシステムコンポーネントである。表示サブシステムはしばしば、それらの装置の多くにおいて、電池電力を最も多く消費するものの1つであるとともに、最も高価な部品の1つでもある。ディスプレイ産業は、装置及びシステムの技術革新により、視覚性能、電力消費量及びコストを改善すべく絶えず進化を遂げてきた。しかしながら、技術的かつ経済的に持続可能なものとなるために、電力及びコストの更なる有意な改善を必要とする重要用途の部類が存在する。

10

【0003】

モバイル装置、コンピュータモニタ及びフラットパネルTVの有力なディスプレイ技術は、現在のところ、アクティブマトリクス型LCD技術としても一般的に知られる水素化アモルファス（非晶質）シリコン薄膜トランジスタ（a-Si:H TFT）液晶である。高度な製造技術が、毎年1億平方メートルを超えるフラットパネルディスプレイの生産能力を備えた高効率な世界規模の生産エンジンをサポートしている。この技術における最も一般的なディスプレイアーキテクチャは、1つ以上のドライバICによって駆動されるガラスパネル上の単純なTFT画素アレイである。

20

【0004】

a-Si:H TFTプロセスにてディスプレイを構築する上での1つの重大な障害は、a-Si:H TFTデバイスの乏しい性能及び長期信頼性である。単一ゲインのシリコンCMOS技術と比較して、a-Si:H TFTは、ガラス上のトランジスタの速度及び駆動能力を制限してしまう非常に低い電気移動度を有する。また、a-Si:H TFTトランジスタは、大きい閾値電圧シフト及びサブスレッショルド勾配劣化を経時的に蓄積し得るものであり、トランジスタのオン・オフ・デューティサイクル及びバイアス電圧に厳しい制約を課した場合にのみ製品寿命要求を満たすことができる。“アクティブマトリクス型液晶ディスプレイ用の水素化アモルファスシリコン薄膜トランジスタの電気的な不安定性”、及び“ACゲートバイアスストレスの下でのa-Si:H薄膜トランジスタの不安定性に対する温度及び照明の影響”が、a-Si:H TFTにおいて見られるゲートバイアスストレスによって誘起される閾値シフト及びサブスレッショルド勾配劣化の良好な概略を与える。

30

【0005】

正ストレス蓄積過程及び負ストレス蓄積過程は、大きく異なる蓄積速度及びゲート駆動波形に対する感度を有する。典型的なフラットパネルリフレッシュ回路で使用される駆動波形の帯域内の一次まで、正ストレスの蓄積は、ゲート波形の周波数成分に強くは依存せず、積分された“オン”時間と所与のゲートの電圧との関数として比較的急速に蓄積する。正ストレスが印加されるとき、TFTデバイスの電圧閾値は典型的に増大される。TFT回路は典型的に、最大許容正閾値シフトを有し、これを超えると所望のデバイス機能が停止する。

40

【0006】

負ストレス蓄積は、対照的に、フラットパネルディスプレイで通常使用される周波数帯域内の周波数に強く依存し、より高い周波数では、よりゆっくり蓄積する。負ストレス蓄積は典型的に、負の閾値シフト及びサブスレッショルド勾配劣化の双方として現れる。負ストレスが有意な影響を有するには、典型的なa-Si:H TFTのゲートは負バイアスの連続した伸張（例えば、典型的なa-Si:H TFTデバイスに対して100ms以上）を必要とする。従来のように走査されるTFTフラットパネルディスプレイにおいて、ゲート電圧は、非常に短い時間（例えば、16.600msごとに約15μsである1つ

50

の行時間（ラインタイム）；デューティサイクルの約0.1%）だけ正であり、フレーム周期の残り時間（例えば、フレーム周期のうちの16.585ms又は約99.9%）にわたって負である。仮に負ストレスの強い周波数依存性がなければ、従来の60Hzパネル駆動は、負ストレス蓄積がすぐにディスプレイを機能しないものとするため、非常に短い動作寿命を有することになる。

【0007】

電子システムのシステム電力を最小化するための重要な技術の1つは、動作周波数を制限あるいは低減することである。電力消散はしばしば、典型的なTFT LCDディスプレイにおけるリフレッシュ周波数にほぼ比例する。表示コンテンツが高速な光応答を必要としない一部の用途（例えば、ゆっくりと更新されるもの又は静止情報）では、TFT LCDの電力消散は、従来のように60Hzで走査されるのに対して例えば1Hzでフレームリフレッシュを駆動することによって、有意に低減されることができる。このような低減は、電力に関しては好ましいが、デバイスにとっては問題がある。第1に、ディスプレイの光学的な品質が損なわれ、低いフレームレートではディスプレイは有意にちらつき（フリッカーを生じ）得る。第2に、低いフレームレートでは、画素のTFTの負ストレス蓄積が、60Hzにおいてより遙かに急速に起こり、ディスプレイの機能を迅速に劣化させることになる。結果として、60Hzから30Hz、さらには20Hzへのフレームレートの低減が電力低減技術として使用されてきているが、TFTデバイスの信頼性制限が、従来のディスプレイにおける更なるフレームレートの低減を妨げてしまう。ここで説明するディスプレイはこれらの制限を解消するものである。

10

20

【0008】

例えば電子書籍、電子掲示板及び電子価格ラベルなど、必要でなければ何ヶ月又は何年という電池寿命が望まれるディスプレイ用途が存在する。表示コンテンツの変更の間に殆ど或いは全く電力を必要としないそのような需要に対処するため、多数のディスプレイ技術の組が開発されてきた。そのようなディスプレイはしばしば、電子ペーパー又は双安定ディスプレイと呼ばれている。この部類のディスプレイは主に、電力を最小化するために反射モードで使用されている。主な有用性が情報の表示に基づく（例えば、モバイル電子メール、eブック、マーケティングメッセージ）装置では、電池の再充電又は充電とその次の再充電又は充電との間に一層長いアクティブな表示時間を可能とするディスプレイ技術によってその有用性が高められる。

30

【発明の概要】

【発明が解決しようとする課題】

【0009】

低フレーム周波数でリフレッシュされるTFTディスプレイにおける負ストレス蓄積を実質的に防止するディスプレイシステムが開示される。

【0010】

低フレーム周波数でリフレッシュされるTFTディスプレイにおける電力を実質的に低減するディスプレイシステムが開示される。

【0011】

駆動波形の時間的及び振幅の変調により、電力を最小化し且つ負ストレス蓄積を防止するディスプレイシステムも開示される。

40

【0012】

外部ドライバICを用いて、低フレーム周波数でリフレッシュされるTFTディスプレイにおける電力を実質的に低減するディスプレイシステムが開示される。

【0013】

以下の説明を図面及び特許請求の範囲を参照しながら読むことにより、この教示の更なる目的、態様及び利点が容易に理解されるであろう。

【課題を解決するための手段】

【0014】

一実施形態において、ディスプレイ回路を動作させる方法が提供される。ディスプレイ

50

回路は、コモン電極に接続され且つ複数の行信号を介して行ドライバ回路に接続された複数のアクティブマトリクスセルを有する。当該方法は、コモン電極を変調することと、複数のアクティブマトリクスセルに複数の電荷を書き込むことと、アクティブマトリクスセルの電荷を実質的に維持し且つ行ドライバ回路における電力損失を低減するよう、コモン電極の1つ以上の変調と実質的に同じ極性及び振幅で、行信号の実質的に全てを変調することとを有する。

【図面の簡単な説明】

【0015】

【図1】従来技術に係る代表的な反射型TFT-LCDの断面図を示す図である。

【図2】従来技術に係るTFT-LCDアレイの代表的な回路図を示す図である。

10

【図3】従来技術に係る代表的なESD回路要素及びそれに関連する非線形I-V伝達曲線を示す図である。

【図4】図2の従来技術に係るTFT回路の従来技術に係るフレーム反転駆動法の代表的な電圧波形の組を示す図である。

【図5】a-Si:H-TFTの正及び負のゲートバイアスストレス蓄積の周波数応答における従来技術に係る代表的な変化を示す図である。

【図6】外部行・列ドライバICを備えたTFT-LCD電気システムの代表的なブロック図を示す図である。

【図7】LCDのTFT部分の代表的な回路図を示す図である。

【図8】LCDのTFT部分の代替的な実装例の代表的な回路図を示す図である。

20

【図9】代表的なTFT画素回路の模式図を示す図である。

【図10】代表的なTFT画素回路のレイアウトを示す図である。

【図11】図9のTFT画素回路の動作に関する代表的な電圧波形の第1の組を示す図である。

【図12】図9のTFT画素回路の動作に関する代表的な電圧波形の第2の組を示す図である。

【図13】図9のTFT画素回路の動作に関する代表的な電圧波形の第3の組を示す図である。

【図14】TFT-LCDの動作を指し示す代表的なフローチャートを示す図である。

【図15】図12及び13の波形を生成する行ドライバ回路の代表的な出力マルチプレクサを示す図である。

30

【図16】行ドライバ回路の2つの内部信号の代表的な段階的な充電を示す図である。

【図17】薄膜トランジスタ(TFT)の代表的な伝達関数を示す図である。

【図18】ディスプレイを備えた代表的な電子棚ラベルを示す図である。

【図19】ディスプレイを備えた代表的な電子ショッピングカート・ハンドルバーを示す図である。

【図20】ディスプレイを備えた代表的な電子書籍を示す図である。

【図21】ディスプレイを備えた代表的な携帯電話を示す図である。

【図22】ディスプレイを備えた代表的なポータブル音楽プレーヤを示す図である。

【図23】ディスプレイを備えた代表的なフラットパネルTV、モニタ又は電子看板を示す図である。

40

【図24】ディスプレイを備えた代表的なノートブック型コンピュータ、デジタルフォトフレーム又はポータブルDVDプレーヤを示す図である。

【図25】1つ以上のディスプレイを備えた代表的なデジタル広告板を示す図である。

【符号の説明】

【0016】

以下の説明においては、以下の略語を、以下に示す意味を有することを意図して使用する。

【0017】

a-Si アモルファスシリコン

50

A C	交流	
C M O S	相補型 M O S (P 型及び N 型の双方の F E T を利用可能)	
C O M	L C D 装置のコモン電極	
D C	直流	
E C B	電氣的に制御される複屈折	
E S D	静電放電	
E S L	電子棚ラベル	
F E T	電界効果トランジスタ	
I C	集積回路	
I _{D S}	ドレイン - ソース電流	10
L C D	液晶ディスプレイ	
M O S	金属酸化物半導体	
M T N	ミックスモードねじれネマチック	
N M O S	Nチャネル M O S	
O C B	光学的に補償される屈曲	
P D L C	高分子分散液晶	
R G B	赤、緑、青	
R G B W	赤、緑、青、白	
R M S	二乗平均平方根	
R T N	反射型ねじれネマチック	20
T F T	薄膜トランジスタ	
V _{G S}	ゲート - ソース電圧	

【発明を実施するための形態】

【0018】

以下にて開示する更なる特徴及び教示の各々は、別々に利用されてもよいし、改善された低電力ディスプレイ並びにその設計方法及び使用方法を提供するよう、その他の特徴及び教示とともに利用されてもよい。以下では、これら更なる特徴及び教示の多くを別々あるいは組み合わせる代表的な例を、添付図面を参照しながら更に詳細に説明する。この詳細な説明は、単に、この教示に係る好適な態様を実施するための更なる詳細事項を当業者に教示することを意図するものであり、請求項の範囲を限定することを意図するものではない。故に、以下の詳細な説明で開示される複数の特徴及びステップの組み合わせは、必ずしも、ここで説明する概念を最も広い意味で実施するためのものではなく、単に、この教示に係る代表的な例を具体的に説明するために教示されるものである。

30

【0019】

さらに、断っておくに、この説明において開示される全ての特徴は、当初の開示の目的、及び実施形態及び/又は請求項における特徴群の構成とは無関係に主題を限定する目的で、相互に別々且つ独立に開示されるものである。また、全ての値の範囲又はエンティティのグループを指し示すものは、当初の開示の目的、及び請求項に係る主題を限定する目的で、全ての取り得る中間値又は中間エンティティを開示するものである。

40

【0020】

図1は、反射型、単一偏光板型の T F T L C D フラットパネルディスプレイ 100 の簡略化した断面図を示している。制御回路 102 が基板 101 上に製造されている。制御回路 102 は、好ましくはアモルファスシリコンプロセスにて実装されるが、代替的に、薄膜スイッチング可能バックプレーン技術、すなわち、無機又は有機の半導体技術を用いて実装されることも可能である。基板 101 は、ガラス、プラスチック、水晶、金属、又はスイッチング素子の製造に対応可能なその他の基板とすることができる。電極 103 は、フォトリソグラフィ、エンボス加工、印刷及び/又は化学的処理によって形成されることができ、また、入射光を拡散的に反射するように粗面加工されることができ、頂部プレートと底部プレートとの間に液晶表示材料 104 が位置している。頂部基板 107 には、カラーフィルタ 106 と、従来から (“ c o m m o n ” の) “ C O M ” で表される電圧

50

によって駆動される頂部プレート透明導電体 105 とが堆積されている。上部基板 107 の頂面には、位相差膜又は 4 分の 1 波長板 108 が配置され得る。拡散偏光板 109 により、LCD スタック 100 (積層体) が完成される。典型的な動作において、LCD スタック 100 によって入射光 110 が偏光され、フィルタリングされ、且つ拡散的に反射されて、反射画像 111 が作り出される。

【0021】

図 1 に示したものの以外の代替的なディスプレイ材料及び構成、例えば、平面状の反射層を備えたもの、下部ガラス基板の外側に反射器を備えた二重偏光板型の反射型のもの、透過型、半透過型、背面照射型、側面照射型、正面照射型、ゲスト・ホスト液晶型、電気制御式複屈折型、RTN 型、MTN 型、ECB 型、OCB 型、PDLC 型、電気泳動型、液体粉末型、MEMS 型、エレクトロクロミック型、又はアクティブバックプレーンを要するその他の代替的な電気制御式ディスプレイ技術も、この教示による恩恵を受け得る。この教示を包含する反射型 LCD に関するここでの具体的な説明は、この教示の範囲をその適用において選択的なディスプレイ材料及び技術に限定するものではない。

10

【0022】

図 2 は、従来のように走査される従来技術に係る TFT ディスプレイの典型的な回路図を示している。行 (ロー) ゲートライン R_0 乃至 R_{M-1} 200 と列 (コラム) ソースライン C_0 乃至 C_{N-1} 201 との各交点に TFT 画素 202 があり、TFT 画素 202 は、単一の TFT トランジスタ 203、並びに反射性の電極 $P_{m,n}$ 103、206 と共通 (COM) カウンタ電極 (対電極) 107、207 との間に形成された蓄積キャパシタ C_{ST} 204 及び液晶キャパシタ C_{LC} 205 で構成されている。行ライン群 R_m 200 は典型的に、TFT トランジスタの各行を順次 “オン” にパルス駆動するように駆動され、TFT トランジスタが、列ライン C_n 201 上に駆動された電圧を画素の蓄積キャパシタ C_{ST} 204 及び LCD キャパシタ C_{LC} 205 のアレイ内に捕捉することで、画素電圧 $P_{m,n}$ の配列及び対応する画像が形成される。

20

【0023】

図 1 及び 2 において、TFT 基板 101 への各電気接続は、ESD 保護デバイスを用いて静電放電に対して保護されている。列ラインの ESD デバイス 208 は第 1 のフローティングのバー FB1 209 に取り付けられ、行ラインの ESD デバイス 210 は第 2 のフローティングのバー FB2 211 に取り付けられている。そして、2 つのフローティングバー FB1 209 及び FB2 211 は、それぞれ、2 つの更なる ESD デバイス 212 及び 213 を用いて COM 電極 207 に接続されている。当業者に認識されるように、図 2 に示した ESD 保護方式は、一般的に使用される数多くの可能な ESD 保護方式のうちの一つである。非常に低電力のディスプレイでは、ESD 回路は典型的に、ディスプレイ基板 101 上の能動デバイスの中で、静的電力の主な消費物である。

30

【0024】

図 3 は、フラットパネルディスプレイにおいて一般的に使用されている典型的な 4 TFT ESD 保護デバイスを示している。これは、4 つのダイオード接続されたトランジスタ 300、301、302、303 で構成されており、これらのうちの半分は、2 つの端子 A 304 と B 305 との間の電圧が高い正又は負であるときに順バイアスされることになる。低電圧動作では、関連する I-V 曲線 306 に示すように、電流はゼロに近いものである。ESD デバイスにおけるリーク電力を最小化するため、典型的に、TFT 基板 101 に印加される電圧波形は、所望の動作を維持しながら可能な限り COM 207 の電圧に近い電圧に保たれるべきである。当業者に認識されるように、多様な TFT ESD 保護サブ回路が利用可能であり、この教示の目的においては、印加される電圧の絶対値の関数として電流が非線形に増加する如何なるデバイス又は複数デバイスの組み合わせが限定されることなく代用され得る。

40

【0025】

液晶は一般的に、ディスプレイのフレームレートで極性を反転する AC 画素電圧信号で駆動される。このような双極 (バイポーラ) 駆動は一般的に、かなりの DC 電圧 (例えば

50

、数ボルト以上)がかなりの時間期間(例えば、何十秒以上)にわたって印加される場合に発生し得る液晶へのダメージを防止するために必要である。このようなダメージはしばしば、パネルの寿命にわたって蓄積し、画像の焼き付き(バーンイン)、張り付き(ステイキング)、コントラストの損失、又はその他の視認可能な欠陥を生じさせ得る。典型的なLCD材料は、広範囲の周波数にわたってAC信号のRMSに近似的に応答するように設計される。

【0026】

AC画素駆動を達成するため、幾つかの技術が広く使用されている。最も単純且つ最も低電力であるのはフレーム反転であり、フレーム内で全ての画素が先ず正極性のフレームを用いて書き込まれ、全体に負極性のフレームがそれに続けられる。しばしば、蓄積キャパシタ C_{ST} 及びLCキャパシタ C_{LC} のバックプレートを形成するCOMカウンタ電極は、列ソースドライバICの電圧範囲を縮小し、電力及びコストを節減するように、正フレームから負フレームへと変調される。単純性及び電力/コストの利点をよそに、フレーム変調は、2つのフレーム(正及び負)が十分に均衡(バランス)されない場合に目に見えるフリッカーを生じさせ得る。

10

【0027】

不均衡なフレーム反転によるフリッカー効果を軽減するため、COMカウンタ電極はフレーム走査処理中にラインごと(又は複数ラインごと)を基礎にして変調されることができ。

【0028】

これは、COM電極が高度に容量性になるのでCOMを駆動するために一層高い電力を招くものの、列ソースドライバの低い電圧範囲を維持する。正の画素駆動と負の画素駆動との間の所与の不均衡量において、ライン反転技術は、典型的に2つの極性が空間的に密にインターリーブされる(例えば、偶数ラインと奇数ラインとで交互の極性となる)ので、生成されるフリッカーをあまり目立たないものにする。ドット反転と呼ばれる更なるレベルの(ディスプレイの水平方向及び垂直方向の双方での)正画素及び負画素のインターリーブは、一般的に所与の不均衡に対して視覚的に最良であると考えられるが、ライン反転技術又はフレーム反転技術と比較して、非常に高い電力消費を有するとともに、より高い電圧範囲の列ドライバICを必要とする。

20

【0029】

ディスプレイの駆動波形は、数多くの形態で記述されて合成されることが可能である。以下では、単純さ及び明瞭さのため、この教示の説明を容易にする単純なマルチレベル駆動波形の記述を概して使用する。文字“V”で始まる信号名は、ここでは概して、マルチレベル波形合成(例えば、スイッチ又はマルチプレクサの使用による)に使用されることが可能なDC電圧レベルを指し示すために用いられる。多様な波形記述及び合成法(例えば、アナログ波形、バッファ増幅器など)が当業者によって認識されるであろうが、この教示は、数多くの利用可能な波形記述、合成法、及びそれらのハードウェア実装に適用可能である。

30

【0030】

図4は、フレーム反転のためにCOM変調技術を使用する、従来のように走査される図2の従来技術に係るTFTディスプレイの典型的な駆動波形の組を示している。所望のフレーム極性に応じて、COMノード401は、2つのDCレベルVCH402又はVCL403の一方に駆動される。ゼロに近い閾値電圧を有するTFT技術の場合、選択される行ラインは、画素TFT203を導通させるために所望の画素電圧 $P_{m,n}$ 206より十分高く駆動されなければならない。列ソースライン $C[N-1:0]$ 404(ライン C_0 乃至 C_{N-1} の組に対する表記)は、対応する行のゲート電圧が高ゲート電圧VGH405にパルス駆動される間に、所与の行の画素に対して所望の画素電圧で駆動される。この例においては、説明及び図示を単純化するために、2つのDCデータ電圧VDH406及びVDL407を用いる2レベルの列駆動波形が使用される。技術的に周知のように、列ラインは、LCD材料にグレイスケール応答を作り出すようにVDH406とVDL40

40

50

7 との間のアナログ電圧で駆動されることができ、この教示は一般的に、二値、多値、及び / 又は連続的なアナログの列ライン駆動に適用され得る。

【0031】

列ソースライン C [N - 1 : 0] 404 は、故に、所望の行の画素の蓄積キャパシタ 204 に電圧を設定する。画素のアレイ全体が書き込まれるまで全ての行のゲート電極を順次 high (高) に VGH 405 まで、そして low (低) に VGL 408 まで駆動する (例えば、図 4 の R₀ 409 及び R₁ 410) ことによって、後続の行の画素もリフレッシュされる。フレーム反転型の TFT LCD では、上述の DC 電圧レベルは、VGH > VCH > VDH > VDL > VCL > VGL という関係に従う。なお、VGL は典型的に、COM 401 ノードが low に VCL 403 まで遷移するときの画素電圧 (例えば、図 4 の点 411 での、特に黒の P_{n, m}) における負のシフトにかかわらずに画素 TFT 203 を “オフ” 状態に保つよう、十分に負にされる必要がある。

10

【0032】

典型的に、N 型 a - Si : H TFT デバイスの非ゼロのゲートバイアスが、該デバイスを活性化すると非活性化するとの双方のために必要とされる。このようなデバイスにおける正のゲートバイアスは、デバイスをターン “オン” させ、典型的に、長い時間尺度にわたってデバイスの閾値電圧に正のシフトを誘起する。

【0033】

負のゲートバイアスは、デバイスをターン “オフ” させ、典型的に、長い時間尺度にわたって負の閾値シフト及びサブスレッショルド勾配の低下の双方を誘起する。

20

【0034】

a - Si : H TFT におけるストレス蓄積は、一般に、式：

【0035】

【数 1】

$$\Delta V_T(t_{ST}) = \Delta V_T^+(t_{ST}) + \Delta V_T^-(t_{ST})$$

30

の伸張された指数関数に従うと考えられる。ここで、正のストレス成分：

【0036】

【数 2】

$$\Delta V_T^+(t_{ST}) = A_+ V_{G+}^{\alpha_+} (t_{ST} * D)^{\beta_+}$$

40

及び、負のストレス成分：

【0037】

【数 3】

$$\Delta V_T(t_{ST}) = A V_G^{\alpha-} (t_{ST} * (1-D))^{\beta-} F_{PW}$$

は、相対的に独立に振る舞う。ここで、 V_T は閾値シフトであり、 V_G はデバイスの閾値電圧より低いゲートバイアスであり、 t_{ST} は総ストレス時間であり、 A は実験に基づく定数であり、 D は駆動信号の正の部分のデューティサイクルであり、 F_{PW} は負ストレス蓄積の周波数依存性を指し示す 0 と 1 との間の係数である。一般的に、ストレス誘起閾値シフトは、ゲート駆動振幅 ($V_{GS} - V_T$) のおよそ 1.5 乗から 2.0 乗に比例するとともに、デューティサイクルを考慮に入れた総ストレス時間の平方根にほぼ比例する (例えば、 $+ / - \sim = 1.7$ 且つ $+ / - \sim = 0.4$)。およそ二乗則の電圧依存性により、短期間の高振幅ゲート駆動信号は、より長い時間期間にわたって印加される一層低いゲート電圧より有意に大きいストレスを生成し得る。好適な一形態において、ゲート駆動振幅は最小化され、充電時間及び TFT サイズは、必要な V_{GS} 駆動を低下させて TFT ストレスを最小化するために最大化される。

【0038】

図 5 は、 $a - Si : H$ TFT に典型的な、DC ストレスの蓄積に対する正及び負の AC ストレスの蓄積 ($stress_{AC} / stress_{DC}$) 500 (実効的に、負ストレスの F_{PW} 係数) と、駆動波形周波数 501 との間の代表的な関係を示している。典型的に、正ストレス 502 は広範囲の典型的なゲート信号周波数に依存しないが、負ストレス 503 は低電力リフレッシュ動作にとって関心ある周波数に高度に依存する。従来のように走査される TFT LCD ディスプレイでは、フレームレートは負ストレスにおける特性カットオフ周波数と比較して高く (例えば、60 Hz)、結果として、負ストレスはその DC 値に対して実質的に低減される。この低減は、実際、絶対的に必要なものである。何故なら、負ストレスは従来 of 駆動方式において 100% に近いデューティサイクルを有し、そのようなディスプレイは負ゲートバイアス AC 変調を用いないと急速に (何日又は何週間で) 故障するからである。

【0039】

負及び正のストレス蓄積のメカニズムは、TFT チャンネル内の電荷 (正孔及び / 又は電子) の密度に非常に強く影響されるためであると理論化される。ゲートが正の V_{GS} でバイアスされるとき、電子がソース及び / 又はドレインから直ちに利用可能になり、チャンネルを非常に迅速に充たす。チャンネルの迅速な充電により、正ストレスは、ディスプレイにとって関心ある範囲内 (100 kHz 未満) で、周波数ロールオフをほとんど示さない。

【0040】

しかしながら、負バイアスは電子のチャンネルを空乏化し、正孔に対するポテンシャル井戸を形成する。正孔は、しかしながら、その限られた移動度と、NMOS デバイス内にソースが存在しないこととに起因して、TFT チャンネル内で電子より遙かにゆっくりと蓄積する。チャンネル内での正孔の生成及び蓄積のこの低い速度が、ゲート変調の周波数が高くなる際の蓄積ストレスの急速な減少の根拠である。ゲート電圧を正のレベルに周期的にパルス駆動することにより、蓄積していた正孔は、ソース又はドレインに注入されるか、到来する電子と再結合するかの何れかとなる。何れの場合も、短時間の僅かに正の V_{GS} により、チャンネルから正孔が除去され、負ストレスのメカニズムが無効化される。

【0041】

フラットパネルディスプレイの電力は、フレーム周波数に多かれ少なかれ比例する動的電力と、フレーム周波数とは比較的独立した静的電力との、2 つの主な区分に分解するこ

10

20

30

40

50

とができる。

【0042】

フラットパネルディスプレイの動的電力消散を低減するためには、フレームレートを低くすることが望ましい。しかしながら、従来のように走査されるディスプレイでは、より低いフレーム周波数は、より低い負ストレス周波数をもたらし、それにより、フラットパネルの寿命が実質的に短縮され得る点に対する負ストレスの影響が増大される。この教示により、非常に低いフレームレート（例えば、1 Hz）で負ストレスを軽減し、非常に低い電力でリフレッシュされるディスプレイを達成する回路技術が説明される。また、この教示により、電力を更に低減するために電荷共有方法又は断熱充電方法を使用することができるように、動的電力消散をドライバICの数個のラインドライバに集中させることが可能な技術が詳述される。

10

【0043】

従来のように走査されるディスプレイのESD回路は、しばしば、ドライバIC及びバックライトと比較して無視できる電力のみを消費する。しかしながら、非常に低いフレームレート（例えば、1 Hz）で駆動される反射型フラットパネルディスプレイでは、ESD保護デバイスによって消費される電力は、総電力消費のうちの有意な部分となり得る。低フレームレートのフラットパネルディスプレイの静的電力消散を低減するためには、ESD回路の電力消散を低減することが望ましい。ESDデバイスのサイズを縮小する普通の方法は、そのようなESDデバイスによって提供される静電放電に対する保護を低下させるといって望ましくない副作用を有する。この教示により、非常に低いフレームレートのディスプレイで標準的なESD保護デバイスにおける電力消費を最小化する回路及び駆動方法が説明される。

20

【0044】

図6は、この教示の好適な一実施形態に係るフラットパネルディスプレイ600について、その電気駆動システムのブロック図を示している。TFT基板601は、TFT画素アレイ602、行のESDデバイス608、列のESDデバイス609、行ラインRA[M-1:0]606及びRB[M-1:0]607、列ラインC[N-1:0]604、COMライン605、並びにドライバIC603を組み入れている。列ドライバ機能及び/又は行ドライバ機能は、IC及び/又は集積a-Si TFT回路の如何なる組み合わせによって実行されてもよく、この教示は、完全な一般性をもって、そのような変更、選択及び組み合わせに適用されることができる。

30

【0045】

図7は、N列×M行の画素を備える一例に係るディスプレイのTFT画素アレイの電気回路図を示している。以下では、説明を単純にするため、TFTデバイスがゼロの閾値電圧を有すると仮定する。当業者に認識されるように、ここで説明するゲート電圧及び制御電圧をオフセットすることにより、ゼロ以外の閾値電圧も容易に対応される。この教示は、当業者によってゼロ以外の閾値電圧にも容易に一般化され、そのような一般化はこの教示の範囲内であると見なされる。

【0046】

図7において、ピンC[N-1:0]700は、画素アレイに駆動されるソース電圧を供給する。行選択信号RA[M-1:0]及びRB[M-1:0]701は、画素アレイのゲートを駆動するために使用される。各画素（例えば、702）は、第1の行ラインRA703、第2の行ラインRB704、列ラインC705、及びCOM706に接続されている。各画素は、LCD画素電圧 $P_{m,n}$ を制御し且つ画素のTFTへのバイアスストレスを弱める回路を含んでいる。列ESDデバイス707は第1のフローティングのバーFB1708に接続され、フローティングバーFB1708はまた、別のESDデバイス709を介してCOM電極706に接続されている。行ESDデバイス710は第2のフローティングバーFB2711に接続され、フローティングバーFB2711はまた、別のESDデバイス712を介してCOMに接続されている。

40

【0047】

50

図8は、この教示に係る代替的な一好適実施形態を示している。図7と同様に、図8に示す実施形態は、N個の列ラインC[N-1:0]800の組と、各組においてRA[M-1:0]、RB[M-1:0]801が画素アレイを駆動するM個のラインを有する行信号の2つの組とを含んでおり、各画素(例えば、802)は、RA信号803、RB信号804、列ラインC805、及びCOM電極806に接続されている。列信号C[N-1:0]800はまた、ESD回路807を介して第1のフローティングバーFB1808に接続され、フローティングバーFB1808はまた、更なるESDデバイス809を介してCOM806に接続されている。図7の回路と異なり、行ESDデバイスは2つのグループに分割されており、RA[M-1:0]信号は第1の組の行ESDデバイス810を用いて第1の行フローティングバーFB2811に接続され、RB[M-1:0]信号は第2の組の行ESDデバイス812を用いて第2の行フローティングバーFB3813に接続されている。FB2及びFB3は何れも、放電経路を提供するよう、更なるESDデバイス814を用いてCOMに接続されている。この実施形態においては、後述の動作中に、行ESDデバイス810、812で消費されるリーク電力が低減される。

10

20

30

40

50

【0048】

図9は、この教示に従ったTFT画素回路900の好適な一実施形態を示している。画素回路900は、第1のバストランジスタM1904のソースに接続された列ラインC_n901と、第1の直列バストランジスタM1904のゲートに接続された第1の行ラインRA_m902と、ソースがM1904のドレインに接続され且つゲートが第2の行ラインRB_m903に接続された第2のバストランジスタM2905と、第2のバストランジスタM2905のドレインに接続された液晶セルキャパシタンスC_{LC}906と、第2のバストランジスタM2905のドレインに接続された蓄積キャパシタC_{ST}907と、蓄積キャパシタC_{ST}907及び液晶キャパシタンスC_{LC}906に接続されたコモンラインCOM908と、を有している。2つのバストランジスタM1904及びM2905は直列接続され、C_n901から画素制御ノードであるP_{m,n}909への、ゲート制御される導電経路を形成している。電荷蓄積キャパシタC_{ST}907及びC_{LC}906は、P_{m,n}909をCOM908に接続するとともに、M1904及びM2905が“オフ”状態にあるときに画素制御電圧を保持する。

【0049】

画素電圧P_{m,n}909は、先ずCOMライン908をhigh(高)状態又はlow(低)状態に保持しておき、M1904のソースに接続された列ラインC_n901に電圧を駆動することによって、セルに書き込まれる。M1904は、そのゲートRA_m902を高電位にパルス駆動し、同時にM2905のゲートRB_m903を高電位にパルス駆動することによってアクティブされ、それにより、M1904とM2905との直列接続を介してC_n901からP_{m,n}909へ電気導通が増大される。その結果、P_{m,n}909ノードに電荷が投入あるいは書き込まれ、その後、行ゲートラインRA_m902又はRB_m903のうちの少なくとも一方を負電位に維持することにより、電荷は漏れ出ないように分離されることができ、画素電荷は、C_{ST}キャパシタ907及びC_{LC}キャパシタ906の双方上で、COM908に対して蓄積される。

【0050】

図10は、図9に示した画素回路のレイアウトの一実施形態を示している。列ラインC_n901、1000は、好ましくは堆積された金属からなり、画素セルを垂直(縦)方向に走り抜け、トランジスタM1904、1001のソースに接続されている。M1904、1001のゲートはRA_m電極902、1007に接続されている。M1904、1001のドレインはM2905、1002のソースに接続されている。M2905、1002のゲートはゲート電極RB_m903、1008に接続されている。M2905、1002のドレインは画素蓄積ノードP_{m,n}909、1005に接続されている。画素蓄積ノードP_{m,n}909、1005は、蓄積キャパシタC_{ST}907、1004に接続されるとともに、LCセルキャパシタンスC_{LC}906の一部を形成するコンタク

ト 1 0 0 3 を介して反射性の電極プレート 1 0 0 9 に接続されている。蓄積キャパシタ $C_{ST} 907$ 、1 0 0 4 は、コモンバックプレート電圧 $COM 908$ 、1 0 0 6 に接続されている。頂部ガラス上の反対側の電極（図示せず）が、コモン電極 $COM 908$ に電気的に取り付けられ、 $C_{LC} 906$ の他方の電極を形成する。

【 0 0 5 1 】

再び図 9 を参照するに、 $P_{m,n} 909$ と $COM 908$ との間の RMS 電圧差が、液晶の光学状態を決定する。一実施形態において、 COM ノード 9 0 8 は、 TFT デバイス 9 0 4、9 0 5 の必要な電圧範囲を低減するため、且つ / 或いは電力を低減するため、連続的に変調される。

【 0 0 5 2 】

2 つの選択 $TFT M1 904$ 及び $M2 905$ は、それぞれ、2 つの独立した行ゲート信号 $RAm 902$ 及び $Rbm 903$ によってゲート駆動される。2 つのゲートの選択は単に例示目的であり、実際には、選択 TFT の数は、 TFT のプロセスパラメータ、ディスプレイのサイズ及び解像度、所望のフレームレート、許容可能なフリッカー、並びにその他の性能基準に基づく設計上の選択である。この実施形態においては、後述のように非常に低いフレームレートで負ストレス蓄積を防止するため、2 つ以上の行トランスファータ TFT が必要とされる。このような選択は、この教示の範囲内であるとみなされる。

【 0 0 5 3 】

当業者に認識されるように、ここで説明する概念は、異なる設計ルール及びレイヤ群を有するその他の TFT プロセスにも適用されることができると見なされるものであり、図 1 0 に示したプロセスの選択は、単なる例示目的であって、この教示を限定するものではない。

【 0 0 5 4 】

また、図 1 0 のレイアウトは、回路の電気的な挙動を実質的に変更せず且つこの教示の範囲内であると見なされる数多くの置換、転置、向き変更、裏返し、回転及びこれらの組み合わせを有する。この教示は、画素回路の電気的な接続又は動作を変化させない数多くの異なる手法で、セルを通して、あるいはその周りで列及び行を経路付けるように変更され得る。さらに、蓄積キャパシタの配置（図 1 0 においてはパストランジスタの下に示されている）は、如何なる数の構成要件及び製造要件に適應するように変更されてもよい。トランジスタ $M1 904$ 及び $M2 905$ は、ここで説明する概念の機能を維持したまま、サブユニットに分割されてもよい。蓄積キャパシタ $CST 907$ もまた、この教示において説明される電気的な目的を維持したまま、複数の区画に分割されてもよい。この教示に基づき、特定の TFT プロセス及び用途上の要件に基づいてデバイスのクロストークを最小化し、画質を改善し、蓄積キャパシタンスを調整し、電力を低減し、安定性を改善し、製造可能性を改善し、且つ性能を改良する等価回路の有利なレイアウト構成が当業者に明らかになるが、それらはここで説明する概念の範囲内であると見なされるものである。

【 0 0 5 5 】

好適な一実施形態において、 RGB ストライプ構成が採用される。しかしながら、この教示は、以下に限定されないが RGB デルタ構成、 $2 \times 2 RGBW$ 構成、及び技術的に周知のその他のサブピクセル構成若しくは画素構成を含む、如何なる画素又はサブピクセルの構成にも一般的に適用され得る。レイアウト及び回路方式へのそのような変更は、用途上の要求を満たすように一般的に行われるものであり、この教示の範囲内であると見なされるものである。

【 0 0 5 6 】

このフラットパネルの実施形態の動作は、2 つの段階で構成されるものとして説明することができる。実際には、それら 2 つの段階は交互に行われ（インターリーブされ）得るが、ここでは明瞭化のため、それらを別個の段階として説明する。第 1 の段階は、新たなフレームの情報を画素アレイに書き込むことを伴う。これを達成するため、一連の動作がアレイ状で実行される。

【 0 0 5 7 】

図 11 は、3 レベルの行ドライバを用いる本発明の一実施形態の代表的なタイミング図を示している。パネルの初期状態において、行ライン $RA[M-1:0]1100$ 及び $RB[M-1:0]1101$ は、画素アレイの電荷蓄積キャパシタの実質的に全てからの電荷リークを防止するよう、低電圧状態に保持されている（すなわち、全ての画素について、 $M1904$ 又は $M2905$ の T F T のうちの少なくとも一方が“オフ”状態にある）。一般的に、これは、全ての行ライン（ $RA[M-1:0]1100$ 及び $RB[M-1:0]1101$ ）を低ゲート電圧レベル $VGL1102$ に保持することによって達成される。

【0058】

フレーム書込処理を実行するため、列ライン $C[N-1:0]1103$ が、所与の行の画素の所望の画素電圧に駆動される。この例においては、説明及び図示を単純化するために、2つのデータ電圧 $VDH1104$ 及び $VDL1105$ を用いる 2 レベルの列駆動波形が使用される。当業者に認識されるように、列ラインは、LCD 材料にグレイスケール応答を作り出すように $VDH1104$ と $VDL1105$ との間のアナログ電圧で駆動されることができる。この教示は一般的に、二値、多値、及び / 又は連続的なアナログの列ライン駆動に適用され得る。

10

【0059】

そして、所与の行の画素の 2 つ以上の行選択ライン（例えば、 RA_m1106 及び RB_m1107 ）が、それらの休止低電圧 $VGL1102$ から高電圧 $VGH1108$ へとパルス駆動される。これは、画素の一行全体の各画素内の $M1904$ 及び $M2905$ の全てをターン“オン”させる効果を有する。そして、この選択された行の画素が、列ライン $C[N-1:0]700$ 、 800 、 1103 上に駆動された電圧まで充電される。画素値 $P_{m,n}909$ 、 1109 が実質的に $C[N-1:0]1103$ の電圧レベルに落ち着くのに十分な時間が経過すると、行選択ライン RA_m1106 及び RB_m1107 はそれらの休止低電位 $VGL1102$ に戻され、もはや選択解除された行内の全ての $M1904$ 及び $M2905$ の T F T がターン“オフ”される。

20

【0060】

好適な一実施形態において、電圧レベル $VGL1102$ は、 $CST907$ に蓄積された画素電荷が画素の書込又はリフレッシュと次の書込又はリフレッシュとの間に $M1904$ 及び $M2905$ を介して実質的に漏れ出ないよう、十分に負に選定される。画素蓄積キャパシタ $CST907$ は好ましくは、非選択期間中に画素電荷リークを防止するよう、また、可変 LCD キャパシタンス $CLC906$ に起因して画素のグレイレベル遷移時に発生し得る残像効果を（ディスプレイ設計者が望む程度まで）解消するよう、十分に大きくされる。斯くして、液晶セル群の電圧を制御することによって、LCD 画素群にわたる電圧を独立にプログラムし、画素アレイの所望の光学状態を生成することができる。各行の画素を上述と同様にロードすることができ、それにより、そのフレームが完成される。当業者に認識されるように、行われる動作の厳密な順序、例えば、行群が順次に処理されることは、同様の結果を達成するように変更され得る。そのような変更は、この教示の範囲内であると見なされるものである。

30

【0061】

図 11 を参照するに、COM 電極 1110 は必要に応じて、技術的に周知のように、セルの保持力を改善し、アレイ又はソース電圧範囲を制限し、且つ / 或いはシステム電力を低減するため、AC 波形で駆動されることができる。図 11 は具体的には、high 値 $VCH1114$ と low 値 $VCL1115$ との間での 2 レベル変調の例を与えている。ゲート変調による負ストレス緩和を組み入れた T F T 画素の低フレームレート動作に関するこの教示は、当業者によって、COM 変調の数多くの既知の方法に適用され、且つ / 或いは $COM1110$ が静止 DC 電圧に維持される場合に限定なく適用され得る。

40

【0062】

画素アレイ全体の値が書き込まれると、アレイは、画像アーチファクト（例えば、フリッカー）を防止するためにリフレッシュを必要とするのに十分なだけ画素アレイの電圧 P

50

m, n 909 が漏れ出るまで、電力を節約するためにスタンバイ状態に置かれ得る。フレーム画像書込処理と次のフレーム画像書込処理との間のスタンバイ状態は、好適な一実施形態の動作の第2段階を有する。フラットパネルの数多くの用途は可変フレームレートを使用し得るが、ここで説明する概念は、フレームレートが特定種類のコンテンツに対して高速（例えば、ユーザが装置とやり取りするときに30Hzのフレームレート）にされなければならないが、フレームリフレッシュレートを数Hzまで低下させることができる低電力状態をも必要とするような用途によく適している。これを達成するため、上述の第1段階のアクティブなフレーム書込又はリフレッシュ同士の間、可変長のスタンバイ状態を挿入することができる。

【0063】

図11を参照するに、本発明の好適な一実施形態において、フレーム書込処理同士の間、のスタンバイ状態中に、所与の一行、複数行の集合（サブセット）、又は全ての行の行ゲートラインRA_m1106とRB_m1107とが、ゲート電圧VGL1102を有する“オフ”状態と、画素トランジスタM1 904及びM2 905に僅かに正のV_{GS}を好ましく達成するように選定されたゲート電圧VGM1111を有する弱い“オン”状態との間で交互にバイアスされる。画素がこのようなバイアス状態にある（すなわち、M1 904及びM2 905の双方ではなく一方が弱く“オン”の状態にある）とき、フレーム書込処理中に書き込まれた画素電荷は実質的に保持される。TFTへの弱く“オン”のゲートバイアスVGM1111の印加は、TFTチャンネル内の平均電荷密度を低下させる効果を有し、ひいては、TFTデバイスの負ストレス蓄積を中断する、それ以前の“オフ”状態中に生じた蓄積正電荷（すなわち、正孔）を注入する。2つの画素TFT 904、905を反対の状態（例えば、オン/オフ又はオフ/オン）にするこの処理のことを、ここではストレス解放処理と称する。ストレス解放処理は選択的に、負バイアスストレス及び/又はディスプレイの電力消散を最小化するように、フレーム又はラインのリフレッシュと順々に、あるいはインターリーブされて実行される。負ストレス蓄積を有意に抑制するため、十分な回数のストレス解放処理が、フレームリフレッシュ処理同士の間、挿入され、あるいはフレームリフレッシュ処理内にインターリーブされ得る。

【0064】

この教示に係る好適な一実施形態において、画素トランジスタM1 904及びM2 905のゲート電圧は、ストレス解放処理中に“ブレイク・ビフォー・メイク（break before make）”スイッチング遷移を用いる。これは、C_{ST} 907の電荷が、M1 904及びM2 905のゲート電圧遷移時の電荷リークと上昇/下降時間バラつきとに対して良好に保護されることを確実にする。

【0065】

この教示に係る好適な一実施形態において、ディスプレイの全てのRA[M-1:0] 1100ラインが実質的に同時にVGM1111にパルス駆動される一方で、RB[M-1:0]ライン1101は全て負ゲート電圧VGL1102にて“オフ”状態に保持される。多数の行ラインを並列にパルス駆動することにより、ドライバIC 603内の行ドライバ回路は、電荷共有法、段階的充電法、階段状充電法、又は断熱充電法として技術的に知られる技術を用いて、より少ないエネルギーのみを消費するように設計されることができ、結果として、全てのRA[M-1:0]ライン1100とRB[M-1:0]ライン1101とを交互にパルス駆動する並列ストレス解放処理は、単一ゲートラインの順次のスイッチング又はパルス駆動と比較して、実質的に良好な電力効率を有するように実装され得る。

【0066】

フレーム書込レートを超えるTFTアレイトランジスタの付加的なAC変調を挿入することにより、TFTバイアスストレスは低フレーム書込レートにおいて実質的に低減される。数多くの行ラインを弱く“オン”の状態にパルス駆動するのに要するエネルギーは、完全なフレームリフレッシュに要するエネルギーより実質的に小さくすることができ、全体としてのパネルの電力消散は、従来のように走査されるTFTディスプレイにおける低

10

20

30

40

50

フレームレトリフレッシュでの短寿命の不利益を実質的に被ることなく、低減されることが出来る。

【 0 0 6 7 】

図 1 1 は、明確に区別された、フレーム書込処理 1 1 1 2 と、連続するフレーム書込処理の間の或る数 (3 つ) の並列ストレス解放処理 1 1 1 3 とを具体的に示している。当業者は、この教示に係る 2 つの基礎となるディスプレイ駆動、すなわち、1 つの処理における画素への書き込みと、その後の別の 1 つの処理における画素のストレス解放とを、入れ替え、インターリーブし、グルーピングし、順序付け、あるいはその他の方法で並び替える多様な走査波形を認識するであろう。請求項の範囲は、そのような変更又は置換によって限定されるものではない。一部の例において、例えば、複数行のサブセットのみが書き込まれた後にストレス解放処理が適用されるようにストレス解放処理と書込処理とをインターリーブすることが有利となり得る。当業者に認識されるように、行われる動作の厳密な順序、例えば、行群が順次に処理されることは、同様の結果を達成するように変更され得る。例えば全ての偶数行を先ず書き込んだ後に全ての奇数行を書き込むこと、及び / 又は部分的な表示リフレッシュといった有利な変更が、ライン、列、フレーム及びドット反転による DC バランシングを含む何らかの反転技術を実行しながら遷移を最小化することによって、電圧揺動及び電力消散を低減するように、この教示に係るシステムに適応され得る。そのような変更及び置換は、この教示の範囲内であると見なされるものである。

10

【 0 0 6 8 】

この教示に係る好適な一実施形態において、電圧レベル V_{GL} 、 V_{GM} 及び V_{GH} は、 $V_{GH} > V_{GM} > V_{GL}$ なる関係に従うように選定される。当業者に認識されるように、書込処理及びストレス解放処理を実行するために選定されるタイミング及び電圧レベルは、具体的な工学要求を満たすように調整及び変更を受けることができ、請求項の範囲はそのような調整及び変更によって限定されるものではない。

20

【 0 0 6 9 】

図 1 2 は、この教示に係る好適な一実施形態の代表的なタイミング図を示している。この実施形態は、DC 電圧レベルが変更された 4 レベルの行駆動信号を用いることを除いて、図 1 1 の実施形態と同様である。図 1 1 の波形と比較して、行信号 $RA[M-1:0]$ 1 2 0 1 及び $RB[M-1:0]$ 1 2 0 2 の低レベル V_{GL} 1 2 0 0 が実質的に高くされており、これが、フレーム書込処理 1 2 0 3 中の特定の行が書き込まれた後、及び複数のストレス解放処理 1 2 0 4 間のスタンバイ状態中に適用される。図 1 2 に示すように、左側から始めて、COM 電極 1 2 0 5 が V_{CH} 1 2 1 4 から V_{CL} 1 2 1 5 へと遷移して、新たなフレーム書込が開始され；COM 1 2 0 5 の遷移と実質的に一致して、実質的に全ての $RA[M-1:0]$ 1 2 0 1 及び $RB[M-1:0]$ 1 2 0 2 ラインが、COM ライン 1 2 0 5 と実質的に同等の電圧段差の極性及び振幅で、レベル V_{GL} 1 2 0 7 へと駆動される。アレイに蓄積される画素電圧は COM 1 2 0 5 に強く結合されるので、M 1 9 0 4 及び M 2 9 0 5 ゲートは、この遷移中、“オフ”状態に保たれる。そして、列ライン $C[N-1:0]$ 1 2 1 1 にデータ電圧レベル V_{DH} 1 2 1 2 及び V_{DL} 1 2 1 3 の形態で画素データを印加しながら、各行の画素をアクティブにするように RA_m 1 2 0 8 及び RB_m 1 2 0 9 ラインを V_{GH} 1 2 1 0 に順次パルス駆動することにより、新たなフレームが画素アレイ内に走査される。 V_{GH} 1 2 1 0 にパルス駆動した後、行ライン RA_m 1 2 0 8 及び RB_m 1 2 0 9 は、この実施形態では高められている V_{GL} 1 2 0 0 レベルに戻される。全てのラインが走査されてフレームがロード (すなわち、書込又はリフレッシュ) されると、全ての行ラインは V_{GL} 1 2 0 0 レベルに戻されていることになる。そして、2 つの行ラインの組 $RA[M-1:0]$ 1 2 0 1 と $RB[M-1:0]$ 1 2 0 2 とを V_{GL} 1 2 0 0 と V_{GM} 1 2 1 6 との間で交互に切り換えるストレス解放処理が、図 1 1 においてのように、フレーム書込処理同士の間挿入される。COM 1 2 0 5 が後続フレームのために V_{CH} 1 2 1 4 へと上方に遷移されるとき、行ライン $RA[M-1:0]$ 1 2 0 1 及び $RB[M-1:0]$ 1 2 0 2 は好ましくは、図 1 2 に示すように V_{GL} 1 2 0 0 に保持される。

30

40

50

【0070】

COM1205のVCL1215への遷移に合わせて全ての行ラインをVGL1200からVGLL1207に遷移させることにより、M1 904及びM2 905のTFTへの負ストレスが最小化される。例えば608、710、810、812である行ESD回路におけるリーク導通も、行信号RA[M-1:0]1201、RB[M-1:0]1202及びCOM1205の間での電圧差を低く維持することによって最小化される。なお、画素電圧 $P_{m,n}$ 1217の波形は、より低い振幅の行信号にかかわらず、図11の $P_{m,n}$ 1109の波形から実質的に変更されていない。4レベルの行駆動を適用することによって、COMレベルからの行電圧の逸脱をCOM変調技術において最小化することができ、ESDリーク電力が最小化される。

10

【0071】

本発明の好適な一実施形態において、行ドライバに使用される4つのレベル(VGH、VGM、VGL及びVGLL)は、 $VGH > VGM > VGL > VGLL$ なる関係に従う。本発明の好適な一実施形態において、列ドライバの2つのレベル(VDH及びVDL)及びCOMドライバの2つのレベル(VCH及びVCL)は、 $VCH > VDH > VDL > VCL$ なる関係に従う。好適な一実施形態において、行電圧及び列電圧は、 $VGH > VDH > VDL > VGL$ なる関係に従う。

【0072】

更なる一実施形態(図示せず)において、COM遷移時のゲートライン電圧の遷移は、COM遷移に先立って行ラインをフローティングにすることによって実現され得る。行ゲートラインはCOMに強く結合されているので、行ゲートラインは実質的に、所望の振幅及び極性でCOMの段差に追従することになる。さらに、集積a-Si行ドライバが使用されるとき、行ドライバの出力は、最後のストレス解放処理の後に切断し、選択された行がVGHへ、そしてその後VGLへと駆動されるときにフレーム書込中の選択時に再び接続するだけとすることができる。このようにして、図12の波形は、例えば行ラインに高デューティサイクルのブルダウンデバイスを有しないa-Si TFTで製造された集積行ドライバ回路を実装したディスプレイにおいて、フローティング行ライン駆動技術を用いて自然に実現されることができる。

20

【0073】

図13は、4レベル行駆動信号と4レベル列駆動信号とを有する、この教示に係る好適な一実施形態の代表的なタイミング図を示している。COM信号1304、行信号RA[M-1:0]1305及びRB[M-1:0]1306の動作は、図12に関して説明したものと同一である。図12と13とを比較するに、図13は、列ドライバに利用可能な2つの更なる電圧レベルVDHH1300及びVDLL1301を有している。これらの電圧は好ましくは、フレーム書込処理中に、所望の画素が反対の状態から(例えば、白から黒へ、あるいは黒から白へ)遷移しているときに列ラインに駆動される。電圧レベルVDHH1300及びVDLL1301は好ましくは、通常列ソース電圧(VDH1302及びVDL1303)の範囲の外側に位置し、光学状態変化を受けて時間的に変化する液晶のキャパシタンスを補償するように選定される。技術的に周知のように、状態変化時の画素のオーバードライブは、画素電圧が最初のフレーム内で一層望ましい最終値(例えば、VDH1302又はVDL1303に繰り返し書き込まれる静止画素によって達成される値)に落ち着くことを可能にする。図13の底部の波形は、画素電圧 $P_{m,n}$ 1307が、先ずVDHH1300又はVDLL1301のレベルによってオーバードライブされ、LC材料が新たな光学状態にゆっくりと応答するに連れて所望のVDH1302又はVDL1303へと緩和していくことを示している。残像又は画像貼り付きの問題を軽減することが可能なこのようなオーバードライブ技術は、請求項を限定することなく、必要に応じて、この教示に適用されることができる。

30

40

【0074】

図13の波形に表した本発明の好適な一実施形態において、列ドライバの4つのレベル(VDHH、VDH、VDL及びVDLL)は、 $VDHH > VDH > VDL > VDLL$ な

50

る関係に従う。図 1 3 に記載される 4 つの列レベルの各々の電圧レベルの選択は、同様に、ディスプレイに必要な独立電源の数を削減するために、システム内で利用可能なその他の電圧（例えば、VCH、VCL）とレベルを共有するように変更され得る。請求項の範囲は、そのような選択又は最適化によって限定されるものではない。

【0075】

図 1 4 は、この実施形態の動作フローチャートを示している。図 1 4 の最上部から始めて、第 1 の決定処理 1 4 0 0 が現フレームの極性を決定する。すぐ前のフレームの極性が COM = low（低）を有するものであった場合、COM 変調 high（高）処理 1 4 0 2 が実行され、COM は VCH に駆動され、全ての行ライン RA [M - 1 : 0] 及び RB [M - 1 : 0] は VGL に保持される。すぐ前のフレームの極性が COM = high を有するものであった場合、COM 変調 low 処理 1 4 0 1 が実行され、COM は VCL に駆動され、全ての行ライン RA [M - 1 : 0] 及び RB [M - 1 : 0] は VGLL に駆動される。次に、行書込処理 1 4 0 3 は、列ライン C [N - 1 : 0] を所与の行に関する所望の画素電圧又は所望のオーバドライブ画素電圧に駆動することと、選択された行ラインの対 RA_m 及び RB_m を VGH に駆動して、選択された行の画素蓄積キャパシタに列電圧を捕捉することと、選択された行ラインの対を最終的に VGL に戻すことを有する。決定処理 1 4 0 4 が、全ての行が選択された極性の画素電圧で書き込まれたことを受けて終了する行書込処理 1 4 0 3 のループを実行する。なお、COM = low フレームのフレーム書込シーケンス（すなわち、1 4 0 3 及び 1 4 0 4 によって形成される行書込のループ）の途中では、行ライン RA [M - 1 : 0] 及び RB [M - 1 : 0] の幾らかの部分は VGL にあり、残りは VGLL にあることになる。

【0076】

次に、第 1 のストレス解放処理 1 4 0 5 が、全ての RA [M - 1 : 0] 信号に VGM を適用した後、RA [M - 1 : 0] を VGL に戻し、それに続いて、全ての RB [M - 1 : 0] 信号に VGM を適用した後に RB [M - 1 : 0] を VGL に戻す第 2 のストレス解放処理 1 4 0 6 が行われる。全ての RA [M - 1 : 0] 及び RB [M - 1 : 0] が VGL に保持される遅延処理 1 4 0 7 により、3 段階ストレス解放処理（すなわち、ステップ 1 4 0 5、1 4 0 6 及び 1 4 0 7 の組み合わせ）が完了される。なお、このイベントシーケンス（先ず、RA [M - 1 : 0] をパルス駆動することによって全ての M1 をストレス解放し、次いで、RB [M - 1 : 0] をパルス駆動することによって全ての M2 をストレス解放し、そして遅延させる）は、この教示の範囲内で、任意に順序付けられ、並び替えられ、更なる遅延を用いて継ぎ合わされ、繰り返され、任意の処理にて終了され、且つ / 或いはインターリーブされ得る。例えば、RB [M - 1 : 0] 信号のストレス解放が最初に行われてもよい。他の一例において、フレーム書込処理が 1 つ以上の部分（1 つ以上の行の部分的フレーム更新）に分解され、それらの部分がストレス解放処理及び / 又は遅延とインターリーブされてもよい。更なる一実施形態（図示せず）において、エネルギーを更に節約するため、画素フレームの複数部分が駆動されないままとされてもよい（フレーム書込処理はフレームの一部を更新するのみ）。このような実装の決定は、この教示と相容れるものであり、ここで具現化されるストレス緩和技術及び低電力技術の恩恵を受け得る。

【0077】

再び図 1 4 を参照するに、所望数のストレス解放処理が完了すると、最終決定処理 1 4 0 8 が、1 4 0 5、1 4 0 6、1 4 0 7 及び 1 4 0 8 により形成されるストレス緩和ループを終了し、後続の逆極性フレームを開始するために第 1 の決定処理 1 4 0 0 へと戻る。

【0078】

図 1 1 乃至 1 4 にて説明した波形及び処理は、多様な周知の技術と組み合わせることができる。好適な一実施形態において、DC 電圧源及びスイッチに基づくマルチプレクサが、図 1 1 乃至 1 3 のマルチレベル波形を生成するようにデジタル制御される。例えば、図 1 1 の行波形は、VGL、VGM 及び VGH の間で選択を行う 3 レベル行ドライバを使用する。図 1 1 及び 1 2 の列波形の場合、VDH 及び VDL の DC レベルの間で選択を行う 2 レベルアナログマルチプレクサが必要とされる。同様に、COM は、VCH と VCL

との間で選択を行う2レベルマルチプレクサを必要とする。

【0079】

同様の波形を合成するために使用されることが可能な、バッファ増幅器に続かれるDAC、ブートストラップ式の電荷ポンプ、別のデマルチプレクサなどを含む多数の異なる生成機構が、当業者によって認識されるであろう。そのような別の波形合成方法は、技術的に周知であり、この教示の有用性に影響を及ぼすことなく代用されることができる。

【0080】

図15は、ストレス解放処理において電力効率を改善する階層的なマルチプレクサ構成を含む、この教示に係る好適な一実施形態を示している。所望の終点ストレス解放DCレベルVGM1504及びVGL1506、並びに任意の数の中間電圧レベル1505から選択することにより、ソースマルチプレクサ(mux)1500は中間信号DSA1501を生成し、ソースmux1502は中間信号DSB1503を生成する。COM mux1526は、VCH1527とVCL1528との間で選択を行うことによって、COM信号1529を生成する。中間信号DSA1501及びDSB1503、並びに2つのその他のDCレベルVGH1508及びVGLL1507が、バス1509を形成している。バス1509は、多数(例えば、M=画素の行数として2M個)の3対1出力mux1525に接続され、これらmux1525が、TFT表示画素アレイ602及び行ラインESD回路608の行信号を駆動する。

10

【0081】

図15を参照するに、フレーム書込処理に先立ち、全ての行出力RA[M-1:0]及びRB[M-1:0](例えば、RA₀1514、RB₀1516、RA₁1518、RB₁1520、・・・、RA_{M-1}1522、及びRB_{M-1}1524)は、それぞれそれぞれのmuxを介して、DSA1501又はDSB1503の何れかに帰属される。そして、DSA1501及びDSB1503はmux1500及び1502によってVGL1506に接続される。新たなフレームがCOM=VCH1527を有するものである場合、行出力mux1525はDSA1501又はDSB1503の何れかを選択し続ける。しかしながら、フレーム極性がCOM=VCL1528を要求する場合には、行出力muxはVGLL1507を出力として選択するように駆動される。故に、COM=VCL1528の極性のフレームの場合、図12及び13に示したように、全ての行のRA[M-1:0]及びRB[M-1:0]が、COM1529の遷移に合わせてVGLL1507

20

30

【0082】

再び図15を具体的に参照するとともに、図12乃至14を大まかに参照するに、次の処理はフレームの行ごとの書込であり、それは、例えばRA₀1514及びRB₀1516などの複数の行ライン対を順次、highレベルVGH1508にパルス駆動することを有する。一对の行ライン(例えば、RA₀1514及びRB₀1516)がVGH1508にパルス駆動されて、その特定の行の画素が書き込まれると、選択されたRA_m及びRB_m信号の対は、それぞれ、適切な出力mux1525を介してDSA1501及びDSB1503に接続される。DSA1501及びDSB1503は、もはや選択解除された行ラインRA_m及びRB_mがVGLL1506に駆動されるように、mux1500及び1502によってVGLL1506に保持される。フレーム全体が書き込まれると、何れのmux1525もVGH1508又はVGLLには帰属させられておらず、ストレス解放処理に備えて、全てがDSA1501又はDSB1503(故に、電圧レベルVGLL1506)の何れかに移されている。

40

【0083】

再び図15を具体的に参照するとともに、図12乃至14を大まかに参照するに、フレーム書込処理は1つ以上のストレス解放処理に続かれる。ストレス解放処理は、全ての出力mux1525が、出力行ラインRA[M-1:0]がDSA1501に帰属させられ且つ出力行ラインRB[M-1:0]がDSB1503に帰属させられるように選択された状態で開始する。ストレス解放処理が実行される時、最初にRA[M-1:0]ライ

50

ンがストレス解放される場合には、 $m \times 1500$ が、 $VGLL1506$ から中間レベル1505を介して $VGM1504$ に到達するまで徐々に増大する電圧を順次選択するようにデジタル駆動される。効率的に生成される中間電源1505の組から順次且つ漸増的に選択することによって行ドライバ出力を小さい増分で駆動することにより、回路の消散電力を、理想的には中間レベル1505の数を Q として $1/(Q+1)$ 倍に、実質的に低減することができる。ストレス解放処理は好ましくはディスプレイ全体を駆動する(例えば、全ての $RAM[1:0]$ が同時に駆動される)ので、 $DSA1501$ 又は $DSB1503$ 上に見られる容量性負荷は非常に大きいもの(並列の M 行のキャパシタンス)となり得る。また、ストレス解放処理は好ましいことに、上昇時間及び下降時間に関して非常に厳しい要求を有するものではない。これらの要因(大きい容量性負荷、上昇/下降時間が重要でないこと)の双方により、実質的な電力を節減するきめの細かい断熱駆動法又は段階的駆動法が可能になる。なお、中間電源は、電力節減を最大化するよう、可能な限り効率的に生成されるべきである。

10

【0084】

図16は、開始時の low レベル VGL から $high$ レベル $VGM1603$ まで、効率的に生成される多数の中間電源電圧1604のステップを踏む、 $DSA1501$ 、1600及び $DSB1503$ 、1601の代表的な段階的駆動法を示している。

【0085】

図17は、ソース(S)、ゲート(G)及びドレイン(D)の端子を有する TFT デバイス1700の、動作温度範囲の上限での、代表的な伝達曲線を示している。ゲート(G)とソース(S)との間の電圧($V_{GS}1702$)が、左側の大きい負から増加されるに連れて、ドレイン-ソース電流($I_{DS}1701$)は(曲線1703に従って)、先ず下降し、その後 $V_{GS}=0$ 付近で急激に上昇し、最終的に大きい $V_{GS}1702$ で飽和する。しばしば、“オフ”導通が最小化される最適な $V_{GS}1702$ の電圧、例えば1704、が存在する。

20

【0086】

図11の波形を再び参照するに、行ラインがストレス解放中の電圧(すなわち、 $VGL1102$)にある場合に、 C ラインの電圧($VDH1104$ 及び $VDL1105$)及び画素上の電圧($VDH1104$ 及び $VDL1105$ の範囲内の $P_{m,n}1109$)が、理想的な動作点1704より負側の V_{GS} 動作点1705を作り出すことが見て取れる。これは、図11の駆動方式における $VGL1102$ が、 $COM1110$ が $VCL1115$ に遷移するとき画素 TFT が部分的にターン“オン”することを防止するように十分に低く選定されなければならないためである(画素電圧 $P_{m,n}1109$ は COM によって、より低い側に容量的に駆動され、画素トランジスタのゲートラインは導通を防止するように十分に低くされなければならない)。しかし、そのような低いゲートレベルは、その他の処理同士の間に行ラインの休止状態として連続的に印加されるとき、画素 TFT 内に最適でないリーク導通(例えば、動作点1705)を生じさせる。例えば、リーク電流の50%の増大(例えば、動作点1704と1705との間の差1706)は、記憶された画素電圧 $P_{m,n}1109$ を、そうでない場合(すなわち、 $V_{GS}1702$ の最適点1704にある場合)より50%速くリークさせるという望ましくない影響を有することになる。補償するためには、フレームレート及び蓄積キャパシタのサイズを増大させなければならないが、電力に悪影響を及ぼす。また、図11の low ゲート電圧 $VGL1102$ は COM とは実質的に異なっている(特に、 $COM=VCH1114$ 極性のフレームにおいて)ので、行ラインから $COM1110$ への非線形導通経路を提供する ESD 構造(例えば、608、710、810、812)における電力消散は、非常に高いものになり得る。

30

40

【0087】

対照的に、図12及び13の波形、図14のフロー図、並びに図15の多重化に基づくドライバ IC 回路は、画素アレイの $V_{GS}1702$ を、何れの極性のフレームについてもその大部分において、最適動作点1704又はその近くに維持する4レベルの行波形を導入することによって、この制約を回避するものである。これは、フレームレート及び/又

50

は蓄積キャパシタンスの更なる低減を可能にし、電力を更に節減する。さらに、図 1 2 及び 1 3 の行信号は、COM に対して一層小さい電圧差で駆動されるため、ESD 構造のリーク電力（これは電圧に対して大きく非線形である）も実質的に低減される。

【0088】

さらに、最適な“オフ” V_{GS} 1704 においてはチャネル電荷蓄積速度が非常に低い（すなわち、例えば正孔である電荷キャリアは動作点 1704 において、動作点 1705 よりも、ゆっくりと蓄積する）ので、図 1 2 及び 1 3 の波形を用いると画素への負ストレスの周波数依存性が低い側にシフトされ、フレーム書込処理レート及びストレス解放処理レートを更に低減させて電力を更に節減することが可能になる。また、図 1 2 及び 1 3 において“オフ”時間中の負の V_{GS} の大きさは小さくされているので、負バイアスストレス蓄積の電圧に対する累乗の依存性も最小化される。故に、この教示は、ディスプレイモジュールの電力及び装置の信頼性の双方において実質的な改善を提供する。

10

【0089】

図 1 8 は、店舗の棚 1800 に取り付けられて商品情報及び価格を表示することが可能な装置に、この教示に係るフラットパネルディスプレイ 1803 を一体化した、電子棚ラベル 1802 を示している。相互作用ボタン 1801 は、店舗関係者又は買い物客に更なる情報を提供するために使用されることができる。

【0090】

図 1 9 は、この教示を利用するショッピングカート・ハンドルバー取り付け式ディスプレイを示している。ディスプレイ 1901 が、ショッピングカートのハンドルバー 1900 に取り付けられる。1 つ以上のボタン又はキーパッド 1902 により、ユーザ入力が可能にされる。

20

【0091】

図 2 0 は、この教示を利用する電子書籍のデザインを示している。電子書籍 2000 は、低電力スクリーン 2001 とナビゲーション用キーパッド 2002 とを有している。

【0092】

図 2 1 は、この教示を利用する折り畳み式携帯電話のデザインを示している。携帯電話 2100 の蓋部に、低電力反射型外部スクリーン 2101 が一体化されている。

【0093】

図 2 2 は、この教示に基づくディスプレイ 2201 を一体化したポータブルデジタル音楽プレーヤ 2200 を示している。

30

【0094】

図 2 3 は、この教示に基づくディスプレイ 2300 を備えた、コンピュータモニタ、宣伝用看板又はテレビジョン受像機 2301 を示している。

【0095】

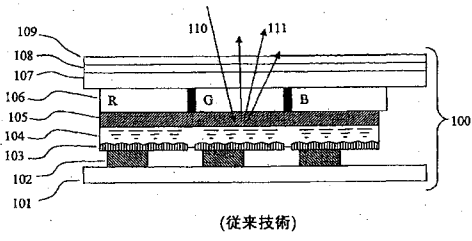
図 2 4 は、この教示に基づくディスプレイ 2401 を備えた、可搬式コンピュータ、デジタルフォトフレーム又はポータブルDVDプレーヤ 2400 を示している。この教示に基づくスクリーン 2401 は、折り畳みタイプの内側又は外側（図示せず）に一体化されることができ、あるいは、ヒンジのない設計（図示せず）であってもよい。

【0096】

図 2 5 は、この教示を利用する 1 つ以上のサブディスプレイ 2500 を有する屋外用あるいは屋内用のデジタル広告板を示している。必要に応じての前方照明 2501 が、夜間でも読みやすくするために十分な照明を提供する。

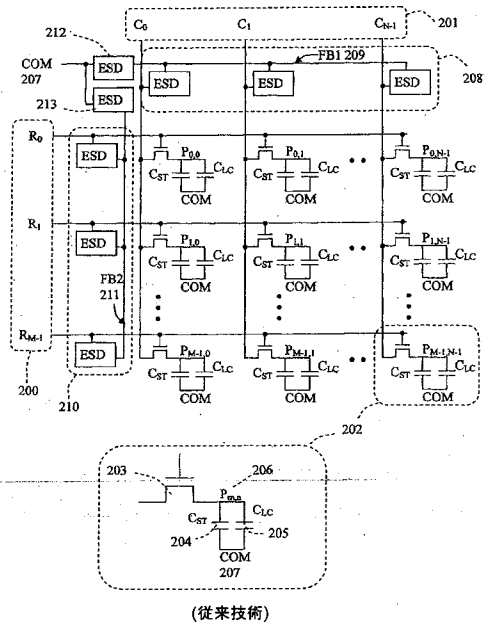
40

【 図 1 】



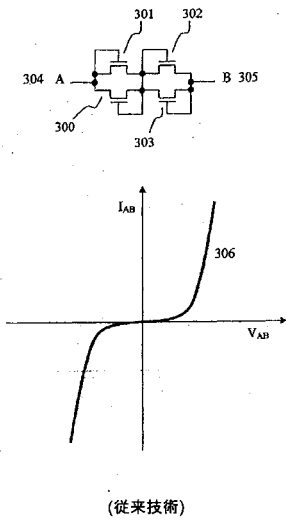
(従来技術)

【 図 2 】



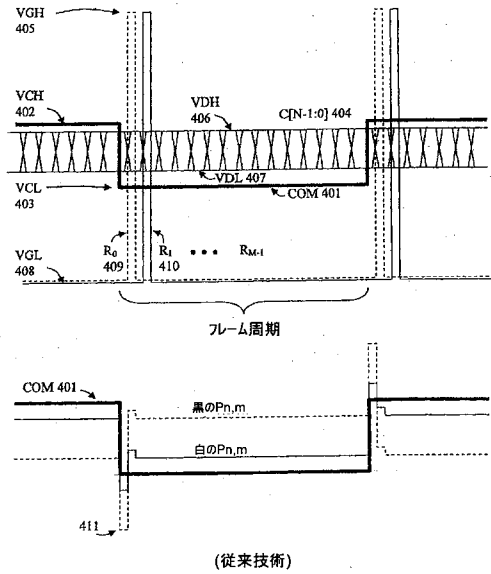
(従来技術)

【 図 3 】



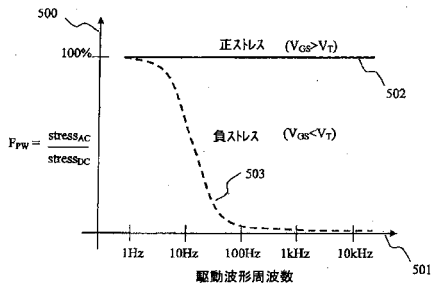
(従来技術)

【 図 4 】



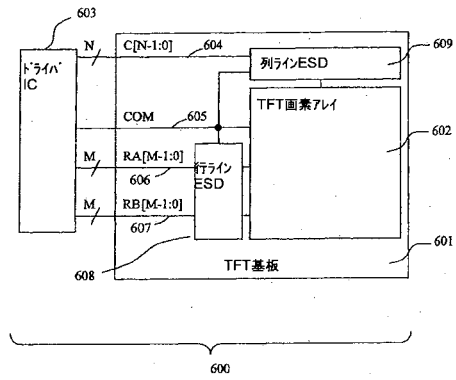
(従来技術)

【図5】

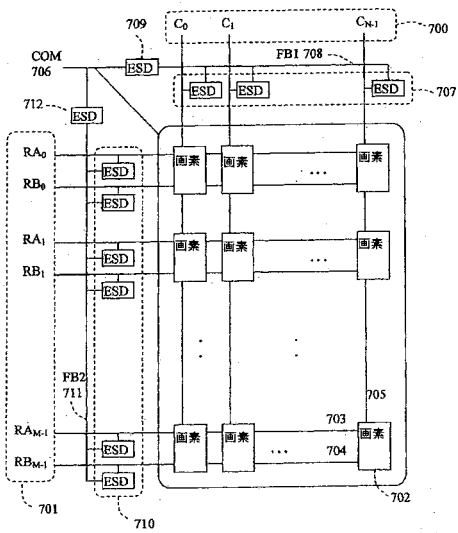


(従来技術)

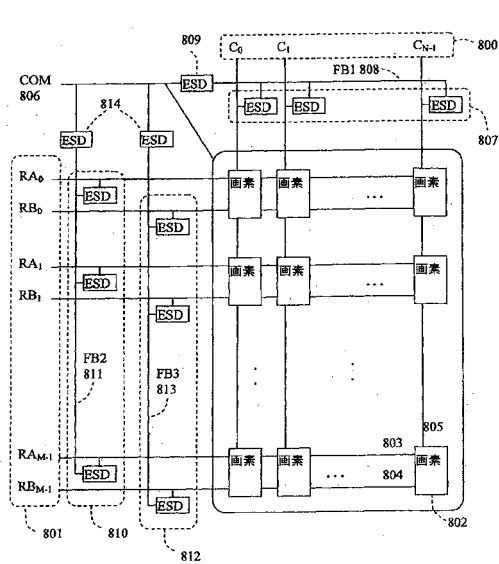
【図6】



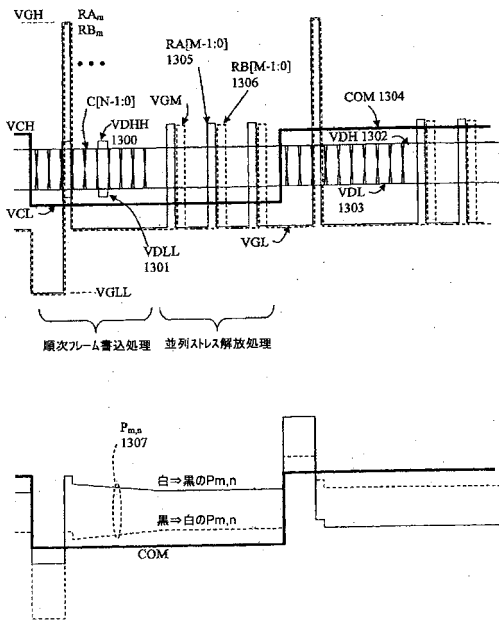
【図7】



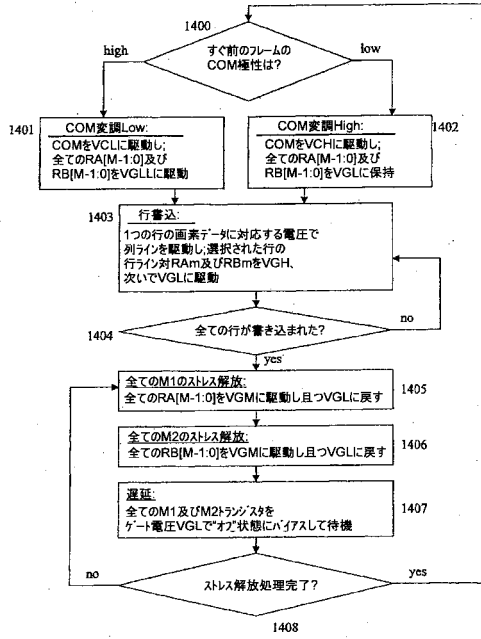
【図8】



【図13】



【図14】



【図15】

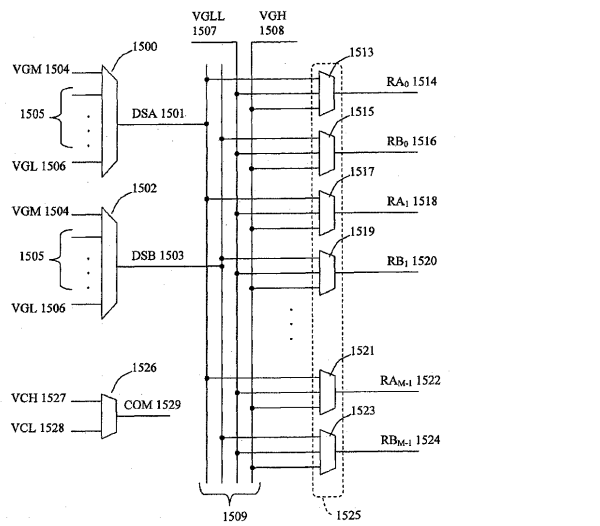


Figure 15.

【図17】

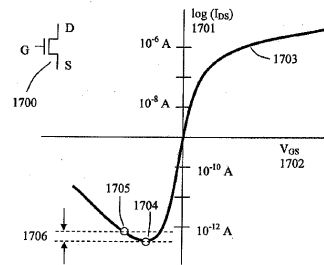


Figure 17.

【図16】

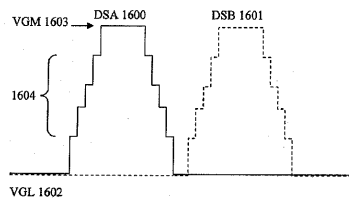


Figure 16.

【図18】



Figure 18.

【 図 1 9 】

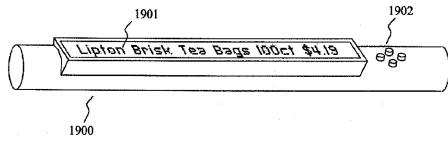


Figure 19.

【 図 2 0 】

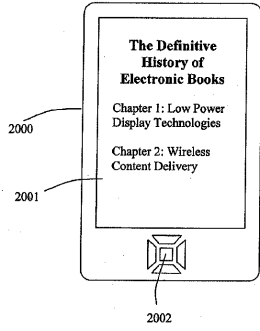


Figure 20.

【 図 2 1 】

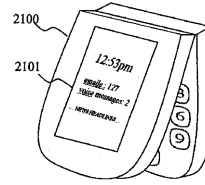


Figure 21.

【 図 2 2 】

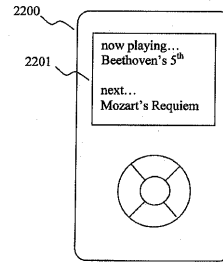


Figure 22.

【 図 2 3 】

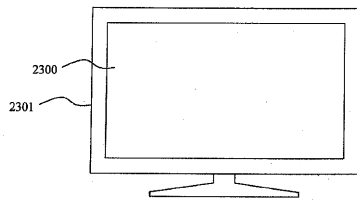


Figure 23.

【 図 2 5 】

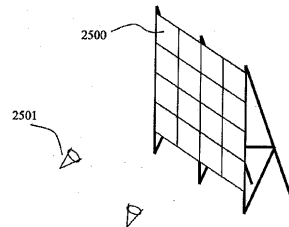


Figure 25.

【 図 2 4 】

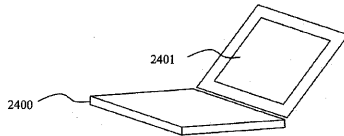


Figure 24.

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2010/054994

A. CLASSIFICATION OF SUBJECT MATTER INV. G09G3/36 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2008/070637 A1 (W5 NETWORKS INC [US]; NEUGEBAUER CHARLES F [US]; WAGNER GARY L [US]) 12 June 2008 (2008-06-12) paragraphs [0120], [0171] - [0181], [0202] - [0206], [0213]; figures 18,19b	1-8
X	US 2004/145551 A1 (TOBITA YOUICHI [JP]) 29 July 2004 (2004-07-29) paragraphs [0073] - [0104]; figures 4-7	1-8
X	US 2008/150887 A1 (KIM YOUNG SIK [KR] ET AL) 26 June 2008 (2008-06-26) paragraphs [0048], [0054] - [0059], [062] - [0073]; figures 9,11,13	1,2 6-8
A	US 2006/113918 A1 (LO SHIN-TAI [TW] ET AL) 1 June 2006 (2006-06-01) the whole document	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family
Date of the actual completion of the international search 11 June 2010		Date of mailing of the international search report 24/06/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Vázquez del Real, S

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2010/054994

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2008070637 A1	12-06-2008	AU 2007329432 A1	12-06-2008
		EP 2102848 A1	23-09-2009
		US 2008136765 A1	12-06-2008
US 2004145551 A1	29-07-2004	CN 1517967 A	04-08-2004
		JP 2004233526 A	19-08-2004
		KR 20040069947 A	06-08-2004
US 2008150887 A1	26-06-2008	CN 101206838 A	25-06-2008
		JP 2008158488 A	10-07-2008
		KR 20080058956 A	26-06-2008
US 2006113918 A1	01-06-2006	NONE	

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 3 C
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/1368	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 2H092 JB42 NA26 PA06
 2H193 ZA04 ZA07 ZB02 ZB03 ZB09 ZC15 ZF22 ZF36
 5C006 AC11 AC22 AC25 BB16 BC06 BF24 FA33 FA47 FA48
 5C080 AA10 BB05 CC03 DD26 DD29 FF11 JJ02 JJ04 JJ05 JJ06
 JJ07 KK02 KK07 KK08 KK31 KK34 KK43 KK47

专利名称(译)	低功耗有源矩阵显示器		
公开(公告)号	JP2012524289A	公开(公告)日	2012-10-11
申请号	JP2012505174	申请日	2010-04-15
[标]申请(专利权)人(译)	存储电子系统		
申请(专利权)人(译)	商店, 电子系统		
[标]发明人	ノイゲバウアーチャールズエフ		
发明人	ノイゲバウアー,チャールズ エフ.		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368		
CPC分类号	G09G3/3651 G09G3/2018 G09G3/3614 G09G3/3659 G09G3/3677 G09G2300/0417 G09G2300/0814 G09G2310/06 G09G2310/063 G09G2320/0214 G09G2320/046 G09G2330/023 G09G2330/04 G09G2380/04		
FI分类号	G09G3/36 G09G3/20.624.C G09G3/20.624.D G09G3/20.624.B G09G3/20.670.J G09G3/20.670.K G09G3/20.611.A G09G3/20.621.A G09G3/20.622.D G09G3/20.622.C G09G3/20.623.C G02F1/133.550 G02F1/1368		
F-TERM分类号	2H092/JB42 2H092/NA26 2H092/PA06 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB09 2H193/ZC15 2H193/ZF22 2H193/ZF36 5C006/AC11 5C006/AC22 5C006/AC25 5C006/BB16 5C006/BC06 5C006/BF24 5C006/FA33 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C080/KK02 5C080/KK07 5C080/KK08 5C080/KK31 5C080/KK34 5C080/KK43 5C080/KK47		
代理人(译)	伊藤忠彦		
优先权	12/424319 2009-04-15 US		
其他公开文献	JP5567118B2		
外部链接	Espacenet		

摘要(译)

公开了一种用于降低低频刷新的液晶显示器 (LCD) 中的功耗和减少器件应力累积的系统和方法。在一个示例性实施例中, 串联的两个或更多个晶体管用于保持LCD像素的电荷。为了防止晶体管上的负应力, 两个或更多个晶体管交替地被驱动到“导通”状态, 使得没有一个晶体管经历长的“关断”时间。在另一实施例中, 提供电路和信令波形以执行帧写入和应力缓解, 诸如最小化外围ESD电路中的动态功耗和静态功耗。

