

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-220575

(P2012-220575A)

(43) 公開日 平成24年11月12日(2012.11.12)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	

審査請求 未請求 請求項の数 12 O L (全 32 頁)

(21) 出願番号	特願2011-83815 (P2011-83815)	(71) 出願人	502356528
(22) 出願日	平成23年4月5日 (2011.4.5)		株式会社ジャパンディスプレイイースト
			千葉県茂原市早野3300番地
		(74) 代理人	100075959
			弁理士 小林 保
		(72) 発明者	平塚 崇人
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	伊東 理
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	岡 真一郎
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

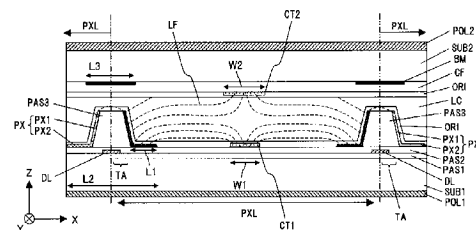
(57) 【要約】

【課題】画素内での電界分布を均一にすることにより、表示モード効率を向上させることが可能な液晶表示装置を提供することである。

【解決手段】

第1の電極と第2の電極が形成される第1基板と、液晶層を介して前記第1基板と対向配置される第2基板と、前記第1の電極と前記第2の電極とを有する画素の領域がマトリクス状に配置され、前記第1の電極と前記第2の電極との間に印加される前記第1基板の面内方向の電界により前記液晶層を駆動する液晶表示装置であって、前記画素の領域毎に前記第1基板の対向側に形成される段差部を有し、前記第1の電極又は/及び前記第2の電極は、前記段差部の側壁面に形成される壁状電極と、前記壁状電極の辺縁部から前記第1基板の主面に沿って形成される平面電極とを有し、前記壁状電極と前記平面電極とが電氣的に接続されている液晶表示装置である。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 の電極と第 2 の電極が形成される第 1 基板と、液晶層を介して前記第 1 基板と対向配置される第 2 基板と、前記第 1 の電極と前記第 2 の電極とを有する画素の領域がマトリクス状に配置され、前記第 1 の電極と前記第 2 の電極との間に印加される前記第 1 基板の面内方向の電界により前記液晶層を駆動する液晶表示装置であって、

前記画素の領域毎に前記第 1 基板の対向側に形成される段差部を有し、

前記第 1 の電極又は / 及び前記第 2 の電極は、前記段差部の側壁面に形成される壁状電極と、前記壁状電極の辺縁部から前記第 1 基板の主面に沿って形成される平面電極とを有し、

前記壁状電極と前記平面電極とが電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 2】

前記段差部は、隣接画素との間に跨り形成される絶縁体からなる凸状体で形成され、

前記壁状電極は、前記凸状体の側壁面の内で、少なくとも画素の辺縁部に沿って形成される側壁面に形成され導電性薄膜からなり、

前記平面電極は、前記凸状体の底部から前記第 1 基板面に沿って当該画素の領域に伸延される導電性薄膜からなることを特徴とする請求項 1 に記載の液晶表示装置

【請求項 3】

前記絶縁物からなる 1 つの凸状体の対向する側壁面に、隣接する画素の前記壁状電極が形成されることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記段差部は、前記画素領域内の少なくとも対向する一対の辺縁部に沿って形成される凸状体からなり、

前記壁状電極は、前記凸状体の側壁面の内で隣接画素側に形成される導電性薄膜からなり、

前記平面電極は、前記凸状体の底面部に沿って形成される導電性薄膜からなる第 1 の平面電極と、前記凸状体の頭頂部に沿って形成される導電性薄膜からなる第 2 の平面電極と、からなることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 1 の電極は、前記画素領域の辺縁部の内で、当該画素領域を挟んで対向する少なくとも一対の辺縁部に形成される前記壁状電極と前記平面電極とからなり、

前記第 2 の電極は、前記画素領域の対向する辺縁部に配置される一対の前記第 1 電極の間の領域に形成される線状の導電性薄膜からなることを特徴とする請求項 1 乃至 4 の内の何れかに記載の液晶表示装置。

【請求項 6】

前記線状電極は、前記第 1 基板に形成される第 1 の線状電極と、前記第 2 基板に形成され、少なくともその一部が前記液晶層を介して前記第 1 の線状電極と重畳して形成される第 2 の線状電極とからなり、

前記第 1 の線状電極と前記第 2 の線状電極とが電氣的に接続され、擬似的な壁電極を形成することを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 2 の線状電極の電極幅は、前記第 1 の線状電極の電極幅よりも大きいことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記線状電極は、前記第 1 基板に主面に沿って形成され、当該画素の長手方向に伸延する第 1 の線状電極からなることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 9】

前記第 1 の電極は、前記画素領域の辺縁部の内で、当該画素領域を挟んで対向する少なくとも一対の辺縁部に形成される前記壁状電極と前記平面電極とからなり、

10

20

30

40

50

前記第 2 の電極は、前記画素領域の対向する辺縁部に配置される一対の第 1 電極の間の領域に形成される第 2 の凸状体と、該第 2 の凸状体の少なくとも側辺面を覆う導電性薄膜とからなることを特徴とする請求項 1 乃至 4 の内の何れかに記載の液晶表示装置。

【請求項 1 0】

前記第 1 基板の対向面側に形成され、映像信号が供給されるドレイン線と、走査信号が供給されるゲート線と、前記走査信号に同期して前記第 1 の電極に前記映像信号を供給する薄膜トランジスタとを有し、

前記ドレイン線又は / 及び前記ゲート線は、前記第 2 の凸状体に重畳する領域に形成されることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 1 1】

前記第 1 基板の対向面側に形成され、映像信号が供給されるドレイン線と、走査信号が供給されるゲート線と、前記走査信号に同期して前記第 1 の電極に前記映像信号を供給する薄膜トランジスタとを有し、

前記ドレイン線又は / 及び前記ゲート線の下層に重畳して配置される遮蔽電極を備えることを特徴とする請求項 1 乃至 1 0 の内の何れかに記載の液晶表示装置。

【請求項 1 2】

前記壁状電極の辺縁部から画素の領域へ伸延する前記平面電極の電極幅を L_1 、前記液晶層の厚さを d とした場合、前記平面電極の電極幅 L_1 は、 $0.5 L_1 \leq d$ (μm) であることを特徴とする請求項 1 乃至 1 1 の内の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、液晶表示装置に係わり、特に、アクティブマトリクス型の液晶表示装置に関する。

【背景技術】

【0 0 0 2】

近年、液晶表示装置の性能が向上しており、3 ~ 4 インチサイズの中小型の液晶表示装置においても 800×480 画素の W V G A 表示が可能な製品が要望されている。しかしながら、W V G A 表示が可能な中小型の液晶表示パネルでは、限られた表示領域内に複数の表示画素（以下、画素と記す。）を形成する必要があるために、1 つの画素幅が $30 \mu m$ 程度となる。このために、さらなる開口率の向上や表示モード効率の向上が要望されている。

【0 0 0 3】

この表示モード効率を向上させた液晶表示装置として、例えば、特許文献 1 に記載の液晶表示装置がある。この特許文献 1 に記載の液晶表示装置では、画素領域の両端に対となる電極を形成し、一方の電極（ソース電極）に映像信号を供給し、他方の電極（共通電極）に基準となる共通信号を供給することにより、液晶表示パネルの主面と平行な電界（いわゆる横電界）を生じさせ、液晶分子を駆動する構成となっている。特に、特許文献 1 に記載の液晶表示装置は、ソース電極及び共通電極が第 1 基板の主面から第 2 基板に向かって突出して形成される共に、その延在方向が第 1 基板の主面に対して垂直となるように形成される壁状の電極形状となっている。このような構成とすることにより、特許文献 1 の液晶表示装置では、第 1 基板に近い領域から遠い領域（第 2 基板に近い領域）においても、電気力線の密度が同じとなるようにして、表示モード効率を向上させる構成となっている。

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開平 6 - 2 1 4 2 4 4 号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 5 】

一方、W V G A 表示が可能な中小型の液晶表示パネルでは、開口効率を向上させるために、隣接する画素間の間隔も非常に狭くなっており、各画素のソース電極と隣接する画素の共通電極とに間隔が非常に小さくなっている。このために、特許文献 1 に記載の液晶表示装置において、例えば、白表示を行う画素と黒表示を行う画素とが隣接する領域においては、白表示を行っている画素のソース電極と黒表示を行っている隣接画素の共通電極との間隔が非常に近接することとなる。その結果、白表示を行う画素のソース電極から発生した電気力線は同じ画素内の共通電極に向かうと共に、黒表示を行う隣接画素のソース電極にも向かうこととなる。この場合、白表示を行う画素内のソース電極と共通電極間の電気力線密度は壁状に形成されるソース電極及び共通電極の近傍においては密であり、各電極から離れた部分では疎となる。すなわち、画素領域内での電界強度が不均一となり、表示モード効率が低下してしまうことが懸念されている。

10

【 0 0 0 6 】

また、白表示を行う画素のソース電極から隣接する黒表示の画素の電極に向かう電気力線が生じ、この電気力線によって黒表示の画素領域内の液晶分子が駆動され、黒表示時における透過率が上昇してしまい、ダイナミックレンジが低下してしまうことが懸念されている。

【 0 0 0 7 】

さらには、開口率を向上させるために、各電極の下層側にドレイン線等の信号線を形成することも考えられるが、各信号線からの近接する各電極に向かう電気力線により液晶分子が駆動され、黒表示時における透過率が上昇してしまうことも懸念されている。

20

【 0 0 0 8 】

本発明はこれらの問題点に鑑みてなされたものであり、本発明の目的は、画素内での電界分布を均一にすることにより、表示モード効率を向上させることが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

前記課題を解決すべく、第 1 の電極と第 2 の電極が形成される第 1 基板と、液晶層を介して前記第 1 基板と対向配置される第 2 基板と、前記第 1 の電極と前記第 2 の電極とを有する画素の領域がマトリクス状に配置され、前記第 1 の電極と前記第 2 の電極との間に印加される前記第 1 基板の面内方向の電界により前記液晶層を駆動する液晶表示装置であって、前記画素の領域毎に前記第 1 基板の対向側に形成される段差部を有し、前記第 1 の電極又は / 及び前記第 2 の電極は、前記段差部の側壁面に形成される壁状電極と、前記壁状電極の辺縁部から前記第 1 基板の主面に沿って形成される平面電極とを有し、前記壁状電極と前記平面電極とが電氣的に接続されている液晶表示装置である。

30

【発明の効果】

【 0 0 1 0 】

本発明によれば、液晶表示装置の各画素内での電界分布を均一にすることができ、表示モード効率を向上させることができる。

【 0 0 1 1 】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

40

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】本発明の実施形態 1 の液晶表示装置の画素構成を説明するための図である。

【図 2】本発明の実施形態 1 の液晶表示装置における画素構成を説明するための断面図である。

【図 3】本発明の実施形態 1 の液晶表示装置における画素電極と共通電極の構成を説明するための平面図である。

【図 4】本発明の実施形態 1 の壁電極を形成する平面電極幅と最大表示モード効率との関係及び平面電極幅と最大表示モード効率を与える駆動電圧との関係を説明するための図で

50

ある。

【図 5】本発明の実施形態 1 の画素における電気力線の分布を説明するための図である。

【図 6】本発明の実施形態 1 の画素構成における平面電極長さと黒表示時の配線電位 5 V 時の黒透過率の関係を示す図である。

【図 7】本発明の実施形態 1 の画素構成における平面電極長さと隣接画素の黒透過率の関係を示す図である。

【図 8】本発明の実施形態 2 の液晶表示装置における画素構成を説明するための断面図である。

【図 9】本発明の実施形態 2 の液晶表示装置における遮蔽電極の幅毎の平面電極長さによる表示モード効率増加率を示す図である。

10

【図 10】本発明の実施形態 2 の液晶表示装置における壁電極と擬似壁電極との間のパラメータ説明図である。

【図 11】本発明の実施形態 2 の液晶表示装置における遮蔽電極幅毎の壁電極の平面電極の長さと黒表示時の黒透過率との関係を示す図である。

【図 12】本発明の実施形態 2 の液晶表示装置における遮蔽電極幅毎の壁電極の平面電極の長さと隣接画素の黒透過率との関係を示す図である。

【図 13】本発明の実施形態 2 の液晶表示装置における遮蔽電極幅と隣接画素の黒透過率との関係を示す図である。

【図 14】本発明の実施形態 3 の液晶表示装置における画素構成を説明するための断面図である。

20

【図 15】本発明の実施形態 3 の壁電極の詳細構成を説明するための断面図である。

【図 16】本発明の実施形態 3 の他の液晶表示装置における画素構成を説明するための断面図である。

【図 17】本発明の実施形態 4 の液晶表示装置における画素構成を説明するための断面図である。

【図 18】本発明の実施形態 4 の他の液晶表示装置における画素構成を説明するための断面図である。

【図 19】本発明の実施形態 5 の液晶表示装置における画素構成を説明するための断面図である。

【図 20】本発明の実施形態 5 の他の液晶表示装置における画素構成を説明するための断面図である。

30

【図 21】本発明の実施形態 6 の液晶表示装置における画素構成を説明するための断面図である。

【図 22】本発明の実施形態 6 の他の液晶表示装置における画素構成を説明するための断面図である。

【図 23】本発明の実施形態 7 の液晶表示装置における画素構成を説明するための図である。

【図 24】本発明の実施形態 7 の他の液晶表示装置における画素構成を説明するための断面図である。

【図 25】本発明の実施形態 8 の液晶表示装置における画素構成を説明するための断面図である。

40

【図 26】本発明の実施形態 8 の他の液晶表示装置における画素構成を説明するための断面図である。

【図 27】本発明の実施形態の液晶表示装置における他の画素電極と共通電極の構成を説明するための平面図である。

【発明を実施するための形態】

【0013】

以下、本発明が適用された実施形態について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。また、X, Y, Z はそれぞれ X 軸、Y 軸、Z 軸を示す。

50

【 0 0 1 4 】

実施形態 1

全体構成

図 1 は本発明の実施形態 1 の液晶表示装置の画素構成を説明するための図であり、以下、図 1 に基づいて、実施形態 1 の液晶表示装置の全体構成について説明する。なお、本願明細中においては、カラーフィルタ C F や偏光板 P O L 1 , P O L 2 などによる吸収の影響や開口率の影響を除いた透過率を表示モード効率とする。従って、バックライトユニット側の偏光板 P O L 1 から出射した直線偏光の振動方向が表示面側の偏光板 P O L 2 に入射する際に、90 度回転している場合の表示モード効率を 100 % とする。

【 0 0 1 5 】

図 1 に示すように、実施形態 1 の液晶表示装置は、画素電極（第 1 の電極）P X や薄膜トランジスタ T F T が形成される第 1 基板 S U B 1 と、第 1 基板 S U B 1 に対向して配置されカラーフィルタ等が形成される第 2 基板 S U B 2 と、第 1 基板 S U B 1 と第 2 基板 S U B 2 とで挟持される液晶層とで構成される液晶表示パネル P N L を有する。該液晶表示パネル P N L と該液晶表示パネル P N L の光源となる図示しないバックライトユニット（バックライト装置）とを組み合わせることにより、液晶表示装置が構成されている。第 1 基板 S U B 1 と第 2 基板 S U B 2 との固定及び液晶の封止は、第 2 基板の周辺部に環状に塗布されたシール材 S L で固定され、液晶も封止される構成となっている。ただし、実施形態 1 の液晶表示装置では、液晶が封入された領域の内に表示画素（以下、画素と略記する）の形成される領域が表示領域 A R となる。従って、液晶が封入されている領域内であっても、画素が形成されておらず表示に係わらない領域は表示領域 A R とはならない。

【 0 0 1 6 】

また、第 2 基板 S U B 2 は、第 1 基板 S U B 1 よりも小さな面積となっており、第 1 基板 S U B 1 の図中下側の辺部を露出させるようになっている。この第 1 基板 S U B 1 の辺部には、半導体チップで構成される駆動回路 D R が搭載されている。この駆動回路 D R は、表示領域 A R に配置される各画素を駆動する。なお、以下の説明では、液晶表示パネル P N L の説明においても、液晶表示装置と記すことがある。また、第 1 基板 S U B 1 及び第 2 基板 S U B 2 としては、例えば周知のガラス基板が基材として用いられるのが一般的であるが、樹脂性の透明絶縁基板であってもよい。

【 0 0 1 7 】

実施形態 1 の液晶表示装置では第 1 基板 S U B 1 の液晶側の面であって表示領域 A R 内には、図 1 中 X 方向に延在し Y 方向に並設され、駆動回路 D R からの走査信号が供給される走査信号線（ゲート線）G L が形成されている。また、図 1 中 Y 方向に延在し X 方向に並設され、駆動回路からの映像信号（階調信号）が供給される映像信号線（ドレイン線）D L が形成されている。隣接する 2 本のドレイン線 D L と隣接する 2 本のゲート線 G L とで囲まれる領域が画素を構成し、複数の画素が、ドレイン線 D L 及びゲート線 G L に沿って、表示領域 A R 内においてマトリックス状に配置されている。

【 0 0 1 8 】

各画素は、例えば図 1 中丸印 A の等価回路図 A ' に示すように、ゲート線 G L からの走査信号によってオン / オフ駆動される薄膜トランジスタ T F T と、このオンされた薄膜トランジスタ T F T を介してドレイン線 D L からの映像信号が供給される画素電極 P X と、コモン線 C L を介して映像信号の電位に対して基準となる電位を有する共通電極 C T とを備えている。図 1 中丸印 A の等価回路図 A ' においては、画素電極 P X 及び共通電極 C T を模式的に線状に記しているが、実施形態 1 の画素電極 P X 及び共通電極 C T の構成については、後に詳述する。なお、実施形態 1 の薄膜トランジスタ T F T は、そのバイアスの印加によってドレイン電極とソース電極が入れ替わるように駆動するが、本明細書中においては、便宜上、ドレイン線 D L と接続される側をドレイン電極、画素電極 P X と接続される側をソース電極と記す。

【 0 0 1 9 】

画素電極 P X と共通電極 C T との間には、第 1 基板 S U B 1 の主面に平行な成分を有す

る電界が生じ、この電界によって液晶の分子を駆動させるようになっている。このような液晶表示装置は、いわゆる広視野角表示ができるものとして知られ、液晶への電界の印加の特異性から、IPS方式あるいは横電界方式と称される。また、このような構成の液晶表示装置において、液晶に電界が印加されていない場合に光透過率を最小（黒表示）とし、電界を印加することにより光透過率を向上させていくノーマリブラック表示形態で表示を行うようになっている。

【0020】

各ドレイン線DL及び各ゲート線GLはその端部においてシール材SLを越えてそれぞれ延在され、外部システムからフレキシブルプリント基板FPCを介して入力される入力信号に基づいて、映像信号や走査信号等の駆動信号を生成する駆動回路DRに接続される。ただし、実施形態1の液晶表示装置では、駆動回路DRを半導体チップで形成し第1基板SUB1に搭載する構成としているが、映像信号を出力する映像信号駆動回路と走査信号を出力する走査信号駆動回路との何れか一方又はその両方の駆動回路をフレキシブルプリント基板FPCにテープキャリア方式やCOF（Chip On Film）方式で搭載し、第1基板SUB1に接続させる構成であってもよい。

10

【0021】

画素の詳細構成

図2は本発明の実施形態1の液晶表示装置における画素構成を説明するための断面図であり、図3は本発明の実施形態1の液晶表示装置における画素電極と共通電極の構成を説明するための平面図である。ただし、以下の説明では、画素電極PXを壁状の電極形状とし、共通電極CTを一对の線状電極で形成する擬似的な壁状の電極とする場合について説明するが、共通電極CTを壁状電極とし、画素電極PXを擬似的な壁状電極とする構成であってもよい。

20

【0022】

図3に示す1画素分の壁電極（第1の電極）PXと線状電極（第2の電極）CT1，CT2との位置関係から明らかなように、実施形態1の液晶表示装置における画素PXLは、画素PXLの周縁部に形成された画素電極（壁電極）PXと、該壁電極PXの間の領域に形成された一对の線状電極CT1，CT2からなる共通電極とを備える構成となっている。壁電極PXは2点鎖線で示す隣接画素との境界部すなわち画素PXLの周縁部に沿って画素PXLの領域を囲むようにして形成されている。線状電極CT1，CT2は、画素PXLの長手方向（図中Y方向）に沿って形成されている。

30

【0023】

特に、実施形態1の液晶表示装置では、2点鎖線で示す画素境界部に凸状に成形された絶縁膜PAS3が形成されており、この構成により画素PXLの周縁部に沿った段差を形成している。該段差の側壁面すなわち絶縁膜PAS3の側壁面には壁状電極PX1が形成され、該壁状電極PX1から連続して第1基板SUB1の主面に沿った平面電極（第1の平面電極）PX2が形成され、壁状電極PX1と平面電極PX2とにより壁電極PXが形成されている。この構成により、第1基板SUB1の主面に対して立設（傾斜）される、すなわち第2基板SUB2が配置される側に向かって該第1基板SUB1の主面に対して立設される円環状の壁状電極PX1を形成し、壁電極PXが画素PXLの周縁部に沿って当該画素PXLの領域を囲むように配置される構成としている。なお、該絶縁膜PAS3は隣接する画素PXLとの境界部分に形成されているので、透光性を有する絶縁膜材料に限定されることはなく、後に詳述するように、遮光性の絶縁膜材料で形成してもよい。

40

【0024】

このとき、図2の断面図に示すように、2点鎖線で示す画素境界部を跨ぐようにして壁状の絶縁膜PAS3が形成されており、その側面に形成される壁状電極PX1の基板面側の端部（辺縁部）から第1基板SUB1の主面の面内方向に延在されて平面電極PX2が構成されている。また、図2中に示す画素PXLの両端に配置される壁電極PXの間の領域には、共通電極CTを形成する一对の線状電極CT1，CT2が液晶層LCを介して重畳するように形成されている。

50

【 0 0 2 5 】

すなわち、実施形態 1 の液晶表示パネルでは、第 1 基板 S U B 1 の一方の表面である対向面側に、薄膜トランジスタのゲート絶縁膜やゲート線とドレイン線とを絶縁するための絶縁膜 P A S 1 が形成され、該絶縁膜 P A S 1 の上層にドレイン線 D L が形成されている。ドレイン線 D L の上層にはドレイン線 D L を保護するための絶縁膜 P A S 2 が形成されており、該絶縁膜 P A S 2 の上層に液晶層 L C の側に突出した凸状の絶縁膜 P A S 3 が形成されている。このとき、薄膜トランジスタ T F T は絶縁膜 P A S 3 の形成領域すなわち壁電極 P X の形成領域と重畳される領域 T A に形成される構成となっており、これによりブラックマトリクス（遮光膜）B M で遮光される領域に薄膜トランジスタ T F T を形成し、画素の開口率を向上させている。ただし、薄膜トランジスタ T F T の形成位置はこれに限定されることはなく、他の位置であってもよい。

10

【 0 0 2 6 】

また、画素電極である壁電極 P X の一部を構成する平面電極 P X 2 が絶縁膜 P A S 2 の上層に形成されている。該平面電極 P X 2 は絶縁膜 P A S 2 の液晶側面に円環状に形成されており、特に、平面電極 P X 2 の外縁部が壁状電極 P X 1 の下方側の周縁部と一体に接続される構成となっている。すなわち、実施形態 1 の壁電極 P X では、円環状に形成される壁状電極 P X 1 の下方側の周縁部が絶縁膜 P A S 2 の上面に所定幅 L 1 で延在して平面電極 P X 2 を形成する構成となっている。この構成により、円環状に形成される壁状電極 P X 1 の下方側からの電気力線が絶縁膜 P A S 3 の下方側すなわち第 1 基板 S U B 1 の側に回り込んで、隣接する画素 P X L の壁電極 P X に向かうことを防止することが可能となる。なお、詳細については、後に詳述する。

20

【 0 0 2 7 】

また、絶縁膜 P A S 2 の上面には、画素 P X L の図中 X 方向の中間に、図中 Y 方向に延在する線状電極 C T 1 が形成されている。また、第 2 基板 S U B 2 の側には、線状電極 C T 1 と対をなす線状電極 C T 2 が形成されている。この線状電極 C T 1 と線状電極 C T 2 とは液晶表示パネルの面内方向すなわち表示面側及び裏面側から見て、少なくとも一部が重畳するように形成されており、液晶層 L C を介して対向配置されている。この構成により、一对の線状電極 C T 1 と線状電極 C T 2 とに挟まれる領域の液晶層 L C に印加される電位を同電位に保持して、この壁状をなす同電位の領域を擬似的な壁電極とする共通電極（擬似壁電極）C T を形成している。このとき、擬似壁電極 C T となる領域すなわち線状電極 C T 1 , C T 2 が重畳される領域においても液晶分子を駆動できるので、擬似壁電極 C T の領域において表示モード効率が低下してしまうことを防止できる。なお、詳細については後述する。

30

【 0 0 2 8 】

一方、液晶層 L C を介して第 1 基板 S U B 1 と対向配置される第 2 基板 S U B 2 の表面の中で、液晶層 L C の側である対向面側には、遮光膜であるブラックマトリクス B M が形成されている。該ブラックマトリクス B M は、従来と同様に、隣接画素 P X L との間の領域に形成されており、各画素 P X L の周縁部に沿って X 方向及び Y 方向に形成されている。ただし、ブラックマトリクス B M は、ドレイン線 D L の延在方向である Y 方向のみ等であつてもよい。

40

【 0 0 2 9 】

また、第 2 基板 S U B 2 の対向面側には、1 つの画素 P X L 毎に R（赤）, G（緑）, B（青）の何れかのカラーフィルタ C F が形成され、R G B の画素 P X L でカラー表示用の単位画素を形成している。また、カラーフィルタ C F の上層には線状電極 C T 2 が形成され、第 1 基板 S U B 1 側の線状電極 C T 1 と液晶層 L C を介して対向する位置に形成されている。カラーフィルタ C F の上層には、ブラックマトリクス B M 及びカラーフィルタ C F 並びに線状電極 C T 2 を覆うようにして周知の配向膜 O R I が形成されている。

【 0 0 3 0 】

この構成からなる実施形態 1 の液晶表示パネル P N L の裏面側であるバックライトユニット側に偏光板 P O L 1 が貼付されると共に、表示面側に偏光板 P O L 2 が貼付されてい

50

る。

【0031】

なお、本実施形態1においては、壁電極PXを形成する平面電極PX2と線状電極CT1とを同層に形成する構成としたが、例えば、線状電極CT1の上層に絶縁膜を形成し、この絶縁膜の上層に平面電極PX2を含む壁電極STを形成する等の他の構成であってもよい。また、画素電極となる壁電極PXを形成する壁状電極PX1及び平面電極PX2、並びに共通電極となる擬似壁電極CTを形成するための線状電極CT1、CT2は、例えば透明導電膜材料であるITO (Indium Tin Oxide) 及び酸化亜鉛系のAZO (Aluminum doped Zinc Oxide) やGZO (Gallium doped Zinc Oxide) 等を用いることが可能である。

10

【0032】

壁電極の詳細効果

次に、図4に本発明の実施形態1の壁電極を形成する平面電極幅と最大表示モード効率との関係及び平面電極幅と最大表示モード効率を与える駆動電圧との関係を説明するための図、図5に本発明の実施形態1の画素における電気力線の分布を説明するための図を示し、以下、図4及び図5に基づいて、実施形態1の壁電極について詳細に説明する。ただし、図5において、図5(a)は平面電極PX2を有しないすなわち壁状電極PX1のみで壁電極PXを形成した場合の電気力線の分布を示し、図5(b)は平面電極PX2を有するすなわち壁状電極PX1と平面電極PX2とで壁電極PXを形成した場合の電気力線の分布を示す。なお、実施形態1の液晶表示パネルPXLでは、画素PXLの両端の壁電極PXを画素電極とし、擬似壁電極CTを共通電極とする場合について説明するが、画素PXLの両端の壁電極を共通電極とし、擬似壁電極を画素電極とする構成であってもよい。この構成とすることにより、画素PXLの両端の壁電極を画素電極として用いた場合よりも後述する隣接画素の黒透過率を抑制できる。

20

【0033】

図4に示す表示モード効率は、白表示画素と黒表示画素を交互に配列した際の一つの白表示画素の値であり、特に、カラーフィルタCFや偏光板POL1、POL2などによる吸収の影響や開口率の影響を除いた透過率である。従って、バックライトユニット側の偏光板POL1から出射した直線偏光の振動方向がその反対側(表示面側)の偏光板POL2に入射する際に90度回転している場合に、表示モード効率が100%となる。

30

【0034】

図4に示す平面電極幅と最大表示モード効率との関係を示すグラフr1から明らかなように、実施形態1の壁電極PXを構成する平面電極PX2の電極幅L1に対して、最大表示モード効率の最大値が存在する。すなわち、実施形態1の壁電極PXの構造においては、平面電極PX2を設けない場合となる平面電極幅L1が $L1 = 0 \mu m$ の場合に最大表示モード効率が86%であるのに対し、 $L1 = 2 \mu m$ の場合に最大表示モード効率が最大値の88%となる。また、平面電極幅L1が $L1 = 2 \mu m$ よりも大きい $L1 = 3 \mu m$ の場合には、最大表示モード効率が86%に低下してしまう。従って、グラフr1より平面電極幅L1が $L1 = 0.5 \sim 2.8 \mu m$ で形成することにより、最大表示モード効率を向上させることができ、特に、 $L1 = 2 \mu m$ が好適である。

40

【0035】

また、平面電極幅と最大表示モード効率を与える駆動電圧(以下、 V_{max} とする)との関係を示すグラフr2から明らかなように、平面電極PX2の電極幅L1を長く(広く)することによって、駆動電圧 V_{max} は順次低下する。これは平面電極幅L1が大きくなると、壁電極PXと擬似壁電極CTとの間の距離を短くすることは等価であり、壁電極PXと擬似壁電極CTとの間に印加される電界強度を大きくできるためである。従って、平面電極PX2は液晶分子の駆動電圧の低電圧化に寄与することができる。

【0036】

以上のことから、実施形態1の液晶表示パネルPNLにおいては、壁電極PXを構成する平面電極PX2の電極幅L1を $L1 = 0.5 \sim 2.8 \mu m$ で形成することにより、最大

50

表示モード効率を向上させつつ駆動電圧の低電圧化を実現することができる。好適には、平面電極 P X 2 の電極幅 L 1 を $L 1 = 2 \sim 2.8 \mu m$ で形成することにより、駆動電圧を大幅に低電圧化させつつ最大表示モード効率を向上させることができる。

【0037】

また、図 5 (a) に示すように、画素両端の壁電極 P X に平面電極を設けない、すなわち壁電極 P X が壁状電極 P X 1 のみで形成される場合には、画素電極となる壁電極 P X が擬似壁電極 C T より隣接画素 P X L の壁状電極 P X 1 に近接されることから、例えば、図 5 (a) 中左側の壁電極 P X の下側 (第 1 基板側) 辺部から発生した電気力線 L F 1 , L F 2 、及び図 5 (a) 中右側の壁電極 P X の下側辺部から発生した電気力線 L F 1 ' , L F 2 ' はそれぞれ隣接画素の電極 (壁電極 P X) に向かうこととなる。その結果、画素電極である壁状電極 P X 1 と共通電極である擬似壁電極 C T との間の電気力線 L F の密度は、壁電極 P X の近傍で密 (図 5 (a) 中に D A で示す) となり、壁電極 P X から離れたところすなわち擬似壁電極 C T の近傍で疎 (図 5 (a) 中に S A で示す) になる。これに起因して、各画素 P X L 内での電極間の電界強度が不均一になり、表示モード効率が低下してしまう。

10

【0038】

一方、図 5 (b) に示すように、壁電極 P X に平面電極 P X 2 を設けたすなわち壁電極 P X が壁状電極 P X 1 と平面電極 P X 2 とで形成される場合には、壁電極 P X と擬似壁電極 C T との間の電気力線 L F の密度を均一化できる。すなわち、画素電極である壁電極 P X と共通電極である擬似壁電極 C T との間の電気力線 L F の密度は壁電極 P X の近傍で密 (図 5 (b) 中に D A で示す) であると共に、壁電極 P X から離れた領域すなわち擬似壁電極 C T の近傍においても密となる。

20

【0039】

この理由は二つのことが考えられる。一つは、前述の通り壁状電極 P X 1 に平面電極 P X 2 を設けることにより擬似壁電極 C T との間の距離が狭くなり、電気力線 L F の密度の不均一性が抑制されることである (理由 1) 。もう一つは、電気力線 L F が電極 (壁状電極 P X 1 , 平面電極 P X 2) から垂直に発生することと、二本以上交わることはないことから、平面電極 P X 2 の上面 (液晶層 L C 側) から発生した多くの電気力線 L F は壁状電極 P X 1 から発生した電気力線 L F によって擬似壁電極 C T の方向に急激に曲げられる。この電気力線 (例えば、電気力線 L F 1 , L F 2 , L F 1 ' , L F 2 ') が平面電極 P X 2 と擬似壁電極 C T との間を通過して隣接画素の電極に向かわずに擬似壁電極 C T に到達し、壁電極 P X と擬似壁電極 C T との間の電気力線 L F の密度の変化抑制に寄与する。従って、壁電極 P X を壁状電極 P X 1 と平面電極 P X 2 とで形成することにより、平面電極 P X 2 が不在の場合の電界強度の不均一性を抑制できる (理由 2) 。この理由 1 , 2 から、壁電極 P X に平面電極 P X 2 を設けることで、画素 P X L 内の電界強度不均一による表示モード効率の低下を抑制できると考えられる。すなわち、平面電極 P X 2 を形成することにより、各画素内の全ての領域における電気力線 L F を密にすることが可能となり、効率的に液晶分子を駆動することが可能となるので、表示モード効率を向上させることが可能となる。

30

【0040】

このとき、図 4 に示すように、最大表示モード効率は平面電極 P X 2 の長さ (電極幅) L 1 が $2 \mu m$ でピークとなり、それ以上長くすると低下する。これは、平面電極 P X 2 が長くなると液晶層厚方向 (Z 方向) の電気力線 L F の成分の割合が増大するため、液晶層 L F を形成する液晶分子のチルト角が増大して、必要な位相差が得られないことが原因である。従って、壁電極 P X の平面電極 P X 2 の長さは画素 P X L 内の電界が縦電界になり過ぎないように適宜選択する必要がある。

40

【0041】

次に、図 6 に本発明の実施形態 1 の画素構成における平面電極長さと黒表示時の配線電位 5 V 時の黒透過率の関係を示す図、図 7 に本発明の実施形態 1 の画素構成における平面電極長さと隣接画素の黒透過率の関係を示す図を示し、以下、図 6 及び図 7 に基づいて、

50

実施形態 1 の壁電極による黒表示時の配線電位に対する黒透過率増加抑制の効果について説明する。なお、図 6 及び図 7 に示す計測結果はドレイン線 D L に対する結果である。

【 0 0 4 2 】

配線にはドレイン線 D L とゲート線 G L とがあり、これらの配線電位は液晶配向を変化させるのに十分な電位になり、実施形態 1 においても配線から発生した電気力線が黒表示時の透過率（以下、黒透過率とする）を増大させる恐れがある。

【 0 0 4 3 】

図 6 のグラフ r 3 から明らかなように、壁電極に平面電極がない場合すなわち $L_1 = 0$ （ゼロ）の場合には、黒透過率が約 0.5 % になるのに対し、平面電極 P X 2 の長さ L_1 が $L_1 = 0.5 \mu\text{m}$ 以上で黒透過率が 0.1 % 以下となり、平面電極 P X の長さ L_1 が $L_1 = 1 \mu\text{m}$ 以上の場合には黒透過率が 0.06 % 以下となる。このグラフ r 3 から、平面電極 P X 2 の長さ L_1 は $L_1 = 0.5 \mu\text{m}$ 以上とするのがよく、好適には $L_1 = 1 \mu\text{m}$ 以上が好ましい。

10

【 0 0 4 4 】

この結果から、壁電極 P X に平面電極 P X 2 がない場合、配線から発生した電気力線が液晶層を通過して当該配線に近接する壁状電極 P X 1 に到達するため、液晶が動きやすくなり黒表示モード効率を増大させてしまう。一方、壁電極 P X に平面電極 P X 2 を設けると、配線から発生した電気力線が平面電極 P X 2 の下面で遮蔽されるため、液晶に到達する電気力線の本数を減らすことができる。その結果、平面電極 P X 2 を長くすることでより多くの電気力線を遮蔽することができ、配線電位による黒透過率の増大を抑制できる。

20

【 0 0 4 5 】

また、図 7 のグラフ r 4 から明らかなように、平面電極 P X 2 は白表示画素に隣接した黒表示画素の黒透過率の抑制に対しても効果がある。すなわち、図 7 に示すように、壁電極 P X に平面電極 P X 2 がない場合すなわち平面電極 P X 2 の長さ L_1 が $L_1 = 0$ （ゼロ）の場合には隣接画素の黒透過率が 3.4 % となるのに対して、平面電極 P X 2 の長さ L_1 が $L_1 = 0.5 \mu\text{m}$ 以上の場合には、隣接画素の黒透過率は $L_1 = 0 \mu\text{m}$ 時すなわち平面電極 P X 2 を設けない場合の半分以下の 1.5 % 以下まで低減できる。さらには、平面電極 P X の長さ L_1 が $L_1 = 1 \mu\text{m}$ の場合には、隣接画素の黒透過率は $L_1 = 0 \mu\text{m}$ 時の 1/4 程度の 0.9 % まで低減できる。このグラフ r 4 から、平面電極 P X 2 の長さ L_1 は $L_1 = 0.5 \mu\text{m}$ 以上とするのがよく、好適には $L_1 = 1 \mu\text{m}$ 以上が好ましい。

30

【 0 0 4 6 】

この結果から、壁電極 P X に平面電極 P X 2 がない場合、白表示画素の壁電極 P X から発生した電気力線は当該壁電極 P X の第 2 基板 S U B 2 側及び第 1 基板 S U B 1 側の辺部の両方から回り込み、隣接画素 P X L の壁電極 P X に到達することとなり、隣接画素 P X L の液晶（液晶分子）が動きやすくなり黒透過率を増大させてしまう。一方、壁電極 P X に平面電極 P X 2 を設けると、当該平面電極 P X 2 が形成される第 1 基板 S U B 1 を通って隣接画素 P X L に到達する電気力線を遮蔽できるので、隣接画素 P X L の黒透過率を小さくできる。これらのことから、壁電極 P X に平面電極 P X 2 を設けることで、隣接画素 P X L の黒透過率の増大に対してもその抑制効果がある。

40

【 0 0 4 7 】

以上のように、壁状電極 P X に平面電極 P X 2 を設けることにより、液晶の低駆動電圧化、表示モード効率向上、配線電位による黒透過率増加抑制、及び隣接画素の黒透過率増加抑制に対しての効果がある。

【 0 0 4 8 】

擬似壁電極の詳細効果

実施形態 1 の液晶表示装置における擬似壁電極 C T は、前述するように、画素 P X L の短手方向（図 2，3 中の X 方向）に対して、画素 P X L の両端に設けた壁電極 P X の間に配置され、画素 P X L の長手方向（図 2，3 中の Y 方向）に延在する線状電極 C T 1，C T 2 で形成される。すなわち、実施形態 1 の擬似壁電極 C T は、液晶層 L C を介して対向配置される第 1 基板 S U B 1 と第 2 基板 S U B 2 とに同電位の線状電極 C T 1，C T 2 を

50

設けることで重畳領域において擬似的な壁電極として作用し、画素 P X L の両端の壁電極 P X と擬似壁電極 C T との間に横電界がかかりやすくなる構成となっている。この構成により、壁電極 P X と擬似壁電極 C T との間の電界強度の不均一性を抑制でき、表示モード効率を向上することができるという効果を得る構成としている。

【 0 0 4 9 】

例えば、画素 P X L の両端に画素電極と共通電極の壁電極を設けた場合、すなわち実施形態 1 の壁電極 P X の内の一方の壁電極 P X を画素電極とし、他方の壁電極 P X を共通電極とした場合、一对の壁電極 P X の間隔が狭い場合には電極間で均一な電界強度にできるが、電極間隔が広い場合には電極間の電界強度が不均一になる。

【 0 0 5 0 】

これに対し、実施形態 1 の画素構成では、画素 P X L の両端に形成される壁電極 P X を共に画素電極とし、該壁電極 P X の間の領域に擬似壁電極 C T を形成し該擬似壁電極 C T を共通電極とする構成としているので、画素電極と共通電極との電極間距離を短くしたとことと等価になり、画素電極である壁電極 P X と共通電極である擬似壁電極 C T との間に生じる電界強度の不均一性を抑制できる。

【 0 0 5 1 】

さらには、擬似壁電極 C T 上の液晶（液晶分子）すなわち線状電極 C T 1 と線状電極 C T 2 とが重畳する領域の液晶分子にも電界がかかるため、擬似壁電極 C T 上の液晶すなわち線状電極 C T 1 と線状電極 C T 2 とが重畳する領域の液晶分子も動かす（駆動する）ことができ、画像表示に寄与することができる。従って、画素全体で高い表示モード効率を実現できる。

【 0 0 5 2 】

また、擬似壁電極 C T の幅は狭い方が当該擬似壁電極 C T の近傍の電界が強くなるため、擬似壁電極 C T 上の液晶を動かしやすいとすることができる。従って、擬似壁電極 C T の幅を狭くすることによって、画素全体の表示モード効率が向上できる。この効果は擬似壁電極 C T の第 2 基板 S U B 2 側の線状電極 C T 2 の電極幅 W 2 と、第 1 基板 S U B 1 側の線状電極 C T 1 の電極幅 W 1 が異なっても同様の効果が得られる。これは電気力線が電極の幅 W 1 , W 2 が異なっても擬似壁電極 C T 上の液晶を通るためである。しかし、擬似壁電極 C T の幅 W 1 , W 2 が広すぎると、擬似壁電極 C T 上の液晶に電気力線が通らなくなるため液晶が動かなくなり、表示モード効率を低下させてしまう。このことから、第 2 基板 S U B 2 側及び第 1 基板 S U B 1 側の線状電極 C T 1 , C T 2 は擬似壁電極 C T 上の液晶を動かすことができる範囲の幅 W 1 , W 2 を選択する必要がある。特に、線状電極 C T 1 の電極幅 W 1 よりも線状電極 C T 2 の電極幅 W 2 を大きく形成することが好適である。壁電極 P X 近傍の電界は、壁状電極 P X 1 から発生する横方向の電気力線と平面電極 P X 2 から発生する縦方向の電気力線によって図面から見て右上方向になりやすいため、壁電極 P X と擬似壁電極 C T 間の電界を均一化するためには、擬似壁電極 C T 近傍の電界も右上方向に発生するように設定することが必要である。擬似壁電極 C T 近傍の電界を右上方向に発生するには、擬似壁電極 C T 2 の電極幅 W 2 を W 1 より広くすることが有効である。擬似壁電極 C T 2 の W 2 を W 1 より広く設定することで、擬似壁電極 C T 近傍の電界は右上方向に発生しやすくなるため、壁電極 P X と擬似壁電極 C T 近傍の横電界成分が均一化する。従って、高い表示モード効率を得ることができる。一方、擬似壁電極 C T 1 の電極幅 W 1 を W 2 より広く設定すると、擬似壁電極 C T 近傍の電界は右下方向に発生しやすくなるため、壁電極 P X 近傍と擬似壁電極 C T 間の横電界成分が不均一になる。従って、表示モード効率が低下する。以上のことから、線状電極 C T 1 の電極幅 W 1 よりも線状電極 C T 2 の電極幅 W 2 を大きく形成することが好適である。

【 0 0 5 3 】

前述する実施形態 1 の壁電極 P X は透明導電膜で形成する構成としたが、透明導電膜に限定されることはない。例えば、画素 P X L の両端の壁電極 P X がブラックマトリクス B M で隠れている場合、壁電極 P X の電極材料に金属材料を使用できる。透明電極に用いられる I T O 膜は膜のほとんどの部分が非晶質であるがその一部が結晶化してしまう。この

10

20

30

40

50

ように、ITO膜の一部に結晶化した部分が生じるとその部分はエッチング速度が非晶質の部分より2桁程小さいため、その後のエッチングの際に、所謂エッチング残渣として残ってしまう。

【0054】

これに対し、壁電極PXの材料が金属電極の場合、金属の膜質は均一になるため膜内のエッチング速度を均一にできる。このため、エッチング残渣ができにくく配線ショートなどの問題が起こりにくい。従って、液晶ディスプレイの歩留まりが向上し、低コスト化に繋がる。しかしながら、金属電極は透過率がほぼ0%になるため、画素PXLの開口部に金属電極を配置すると透過率が低下する。従って、壁電極PXの材料に金属電極を適用する場合、壁電極PXの幅L2はブラックマトリクスの幅L3より狭いことが好ましい。すなわち、壁電極の幅L2は $0 < L2 < L3$ の範囲であることが好ましい。

10

【0055】

以上説明したように、実施形態1の液晶表示装置では、液晶層LCを介して対向配置される第1基板SUB1と第2基板SUB2の中で、第1基板SUB1の液晶層LC側（対向面側）に画素電極PXと線状電極CT1とが形成され、第2基板の液晶層LC側には線状電極CT2が形成されている。この線状電極CT1、CT2は液晶層LCを介して重畳して配置され、擬似的な壁状の共通電極が形成されている。また、第1基板SUB1の対向面側には、画素領域の少なくとも対向する一对の辺縁部に沿って凸状の段差が形成され、該段差の側壁面に壁状電極が形成されると共に、該側壁面から延在する平面部分に平面電極が形成されて画素電極が形成されており、この画素電極と共通電極との間に印加される電界により液晶層の液晶分子を駆動する構成となっているので、表示モード効率（最大表示モード効率）を向上させることができる。

20

【0056】

なお、実施形態1の構成では、壁電極PXを形成する壁状電極PX1が第2基板SUB2の対向面との間に所定の間隔を有する構成としたが、これに限定されることはない。例えば、絶縁膜PAS3が柱状スペーサとなり、該絶縁膜PAS3の側壁面に壁状電極PX1を形成する場合等のように、壁状電極PX1が第2基板SUB2に到達するような構成であってもよい。

【0057】

実施形態2

図8は本発明の実施形態2の液晶表示装置における画素構成を説明するための断面図であり、以下、図8に基づいて、実施形態2の液晶表示装置について説明する。ただし、実施形態2の液晶表示装置は、配線であるドレイン線DLの下層すなわち第1基板SUB1側に遮蔽電極CEが形成される構成が異なるのみで、他の構成は実施形態1の液晶表示装置と同様の構成である。従って、以下の説明では、遮蔽電極CEについて詳細に説明する。なお、以下の説明では、配線であるドレイン線DLの下層に遮蔽電極CEを形成する場合について説明するが、ゲート線の下層に遮蔽電極CEを形成する構成であってもよい。さらには、ドレイン線DLと共にゲート線の下層に遮蔽電極CEを形成してもよい。また、以下の説明では、遮蔽電極CEには0（ゼロ）Vが印加されている場合について説明するが、他の電圧であってもよい。

30

40

【0058】

図8に示すように、実施形態2の液晶表示装置では、液晶層LCを介して第1基板SUB1に対向配置される第2基板SUB2は、実施形態1に示す構成と同じ構成となっている。一方、第1基板SUB1においては、画素領域内に形成される配線であるドレイン線DLの下層に、絶縁膜PAS1を介して遮蔽電極CEが配置されている。このとき、遮蔽電極CEはドレイン線DLに沿って形成されており、ドレイン線DLと同様に、表示領域内においてY方向に伸延しX方向に並設されている。すなわち、壁電極PXを形成する壁状電極PX1が形成される絶縁膜PAS3と遮蔽電極CEとの間の領域に配線（ドレイン線DLやゲート線GL）を形成する構成となっている。

【0059】

50

すなわち、実施形態 2 の液晶表示装置においては、第 1 基板 SUB 1 の上面側（対向面側）に遮蔽電極 CE となる導電性薄膜が形成され、該遮蔽電極 CE の上層を含む第 1 基板 SUB 1 の上面に絶縁膜 PAS 1 が形成されている。絶縁膜 PAS 1 の上面にはドレイン線 DL が形成されており、その上面に絶縁膜 PAS 2 が第 1 基板 SUB 1 の対向面側を覆うようにして形成されている。絶縁膜 PAS 2 の上層には、ドレイン線 DL の上層に画素 PXL の領域に沿って凸状の絶縁膜 PAS 3 が形成され、該絶縁膜 PAS 3 の側壁面に隣接画素の壁状電極 PX 1 が形成されている。このとき、絶縁膜 PAS 2 の上面には壁状電極 PX 1 の第 1 基板 SUB 1 側の辺縁部に沿って平面電極 PX 2 が形成されており、壁状電極 PX 1 と平面電極 PX 2 とで本願発明の壁電極 PX が形成されている。また、絶縁膜 PAS 2 の上面には線状電極 CT 1 が形成され、第 2 基板 SUB 2 に形成される線状電極 CT 2 と線状電極 CT 1 とにより、共通電極となる擬似壁電極 CT を形成している。また、第 1 基板 SUB 1 の表面には壁電極 PX 及び線状電極 CT 1 を覆うようにして配向膜 ORI が形成され、第 2 基板 SUB 2 との間に挟持される液晶層 LC の初期配向を制御する構成となっている。

【0060】

次に、図 9 に本発明の実施形態 2 の液晶表示装置における遮蔽電極の幅毎の平面電極長さによる表示モード効率増加率を示す図、図 10 に本発明の実施形態 2 の液晶表示装置における壁電極と擬似壁電極との間のパラメータ説明図を示し、以下、図 9 及び図 10 に基づいて、実施形態 2 の液晶表示装置について説明する。ただし、図 9 に示す基準値（100%）は遮蔽電極幅 X 1 及び平面電極の長さ L 1 がそれぞれ $0\ \mu\text{m}$ すなわち遮蔽電極幅 X 1 及び平面電極 PX 2 を設けない場合であり、グラフ r 5 は遮蔽電極幅 X 1 が $X 1 = 0\ \mu\text{m}$ 、グラフ r 6 は遮蔽電極幅 X 1 が $X 1 = 2\ \mu\text{m}$ 、グラフ r 7 は遮蔽電極幅 X 1 が $X 1 = 4\ \mu\text{m}$ の場合における平面電極 PX 2 の長さ L 1 に対する表示モード効率増加率である。

【0061】

図 10 に示すように、以下の説明では、ドレイン線 DL の下層に形成される遮蔽電極 CE の電極幅（X 方向の幅）を X 1 とし、壁電極 PX の形成領域に重畳して形成されるブラックマトリクス BM の幅（X 方向の幅）を L 3 とする。また、平面電極 PX 2 の液晶面側から第 2 基板 SUB 2 までの距離すなわち液晶層 LC の厚さを d とする。さらには、隣接画素との間に形成される凸状体である絶縁膜 PAS 3 の側壁面に形成される壁状電極 PX 1 と平面電極 PX 2 とからなる壁電極 PX の内で、1 つの凸状体（絶縁膜 3）の側壁面にそれぞれ形成される隣接画素における壁状電極 PX 1 と平面電極 PX 2 とからなる一方の側の画素の壁電極 PX の端部から他方の側の画素の壁電極 PX の端部に至る距離を壁電極 PX の電極幅 L 2 とする。すなわち、本明細書中における壁電極 PX の電極幅 L 2 は、1 つの絶縁膜 PAS 3 に形成される一方の隣接画素の平面電極 PX 2 の内側辺縁部から他方の隣接画素の平面電極 PX 2 の内側辺縁部までの間隔である

図 9 から明らかなように、平面電極 PX 2 の電極長さ L 1 が $0\ \mu\text{m}$ であり、遮蔽電極 CE の電極幅 X 1 が $2\ \mu\text{m}$ （グラフ r 6）及び $4\ \mu\text{m}$ （グラフ r 7）の場合、表示モード効率増加率は基準値に対して 95.7%、89.8% となり大幅に低下する。これは、遮蔽電極 CE の幅 X 1 を広くすると壁電極 PX と遮蔽電極 CE との距離（間隔）が近くなり、壁電極 PX から発生した電気力線 LF が遮蔽電極 CE に到達しやすくなる。その結果、壁電極 PX から擬似壁電極 CT に向かう電気力線 LF が少なくなり、壁電極 PX と擬似壁電極 CT との間の電界強度が不均一になってしまうからである。

【0062】

一方、遮蔽電極 CE の電極幅 X 1 が $2\ \mu\text{m}$ 、 $4\ \mu\text{m}$ の場合、グラフ r 6、r 7 から明らかなように、表示モード効率は平面電極長さ L 1 がそれぞれ $2\ \mu\text{m}$ 、 $3\ \mu\text{m}$ で最大となり、基準値に対して 99.5%、97.9% まで改善できる。この理由は以下のことが考えられる。平面電極 PX 2 の上面から発生した多くの電気力線 LF は壁状電極 PX 1 から発生した電気力線 LF によって急激に曲げられ擬似壁電極 CT に到達する。この電気力線 LF は平面電極 PX 2 と擬似壁電極 CT との間を通過して隣接画素 PXL の電極に向かわずに、壁電極 PX と擬似壁電極 CT との間の電気力線 LF の密度分布を均一化できるので、電

界強度の不均一性を抑制できると考えられる。なお、グラフ r 5 に示すように、遮蔽電極 C E の電極幅 X 1 が $X 1 = 0$ (ゼロ) すなわち遮蔽電極 C E を設けない場合には、常時モード効率は平面電極長さ L 1 が $2 \mu m$ 時に最大となる。

【0063】

すなわち、壁電極 P X に平面電極 P X 2 を設けることによって、遮蔽電極 C E による表示モード効率の低下を抑制できる。しかしながら、平面電極 P X 2 を液晶層厚 d よりも長くしすぎると表示モード効率を低下させてしまう。この理由は二つある。一つは、実施形態 1 で述べたように、平面電極 P X 2 が長くなると平面電極 P X 2 上の液晶には縦電界がかかり、液晶層 L C の液晶分子のチルト角が増大して必要な位相差が得られないという問題が生じるからである。もう一つは、平面電極 P X 2 が壁状電極 P X 1 よりも長くなると、壁状電極 P X 1 から発生した電気力線 L F よりも平面電極 P X 2 から発生した電気力線 L F の方が多くなり、壁電極 P X と擬似壁電極 C T との間にかかる横電界成分が小さくなるからである。壁状電極 P X 1 の高さは、液晶パネル P N L を形成する第 2 基板 S U B 2 と第 1 基板 S U B 1 との貼り合わせ工程を考慮すると液晶層 L C の厚さ d 以下となることから、平面電極 P X 2 の長さ L 1 は、壁電極 P X の高さ 液晶層厚 d の場合、液晶層厚 d 以下となる範囲 $L 1 \leq d$ である。また、平面電極 P X 2 の長さ L 1 は、前述する実施形態 1 から明らかなように、 $0.5 \mu m \leq L 1 \leq d$ とすることが好ましい。以上のことから、壁電極 P X の高さ 液晶層厚 d の場合、平面電極 P X 2 の長さ L 1 は、 $0.5 \mu m \leq L 1 \leq d$ (μm) の範囲であることが好適である。

【0064】

一方、壁電極の高さ H 1 が液晶層厚 d よりも高くなる場合、平面電極 P X 2 が壁状電極 P X 1 よりも短くなると、平面電極 P X 2 から発生した電気力線 L F よりも壁状電極 P X 1 から発生した電気力線 L F の方が多くなり、壁電極 P X と擬似壁電極 C T との間にかかる横電界成分が大きくなる。一方、平面電極 P X 2 の長さが壁電極の高さ H 1 よりも長くなると上記理由と同様に平面電極 P X 2 上の液晶には縦電界がかかり、液晶層 L C の液晶分子のチルト角が増大して必要な位相差が得られないという問題が生じるため、表示モード効率が低下する。従って、壁電極の高さ H 1 > 液晶層厚 d の場合、平面電極 P X 2 の長さ L 1 は、壁電極の高さ H 1 以下となる範囲 $L 1 \leq H 1$ である。また、平面電極 P X 2 の長さ L 1 は、前述する実施形態 1 から明らかなように、 $0.5 \mu m \leq L 1 \leq H 1$ とすることが好ましい。以上のことから、壁電極の高さ H 1 > 液晶層厚 d の場合、平面電極 P X 2 の長さ L 1 は、 $0.5 \mu m \leq L 1 \leq H 1$ の範囲であることが好適である。

【0065】

また、実施形態 2 の液晶表示装置においても、壁電極 P X を形成する平面電極 P X 2 は黒表示時の配線 (ドレイン線 D L 等) の電位による黒透過率増加を抑制する効果もある。図 1 1 は実施形態 2 の液晶表示装置における遮蔽電極幅毎の壁電極の平面電極の長さ L 1 と黒表示時の黒透過率との関係を示す図である。ただし、図 1 1 に示す黒透過率は、黒表示時におけるドレイン線 D L の配線電位が 5 (V) 時の黒透過率の計測値である。また、図 1 1 に示す黒透過率では、グラフ r 8 は遮蔽電極幅 X 1 が $0 \mu m$ すなわち遮蔽電極を設けない場合であり、グラフ r 9 は遮蔽電極幅 X 1 が $0.5 \mu m$ 、グラフ r 1 0 は遮蔽電極幅 X 1 が $2 \mu m$ 、グラフ r 1 1 は遮蔽電極幅 X 1 が $4 \mu m$ の場合における平面電極 P X 2 の長さ L 1 に対する黒透過率を示す。

【0066】

図 1 1 から明らかなように、平面電極 P X 2 の長さ L 1 が $0 \mu m$ すなわち平面電極 P X 2 を設けない場合であっても、グラフ r 9 ~ グラフ r 1 1 から明らかなように、遮蔽電極幅 X 1 が $0.5 \mu m$ 時には黒透過率が 0.09% 、 $X 1 = 2 \mu m$ 時には黒透過率が 0.06% 、 $X 1 = 4 \mu m$ 時には黒透過率が 0.03% 程度となる。一方、遮蔽電極幅 X 1 が $0 \mu m$ 時すなわち遮蔽電極 C E を設けない場合には、 $L 1 = 0$ 時の黒透過率は 0.48% となるので、遮蔽電極 C E を設けることにより黒透過率を抑制すなわち減少できる。

【0067】

また、グラフ r 9 ~ グラフ r 1 1 から明らかなように、平面電極 P X 2 を形成し、その

電極長さ L_1 が $L_1 = 0.5 \mu\text{m}$ 以上では、電極長さ L_1 を大きくした場合において、平面電極長さ L_1 の増加と共に黒透過率が減少し、遮蔽電極幅 X_1 が $4 \mu\text{m}$ 時の黒透過率に漸近する。

【0068】

従って、実施形態 1 と同様の理由により、平面電極 PX_2 の長さ L_1 が長くなると、配線電位（ドレイン線 DL の電位）の影響による黒透過率増加が抑制できる。一方、配線下に設けた遮蔽電極 CE の電極幅 X_1 が広く（大きく）なると、配線電位の影響による黒透過率増加を更に抑制できる。これは、遮蔽電極 CE がない場合、配線の下面（第 1 基板 SUB_1 側）から発生した電気力線 LF が壁電極 PX に到達し液晶が動作するために黒透過率が増加してしまうのに対し、遮蔽電極 CE がある場合、配線の下面から発生した電気力線 LF が遮蔽電極 CE により遮蔽され、液晶に到達する電気力線 LF を抑制できるためである。従って、遮蔽電極 CE は配線電位による黒透過率を抑制できる効果がある。

10

【0069】

さらには、実施形態 2 の液晶表示装置においても、実施形態 1 と同様に、隣接画素が黒表示時の場合の黒透過率増加を抑制する効果も備えている。以下、図 12 に実施形態 2 の液晶表示装置における遮蔽電極幅毎の壁電極の平面電極の長さ L_1 と隣接画素の黒透過率との関係を示す図、図 13 に実施形態 2 の液晶表示装置における遮蔽電極幅と隣接画素の黒透過率との関係を示す図を示し、実施形態 2 の液晶表示装置における隣接画素が黒表示時の場合の黒透過率増加の抑制効果について説明する。

20

【0070】

ただし、図 12 に示すグラフでは、グラフ r_{12} は遮蔽電極幅 X_1 が $0 \mu\text{m}$ すなわち遮蔽電極を設けない場合であり、グラフ r_{13} は遮蔽電極幅 X_1 が $0.5 \mu\text{m}$ 、グラフ r_{14} は遮蔽電極幅 X_1 が $2 \mu\text{m}$ 、グラフ r_{15} は遮蔽電極幅 X_1 が $4 \mu\text{m}$ の場合における平面電極 PX_2 の長さ L_1 に対する隣接画素の黒透過率を示す。また、図 13 に示すグラフ r_{16} は、壁電極 PX を構成する平面電極 PX_2 の電極長さ L_1 が $L_1 = 2 \mu\text{m}$ の場合における遮蔽電極幅 X_1 と隣接画素の黒透過率との関係を示す。

【0071】

図 12 から明らかなように、平面電極 PX_2 の長さ L_1 が $0 \mu\text{m}$ すなわち平面電極 PX_2 を設けない場合であっても、グラフ $r_{13} \sim$ グラフ r_{15} から明らかなように、遮蔽電極幅 X_1 が $0.5 \mu\text{m}$ 時には隣接画素の黒透過率が 0.9% 、 $X_1 = 2 \mu\text{m}$ 時には隣接画素の黒透過率が 0.19% 、 $X_1 = 4 \mu\text{m}$ 時には隣接画素の黒透過率が 0.03% 程度となる。一方、遮蔽電極幅 X_1 が $0 \mu\text{m}$ 時すなわち遮蔽電極 CE を設けない場合には、 $L_1 = 0$ 時の隣接画素の黒透過率は 1.2% となるので、遮蔽電極 CE を設けることにより隣接画素の黒透過率も抑制すなわち減少できる。

30

【0072】

特に、図 12 のグラフ $r_{13} \sim$ グラフ r_{15} から明らかなように、電極長さ L_1 が $0.5 \mu\text{m}$ 以上の平面電極 PX_2 を形成し、その長さ L_1 をさらに大きくした場合には、平面電極長さ L_1 の増加と共に隣接画素の黒透過率が減少し、遮蔽電極幅 X_1 が $4 \mu\text{m}$ 時の隣接画素の黒透過率に漸近する。

40

【0073】

このように、実施形態 2 の液晶表示装置においても、実施形態 1 と同様に、平面電極 PX_2 が長くなると壁電極 PX と擬似壁電極 CT との間の距離が縮まり、平面電極 PX_2 によって隣接画素を形成する液晶層 LC に到達する電気力線 LF が遮蔽されるため、隣接画素の黒透過率の増加を抑制でき、平面電極 PX_2 の電極長さ L_1 が $0.5 \mu\text{m}$ 以上とすることが好適である。

【0074】

また、図 13 のグラフ r_{16} から明らかなように、壁電極の平面電極が $2 \mu\text{m}$ の場合における遮蔽電極 CE の電極幅 X_1 と隣接画素の黒透過率との関係では、前述の平面電極 PX_2 の長さ L_1 を大きくした場合と同様に、隣接画素の黒透過率は前述の通り遮蔽電極 CE の電極幅 X_1 を広くすると低減できる。このことから、最小幅であっても遮蔽電極 CE

50

を設けるのみで、その効果を得ることができる。

【0075】

しかしながら、遮蔽電極CEの電極幅X1を広くすると表示モード効率が大幅に低下してしまうことが考えられる。この現象は、遮蔽電極CEの電極幅X1が壁電極PXの電極幅L2より長くなると顕著になり、平面電極PX2と遮蔽電極CEとの間に縦方向（斜め方向）の電界であるフリンジ電界が生じやすくなるため、壁電極PXと擬似壁電極CTとの間に電界がかかりにくくなるためである。このことから、遮蔽電極幅X1は壁電極幅L2よりも狭いX1 < L2であることが望ましい。

【0076】

また、図13に示す通り、遮蔽電極幅X1が0.5 μmから1.0 μmに変化すると隣接画素の黒透過率が0.09から0.07に18%低減されるのに対し、0 μmから0.5 μmに変化すると隣接画素の黒透過率が0.17から0.09に44%低減されることが分かる。すなわち、遮蔽電極幅X1を0.5 μm以上により、隣接画素の黒透過率を0.10以下にできると共に、配線（ドレイン線DLやゲート線等）から発生する電気力線LFと白表示画素の平面電極PX2の下面から発生する電気力線LFとを効率よく遮蔽できることになる。以上の効果から、遮蔽電極幅X1は0.5 μm < X1 < L2 (μm) の範囲であることが好適である。

【0077】

これは、白表示画素の壁電極PXから発生した電気力線LFは、遮蔽電極CEがない場合に配線の下（第1基板SUB1側）を通して隣接画素に到達するのに対し、遮蔽電極CEがある場合には遮蔽電極CEの近傍を通る電気力線LFが遮蔽電極CEによって遮蔽されるからである。

【0078】

このように、遮蔽電極CEは配線電位を遮蔽する効果、及び隣接画素の黒透過率を抑制する効果の両方を兼ね備えている。

【0079】

以上のことから、遮蔽電極CEを配置した場合にも平面電極PX2を設けることにより、低駆動電圧化、表示モード効率向上、配線電位の影響による黒透過率増加抑制、及び隣接画素の黒透過率増加抑制の効果があり、遮蔽電極CEは配線電位の影響による黒透過率増加抑制、及び隣接画素の黒透過率増加抑制の効果がある。

【0080】

ただし、遮蔽電極CEは0Vの電極でなく、一定電圧でないフローティングの状態であってもよい。遮蔽電極CEがフローティングの場合、図5(a)に示す従来の構成では、遮蔽電極CEに電荷が溜まり黒表示時に黒透過率が増加する恐れがある。これに対して、本願発明の実施形態2の構成では、壁電極PXが平面電極PX2を備える構成となっているので、チャージアップした遮蔽電極CEから発生した電気力線LFが平面電極PX2によって遮蔽されるため、黒透過率の増加を抑制することができる。従って、遮蔽電極CEがフローティングの場合であっても、チャージアップによる黒透過率の増加を抑制しつつ、前述の効果と同様に低駆動電圧化、表示モード効率向上、配線電位による黒透過率増加抑制、隣接画素の黒透過率増加抑制の効果を得られる。

【0081】

実施形態3

図14は本発明の実施形態3の液晶表示装置における画素構成を説明するための断面図であり、図15は実施形態3の壁電極の詳細構成を説明するための断面図である。ただし、実施形態3の液晶表示装置では、第1基板SUB1の側に形成される壁電極PXの構成が異なるのみで、他の構成は実施形態1の液晶表示装置と同様の構成となる。従って、以下の説明では、壁電極PXの構成について詳細に説明する。また、なお、実施形態3の液晶表示装置においても、画素PXの両端の壁電極PXを画素電極とし、擬似壁電極CTを共通電極とする場合について説明するが、画素PXの両端の壁電極を共通電極とし、擬似壁電極を画素電極とする構成であってもよい。

10

20

30

40

50

【0082】

図14及び図15に示すように、実施形態3の液晶表示装置においては、画素PXLの領域内にそれぞれ凸状の絶縁膜PAS3が形成される構成となっており、該絶縁膜PAS3の側壁面の中で各画素PXL領域の外側の側壁面（外側壁面）に壁状電極PX1が形成されている。また、壁状電極PX1と電氣的に接続される平面電極PX2が絶縁膜PAS3の下層側に形成され、壁状電極PX1と電氣的に接続される平面電極（第2の平面電極）PX3が絶縁膜PAS3の上層側に形成されている。特に、実施形態3においては、絶縁膜PAS3の下側面（第1基板SUB1側面）すなわち絶縁膜PAS2と絶縁膜PAS3との間に平面電極PX2が形成され、絶縁膜PAS3の上面側（液晶層LC側の面、対向面側）すなわち絶縁膜PAS3と配向膜ORIとの間に平面電極PX3が形成されている。このとき、平面電極PX2、PX3の辺縁部の中で、壁状電極PX1側の辺縁部は当該壁状電極PX1の辺縁部と連続して形成され、壁状電極PX1と平面電極PX2、PX3とが電氣的に接続され、擬似壁電極CTを介して第1基板SUB1側の面内方向に対向配置される壁電極PXを形成している。これにより、壁状電極PX1の上下端に当該壁状電極PX1の辺縁部から擬似壁電極CTの側に突出するように延在する平面電極PX2、PX3有する壁電極PXを構成している。すなわち、実施形態3の液晶表示装置では、第1基板SUB1に当接する平面電極PX2と第2基板SUB2に近接する平面電極PX3とを有し、平面電極PX2、PX3が壁状電極PX1の辺縁部から画素PXLの透過領域である擬似壁電極CT側に延在して形成されている。

10

【0083】

20

この実施形態3の壁電極PXの形成プロセスは、絶縁膜PAS1の上層に配線（ドレイン線DL等）を形成し、該配線等を覆うようにして絶縁膜PAS2を形成した後、平面電極PX2となる導電性薄膜を成膜し、パターニングにより平面電極PX2を形成する。次に、平面電極PX2の上層に壁状（凸状）の絶縁膜PAS3を形成し、該壁状の絶縁膜PAS3の上層すなわち側壁面及び上面に透明電極を形成し、壁状電極PX1と平面電極PX3とを形成する。この場合、壁電極PXが隣接画素の壁電極PXと接続されないすなわち電氣的に短絡しないように形成され、かつ平面電極PX2と壁状の絶縁膜上の透明電極（壁状電極PX1）とが2点鎖線で示す画素境界部の側で接続される構成とする。

【0084】

30

すなわち、実施形態3の壁電極PXにおいては、画素PXL毎に当該画素PXLの長手方向（Y方向）に擬似壁電極CT（線状電極CT1、CT2）が伸延して形成されている。また、この線状電極CT1の伸延方向と直交する方向（X方向）の一对の辺縁部である長手方向の辺縁部に薄膜トランジスタTFTを介して同じ映像信号が供給される壁電極PXが形成されている。このとき、実施形態3の壁電極PXでは、画素PXLの短手方向（XZ平面）の断面図である図15から明らかなように、壁電極PXの断面構造において、壁電極PXを形成する壁状電極PX1及び平面電極PX2、PX3がC字状に形成され、擬似壁電極CTの側に壁電極PXの開口部（C字状の開口部）が開口される構成となっている。

【0085】

40

この構成により、壁状電極PX1から伸びた上下の平面電極PX2、PX3から発生した電気力線LFが壁状電極PX1から発生した電気力線LFによって急激に曲げられ擬似壁電極CTに到達する本数が多くなり、電界強度の不均一性を抑制できるためである。この結果、実施形態3の液晶表示装置は、実施形態1の液晶表示装置の効果に加えて、画素全体の表示モード効率をさらに向上できるという格別の効果を得ることができる。さらには、壁状電極PX1の上側及び下側に平面電極PX2、PX3が設けられていることから、配線であるドレイン線DLの電位による黒透過率増加抑制及び隣接画素の黒透過率増加抑制の効果も向上することができる。

【0086】

以上のことから、実施形態3の液晶表示装置では、低駆動電圧化、表示モード効率向上、配線電位による黒透過率増加抑制、及び隣接画素の黒透過率増加抑制に対してさらなる

50

効果を得ることができる。

【0087】

また、実施形態3の液晶表示装置においても壁電極PXを金属薄膜で形成してもよく、壁電極PXが金属薄膜で形成した場合においても、実施形態1と同様に、液晶ディスプレイの歩留まりを向上し、液晶表示装置を低コスト化することができる。ただし、実施形態3の壁電極PXを金属薄膜で形成した場合においても、実施形態1と同様に、2点鎖線で示す画素境界部に近接配置される2つの壁電極PXの幅はブラックマトリクスの幅よりも狭いことが好ましい。

【0088】

さらには、図16に示す本発明の実施形態3の他の液晶表示装置における画素構成を説明するための断面図に示すように、実施形態2と同様の遮蔽電極CEを配線（例えば、ドレイン線DL）の下層側に設けることができる。

10

【0089】

この図16に示す他の液晶表示装置では、配線であるドレイン線DLの下層側に絶縁膜PAS1を介して遮蔽電極CEが配置される構成となっている。すなわち、第1基板SUB1の液晶層LC側（対向面側）に形成される遮蔽電極CEを覆うようにして絶縁膜PAS1が形成され、該絶縁膜PAS2の上層にドレイン線DLが形成されている。このとき、遮蔽電極CEはドレイン線DLと重畳するように形成されており、ドレイン線DLと共にY方向に延在しX方向に並設されている。

20

【0090】

このとき、ドレイン線DLの上層の構成は前述する図14に示す液晶表示装置と同様であり、当該ドレイン線DLを含む第1基板SUB1の表面を覆う絶縁膜PAS2、段差を形成する絶縁膜PAS3、及び壁電極PXを構成する壁状電極PX1と平面電極PX2、PX3、並びに擬似壁電極CTを構成する線状電極CT1が形成され、その上層に第1基板SUB1の液晶層LC側を覆うようにして配向膜ORIが形成されている。この第1基板SUB1は液晶層LCを介して第2基板SUB2と対向配置され、液晶表示パネルPNLが形成されている。すなわち、実施形態2の液晶表示装置と同様に、隣接する画素PXLの壁電極PXと遮蔽電極CEとの間の層に配線（ドレイン線DL）が配置される構成となっている。

30

【0091】

従って、図16に示す実施形態3の他の液晶表示装置においては、図15に示す実施形態3の液晶表示装置における効果に加えて、遮蔽電極CEがドレイン線DLから液晶層LCを介して壁電極PXに到達する電気力線LFの発生を抑制することができるという格別の効果を得ることができる。

40

【0092】

実施形態4

図17は本発明の実施形態4の液晶表示装置における画素構成を説明するための断面図であり、共通信号が供給される共通電極の構成が異なるのみで、他の構成は実施形態1の液晶表示装置と同様の構成となる。従って、以下の説明では、共通電極の構成について詳細に説明する。

40

【0093】

図17に示すように、実施形態4の共通電極は、実施形態1の共通電極である擬似壁電極CTを構成する一対の線状電極CT1、CT2の中で、第2基板SUB2側の線状電極CT2を除く構成となっている。すなわち、実施形態1と同様に、隣接する画素PXLとの境界部分に沿って絶縁膜PAS3が形成され、少なくとも壁電極PXは絶縁膜PAS3の側壁面に形成される壁状電極PX1と、該壁状電極PX1の端部から第1基板SUB1の面内方向に延在する平面電極PX2とで形成されている。一方、共通電極となる線状電極CT1は、X方向に対向配置される一対の壁電極PXの間の領域に形成され、画素PXLの領域内においてY方向に延在されると共に、第1基板SUB1の側のみに形成されている。従って、実施形態4の構成では、第2基板SUB2に線状電極CT2を形成する工

50

程が不要となるので、液晶表示装置を低コストで製造することが可能となる。

【0094】

実施形態4の画素構成においても、壁状電極PX1の図中下側端部から延びた電気力線が共通電極となる線状電極CT1に到達すると共に、平面電極PX2から延びた電気力線も線状電極CT1に到達するので、実施形態1と同様の効果を得ることができ、低駆動電圧化、表示モード効率向上、配線電位による黒透過率増加抑制、及び隣接画素の黒透過率増加抑制ができる。

【0095】

また、画素PXLの辺縁部に沿って壁電極PXが形成され、該壁電極PXの間の領域に線状電極CT1が形成されている。従って、図17中のX方向の画素幅が大きくなった場合であっても、映像信号が供給される画素電極である壁電極PXと、共通信号が供給される共通電極である線状電極CT1との間隔（電極間距離）を画素幅の半分程度の距離にできる。その結果、同一画素内における電界強度の不均一性を抑制できるという効果も得ることができる。

10

【0096】

さらには、実施形態4の構成では、第2基板SUB2にはカラーフィルタやブラックマトリクスBM等が形成されるのみとなるので、従来と同様の位置合わせ精度で液晶表示パネルを形成することが可能となる。その結果、第1基板SUB1と第2基板SUB2との貼り合わせに伴う不良率を低下することが可能となり、歩留まりを向上できるという格別の効果を得ることができ、液晶表示装置を低コスト化できる。

20

【0097】

また、図18に示す本発明の実施形態4の他の液晶表示装置における画素構成を説明するための断面図に示すように、実施形態2と同様の遮蔽電極CEを配線（例えば、ドレイン線DL）の下層側に設けることができる。

【0098】

この図18に示す他の液晶表示装置においても、配線であるドレイン線DLの下層側に絶縁膜PAS1を介して遮蔽電極CEが配置される構成となっている。このとき、ドレイン線DLの上層の構成は前述する図16に示す液晶表示装置と同様であり、遮蔽電極CE及びドレイン線DLの上層に形成される絶縁膜PAS3の側壁面にはそれぞれ壁状電極PX1が形成され、各壁状電極PX1の端部には第1基板SUB1の面内方向に延在する平面電極PX2が形成されて、壁電極PXが形成されている。また、該壁電極PXの中間の領域には線状電極CT1が形成される構成となっている。

30

【0099】

従って、図18に示す実施形態4の他の液晶表示装置においては、図17に示す実施形態4の液晶表示装置における効果に加えて、遮蔽電極CEがドレイン線DLから液晶層LCを介して壁電極PXに到達する電気力線LFの発生を抑制することができるという格別の効果を得ることができる。

【0100】

実施形態5

図19は本発明の実施形態5の液晶表示装置における画素構成を説明するための断面図であり、実施形態5は画素境界の壁電極が共通電極となり、壁電極間の中央の電極が画素電極となる。なお、共通電極である共通壁電極CT3の構成を除く他の構成は、実施形態9と同様の構成であり、以下の説明では、共通壁電極CT3について詳細に説明する。

40

【0101】

図19に示すように、実施形態5の液晶表示装置では、2点鎖線で示す隣接画素との境界領域を跨ぐようにして絶縁膜PAS3が形成される構成となっており、その側壁面に壁状電極CT4が形成されている。該壁状電極CT4の下端側端部すなわち第1基板SUB1の側の端部には、第1基板SUB1の面内方向に延在する平面状の電極（平面電極）CT5が壁状電極CT4から所定幅で連続して形成されている。このとき、平面電極（第1の平面電極）CT5は絶縁膜PAS2の上面に沿って形成されている。

50

【0102】

また、絶縁膜PAS3の上面すなわち第2基板SUB2の側の面には導電性薄膜からなる電極（平面電極）CT6が形成されており、該平面電極CT6の端部が該壁状電極CT4の上端側端部（すなわち第2基板SUB2の側の端部）と接続される構成となっている。この壁状電極CT4と平面電極CT5、CT6とにより、共通壁電極CT3を構成している。なお、平面共通電極CT5の形状は絶縁膜PAS3の上面形状に沿った形状となる。

【0103】

このように、実施形態5においては、隣接画素の間に形成される共通壁電極CT3に共通信号が供給される構成となっているので、画素の辺縁部に形成される一对の共通壁電極CT3の中で、隣接する画素PXLの一方の共通壁電極CT3が絶縁膜PAS3の上面で一体となり、電氣的に接続されている。すなわち、絶縁膜PAS3を覆うようにして、共通壁電極CT3が形成される構成となっている。

10

【0104】

一方、実施形態5の画素電極PXは図19中のY方向すなわち画素PXLの長手方向に伸延する透明導電膜で形成される線状電極PX4からなり、各画素PXLの一对の共通壁電極CT3の間に領域に形成されている。

【0105】

このように、実施形態5の液晶表示装置においても、共通壁電極CT3との間の領域では第1基板SUB1の側にのみ電極（画素電極PXとなる線状電極PX4）を形成する構成としているので、実施形態4と同様に、液晶表示パネルの製造時における歩留まりを向上できるという格別の効果を得ることができる。その結果、液晶表示装置を低コスト化できるという格別の効果を得ることができる。

20

【0106】

また、実施形態5の液晶表示装置においては、絶縁膜PAS3を覆うようにして共通壁電極CT3が形成され共通信号が供給される、すなわち画素境界部分の共通壁電極CT3が全面共通電極となっている。従って、液晶表示パネルPNLの表示面の面積に占める共通壁電極CT3の面積を増大させることが可能となり、隣接画素からの電気力線を抑制することが可能となるので、隣接画素の黒透過率の増加の抑制及び隣接画素電位の変動による透過率の変動をさらに抑制できるという格別の効果を得ることができる。

30

【0107】

また、画素電極PXである線状電極PX4から延びた電気力線は第1基板SUB1の面内方向と平行に形成され共通壁電極CT3に到達することとなる。このとき、共通壁電極CT3を形成する平面電極CT5がドレイン線DL等の配線からの電気力線を抑制することができるので、前述する実施形態4と同様の効果を得ることができ、低駆動電圧化、表示モード効率向上、及び配線電位による黒透過率増加抑制等ができる。

【0108】

また、図20に示す本発明の実施形態5の他の液晶表示装置における画素構成を説明するための断面図に示すように、実施形態2と同様の遮蔽電極CEを配線（例えば、ドレイン線DL）の下層側に設けることができる。

40

【0109】

この図20に示す実施形態5の他の液晶表示装置においては、配線であるドレイン線DLの下層側に絶縁膜PAS1を介して遮蔽電極CEが配置される構成となっている。このとき、ドレイン線DLの上層の構成は前述する図19に示す液晶表示装置と同様であり、画素の境界部に形成される絶縁膜PAS3を覆うようにして、一对の共通壁電極CT3が形成され、該共通壁電極CT3が共通壁電極CT4及び平面共通電極CT5、CT6で形成されると共に、一对の共通壁電極CT3の間の領域に線状電極PX4が形成されている。

【0110】

従って、図20に示す実施形態5の他の液晶表示装置においても、図19に示す実施形

50

態 5 の液晶表示装置における効果に加えて、遮蔽電極 C E がドレイン線 D L から液晶層 L C を介して壁電極 P X に到達する電気力線 L F の発生を抑制することができるという格別の効果を得ることができる。

【 0 1 1 1 】

実施形態 6

図 2 1 は本発明の実施形態 6 の液晶表示装置における画素構成を説明するための断面図であり、画素電極となる壁電極 P X の構成及びドレイン線 D L の形成位置を除く他の構成は実施形態 5 と同様の構成となる。従って、以下の説明では、壁電極 P X 及びドレイン線 D L の構成について詳細に説明する。

【 0 1 1 2 】

図 2 1 に示すように、隣接画素との境界部分と共に各画素の領域内においても第 1 基板 S U B 1 の対向面側に凸状に突出する絶縁膜 P A S 3 が形成され、該絶縁膜 P A S 3 を覆うようにして導電性薄膜が形成される構成となっている。すなわち、実施形態 6 においては、画素 P X L の辺縁部と共に画素 P X L の領域（透過領域）においても壁電極が形成される構成となっている。ただし、絶縁膜 P A S 3 を覆う導電性薄膜の中で、少なくとも隣接画素との境界部分に形成される絶縁膜 P A S 3 すなわち画素領域の内側に形成される絶縁膜 P A S 3 を覆う導電性薄膜は透明導電性薄膜からなる。

【 0 1 1 3 】

実施形態 6 の液晶表示装置では、隣接画素との境界部分に形成される絶縁膜 P A S 3 を覆う導電性薄膜は共通信号が供給される共通電極（共通壁電極）C T 3 となり、一対の共通壁電極 C T 3 との間の領域すなわち画素の領域に形成される絶縁膜 P A S 3 を覆う導電性薄膜は薄膜トランジスタを介して映像信号が供給される画素電極（壁電極 P X ）となる。

【 0 1 1 4 】

このとき、壁電極 P X 及び共通壁電極 C T 3 は、絶縁膜 P A S 3 の側壁面に形成される壁状電極 P X 1 , C T 4 と、該壁状電極 P X 1 , C T 4 の下端側から第 1 基板 S U B 1 の面内方向に延在して形成される平面電極 P X 2 , C T 5 と、壁状電極 P X 1 の上端側から絶縁膜 P A S 3 の頭頂部分を覆うように形成される平面電極 P X 3 , C T 6 とからなる。すなわち、実施形態 6 では、一対の壁電極 C T の間の領域に画素電極である壁電極 P X が形成される構成となっている。

【 0 1 1 5 】

また、実施形態 6 では、壁電極 P X の下層すなわち壁電極 P X が形成される絶縁膜 P A S 3 の下層に絶縁膜 P A S 2 を介してドレイン線 D L が配置される構成となっている。さらには、図 2 1 中の X 方向すなわち画素 P X L の短手方向のほぼ中心部分に Y 方向に延在する壁電極 P X が形成されている。従って、薄膜トランジスタ等の形成領域を除く領域では、各画素電極 P X はドレイン線 D L すなわち壁電極 P X に対して、図 2 1 中の X 方向すなわち画素 P X L の短手方向に対称な構成となっている。このとき、実施形態 6 においても、第 1 基板 S U B 1 の側にのみ電極が形成されることとなるので、実施形態 5 と同様の効果を得ることができ、液晶表示パネルの製造時における歩留まりを向上でき、液晶表示装置の製造コストを低コスト化できる。

【 0 1 1 6 】

また、実施形態 6 の液晶表示装置においても、隣接画素との境界部分に共通壁電極 C T 3 を形成する構成としているので、実施形態 5 の液晶表示装置と同様の効果を得ることができ、低駆動電圧化、表示モード効率向上、配線電位による黒透過率増加抑制、及び隣接画素の黒透過率増加抑制できると共に、隣接画素電位変動による透過率変動抑制等もできる。

【 0 1 1 7 】

特に、実施形態 6 の液晶表示装置では、一対の共通壁電極 C T 3 の間の領域に壁電極 P X が形成される構成となっているので、画素電極と共通電極との間隔すなわち壁電極 P X と共通壁電極 C T 3 との間隔を画素 P X L の短手方向の間隔よりも小さくでき、壁電極 P

10

20

30

40

50

Xと共通壁電極CT3との間に生じる電気力線の分布を均一にできる。さらには、壁電極PX及び共通壁電極CT3の何れの電極においても、壁状電極PX1, CT4の下端側から第1基板SUB1の面内方向すなわち各画素PXLの面内方向に延在する平面電極PX2, CT5が形成される構成となっている。従って、壁電極PX及び共通壁電極CT3の何れにおいても、壁状電極PX1, CT4の下側辺部からの電気力線が液晶層LCを介してドレイン線DLや隣接画素に回り込んでしまうことを抑制することができる。

【0118】

また、実施形態6の液晶表示装置では、画素PXLの中央に壁電極PXを設け、該壁電極PXと重畳する領域に金属配線からなるドレイン線DLを設ける構成としているが、壁電極PXを形成する平面電極PX3と重畳する領域の液晶層LCでは液晶分子がほとんど動かなくなるので、透過率の低い金属薄膜からなるドレイン線DLであっても形成可能である。なお、ドレイン線DLの形成位置は壁電極PXと重畳する位置に限定されることなく、前述の実施形態1～5と同様に、共通壁電極CT3と重畳する領域に形成する構成であってもよい。

10

【0119】

さらには、図22に示す本発明の実施形態6の他の液晶表示装置における画素構成を説明するための断面図に示すように、実施形態2と同様の遮蔽電極CEを配線(例えば、ドレイン線DL)の下層側に設けることができる。

【0120】

この図22に示す実施形態6の他の液晶表示装置においては、配線であるドレイン線DLの下層側に絶縁膜PAS1を介して遮蔽電極CEが配置される構成となっている。このとき、ドレイン線DLの上層の構成は前述する図21に示す液晶表示装置と同様であり、画素の境界部に形成される絶縁膜PAS3を覆うようにして、壁状電極CT4及び平面電極CT5, CT6からなる一对の共通壁電極CT3が画素PXLの辺縁部に形成されると共に、該一对の共通壁電極CT3との間の領域に、壁状電極PX1及び平面電極PX2, PX3からなる壁電極PXが形成されている。

20

【0121】

従って、図22に示す実施形態6の他の液晶表示装置においても、図21に示す実施形態6の液晶表示装置における効果に加えて、遮蔽電極CEがドレイン線DLから液晶層LCを介して壁電極PXに到達する電気力線LFの発生を抑制することができるという格別の効果を得ることができる。

30

【0122】

実施形態7

図23は本発明の実施形態7の液晶表示装置における画素構成を説明するための図であり、壁電極で形成される共通電極を除く他の構成は、実施形態1と同様の構成となる。従って、以下の説明では、共通電極を形成する壁電極(共通壁電極)CT3の構成について詳細に説明する。

【0123】

図23に示すように、実施形態7の液晶表示装置は、前述する実施形態1の擬似壁電極を用いない構成とすると共に、一对の壁電極の一方を画素電極とし、他方を共通電極として用いる。すなわち、画素PXLの一对の辺縁部にそれぞれ形成される壁電極の内、一方の壁電極PXを映像信号が供給される画素電極とすると共に、他方の壁電極(共通壁電極)CT3を共通信号が供給される共通電極とする構成としている。

40

【0124】

この構成からなる実施形態7の画素構成では、各画素PXLの辺縁部にY方向に延在して形成される凸状の絶縁膜PAS3のX方向側の側壁面の中で、一方の側壁面には壁状電極PX1と平面電極PX2とからなる壁電極PXが形成され、該壁電極PXに図示しない薄膜トランジスタを介して映像信号が供給される構成となる。また、他方の側壁面には、壁状電極CT4と平面電極CT5とからなる共通壁電極CT3が形成され、共通信号が供給される構成となる。この構成からなる絶縁膜PAS3がドレイン線DLと重畳するよう

50

にして隣接画素 P X L との境界部分に配置されているので、各画素 P X L の領域においては、壁電極 P X と共通壁電極 C T 3 とが対向配置される。

【 0 1 2 5 】

このように、実施形態 7 の壁電極 P X 及び共通壁電極 C T 3 においても、第 1 基板 S U B 1 の表面から第 2 基板 S U B 2 の側に立設される壁状電極 P X 1 , C T 4 を備えると共に、壁状電極 P X 1 , C T 4 の第 1 基板 S U B 1 側の辺縁部から該第 1 基板 S U B 1 の面内方向に沿って延在する平面電極 P X 2 , C T 5 を備える構成となっている。その結果、実施形態 7 の液晶表示装置においても、実施形態 1 と同様の効果を得ることができる。すなわち、壁状電極 P X 1 から発生した電気力線が液晶層 L C 側を介して隣接する画素やドレイン線 D L に向かってしまうことを平面電極 P X 2 により防止（遮蔽）できると共に、平面電極 P X 2 から発生した電気力線が共通壁電極 C T 3 に到達できる。同様にして、共通壁電極 C T 3 においても、隣接する画素やドレイン線 D L から発生した電気力線が液晶層 L C を介して壁状電極 C T 4 に到達することを平面電極 C T 5 により防止（遮蔽）できると共に、壁電極 P X から発生した電気力線が平面電極 C T 5 に到達できる。よって、実施形態 7 の液晶表示装置においても、画素 P X L 内における電界強度の不均一性を抑制できる。

10

【 0 1 2 6 】

また、実施形態 7 の画素構成では、各画素 P X L の中央部分に擬似壁電極を形成するための線状電極を第 1 基板 S U B 1 及び第 2 基板 S U B 2 に形成する必要がなくなるので、第 1 基板 S U B 1 及び第 2 基板 S U B 2 の製造に要する工程数を減らすことが可能となり、液晶表示装置を低コスト化できるという格別の効果が得られる。

20

【 0 1 2 7 】

特に、実施形態 7 の液晶表示装置では、各画素 P X L の長手方向に延在する壁電極 P X と共通壁電極 C T 3 を形成し、壁電極 P X と共通壁電極 C T 3 とが短手方向に対向配置される構成としている。従って、高精細の液晶表示パネルに本願発明を適用した場合、壁電極 P X と第 2 の壁電極 C T 3 との間隔を短く（小さく）することが可能となるので、壁電極 P X と第 2 の壁電極 C T 3 とに間に均一な電界をかけることができ、表示モード効率を向上できる。

【 0 1 2 8 】

ただし、実施形態 7 の画素構成では、壁電極 P X と共通壁電極 C T 3 との間隔が長く（大きく）なると、電気力線密度が壁電極 P X 及び共通壁電極 C T 3 の近傍で密となり、壁電極 P X 及び共通壁電極 C T 3 から離れると疎となる。このために、壁電極 P X と共通壁電極 C T 3 との間における電界強度が不均一になり、表示モード効率が低下してしまう懸念がある。従って、壁電極 P X と共通壁電極 C T 3 との間の距離は、高い表示モード効率が得られる範囲を選択することが望ましく、小型で高精細な液晶表示パネル P N L に好適である。また、実施形態 7 の壁電極 P X 及び共通壁電極 C T 3 はそれぞれ平面電極 P X 2 , C T 5 を備える構成となっているので、実施形態 1 と同様の効果を得ることができ、低駆動電圧化、表示モード効率向上、配線電位による黒透過率増加抑制、隣接画素の黒透過率増加抑制ができる。

30

【 0 1 2 9 】

なお、実施形態 7 の画素構成では、1 つの絶縁膜 P A S 3 の側壁面の中で、一方の側壁面に映像信号が供給される画素電極（壁電極）P X を形成し、他方の側壁面に共通信号が供給される共通電極（共通壁電極）C T 3 を形成する構成としたが、画素電極と共通電極の形成位置は実施形態 7 の配置に限定されることはない。例えば、X 方向に奇数番目の絶縁膜 P A S 3 の側壁面には共に壁電極 P X を形成し、偶数番目の絶縁膜 P A S 3 の側壁面には共通壁電極 C T 3 を形成する構成であってもよい。このような構成とすることによって、同一の絶縁膜 P A S 3 には隣接する画素 P X L の画素電極又は共通電極が近接して配置されることとなるので、隣接する画素の共通壁電極 C T 3 間に電位差が生じることを防止できるという格別の効果を得ることができる。

40

【 0 1 3 0 】

50

さらには、図 2 4 に示す本発明の実施形態 7 の他の液晶表示装置における画素構成を説明するための断面図に示すように、実施形態 2 と同様の遮蔽電極 C E を配線（例えば、ドレイン線 D L）の下層側に設けることができる。

【0131】

この図 2 4 に示す実施形態 7 の他の液晶表示装置においては、配線であるドレイン線 D L の下層側に絶縁膜 P A S 1 を介して遮蔽電極 C E が配置される構成となっている。このとき、ドレイン線 D L の上層の構成は前述する図 2 3 に示す液晶表示装置と同様であり、絶縁膜 P A S 3 の側壁面すなわち画素 P X L の長辺側の辺縁部には、一方の辺縁部に壁状電極 P X 1 と平面電極 P X 2 とからなる壁電極 P X が形成され、他方の辺縁部に壁状電極 C T 4 と平面電極 C T 5 とからなる壁電極（共通壁電極）C T 3 が形成されている。

10

【0132】

従って、図 2 4 に示す実施形態 7 の他の液晶表示装置においても、図 2 3 に示す実施形態 7 の液晶表示装置における効果に加えて、遮蔽電極 C E がドレイン線 D L から液晶層 L C を介して壁電極 P X に到達する電気力線 L F の発生を抑制することができるという格別の効果を得ることができる。

【0133】

実施形態 8

図 2 5 は本発明の実施形態 8 の液晶表示装置における画素構成を説明するための断面図であり、壁電極で形成される共通壁電極 C T 3 を除く他の構成は実施形態 3 と同様の構成となり、壁電極 P X 及び共通壁電極 C T 3 に供給される信号は実施形態 7 と同様となる。従って、以下の説明では、共通電極を形成する共通壁電極 C T 3 の構成について詳細に説明する。

20

【0134】

図 2 5 に示すように、実施形態 8 の液晶表示装置は、実施形態 3 の擬似壁電極を用いない構成とすると共に、長手方向の辺縁部に沿って形成される一对の壁電極が電氣的に接続されない構成となっている。実施形態 7 と同様に、一方の壁電極である壁電極 P X が薄膜トランジスタのソース電極に電氣的に接続され、他方の壁電極である共通壁電極 C T 3 がコモン線に接続される構成となっている。すなわち、長手方向の辺縁部に沿って形成される一对の壁電極の中で、一方の壁電極 P X が画素電極となり、他方の壁電極（共通壁電極）C T 3 が共通電極となっている。さらには、画素 P X L の境界部分（2 点鎖線で示す）を挟んで、壁電極 P X と隣接画素 P X L の共通壁電極 C T 3 とが近接して配置されている。

30

【0135】

この構成からなる実施形態 8 の画素構成では、実施形態 3 と同様に、画素 P X L の辺りの中で長手方向の一对の辺部に沿って絶縁膜 P A S 3 が形成されている。この絶縁膜 P A S 3 は画素 P X L の短手方向の平面での断面形状が台形状をなしており、一方の絶縁膜 P A S 3 の隣接画素側の側壁面には壁状電極 P X 1 が形成されている。また、この壁状電極 P X 1 が形成される絶縁膜 P A S 3 の下面側には平面電極 P X 2 が形成され、上面側には平面電極 P X 3 が形成されている。このとき、壁状電極 P X 1 の上側及び下側の辺縁部は、その端部において平面電極 P X 2 , P X 3 とそれぞれ連続して接続されており、壁状電極 P X 1 及び平面電極 P X 2 , P X 3 により、壁電極 P X の断面形状が各画素 P X L の中心方向（透過領域）すなわち共通壁電極 C T 3 の側に開口される C 字状の壁電極 P X を形成している。

40

【0136】

同様にして、一对の絶縁膜 P A S 3 の内で、他方の絶縁膜 P A S 3 の隣接画素側の側壁面には壁状電極 C T 4 が形成されている。また、絶縁膜 P A S 3 の下面側に平面電極（第 1 の平面電極）C T 5 が形成されると共に、上面側に平面電極（第 2 の平面電極）C T 6 が形成されている。このとき、壁状電極 C T 4 の上側及び下側の辺縁部は、その端部において平面電極 C T 5 , C T 6 とそれぞれ連続して接続されており、この壁状電極 C T 4 及び平面電極 C T 5 , C T 6 により、共通壁電極 C T 3 の断面形状が各画素 P X L の中心方向

50

(透過領域)すなわち壁電極 P X の側に開口される C 字状の共通壁電極 C T 3 を形成している。

【0137】

従って、実施形態 8 の画素構成においても、実施形態 3 と同様に、平面電極 P X 2 , P X 3 から発生した電気力線が壁状電極 P X から発生した電気力線によって急激に曲げられる。また、平面電極 C T 5 , C T 6 に到達する電気力線も第 2 の壁状電極 C T 4 から発生した電気力線によって急激に曲げられる。これによって、壁電極 P X から第 2 の壁電極 C T 3 に到達する電気力線の本数が多くなるので、電界強度の不均一性を抑制でき、画素全体の表示モード効率を向上できる。

【0138】

また、実施形態 8 の構成においては、壁状電極 P X 1 から発生した電気力線が液晶層 L C 側を介して隣接する画素やドレイン線 D L に向かってしまうことを平面電極 P X 2 , P X 3 により防止(遮蔽)できると共に、平面電極 P X 2 , P X 3 から発生した電気力線が第 2 の壁電極 C T 3 に到達できる。さらには、第 2 の壁電極 C T 3 においても、隣接する画素やドレイン線 D L から発生した電気力線が液晶層 L C を介して壁状電極 C T 4 に到達することを平面電極 C T 5 , C T 6 により防止(遮蔽)できると共に、壁電極 P X から発生した電気力線が平面電極 C T 5 , C T 6 に到達できる。従って、実施形態 8 の液晶表示装置においても、実施形態 3 と同様に、画素 P X L 内における電界強度の不均一性を抑制できる。また、配線であるドレイン線 D L 等からの電位による黒透過率増加の抑制にも寄与できる。さらには、黒表示の隣接画素へ到達する電気力線の本数を抑制できるので、隣接画素の黒透過率増加も抑制できる。以上のことから、実施形態 8 の構成においても低駆動電圧化、表示モード効率向上、配線電位による黒透過率増加抑制、及び隣接画素の黒透過率増加抑制ができる。

【0139】

また、実施形態 8 の液晶表示装置においても、実施形態 7 と同様に、各画素 P X L の壁電極 P X と共通壁電極 C T 3 とが短手方向に対向配置される構成としているので、高精細の液晶表示パネルに本願発明を適用した場合、壁電極 P X と共通壁電極 C T 3 との間隔を短く(小さく)することが可能となる。その結果、壁電極 P X と共通壁電極 C T 3 とに間に均一な電界をかけることができ、表示モード効率を向上できる。

【0140】

さらには、各画素 P X L の中央部分に擬似壁電極を形成するための線状電極を第 1 基板 S U B 1 及び第 2 基板 S U B 2 に形成する必要がなくなるので、第 1 基板 S U B 1 及び第 2 基板 S U B 2 の製造に要する工程数を減らすことが可能となり、液晶表示装置を低コスト化できるという効果も得られる。

【0141】

なお、実施形態 8 の画素構成においても、例えば、X 方向に奇数番目の画素境界の絶縁膜 P A S 3 の側壁面には壁電極 P X を形成し、偶数番目の画素境界の絶縁膜 P A S 3 の側壁面には共通壁電極 C T 3 を形成する等のように、画素境界に近接して形成される絶縁膜に隣接画素の共通電極や画素電極をまとめるように配置してもよい。

【0142】

さらには、図 26 に示す本発明の実施形態 8 の他の液晶表示装置における画素構成を説明するための断面図に示すように、実施形態 2 と同様の遮蔽電極 C E を配線(例えば、ドレイン線 D L)の下層側に設けることができる。

【0143】

この図 26 に示す実施形態 8 の他の液晶表示装置においては、配線であるドレイン線 D L の下層側に絶縁膜 P A S 1 を介して遮蔽電極 C E が配置される構成となっている。このとき、ドレイン線 D L の上層の構成は前述する図 25 に示す液晶表示装置と同様であり、絶縁膜 P A S 3 の側壁面すなわち画素 P X L の長辺側の辺縁部には、一方の辺縁部に壁状電極 P X 1 と平面電極 P X 2 , P X 3 とからなる壁電極 P X が形成され、他方の辺縁部に壁状電極 C T 4 と平面電極 C T 5 , C T 6 とからなる共通壁電極 C T 3 が形成されている

。

【 0 1 4 4 】

従って、図 2 6 に示す実施形態 8 の他の液晶表示装置においても、図 2 5 に示す実施形態 8 の液晶表示装置における効果に加えて、遮蔽電極 C E がドレイン線 D L から液晶層 L C を介して壁電極 P X に到達する電気力線 L F の発生を抑制することができるという格別の効果を得ることができる。

【 0 1 4 5 】

なお、実施形態 1 ~ 8 の液晶表示装置では、壁電極を画素の周縁部に沿って形成する構成としたが、これに限定されることはなく、例えば、図 2 7 に示すように、画素 P X L の短手方向 (X 方向) に開口を有する、すなわち長手方向 (Y 方向) に延在し短手方向 (X 方向) に対向配置される一対の壁電極 P X で形成する構成であってもよい。

10

【 0 1 4 6 】

以上、本発明者によってなされた発明を、前記発明の実施形態に基づき具体的に説明したが、本発明は、前記発明の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

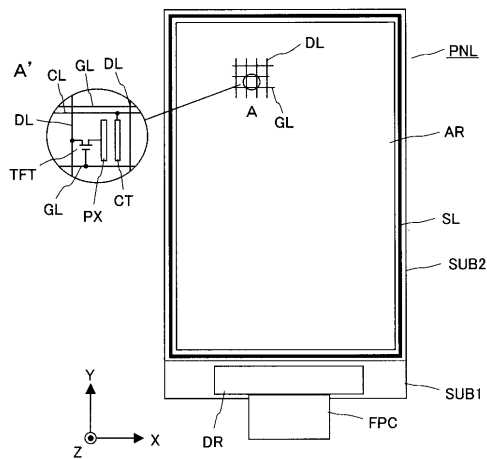
【 符号の説明 】

【 0 1 4 7 】

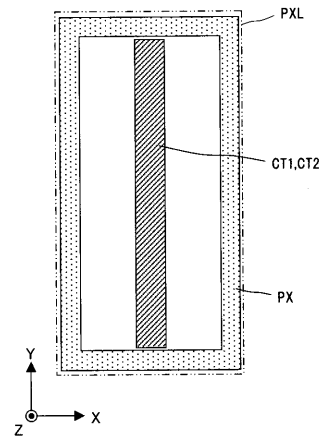
P N L ... 液晶表示パネル、 S U B 1 ... 第 1 基板、 S U B 2 ... 第 2 基板
 F P C ... フレキシブルプリント基板、 A R ... 表示領域、 T F T ... 薄膜トランジスタ
 D L ... ドレイン線、 C L ... コモン線、 G L ... ゲート線、 S L ... シール材
 C T ... 共通電極 (擬似共通電極)、 C T 1 , C T 2 ... 線状電極、 D R ... 駆動回路
 C T 3 ... 共通壁電極、 C T 4 ... 壁状電極、 C T 5 , C T 6 ... 平面電極
 P X ... 画素電極 (壁電極)、 P X 1 ... 壁状電極、 P X 2 , P X 3 ... 平面電極
 P X 4 ... 線状電極、 P A S 1 ~ 3 ... 絶縁膜、 P O L 1 , P O L 2 ... 偏光板
 O R I ... 配向膜、 C F ... カラーフィルタ、 L C ... 液晶層、 C E ... 遮蔽電極
 B M ... ブラックマトリクス、 L F , L F 1 , L F 2 , L F 1 ' , L F 2 ' ... 電気力線

20

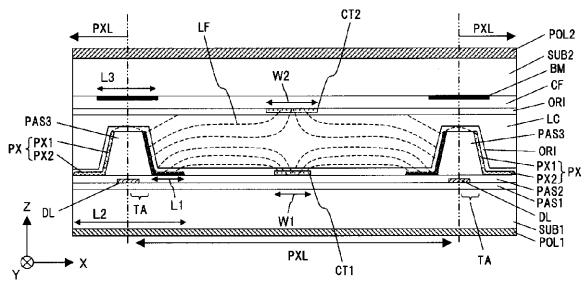
【 図 1 】



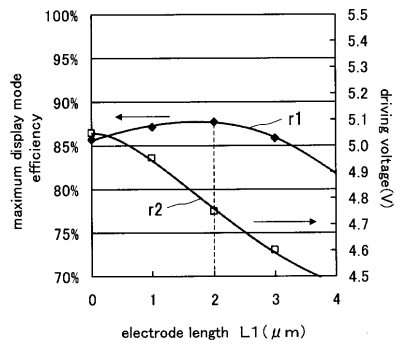
【 図 3 】



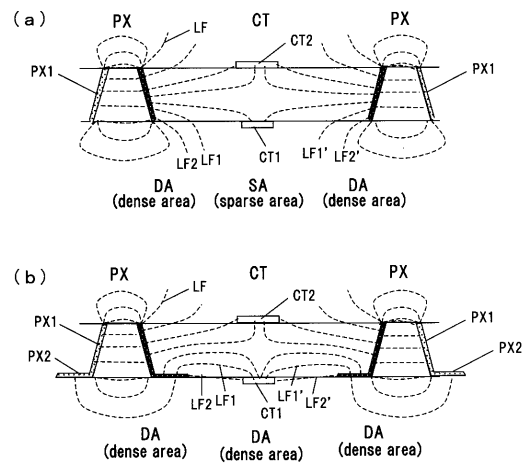
【 図 2 】



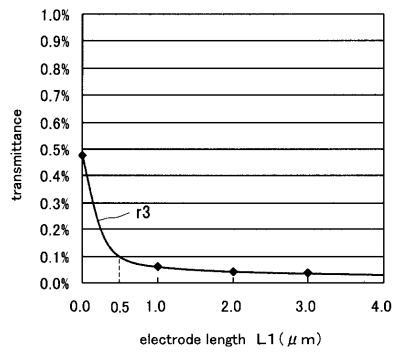
【 図 4 】



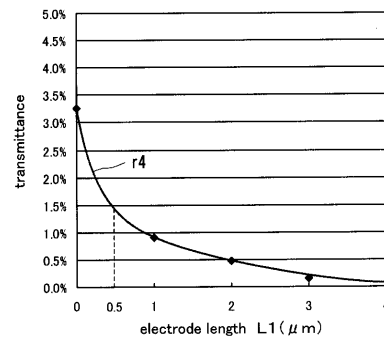
【 図 5 】



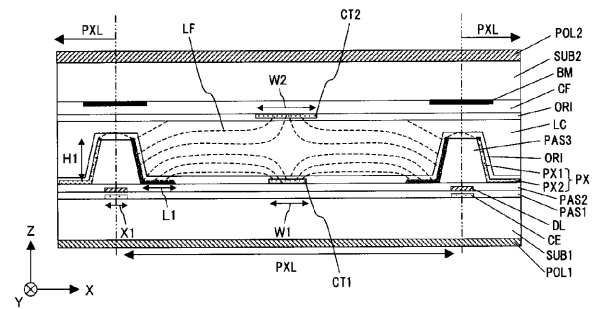
【図 6】



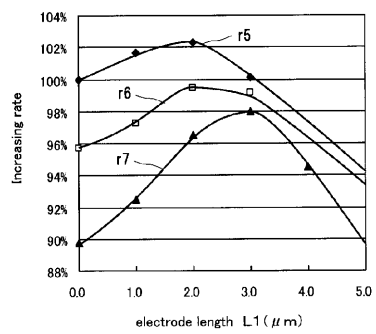
【図 7】



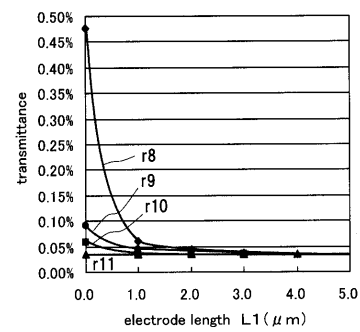
【図 8】



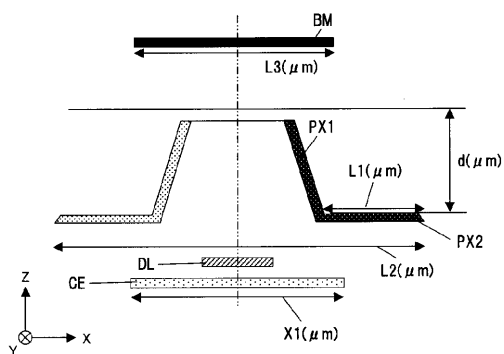
【図 9】



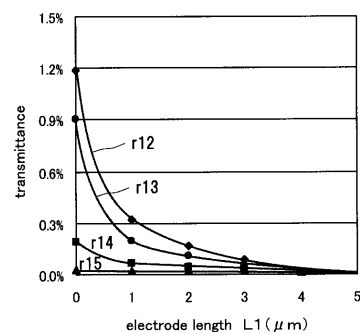
【図 11】



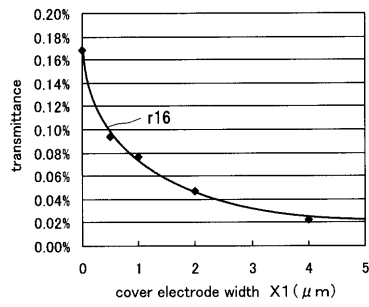
【図 10】



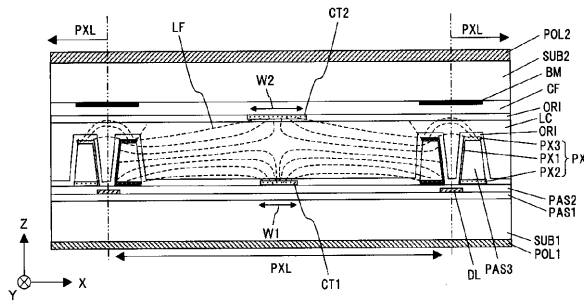
【図 12】



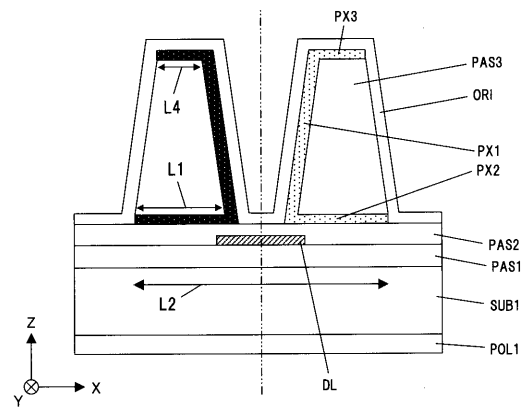
【図 13】



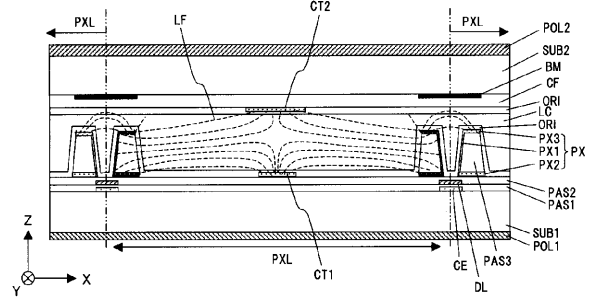
【図 14】



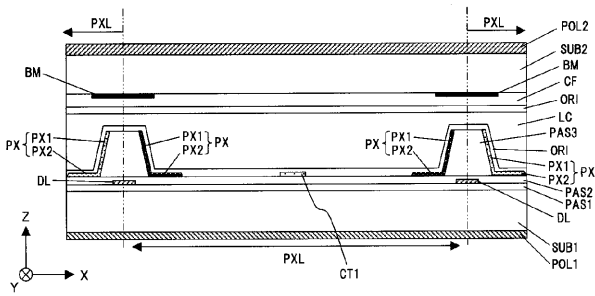
【図 15】



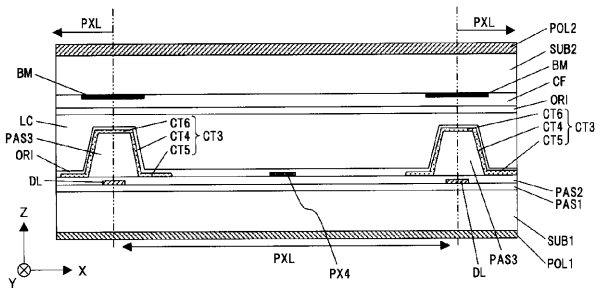
【図 16】



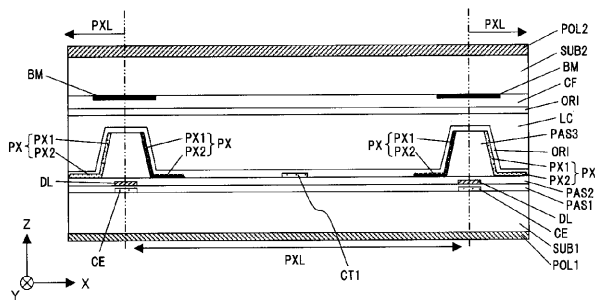
【図 17】



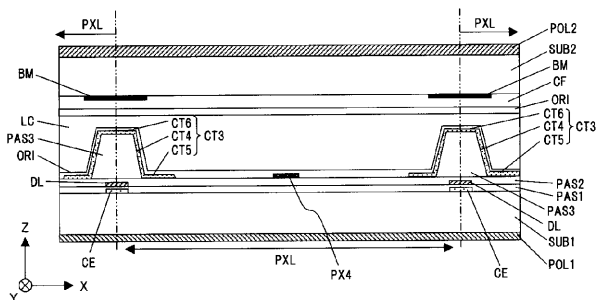
【図 19】



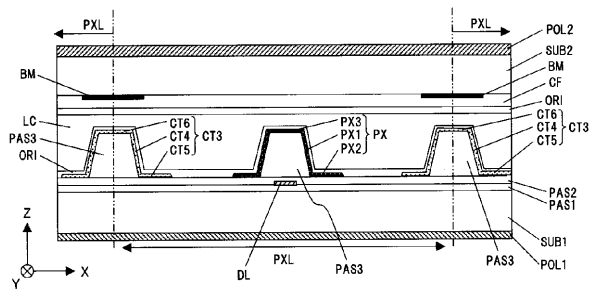
【図 18】



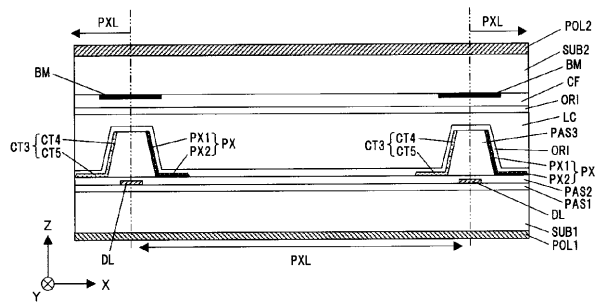
【図 20】



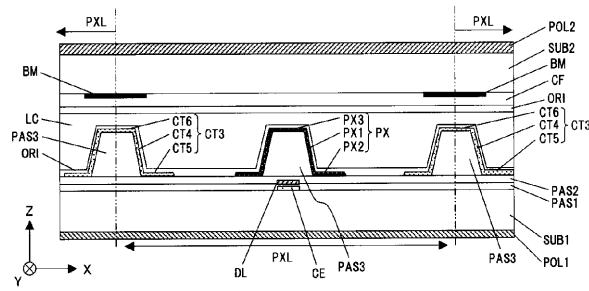
【図 2 1】



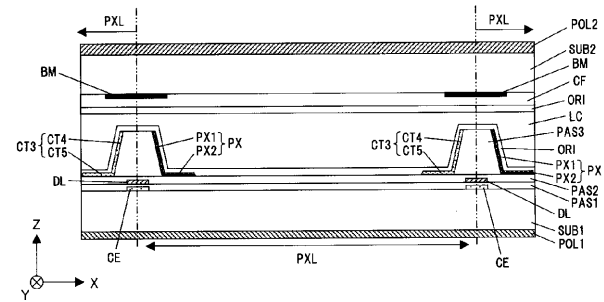
【図 2 3】



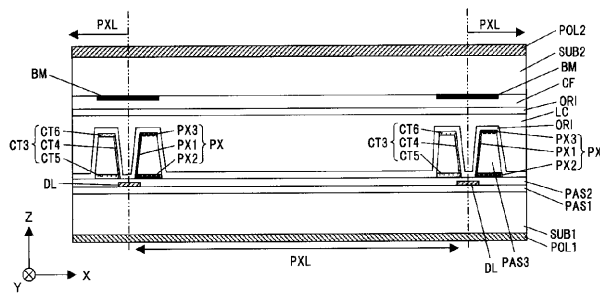
【図 2 2】



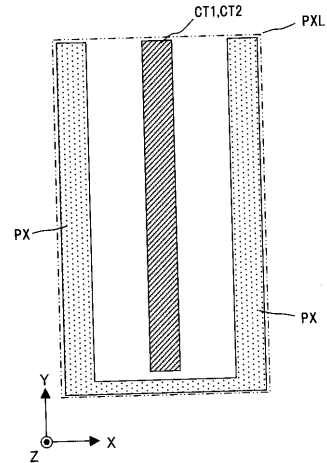
【図 2 4】



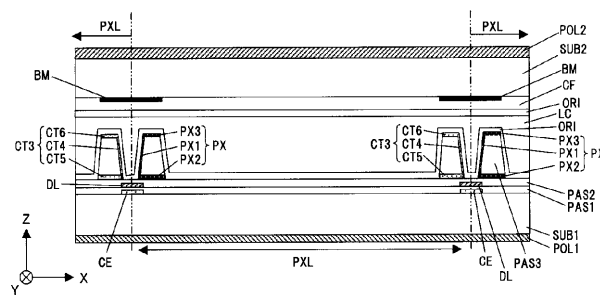
【図 2 5】



【図 2 7】



【図 2 6】



フロントページの続き

(72)発明者 小村 真一

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H092 GA14 JA24 JB04 JB05 JB22 JB31 NA04 NA07 QA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012220575A	公开(公告)日	2012-11-12
申请号	JP2011083815	申请日	2011-04-05
[标]申请(专利权)人(译)	日本显示器东股份有限公司		
申请(专利权)人(译)	有限公司日本东显示器		
[标]发明人	平塚崇人 伊東理 岡真一郎 小村真一		
发明人	平塚 崇人 伊東 理 岡 真一郎 小村 真一		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F2201/122		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JB04 2H092/JB05 2H092/JB22 2H092/JB31 2H092/NA04 2H092/NA07 2H092/QA06 2H192/AA24 2H192/BA32 2H192/BB03 2H192/BB33 2H192/BB42 2H192/BB52 2H192/EA22 2H192/EA43 2H192/EA68 2H192/FB22 2H192/GA02		
代理人(译)	小林 保		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，其能够通过使像素中的电场分布均匀来提高显示模式的效率。[解决方案] 在其上形成有第一电极和第二电极的第一基板，被布置为隔着液晶层与第一基板相对的第二基板，第一电极和第二电极 在液晶显示装置中，具有像素的区域排列成矩阵，并且液晶层由施加在第一电极和第二电极之间的第一基板的面内方向上的电场驱动。另外，每个像素区域具有形成在第一基板的相对侧上的台阶部分，并且第一电极和/或第二电极形成在台阶部分的侧壁表面上。从壁状电极的周边部分沿着第一基板的主表面形成的壁状电极和平面电极，以及壁状电极和平面电极电连接。液晶显示装置。[选择图]图2

