

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-123319

(P2012-123319A)

(43) 公開日 平成24年6月28日(2012.6.28)

(51) Int.Cl.	F 1	テーマコード (参考)
G02F 1/133 (2006.01)	GO2F 1/133 560	2H193
G09G 3/36 (2006.01)	GO2F 1/133 550	5C006
G09G 3/20 (2006.01)	GO9G 3/36	5C080
	GO9G 3/20 680H	
	GO9G 3/20 621F	

審査請求 未請求 請求項の数 8 O L (全 24 頁) 最終頁に続く

(21) 出願番号	特願2010-275963 (P2010-275963)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22) 出願日	平成22年12月10日 (2010.12.10)	(74) 代理人	100099759 弁理士 青木 篤
		(74) 代理人	100119987 弁理士 伊坪 公一
		(74) 代理人	100081330 弁理士 樋口 外治
		(74) 代理人	100114177 弁理士 小林 龍
		(72) 発明者	吉原 敏明 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
			最終頁に続く

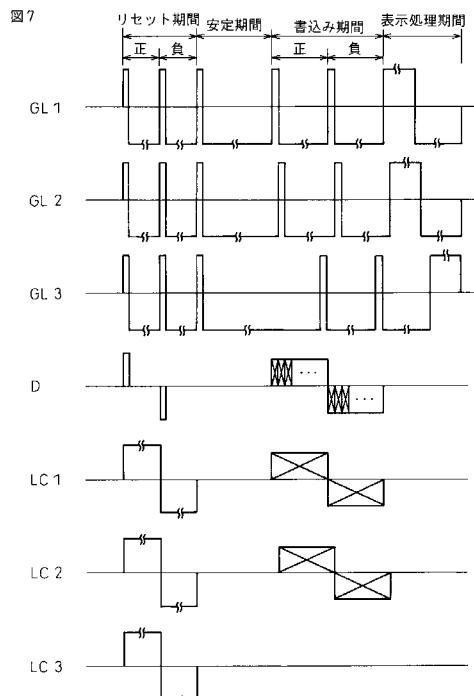
(54) 【発明の名称】 液晶表示装置および液晶表示素子の駆動方法

(57) 【要約】

【課題】 TFT型に適したコレステリック液晶表示素子の駆動方法およびコレステリック液晶装置の実現。

【解決手段】 コモン電極、マトリクス状に配置された画素電極31、コレステリック液晶材料が配置された液晶層12、および画素電極に対する電圧の印加を制御するスイッチング素子32を含む液晶表示素子10と、画素電極の印加する電圧を制御する駆動回路21,22,23、と、を備え、駆動回路は、コレステリック液晶材料に対して、リセット電圧、安定化電圧、データ電圧、及び維持電圧を順次印加し、且つ、維持電圧を印加している間、複数のラインの画素電極に対応するスイッチング素子をオン状態に維持する液晶表示装置。

【選択図】 図 7



【特許請求の範囲】**【請求項 1】**

コモン電極、マトリクス状に配置された画素電極、前記コモン電極と前記画素電極の間のコレステリック液晶材料が配置された液晶層、および前記画素電極に対する電圧の印加を制御するスイッチング素子を含む液晶表示素子と、

前記コモン電極と前記画素電極との間に印加する電圧を制御する駆動回路と、を備え、

前記駆動回路は、前記コレステリック液晶材料に対して、リセット電圧、安定化電圧、データ電圧、及び維持電圧を順次印加し、且つ、前記維持電圧を印加している間、複数のラインの前記画素電極に対応する前記スイッチング素子をオン状態に維持する、ことを特徴とする液晶表示装置。

10

【請求項 2】

前記コレステリック液晶材料は、

前記リセット電圧の印加によりホメオトロピック状態に、

前記安定化電圧の印加によりプレーナ状態に、

前記データ電圧の印加により、プレーナ状態と、プレーナ状態およびフォーカルコニック状態の混在状態、あるいはフォーカルコニック状態のいずれかである表示状態に、

前記維持電圧の印加により、前記表示状態を維持する状態になる請求項 1 記載の液晶表示素子。

【請求項 3】

前記リセット電圧の印加は、正極性のリセット電圧の印加と、負極性のリセット電圧の印加と、を備え、

前記データ電圧の印加は、正極性のデータ電圧の印加と、負極性のデータ電圧の印加と、を備える請求項 1 または 2 記載の液晶表示素子。

20

【請求項 4】

前記正極性のリセット電圧の印加および前記負極性のリセット電圧の印加の順番と、前記正極性のデータ電圧の印加および前記負極性のデータ電圧の印加の順番が、異なる請求項 3 記載の液晶表示素子。

【請求項 5】

前記正極性および負極性のリセット電圧の印加および前記正極性および負極性のデータ電圧の印加の順番が、表示画像の書換えごとに異なる請求項 3 記載の液晶表示素子。

30

【請求項 6】

前記液晶表示素子は、

第 1 の方向に伸びる複数のゲートラインと、

前記第 1 の方向と垂直な第 2 の方向に伸びる複数のデータラインと、を備え、

前記画素電極は、前記複数のゲートラインと前記複数のデータラインの交差部に対応してマトリクス状に配置され、

前記スイッチング素子は、各画素電極と各データライン間に接続され、対応する前記ゲートラインに印加される信号により制御され、

前記駆動回路は、前記複数のゲートラインを駆動するゲートドライバおよび前記複数のデータラインを駆動するデータドライバを制御する請求項 1 から 5 のいずれか一項に記載の液晶表示素子。

40

【請求項 7】

前記複数のゲートラインのうちの少なくとも 2 本以上のゲートラインに選択信号を印加し、前記少なくとも 2 本以上のゲートラインに接続された前記スイッチング素子をすべてオン状態にして、前記維持電圧の印加は、オン状態の前記スイッチング素子に接続される全画素に同時に印加する請求項 6 記載の液晶表示素子。

【請求項 8】

コモン電極と、マトリクス状に配置された画素電極との間にコレステリック液晶材料が配置された液晶層と、前記画素電極に対する電圧の印加を制御するスイッチング素子と、を備える液晶表示素子の駆動方法であって、

50

表示のため、前記コモン電極と前記画素電極の間に、

リセット電圧、

前記コレステリック液晶を初期状態にするための前記リセット電圧より小さい安定化電圧、

データ電圧、および

前記コレステリック液晶の状態を変化させない維持電圧、を順次印加し、

前記維持電圧を印加している間、複数のラインの前記画素電極に対応する前記スイッチング素子をオン状態に維持する、ことを特徴とする液晶表示素子の駆動方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶表示装置および液晶表示素子の駆動方法に関する。

【背景技術】

【0002】

コレステリック液晶は、半永久的な表示保持（メモリ性）や鮮やかなカラー表示、高コントラスト、高解像性といった優れた特徴を有するため、電子ペーパー（特にカラー）の有力な方式として注目されている。

【0003】

これまで、コレステリック液晶を利用した表示素子は、単純マトリクス（パッシブマトリクス）型の構成を有し、単純マトリクス駆動方法で駆動されるのが一般的であった。上記のように、コレステリック液晶表示素子は、メモリ性を有するため、画面書換え時以外は電力を供給しなくても表示を維持可能で、消費電力ゼロでカラー表示が可能であるという、これまでの液晶表示素子にはない大きな特徴を有している。しかし、コレステリック液晶は、応答速度が低速であるため、単純マトリクス駆動方法で駆動した場合、選択ライン上の液晶が応答するのに十分な電圧を印加するには、数m s～数十m sの選択期間を必要とした。このため、ライン数が1000本の場合、画面の書換えに数秒～数十秒の時間が必要であった。

20

【0004】

一方、動画表示用の一般的な液晶表示素子は、各画素にTFT（Thin Film Transistor）などのスイッチング素子を設けたTFT型が一般的である。TFT型の表示素子では、各画素に設けたTFTなどのスイッチング素子を数十μs間オン（ON）とすることで液晶へ電圧を印加し、その後スイッチング素子をオフ（OFF）にすることで電圧を保持する。このため、他のゲートラインに接続される画素にデータ電圧を印加する書込みを行っている間も、画素に印加済みのデータ電圧を維持することが可能であり、データ電圧の印加時間を大幅に長くすることが可能である。これにより、画面の書換えに要する時間を大幅に短縮できる。

30

【0005】

コレステリック液晶を利用した表示素子も、画面書換え時間を短縮するためにTFT型が検討されている。しかし、コレステリック液晶に適した電圧の印加方法については、十分に検討されていなかった。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-65455号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

実施形態によれば、TFT型のコレステリック液晶装置およびTFT型に適したコレステリック液晶表示素子の駆動方法が実現される。

【課題を解決するための手段】

50

【0008】

発明の第1の観点によれば、コモン電極、マトリクス状に配置された画素電極、コモン電極と画素電極の間のコレステリック液晶材料が配置された液晶層、および画素電極に対する電圧の印加を制御するスイッチング素子を含む液晶表示素子と、コモン電極と画素電極との間に印加する電圧を制御する駆動回路と、を備え、駆動回路は、コレステリック液晶材料に対して、リセット電圧、安定化電圧、データ電圧、及び維持電圧を順次印加し、且つ、維持電圧を印加している間、複数のラインの画素電極に対応するスイッチング素子をオン状態に維持する液晶表示装置が提供される。

【0009】

また、発明の第2の観点によれば、コモン電極と、マトリクス状に配置された画素電極との間にコレステリック液晶材料が配置された液晶層と、画素電極に対する電圧の印加を制御するスイッチング素子と、を備える液晶表示素子の駆動方法であって、表示のため、コモン電極と画素電極の間に、リセット電圧、コレステリック液晶を初期状態にするためのリセット電圧より小さい安定化電圧、データ電圧、およびコレステリック液晶の状態を変化させない維持電圧、を順次印加し、維持電圧を印加している間、複数のラインの画素電極に対応するスイッチング素子をオン状態に維持する液晶表示素子の駆動方法が提供される。

10

【発明の効果】

【0010】

実施形態によれば、表示品質の劣化が少なく、高品質の表示が維持されるコレステリック液晶表示素子の駆動方法およびコレステリック液晶表示装置が実現される。

20

【図面の簡単な説明】

【0011】

【図1】図1は、コレステリック液晶を用いたフルカラー表示が可能な液晶表示素子の一般的な断面構成を模式的に示す図である。

30

【図2】図2は、コレステリック液晶の状態を説明する図である。

【図3】図3は、コンベンショナル駆動方法における液晶の状態変化の例を示す図である。

【図4】図4は、コンベンショナル駆動方法において、液晶セル（画素）に印加される電圧波形の例、および図示の電圧波形を印加した場合の反射率の応答特性の例を示す図である。

30

【図5】図5は、実施形態のカラー表示装置の概略構成を示す図である。

【図6】図6は、実施形態のカラー表示装置で使用するコレステリック液晶を利用したカラー表示素子の断面構成を模式的に示す図である。

40

【図7】図7は、第1実施形態において、ゲートドライバがゲートラインに印加する信号、データドライバが1本のデータラインに印加する信号、およびゲートラインに対応する画素に印加される電圧を示す図である。

【図8】図8は、スイッチング動作に対する画素の電圧変化を説明する図である。

【図9】図9は、第2実施形態において、ゲートドライバがゲートラインに印加する信号、データドライバが1本のデータラインに印加する信号、およびゲートラインに対応する画素に印加される電圧を示す図である。

40

【図10】図10は、第3実施形態において、ゲートドライバがゲートラインに印加する信号、データドライバが1本のデータラインに印加する信号、およびゲートラインに対応する画素に印加される電圧を示す図である。

【図11】図11は、第4実施形態において、ゲートドライバがゲートラインに印加する信号、データドライバが1本のデータラインに印加する信号、およびゲートラインに対応する画素に印加される電圧を示す図である。

50

【図12】図12は、第5実施形態において、ゲートドライバがゲートラインに印加する信号、データドライバが1本のデータラインに印加する信号、およびゲートラインに対応する画素に印加される電圧を示す図である。

【図13】図13は、維持電圧印加シーケンスの変形例を示す図である。

【発明を実施するための形態】

【0012】

本発明の実施形態を説明する前に、コレステリック液晶を利用した表示素子の基本構成を説明する。

【0013】

図1は、コレステリック液晶を用いたフルカラー表示が可能な液晶表示素子10の一般的な断面構成を模式的に示している。液晶表示素子は、表示面から順に、青色(B)表示部10Bと、緑色(G)表示部10Gと、赤色(R)表示部10Rと、が積層された構造を有している。各表示部は、同じ構成を有しており、反射中心波長のみが異なる。図1において、上方の基板側が表示面であり、外光(実線矢印)は基板上方から表示面に向かって入射するようになっている。なお、基板上方に観測者の目及びその観察方向(破線矢印)を模式的に示している。

10

【0014】

B表示部10Bは、上側基板11Bと、下側基板13Bと、一対の上下基板間に封入された青色(B)用液晶層12Bと、B用液晶層12Bに所定のパルス電圧を印加するパルス電圧源18Bと、を有する。同様に、G表示部10Gは、上側基板11Gと、下側基板13Gと、緑色(G)用液晶層12Gと、パルス電圧源18Gと、を有し、R表示部10Rは、上側基板11Rと、下側基板13Rと、赤色(R)用液晶層12Rと、パルス電圧源18Rと、を有する。R表示部10Rの下側基板13Rの裏面(下面)には、光吸收層17が配置されている。

20

【0015】

B用液晶層12B、G用液晶層12GまたはR用液晶層12Rのそれぞれに用いられているコレステリック液晶は、ネマティック液晶にキラル性の添加剤(カイラル材ともいう)を数十wt%の含有率で比較的大量に添加した液晶混合物である。ネマティック液晶にカイラル材を比較的大量に含有させると、ネマティック液晶分子を強く螺旋状に捻ったコレステリック相を形成することができる。このためコレステリック液晶はカイラルネマティック液晶とも称される。

20

【0016】

コレステリック液晶は双安定性(メモリ性)を備えており、液晶に印加する電界強度の調節によりプレーナ状態、フォーカルコニック状態、またはそれらの混合による中間的な状態のいずれかの状態をとることができる。一旦プレーナ状態、フォーカルコニック状態、またはそれらの中間的な状態になると、その後は無電界下においても安定してその状態を保持する。プレーナ状態は、例えば、上下基板間に所定の高電圧を印加して液晶層に強電界を与え、液晶をホメオトロピック状態にした後、急激に電界をゼロにすることにより得られる。

30

【0017】

フォーカルコニック状態は、例えば、上記高電圧より低い所定電圧を上下基板間に印加して液晶層に電界を与えた後、急激に電界をゼロにすることにより得られる。あるいは、プレーナ状態から徐々に電圧を加えることで得ることができる。

40

【0018】

プレーナ状態とフォーカルコニック状態の中間的な状態は、例えば、フォーカルコニック状態が得られる電圧よりも低い電圧を上下基板間に印加して液晶層に電界を与えた後、急激に電界をゼロにすることにより得られる。

【0019】

このコレステリック液晶を用いた液晶表示素子の表示原理を、B表示部10Bを例にとって説明する。図2の(A)は、B表示部10BのB用液晶層12Bがプレーナ状態である場合の、コレステリック液晶の液晶分子LCの配向状態を示している。図2の(A)に示すように、プレーナ状態での液晶分子は、上下基板11B、13Bの厚さ方向に順次回転して螺旋構造を形成し、螺旋構造の螺旋軸は基板面にほぼ垂直になる。

50

【0020】

プレーナ状態では、液晶分子の螺旋ピッチに応じた所定波長の光が選択的に液晶層12Bで反射される。液晶層の平均屈折率をnとし、螺旋ピッチをpとすると、反射が最大となる波長は、 $\lambda = n \cdot p$ で示される。

【0021】

従って、B表示部10BのB用液晶層12Bでプレーナ状態時に青色の光を選択的に反射させるには、例えば $\lambda = 480 \text{ nm}$ となるように平均屈折率n及び螺旋ピッチpを決める。平均屈折率nは液晶材料及びカイラル材を選択することで調整可能であり、螺旋ピッチpは、カイラル材の含有率を調整することにより調節することができる。

【0022】

図2の(B)は、B表示部10BのB用液晶層12Bがフォーカルコニック状態である場合の、コレステリック液晶の液晶分子LCの配向状態を示している。図2の(B)に示すように、フォーカルコニック状態での液晶分子LCは、上下基板11B、13Bの面内方向に順次回転して螺旋構造を形成し、螺旋構造の螺旋軸は基板面にほぼ平行になる。フォーカルコニック状態では、B用液晶層に反射波長の選択性は失われ、入射光の殆どが透過する。透過光はR表示部の下基板裏面に配置された光吸収層で吸収されるので暗(黒)表示が実現できる。

10

【0023】

プレーナ状態とフォーカルコニック状態の中間の状態においては、その状態に応じて反射光と透過光の割合を調整できるので、反射光の強度を可変でき、中間調表示が実現できる。

20

【0024】

このように、コレステリック液晶では、螺旋状に捻られた液晶分子の配向状態で光の反射量を制御することができる。

【0025】

上記のB用液晶層12Bと同様に、G用液晶層12G及びR用液晶層12Rに、プレーナ状態時に緑または赤の光を選択的に反射させるコレステリック液晶をそれぞれ封入してフルカラー表示の液晶表示素子が作製される。

30

【0026】

以上のようにコレステリック液晶を用い、赤、緑および青の光を選択的に反射する液晶表示素子を積層することで、メモリ性のあるフルカラーの表示装置が可能となり、画面書換え時以外は、消費電力がゼロでカラー表示が可能となる。B用液晶層12B、G用液晶層12G及びR用液晶層12Rのすべてをフォーカルコニック状態にすると黒表示になる。B用液晶層12B、G用液晶層12G及びR用液晶層12Rのうちの1つのみをプレーナ状態にすると、対応する色が表示される。例えば、G用液晶層12Gをプレーナ状態に、B用液晶層12B及びR用液晶層12Rをフォーカルコニック状態にすると緑色表示になる。さらに、B用液晶層12B、G用液晶層12G及びR用液晶層12Rのうちの1つのみをフォーカルコニック状態にすると、対応する色が表示される。例えば、G用液晶層12Gをフォーカルコニック状態に、B用液晶層12B及びR用液晶層12Rをプレーナ状態にするとマゼンタ色表示になる。B用液晶層12B、G用液晶層12G及びR用液晶層12Rのすべてをプレーナ状態にすると白表示になる。白表示においては、B用液晶層12B、G用液晶層12G及びR用液晶層12Rの3層の反射を合わせた反射になるため、非常に明るい白表示が得られる。

40

【0027】

次に、コレステリック液晶を利用した表示素子の駆動原理を説明する。

【0028】

コレステリック液晶表示素子に画像を表示する場合に用いられる駆動方法には、多くの方法が提案されているが、「コンベンショナル駆動方法」と「ダイナミック駆動方法」の2つに大別できる。ダイナミック駆動方法は、上記の「ホメオトロピック状態」、「プレーナ状態」および「フォーカルコニック状態」に加えて、トランジエントプレーナ状態を

50

用いる。ダイナミック駆動方法は、単純マトリクス方式の表示素子の場合でも、表示を比較的高速で書き換えることができるが、精密な階調表示が難しいという問題があった。これに対して、コンベンショナル駆動方法は、精密な階調表示が可能であるが、単純マトリクス方式の表示素子の場合には、表示の書き換えに長時間を要するという問題があった。

【0029】

図3は、コンベンショナル駆動方法における液晶の状態変化の例を示す図である。コンベンショナル駆動方法では、全画素に高電圧を印加してホメオトロピック状態にした後、電界を解除して、全画素をプレーナ状態またはフォーカルコニック状態にするリセット動作を行う。その後、単純マトリクス駆動方法で、比較的低い電圧の短いパルス幅の書き込みパルスを印加して、プレーナ状態またはフォーカルコニック状態から、画素ごとに状態を変化させる書き込み動作を行う。図3は、リセット動作で全画素をプレーナ状態にした後、書き込み動作で、プレーナ状態を維持するか、フォーカルコニック状態またはプレーナ状態とフォーカルコニック状態の混在した状態に変化させる動作を示している。

10

【0030】

図4は、コンベンショナル駆動方法において、液晶セル(画素)に印加される電圧波形の例、および図示の電圧波形を印加した場合の反射率の応答特性の例を示す図である。図4の(A)は、リセット動作において印加するリセット電圧波形(パルス)を示しており、図4の(B)は、リセットパルスの印加に対する応答を示している。図4の(C)は、書き込み動作において印加する書き込み電圧波形(パルス)の一例を示しており、図4の(D)は、初期状態がプレーナ状態の場合の図4の(C)の書き込みパルスの印加に対する応答を示している。また、図4の(E)は、図4の(C)より狭いパルス幅の書き込みパルスを示しており、図4の(F)は、初期状態がプレーナ状態の場合の図4の(E)の書き込みパルスの印加に対する応答を示している。言い換えれば、図4の(D)および(F)は、図4の(B)のPで示す左側の傾斜部における変化を示している。

20

【0031】

コレステリック液晶の駆動波形は、液晶材料の劣化(分極)を抑制するために交流とする必要がある。まず、図4の(A)に示すような正負のパルスを合わせたパルス幅が60msと広いパルスを印加する場合で、パルス電圧を0Vから徐々に上げていった場合の状態変化について述べる。初期状態がプレーナ状態の場合、状態は図4の(B)においてPで示す線に沿って変化する。パルス電圧がある電圧を超えると徐々にフォーカルコニック状態に遷移し、反射率は急激に低下する。反射率が最小値に達すると、パルス電圧がある電圧を超えない限り反射率はほとんど変化しない。パルス電圧がある電圧を超えると徐々にプレーナ状態に遷移し、反射率は急激に上昇する。反射率が最大値に達すると、パルス電圧を上げても反射率は変化しない。このような電圧-反射率特性は、一般に「VR特性」と呼ばれる。初期状態がフォーカルコニック状態の場合、状態は図4の(B)においてFで示す線に沿って変化する。パルス電圧がある電圧を超えない限り反射率は変化しない。パルス電圧がある電圧を超えると徐々にプレーナ状態に遷移し、反射率は急激に上昇する。反射率が最大値に達すると、パルス電圧を上げても反射率は変化しない。そして、初期状態がプレーナ状態であってもフォーカルコニック状態であっても、ある電圧以上の電圧を印加すると、必ず反射率が最大値のプレーナ状態になる。図4の(B)では、パルス幅60msで電圧が±36Vのパルスの場合、必ずプレーナ状態になるので、このパルスをリセットパルスとして使用することができる。

30

【0032】

これよりもパルス幅が狭いパルスを印加する場合、応答性はシフトする。たとえば、図4の(C)に示すパルス幅が2msで、パルス電圧が±24Vと±12Vのパルスを印加する場合、初期状態がプレーナ状態であれば、状態は図4の(D)においてLで示す線に沿って変化する。図4の(D)においては、±12Vのパルスでは反射率は変化せず、プレーナ状態が維持される。±24Vのパルスでは反射率が少し低下した中間調となる。また、初期状態がプレーナ状態とフォーカルコニック状態が混在した反射率が中間値の場合は、状態は図3の(D)においてMで示す線に沿って変化する。この場合も、±12Vの

40

50

パルスでは反射率は変化せず、 $\pm 24V$ のパルスでは反射率が少し低下する。

【0033】

さらに、図4の(E)に示すパルス幅が1msで、パルス電圧が $\pm 24V$ と $\pm 12V$ のパルスを印加する場合、初期状態がプレーナ状態であれば、状態は図4の(F)においてNで示す線に沿って変化する。図4の(F)においては、 $\pm 12V$ のパルスでは反射率は変化せず、プレーナ状態が維持される。 $\pm 24V$ のパルスでは反射率が少し低下した中間調となるが、反射率の低下量は、2msのパルス幅の場合より小さい。すなわち、2msの方が1msより暗い階調となる。初期状態がプレーナ状態とフォーカルコニック状態が混在した反射率が中間値の場合は、状態は図4の(F)においてOで示す線に沿って変化する。この場合も、 $\pm 12V$ のパルスでは反射率は変化せず、 $\pm 24V$ のパルスでは反射率が少し低下する。

10

【0034】

以上のように、初期状態がプレーナ状態の場合、比較的小さな電圧の短いパルスを印加すると、反射率が低下し、反射率の低下量は、パルス電圧およびパルス幅に応じて変化することが分かる。具体的には、パルス電圧が高いほど、パルス幅が大きいほど、反射率の低下量は大きくなる。また、図4の(D)および(F)のMおよびOで示す変化から、パルスを分けて印加しても同様の変化が起き、反射率の低下量はパルス幅の合計、すなわち累積パルス印加時間に関係する。

20

【0035】

以上の説明は、初期状態がプレーナ状態の場合で、図4の(B)において、Pで示す左側の傾斜部分を利用した例であるが、初期状態がフォーカルコニック状態の場合で、図4の(B)において、FCで示す右側の傾斜部分を利用する場合も同様である。

【0036】

コンベンショナル駆動方法としていくつかの方法が提案されているが、初期状態をプレーナ状態とするかフォーカルコニック状態とするかで異なる。言い換えれば、図4の(B)において、Pで示す左側の傾斜部分を利用するか、FCで示す右側の傾斜部分を利用するかで異なる。以下、初期状態をプレーナ状態とし、図4の(B)において、Pで示す左側の傾斜部分を利用する場合を例として説明するが、これに限定されるものではない。

30

【0037】

前述のように、これまで、コレステリック液晶を利用した表示素子は、単純マトリクス(パッシブマトリクス)型の構成を有し、単純マトリクス駆動方法で駆動されるのが一般的であった。コレステリック液晶は応答速度が低速であるため、単純マトリクス駆動方法で駆動した場合、選択ライン上の液晶が応答するのに十分な電圧を印加するには、数ms～数十msの選択期間を必要とした。このため、ライン数が1000本の場合、画面の書換えに数秒～数十秒の時間が必要であり、表示の書換え速度の向上が望まれていた。

30

【0038】

[第1実施形態]

図5は、第1実施形態のカラー表示装置の概略構成を示す図である。図6は、第1実施形態のカラー表示装置で使用するコレステリック液晶を利用したカラー表示素子の断面構成を模式的に示す図である。

40

【0039】

図5に示すように、第1実施形態のカラー表示装置は、カラー表示素子10と、ゲートドライバ21と、データドライバ22と、駆動制御部23と、を有する。

【0040】

図5および図6に示すように、カラー表示素子10は、B表示部10Bと、G表示部10Gと、R表示部10Rと、光吸収層17と、ブルーカットフィルタ19Bと、グリーンカットフィルタ19Gと、を有する。B表示部10Bは、プレーナ状態で青色の光を反射するB用液晶層12Bを有し、G表示部10Gは、プレーナ状態で緑色の光を反射するG用液晶層12Gを有し、R表示部10Rは、プレーナ状態で赤色の光を反射するR用液晶層12Rを有する。B表示部10B、G表示部10GおよびR表示部10Rは、この順に

50

光入射面（表示面）側から積層されている。光吸收層 17 は、R 表示部 10R の裏面側に設けられ、入射する可視光が反射しないように吸収する。ブルーカットフィルタ 19B は、B 表示部 10B と G 表示部 10G の間に設けられ、青色の光に対応する波長成分をカットする。グリーンカットフィルタ 19G は、G 表示部 10G と R 表示部 10R の間に設けられ、緑色の光に対応する波長成分をカットする。なお、光吸收層 17、ブルーカットフィルタ 19B およびグリーンカットフィルタ 19G は、必要に応じて設ければよい。

【0041】

B 表示部 10B は、対向配置された一対の上下基板 11B および 13B と、両基板間に封入された B 用液晶層 12B と、上側基板 11B 上に形成された共通電極層 14B と、下側基板 13B 上に形成された画素電極層 15B と、を有している。B 用液晶層 12B は、プレーナ状態で、青色を選択的に反射するように調整された B 用コレステリック液晶を有している。例えば、B 用液晶層 12B の反射中心波長は、青色に対応する 480 nm である。

10

【0042】

G 表示部 10G は、対向配置された一対の上下基板 11G および 13G と、両基板間に封入された G 用液晶層 12G と、上側基板 11G 上に形成された共通電極層 14G と、下側基板 13G 上に形成された画素電極層 15G と、を有している。G 用液晶層 12G は、プレーナ状態で、緑色を選択的に反射するように調整された G 用コレステリック液晶を有している。例えば、G 用液晶層 12G の反射中心波長は、緑色に対応する 550 nm である。

20

【0043】

同様に、R 表示部 10R は、対向配置された一対の上下基板 11R および 13R と、両基板に封止された R 用液晶層 12R と、上側基板 11R 上に形成された共通電極層 14R と、下側基板 13R 上に形成された画素電極層 15R と、を有している。R 用液晶層 12R は、プレーナ状態で、赤色を選択的に反射するように調整された R 用コレステリック液晶を有している。例えば、R 用液晶層 12R の反射中心波長は、赤色に対応する 630 nm である。

20

【0044】

ここで、各液晶層に充填される液晶組成物について、詳しく述べる。液晶層を構成する液晶組成物は、ネマティック液晶混合物にカイラル材を 10 ~ 40 wt % 添加したコレステリック液晶である。カイラル材の添加量はネマティック液晶成分とカイラル材の合計量を 100 wt % としたときの値である。ネマティック液晶としては従来公知の各種のものを用いることができる。屈折率異方性 (n) は、0.18 ~ 0.24 であることが好ましい。この範囲より小さいと、プレーナ状態の反射率が低くなり、この範囲より大きいと、フォーカルコニック状態での散乱反射が大きくなる他、粘度も高くなり、応答速度が低下する。また、液晶層の厚みは、3 ~ 6 μm が好ましく、これより小さいとプレーナ状態の反射率が低くなり、これより大きいと駆動電圧が高くなりすぎる。

30

【0045】

次に各液晶層の旋光性について述べる。B、G、R の各表示部の積層構造において、プレーナ状態における G 用液晶層 12G での旋光性と、B 用液晶層 12B 及び R 用液晶層 12R での旋光性とは、異なる。

40

【0046】

上側基板および下基板は、透光性を有することが必要である。ここでは、縦横の長さが 12 cm × 12 cm の大きさに切断した 2 枚のポリエチレンナフタレート (PEN) フィルム基板を用いている。また、PEN 基板に代えてガラス基板やポリエチレンテレフタレート (PET)、ポリカーボネイト (PC) 等のフィルム基板を使用することもできる。ここでは、各表示部の上側基板および下側基板はいずれも透光性を有しているが、最下層に配置される R 表示部 10R の下側基板 13R は、不透光性であってもよい。

【0047】

共通電極層 14B は、B 表示部 10B の上側基板 11B の B 用液晶層 12B 側に設けら

50

れ、全面に共通電極が形成されている。画素電極層 15B は、B 表示部 10B の下側基板 13B の B 用液晶層側 12B に設けられ、画素電極 31、TFT32、ゲートライン 33 およびデータライン 34 と、が形成されている。複数のゲートライン 33 は第 1 方向（ここでは横方向）に互いに平行に伸びる。複数のデータライン 34 は、第 1 方向と直交する第 2 の方向（ここでは縦方向）に互いに平行に伸び、複数のゲートライン 33 に対して絶縁層を介して形成される。複数のゲートライン 33 と複数のデータライン 34 により区切られる領域に複数の画素電極 31 が設けられる。したがって、複数の画素電極 31 は、マトリクス状に配置され、画素電極 31 が画素に対応する。また、複数のゲートライン 33 と複数のデータライン 34 の交差部に対応して TFT 等の複数のスイッチング素子 32 が設けられる。各画素電極 31 は、対応するスイッチング素子 32 を介して対応するデータライン 34 に接続される。各スイッチング素子 32 の制御端子は対応するゲートライン 33 に接続される。ゲートライン 33 に選択信号を印加すると、そのゲートライン 33 に接続されるスイッチング素子 32 がオン（同通）状態になり、そのゲートライン 33 に対応する画素電極 31 は、それぞれデータライン 34 に接続される。

10

【0048】

ここでは、320 × 240 ドットの QVGA 表示ができるように、0.24 mm ピッチで、画素電極 31、スイッチング素子 32、ゲートライン 33 およびデータライン 34 を形成しており、ゲートライン 33 が 240 本で、データライン 34 が 320 本である。

20

【0049】

共通電極および画素電極の形成材料としては、例えばインジウム錫酸化物 (Indium Tin Oxide; ITO) が代表的であるが、その他インジウム亜鉛酸化物 (Indium Zinc Oxide; IZO) 等の透明導電膜、アルミニウムあるいはシリコン等の金属電極、又はアモルファスシリコンや珪酸ビスマス (Bismuth Siliccon Oxide; BSO) 等の光導電性膜等を用いることができる。

20

【0050】

ここでは、スイッチング素子 32 は、TFT 素子で形成される。TFT 素子の半導体としては、Si や有機半導体として知られているペンタセンやアントラセン、ルブレンなどの多環芳香族炭化水素や、テトラシアノキノジメタン (TCNQ) などの低分子化合物をはじめ、ポリアセチレンやポリ-3-ヘキシルチオフェン (P3HT)、ポリパラフェニレンビニレン (PPV) などのポリマーを用いることができる。さらに、a-InGaZnO に代表される酸化物半導体を用いることも可能である。

30

【0051】

電極上には機能膜として、液晶分子の配列を制御するための配向膜（いずれも不図示）がコーティングされていることが好ましい。配向膜には、ポリイミド樹脂、ポリアミドイミド樹脂、ポリエーテルイミド樹脂、ポリビニルブチラール樹脂およびアクリル樹脂等の有機膜や、酸化シリコン、酸化アルミニウム等の無機材料を用いることができる。ここでは、例えば電極上の基板全面には、配向膜が塗布（コーティング）されている。

30

【0052】

上側基板 11B と下側基板 13B の外周囲に塗布されたシール材 16B により、B 用液晶層 12B は両基板間に封入されている。また、B 用液晶層 12B の厚さ（セルギャップ）は均一に保持する必要がある。所定のセルギャップを維持するには、樹脂製又は無機酸化物製の球状スペーサを B 用液晶層 12B 内に散布するか、構造体による柱状スペーサを B 用液晶層 12B 内に複数形成する。ここでは、B 用液晶層 12B 内に柱状スペーサが設けられてセルギャップの均一性が保持されている。B 用液晶層 12B のセルギャップは、3 μm ～ 6 μm の範囲であることが好ましい。

40

【0053】

G 表示部 10G および R 表示部 10R は、B 表示部 10B と同様の構造を有しているため、説明は省略する。

【0054】

B 表示部 10B、G 表示部 10G および R 表示部 10R の複数のゲートライン 33 およ

50

び複数のデータライン34は、下側基板の端部に引き出され、ゲートドライバ21およびデータドライバ22の端子にそれぞれ接続される。ゲートドライバ21は、複数のゲートライン33のうちの1本に選択信号を印加し、他のゲートラインに非選択信号を印加し、選択信号を印加するゲートライン33の位置を順次シフトする。データドライバ22は、選択信号に同期して、選択信号の印加されるゲートラインにTFT32を介して接続される画素電極に、画素の表示データに対応するデータ電圧を印加する。なお、ここで使用するゲートドライバ21は、全出力端子に、選択信号と同じ電圧を出力する全選択が可能である。

【0055】

ここでは、カラー表示装置の駆動回路の構成を簡略化するため、B表示部10B、G表示部10GおよびR表示部10Rのゲートライン33を駆動するゲートドライバ21を共通化しているが、ゲートドライバ21を別々に設けることも可能である。ゲートドライバの共通化は、必要に応じて行えばよい。

【0056】

また、共通電極層14B、14Gおよび14Rに設けられる共通電極は、グランドレベルの端子に接続される。

【0057】

駆動制御部23は、上記の動作を行うように、ゲートドライバ21およびデータドライバ22を制御する。

【0058】

次に、B表示部10B、G表示部10GおよびR表示部10Rは、同じ作製工程で作製される。以下、作製工程の例を説明する。

【0059】

縦横の長さが12cm×12cmの大きさに切断した2枚のポリエチレンナフタレート(PEN)フィルム基板の一方の基板上に0.24mmピッチで320×240ドットのQVGA表示ができるようにTFT素子、およびIZOからなる画素電極を形成する。他方の基板上には、一方の基板に対応したサイズのIZOからなる共通電極を形成する。

【0060】

次にTFTや電極が形成された基板を洗浄し、配向膜としてポリイミドを厚さ50nmで塗布し、150℃で1時間で焼成する。その後、レーヨン製の布でラビングを行う。ラビングの方向は、2枚の基板を重ね合わせたとき、直交する方向(クロスラビング)とする。ラビングは必要に応じて行えばよい。

【0061】

次に、一方のPENフィルム基板上にフォトレジストを塗布し、フォトリソグラフィ工程を経てレジストをパターニングし、150℃で120分焼成することで、高さ4μmの構造体を作製する。この構造体は、2枚の基板を重ねたときにギャップを維持するためのものである。

【0062】

次に、他方のPENフィルム基板上の周縁部にエポキシ系のシール剤をディスペンサを用いて塗布する。次いで、2枚のPENフィルム基板を貼り合わせて、1kg/cm²の力で加圧しながら160℃で1時間加熱する。これにより、シール剤が硬化し両基板と接着する。また同時に構造体も両基板と接着する。

【0063】

次に、真空注入法によりコレステリック液晶を注入した後、エポキシ系の封止材で注入口を封止し、表示部が完成する。なお、R用液晶層12RとB用液晶層12Bの液晶の螺旋方向は、G用液晶層12Gの液晶の螺旋方向と逆とする。

【0064】

次に、表示素子10を駆動する駆動方法、すなわちゲートドライバ21およびデータドライバ22が出力する駆動信号について説明する。ここでは、1つの表示部のゲートラインおよびデータラインに印加される駆動信号を説明するが、他の表示部についても同様で

10

20

30

40

50

ある。

【0065】

図7は、図5に示すカラー液晶表示素子を有する第1実施形態の液晶表示装置における主な波形を示す図である。具体的には、図7において、GL1、GL2およびGL240は、ゲートドライバ21からゲートラインGL1、GL2およびGL240に印加される信号である。Dは、データドライバ22が1本のデータラインDに印加する信号である。LC1、LC2およびLC240は、GL1、GL2およびGL240に対応する画素に印加される電圧を示す図である。

【0066】

図7に示すように、駆動シーケンスは、リセット期間、安定期間、書き込み期間および表示処理期間を含む。リセット期間は、正極性のリセット期間と、負極性のリセット期間と、を含む。書き込み期間は、正極性の書き込み期間と、負極性の書き込み期間と、を含む。

【0067】

ゲートラインGL1、GL2、…、GL240に印加する選択信号は、+30Vの70μs/ラインのパルスで、非選択信号は-30Vの70μs/ラインのパルスである。スイッチング素子(TFT)32のゲートに選択信号を印加することにより、データラインおよび画素電極の電位にかかわらず、TFT32はオンして導通状態になる。また、TFT32のゲートに非選択信号を印加することにより、データラインおよび画素電極の電位にかかわらず、TFT32はオフして非導通状態になる。

【0068】

リセット期間の前半の正極性のリセット期間では、全ゲートラインGL1、GL2、…、GL240にパルス幅70μsの選択信号(+30V)を同時に印加し、この印加に同期してすべてのデータラインDに正極性のリセット電圧を印加する。正極性のリセット電圧は、液晶をホメオトロピック状態にする電圧であり、ここでは+40Vであるとする。これにより、全TFT32がオンし、全画素電極31に+40Vが印加される。共通電極はグランドに接続されているので、全画素の液晶LC1、LC2、…、LC240に+40Vが印加される。全ゲートラインGL1、GL2、…、GL240への選択信号(+30V)の印加が終了すると、全ゲートラインには非選択信号(-30V)が印加されるので、全TFT32はオフ状態になり、この時の液晶の状態が維持される。正極性のリセット期間は、16.8msであり、その間全画素の液晶LC1、LC2、…、LC240に+40Vが印加される状態が維持される。

【0069】

リセット期間の後半の負極性のリセット期間では、全ゲートラインGL1、GL2、…、GL240にパルス幅70μsの選択信号(+30V)を同時に印加し、この印加に同期して全データラインDに負極性のリセット電圧を印加する。負極性のリセット電圧は、液晶をホメオトロピック状態にする電圧であり、ここでは-40Vであるとする。これにより、全TFT32がオンし、全画素電極31に-40Vが印加される。共通電極はグランドに接続されているので、全画素の液晶LC1、LC2、…、LC240に-40Vが印加される。全ゲートラインGL1、GL2、…、GL240への選択信号(+30V)の印加が終了すると、全ゲートラインには非選択信号(-30V)が印加されるので、全TFT32はオフ状態になり、この状態が維持される。負極性のリセット期間は、16.8msであり、その間全画素の液晶LC1、LC2、…、LC240に-40Vが印加される状態が維持される。

【0070】

以上のようにして、リセット期間では、全画素に同時に、パルス幅が33.6msの±40V(+40Vが16.8ms、-40Vが16.8ms)のリセット電圧が全画素に、同時に印加される。これにより、リセット期間では、全画素の液晶LC1、LC2、…、LC240がホメオトロピック状態になる。

【0071】

安定期間では、全ゲートラインGL1、GL2、…、GL240にパルス幅70μsの

10

20

30

40

50

選択信号 (+ 30 V) を同時に印加する。安定期間の間、全データライン D に 0 V の安定化電圧を印加する。これにより、全 TFT 32 がオンし、全画素電極 31 に 0 V が印加され、全画素の液晶 LC1、LC2、…、LC240 に 0 V が印加される状態になる。安定期間は、例えば、16.8 ms の長さを有する。

【0072】

前述のように、コレステリック液晶に高電圧を印加してホメオトロピック状態にし、その後印加電圧を急激に小さくすると、プレーナ状態になる。したがって、安定期間に安定化電圧 (0 V) が印加されると、全画素の液晶 LC1、LC2、…、LC240 はプレーナ状態になる。なお、ここでは、安定化電圧を 0 V としたが、プレーナ状態になる電圧であればよい。

10

【0073】

書き込み期間の前半の正極性の書き込み期間では、ゲートライン GL1、GL2、…、GL240 に、パルス幅 70 μs の選択信号 (+ 30 V) を順に印加するスキャン動作を行う。そして、各ゲートラインへの選択信号の印加に同期して、全データラインに、そのゲートラインに TFT を介して接続される画素の表示データに対応する正極性のデータ電圧を印加する。正極性のデータ電圧は、プレーナ状態の液晶を、そのままプレーナ状態に維持するか、プレーナ状態とフォーカルコニック状態が混在した状態にするか、ほとんどフォーカルコニック状態にするか、に応じて決定され、ここでは 0 ~ + 25 V である。正極性のデータ電圧は、プレーナ状態に維持する場合には 0 V であり、ほとんどフォーカルコニック状態にする場合には + 25 V である。プレーナ状態とフォーカルコニック状態が混在した状態にする場合は、正極性のデータ電圧は、0 ~ + 25 V の間の電圧で混在率に応じて決定する。

20

【0074】

図 7 に示すように、ゲートライン GL1 に選択信号が印加されるのと同期して、全データライン D に、1 ライン目の画素の表示データに対応する正極性のデータ電圧を印加する。これにより、ゲートライン GL1 に接続される 1 ライン目の TFT 32 がオンし、1 ライン目の画素電極 31 に、対応するデータラインの正極性のデータ電圧が印加される。したがって、1 ライン目の画素の液晶 LC1 に正極性のデータ電圧が印加される。

【0075】

選択信号のパルス幅は 70 μs であり、ゲートライン GL1 への選択信号の印加が終了すると、ゲートライン GL1 に接続される 1 ライン目の TFT 32 はオフし、1 ライン目の画素電極 31 に印加されている正極性のデータ電圧はそのまま維持される。したがって、1 ライン目の画素の液晶 LC1 に正極性のデータ電圧が印加されている状態が維持され、この状態は、ゲートライン GL1 に再び選択信号が印加されるまで続く。

30

【0076】

ゲートライン GL1 への選択信号の印加が終了すると、ゲートライン GL2 への選択信号の印加が行われ、それに同期して、全データライン D に、2 ライン目の画素の表示データに対応する正極性のデータ電圧を印加する。これにより、ゲートライン GL2 に接続される 2 ライン目の TFT 32 がオンし、2 ライン目の画素電極 31 に、対応するデータラインの正極性のデータ電圧が印加され、2 ライン目の画素の液晶 LC2 に正極性のデータ電圧が印加されている状態は、ゲートライン GL2 に再び選択信号が印加されるまで続く。

40

【0077】

以下、240 本目のゲートラインまで順次選択信号を印加し、同様の動作を繰り返す。選択信号のパルス幅が 70 μs であるから、正極性の書き込みを行うための選択信号の印加は、 $70 \mu s \times 240 = 16.8 \text{ ms}$ で終了する。最後のゲートライン GL240 への選択信号の印加が終了すると、1 番目のゲートライン GL1 への負極性の書き込みを開始する。

【0078】

書き込み期間の後半の負極性の書き込み期間では、ゲートライン GL1、GL2、…、GL

50

240に、パルス幅70μsの選択信号(+30V)を順に印加するスキャン動作を行う。そして、各ゲートラインへの選択信号の印加に同期して、全データラインに、そのゲートラインにTFTを介して接続される画素の表示データに対応する負極性のデータ電圧を印加する。負極性のデータ電圧は、正極性のデータ電圧の逆極性で電圧は同じである。

【0079】

負極性の書き込み期間では、正極性の書き込み期間と同様に、ゲートラインGL1に選択信号が印加されるのと同期して、全データラインDに、1ライン目の画素の表示データに対応する負極性のデータ電圧を印加する。これにより、ゲートラインGL1に接続される1ライン目のTTFT32がオンし、1ライン目の画素電極31に、対応するデータラインの負極性のデータ電圧が印加され、1ライン目の画素の液晶LC1に負極性のデータ電圧が印加される。

10

【0080】

以下、240本目のゲートラインまで順次選択信号を印加し、同様の動作を繰り返す。これにより、各ラインの画素の液晶に負極性のデータ電圧が印加される。

各ラインの正極性の書き込み期間は、負極性のデータ電圧が印加されるまで続くので、各ラインの画素の液晶に正極性のデータ電圧が印加された期間は、16.8msであり、ラインごとに70μsずつシフトすることになる。

【0081】

表示処理期間では、負極性の書き込み期間が終了したラインのゲートラインから順に、所定幅の選択信号(+30V)の印加を開始し、最後のゲートラインGL240への選択信号(+30V)の印加が終了した時点で、表示処理期間が終了する。表示処理期間中、全データラインには維持電圧が印加される。具体的には、ゲートラインGL1、GL2、…、GL240に、非常に長い所定幅の選択信号(+30V)を、70μsずつシフトしながら順に印加するスキャン動作を行う。維持電圧は、液晶の状態を変化させない電圧であり、ここでは0Vである。これにより、各ラインの画素の液晶LC1、LC2、…、LC240は、順次0Vが印加される状態になる。

20

【0082】

図7に示すように、表示処理期間で、ゲートラインGL1に選択信号が印加されると、ゲートラインGL1に接続される1ライン目のTTFT32がオンし、1ライン目の画素電極31に、0Vが印加され、1ライン目の画素の液晶LC1に0Vが印加される。以下、最後のゲートラインGL240まで順次選択信号を印加し、全ラインの画素の液晶LC1、LC2、…、LC240に0Vが印加される。最後のゲートラインGL240を除く各ゲートラインGL1、GL2、…には、選択信号(+30V)の印加が終了した時点で、それぞれのゲートラインに非選択電圧(-30V)が印加される。これにより、TFT32はラインごとに順次オフ状態になる。

30

【0083】

各ラインの負極性の書き込み期間は、維持電圧が印加されるまで続くので、各ラインの画素の液晶に負極性のデータ電圧が印加された期間は、16.8msであり、ラインごとに70μsずつシフトすることになる。また、維持電圧を印加するため、各ゲートラインに選択信号を印加する時間は、所定幅に対応する時間であり、全ゲートラインで同じである。

40

【0084】

表示処理期間が終了するのは、1ライン目の維持電圧の印加が開始されてから、16.8ms+所定幅に対応する時間後である。後述するように、所定幅に対応する時間は、データラインに維持電圧(0V)を印加した場合に、画素に実際に印加される電圧が、長時間印加されても画素の液晶状態を変化させない電圧になるのに十分な時間である。

【0085】

各画素の液晶は0Vが印加される状態になると、その時点の状態に応じた状態へと遷移しその状態を維持する。これにより、書き込み期間において、データ電圧により設定された各画素の状態、すなわち表示画像が維持される。

50

【0086】

以上の一連の処理を行って表示画像を書換えた後、次に表示画像を書換えるまで、表示処理期間終了後の状態が維持される。表示画像が維持される時間は、アプリケーションに応じて定められ、長い場合には数日から数週間以上になる場合もあり得る。そのため、表示処理期間終了後は、表示画像を書換えるまで、実施形態のカラー表示装置への電源供給を停止してもよい。これにより、消費電力ゼロの状態で、表示画像を維持できる。

【0087】

図8は、ゲートラインに選択電圧を印加してTFTを導通させ、データラインと画素電極を接続した場合の液晶に印加される電圧の変化を説明する図である。

【0088】

各画素は、コモン電極と画素電極の間に挟持した液晶を有しており、容量（コンデンサ）と等価である。液晶の印加電圧が0Vで、データラインに電圧D1を印加して、ゲートラインに非選択電圧（-30V）から選択電圧（+30V）に変化するパルス状の選択信号SWを印加すると、TFTが導通して画素電極がデータラインに接続される。これに応じて液晶に相当する容量が充電され、液晶の電圧Vが0Vから上昇を開始する。この時の電圧変化の時定数は画素の液晶の容量と、データラインおよびTFTの抵抗などにより決定される。液晶の電圧Vは、データラインの電圧D1に向かって上昇するが、選択信号SWが非選択電圧になると、その時点の電圧が保持される。図8に示すように、選択信号のパルス幅がSWで示すように短い場合には、液晶の電圧Vは十分に上昇しないが、選択信号のパルス幅がSW'で示すように長い場合には、液晶の電圧VはV'で示すように更に上昇し、D1に近づく。

10

20

30

【0089】

同様に、液晶の電圧Vが所定の電圧値（図8では正の電圧）で、データラインに0Vを印加して、ゲートラインに選択信号SWを印加すると、TFTが導通して画素電極がデータラインに接続される。これに応じて液晶に相当する容量は放電され、液晶の電圧Vが0Vに向かって低下する。この場合も、液晶の電圧Vは、選択信号SWが非選択電圧になると、その時点の電圧が保持される。そのため、選択信号SWの幅が狭いと、液晶の電圧Vは十分に低下せず、0Vよりかなり大きな電圧が維持される。もし、選択信号SWの幅がSW'で示すように広い場合には、液晶の電圧VはV''で示すように更に低下し、0Vに近づく。

【0090】

前述のように、コレステリック液晶は、印加電圧が小さい場合には長時間その状態を維持する。しかし、実際には、微小な電圧でも非常に長時間印加された場合には、液晶の状態を変化させることが起きる。上記のように、実施形態のコレステリック液晶表示装置は、表示処理期間終了後、非常に長い時間表示を維持される場合がある。この場合、表示処理期間終了後の液晶の電圧が0Vでないと、液晶の状態が変化して、表示が変化することが起こり得る。

【0091】

そこで、第1実施形態では、表示処理期間において複数のゲートラインに印加される選択信号がオーバーラップするようにして、各ラインに印加する選択信号の幅を長くしている。これにより、表示処理期間をあまり長くせずに、各液晶に0Vが印加される時間が長くなり、表示処理期間終了後の液晶の電圧を、ほぼ0Vにすることが可能になり、書換えた表示は変化しない。

40

【0092】

以上説明したように、第1実施形態のカラー表示装置は、TFT型の表示素子を使用し、表示画像の書換えを、初期状態をプレーナ状態にするコンベンショナル駆動方法で行う。言い換れば、図4の（B）のPで示すグラフの左側の部分を利用して階調表示を行う。第1実施形態では、表示画像の書換えを、正極性のリセット期間と、負極性のリセット期間と、安定期間と、正極性の書き込み期間と、負極性の書き込み期間と、表示処理期間と、に分けて行う。これにより、単純マトリクス方式で行う場合に比べて、書換えを比較的短

50

時間で行え、確実なリセット電圧の印加および確実なデータ書き込みが可能となり、表示品質に優れた表示が可能となる。さらに、液晶への電圧印加が正極性と負極性の同じ電圧のパルスで行われるため、液晶の分極を防止でき、DCバイアスの抑制による焼付きを軽減して、信頼性の向上が図れ、明るさ、コントラスト比に優れたカラー表示を長期間安定して行える。また、リセット期間においては、全画素を同時選択してリセット電圧を印加するので、リセット処理に要する時間の短縮が可能となり、書換え時間の短縮が可能である。

【0093】

[第2実施形態]

以下、第2実施形態のカラー液晶表示装置を説明する。第2実施形態のカラー液晶表示装置は、第1実施形態のカラー表示装置に対して、駆動シーケンスのみが異なる。駆動シーケンス以外の部分は、第1実施形態のカラー表示装置と同じであるため、同じ部分については説明を省略する。

10

【0094】

図9は、第2実施形態における主な波形を示す図であり、第1実施形態における波形を示した図7に対応する。

【0095】

第2実施形態の駆動シーケンスは、図7の第1実施形態の駆動シーケンスと比べて、リセット期間におけるゲートラインGL1、GL2、…、GL240に印加する信号およびデータラインDに印加する信号のみが異なり、他の部分は同じである。

20

【0096】

第2実施形態では、リセット期間および安定期間の最初の所定時間の間、すべてのゲートラインGL1、GL2、…、GL240に印加する信号を+30Vに維持する。全データラインDに印加する信号は、前半の正極性のリセット期間においては+40Vに、後半の負極性のリセット期間においては-40Vに、安定期間においては、0Vにする。これにより、リセット期間および安定期間において、全画素に、第1実施形態と同じ正負のリセット電圧および安定電圧を印加することができる。

【0097】

安定期間の最初の所定時間は、70μs以上であればよいが、より長いことが望ましい。前述のように、各画素は、容量と等価であり、液晶にデータラインに印加した電圧が印加される状態になるには時間を要する。安定期間は、リセット期間においてホメオトロピック状態になった液晶をプレーナ状態にする期間である。安定期間に液晶の電圧が0Vより若干異なった電圧になっても、液晶はプレーナ状態になる。しかし、安定期間において設定される液晶の電圧が変動すると、書き込み期間において書き込まれる液晶の電圧に影響する。そのため、第2実施形態では、安定期間において、ゲートラインに選択信号を印加する時間を長くして、全画素の液晶に安定化電圧(0V)が印加されるようにしている。

30

【0098】

第2実施形態では、第1実施形態に比べて、リセット期間の間、全スイッチング素子(TFT32)をオン状態に維持するので、より確実なリセット電圧の印加が可能となり、リセット不良を抑制できると共に、スイッチング素子(TFT32)のオン・オフ回数を低減できるので、その分消費電力を低減できる。

40

【0099】

[第3実施形態]

以下、第3実施形態のカラー液晶表示装置を説明する。第3実施形態のカラー液晶表示装置は、第1および第2実施形態のカラー表示装置に対して、駆動シーケンスのみが異なる。駆動シーケンス以外の部分は、第1および第2実施形態のカラー表示装置と同じであるため、同じ部分については説明を省略する。

【0100】

図10は、第3実施形態における主な波形を示す図であり、第1実施形態における波形を示した図7および第2実施形態における波形を示した図9に対応する。

50

【0101】

第3実施形態の駆動シーケンスは、第1および第2実施形態の駆動シーケンスと比べて、リセット期間におけるゲートラインG L 1、G L 2、…、G L 2 4 0に印加する信号およびデータラインDに印加する信号のみが異なり、他の部分は同じである。

【0102】

第3実施形態では、リセット期間および安定期間の間、すべてのゲートラインG L 1、G L 2、…、G L 2 4 0に印加する信号を+30Vに維持する。全データラインDに印加する信号は、前半の正極性のリセット期間においては+40Vに、後半の負極性のリセット期間においては-40Vに、安定期間においては、0Vにする。これにより、リセット期間および安定期間において、全画素に、第1実施形態と同じ正負のリセット電圧および安定電圧を印加することができる。また、正極性の書き込み期間において、1番目のゲートラインG L 1に印加される選択信号は、安定期間に印加される+30Vがそのまま印加されることになる。

10

【0103】

第3実施形態では、第2実施形態よりも、リセット期間および安定期間におけるTFT 3 2のオン・オフ回数を一層低減できるので、その分消費電力を低減できる。

【0104】

第1から第3実施形態では、各画素に、リセット期間において、正極性のリセット電圧と負極性のリセット電圧、書き込み期間において、正極性のデータ電圧と負極性のデータ電圧をそれぞれこの順番に印加した。しかし、正極性と負極性のパルスの印加順は、適宜変更することが可能である。次に説明する第4および第5実施形態は、正極性と負極性のパルスの印加順を変更した例である。

20

【0105】

[第4実施形態]

以下、第4実施形態のカラー液晶表示装置を説明する。第4実施形態のカラー液晶表示装置は、第1から第3実施形態のカラー表示装置に対して、駆動シーケンスのみが異なる。駆動シーケンス以外の部分は、第1から第3実施形態のカラー表示装置と同じであるため、同じ部分については説明を省略する。

30

【0106】

図11は、第4実施形態における主な波形を示す図であり、第1実施形態における波形を示した図7、第2実施形態における波形を示した図9および第3実施形態における波形を示した図10に対応する。

【0107】

第4実施形態の駆動シーケンスは、第2実施形態の駆動シーケンスと比べて、正極性の書き込み期間と負極性の書き込み期間の順番のみが異なり、他の部分は同じである。

【0108】

第4実施形態では、リセット期間における正負のリセット電圧の印加順と、書き込み期間における正負のデータ電圧の印加順を変えているため、液晶のDCバイアスを抑制して焼付きを軽減して、信頼性の向上が図れる。

40

【0109】

[第5実施形態]

以下、第5実施形態のカラー液晶表示装置を説明する。第5実施形態のカラー液晶表示装置は、第1から第4実施形態のカラー表示装置に対して、駆動シーケンスのみが異なる。駆動シーケンス以外の部分は、第1から第4実施形態のカラー表示装置と同じであるため、同じ部分については説明を省略する。

第5実施形態のカラー表示装置も、第2実施形態のカラー表示装置と、駆動シーケンスのみが異なり、他の部分は同じである。

【0110】

図12は、第5実施形態の液晶表示装置における主な波形を示す図である。具体的には、図12において、G L 1およびG L 2 4 0は、ゲートドライバ21からゲートラインG

50

L 1 および G L 2 4 0 に印加される信号である。D は、データドライバ 2 2 がデータライン D に印加する信号である。L C 1 および L C 2 4 0 は、G L 1 および G L 2 4 0 に対応する画素に印加される電圧を示す図である。

【0 1 1 1】

第 5 実施形態の駆動シーケンスは、第 2 実施形態の駆動シーケンスと比べて、表示する画像ごとに、リセット期間および書き込み期間における、正極性と負極性の期間の順番を変えることが異なり、他の部分は同じである。例えば、前の画像を書き換える時に、正極性のリセット期間と負極性のリセット期間、および正極性の書き込み期間と負極性の書き込み期間の順番であったとする。次に画像を書き換える時には、図 1 2 に示すように、負極性のリセット期間と正極性のリセット期間、および負極性の書き込み期間と正極性の書き込み期間の順番とする。

10

【0 1 1 2】

第 5 実施形態でも、前後の画像を書き換えて、正負の電圧の印加順を変えているため、液晶の D C バイアスを抑制して焼き付きを軽減して、信頼性の向上が図れる。

【0 1 1 3】

図 1 1 および図 1 2 に示した第 4 および第 5 実施形態は、第 2 実施形態の駆動シーケンスを変更した場合の例を示したが、第 1 および第 3 実施形態の場合にも適用可能である、また、第 4 実施形態と第 5 実施形態を組み合わせることも可能である。例えば、前の画像を書き換える時に、正極性のリセット期間と負極性のリセット期間、および負極性の書き込み期間と正極性の書き込み期間の順番であったとする。次に画像を書き換える時には、負極性のリセット期間と正極性のリセット期間、および正極性の書き込み期間と負極性の書き込み期間の順番とする。

20

【0 1 1 4】

また、同時選択によるリセット電圧および安定化電圧の印加は、全画素の同時選択による例を説明したが、これに限定されるものではなく、複数のゲートラインの同時選択によっても同じ効果を得ることが可能である。

【0 1 1 5】

また、第 1 から第 5 実施形態では、表示処理期間において、所定幅の選択信号 (+ 3 0 V) を順に印加するスキャン動作を行った。このため、維持電圧を印加するための選択信号は、7 0 μ s ずつシフトしていた。表示処理期間中、全データラインには維持電圧 (0 V) が印加されており、スキャン動作が終了したゲートラインへの選択信号の印加を続けても特に問題は発生しない。

30

【0 1 1 6】

そこで、図 1 3 に示すように、表示処理期間中に、スキャン動作が終了したゲートラインへの選択信号の印加を続け、最後のゲートラインへの所定幅の選択信号の印加が終了した時点で、ゲートドライバ 2 1 からの出力を停止するようにしてもよい。具体的には、ゲートドライバ 2 1 からの出力をネガートし、全ゲートラインに接続される全出力を 0 V またはハイインピーダンス状態にする。

【0 1 1 7】

以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものであり、特に記載された例や条件は発明の範囲を制限することを意図するものではなく、明細書のそのような例の構成は発明の利点および欠点を示すものではない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

40

【0 1 1 8】

以下、実施形態に関し、更に以下の付記を開示する。

(付記 1)

コモン電極、マトリクス状に配置された画素電極、前記コモン電極と前記画素電極とのコレスティック液晶材料が配置された液晶層、および前記画素電極に対する電圧の印加

50

を制御するスイッチング素子を含む液晶表示素子と、

前記コモン電極と前記画素電極との間に印加する電圧を制御する駆動回路と、を備え、

前記駆動回路は、前記コレステリック液晶材料に対して、リセット電圧、安定化電圧、データ電圧、及び維持電圧を順次印加し、且つ、前記維持電圧を印加している間、複数のラインの前記画素電極に対応する前記スイッチング素子をオン状態に維持する、ことを特徴とする液晶表示装置。

(付記 2)

前記コレステリック液晶材料は、

前記リセット電圧の印加によりホメオトロピック状態に、

前記安定化電圧の印加によりプレーナ状態に、

10

前記データ電圧の印加により、プレーナ状態と、プレーナ状態およびフォーカルコニック状態の混在状態、あるいはフォーカルコニック状態のいずれかである表示状態に、

前記維持電圧の印加により、前記表示状態を維持する状態になる付記 1 記載の液晶表示装置。

(付記 3)

前記リセット電圧の印加は、正極性のリセット電圧の印加と、負極性のリセット電圧の印加と、を備え、

前記データ電圧の印加は、正極性のデータ電圧の印加と、負極性のデータ電圧の印加と、を備える付記 1 または 2 記載の液晶表示装置。

20

(付記 4)

前記正極性のリセット電圧の印加および前記負極性のリセット電圧の印加の順番と、前記正極性のデータ電圧の印加および前記負極性のデータ電圧の印加の順番が、異なる付記 3 記載の液晶表示装置。

(付記 5)

前記正極性および負極性のリセット電圧の印加および前記正極性および負極性のデータ電圧の印加の順番が、表示画像の書換えごとに異なる付記 3 記載の液晶表示装置。

(付記 6)

前記安定化電圧および前記維持電圧は、ほぼゼロである付記 1 から 5 のいずれか記載の液晶表示装置。

(付記 7)

前記液晶表示素子は、

30

第 1 の方向に伸びる複数のゲートラインと、

前記第 1 の方向と垂直な第 2 の方向に伸びる複数のデータラインと、を備え、

前記画素電極は、前記複数のゲートラインと前記複数のデータラインの交差部に対応してマトリクス状に配置され、

前記スイッチング素子は、各画素電極と各データライン間に接続され、対応する前記ゲートラインに印加される信号により制御され、

前記駆動回路は、前記複数のゲートラインを駆動するゲートドライバおよび前記複数のデータラインを駆動するデータドライバを制御する付記 1 から 6 のいずれか記載の液晶表示装置。

40

(付記 8)

前記維持電圧の印加は、前記複数のゲートラインのうちの少なくとも 2 本以上のゲートラインに選択信号を印加し、前記少なくとも 2 本以上のゲートラインに接続された前記スイッチング素子をすべてオン状態にして、前記維持電圧の印加は、オン状態の前記スイッチング素子に接続される全画素に同時にを行う付記 7 記載の液晶表示装置。

(付記 9)

前記リセット電圧の印加および前記安定化電圧の印加は、前記複数のゲートラインのうちの少なくとも 2 本以上のゲートラインに選択信号を印加し、前記少なくとも 2 本以上のゲートラインに接続された前記スイッチング素子をすべてオン状態にして、オン状態の前記スイッチング素子に接続される全画素に同時にを行う付記 7 または 8 記載の液晶表示装置

50

。

(付記 10)

コモン電極と、マトリクス状に配置された画素電極との間にコレステリック液晶材料が配置された液晶層と、前記画素電極に対する電圧の印加を制御するスイッチング素子と、を備える液晶表示素子の駆動方法であって、

表示のため、前記コモン電極と前記画素電極の間に、

リセット電圧、

前記コレステリック液晶を初期状態にするための前記リセット電圧より小さい安定化電圧、

データ電圧、および

10

前記コレステリック液晶の状態を変化させない維持電圧、を順次印加し、

前記維持電圧を印加している間、複数のラインの前記画素電極に対応する前記スイッチング素子をオン状態に維持する、ことを特徴とする液晶表示素子の駆動方法。

【符号の説明】

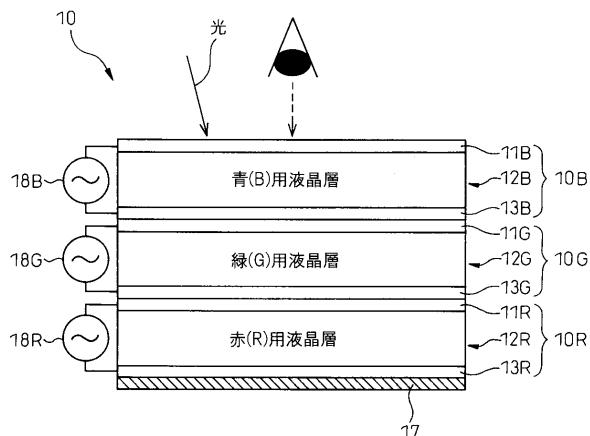
【0 1 1 9】

- | | |
|-----|------------------|
| 1 0 | 表示素子 |
| 2 1 | ゲートドライバ |
| 2 2 | データドライバ |
| 2 3 | 駆動制御回路 |
| 3 1 | 画素電極 |
| 3 2 | スイッチング素子 (TFT) |
| 3 3 | ゲートライン |
| 3 4 | データライン |

20

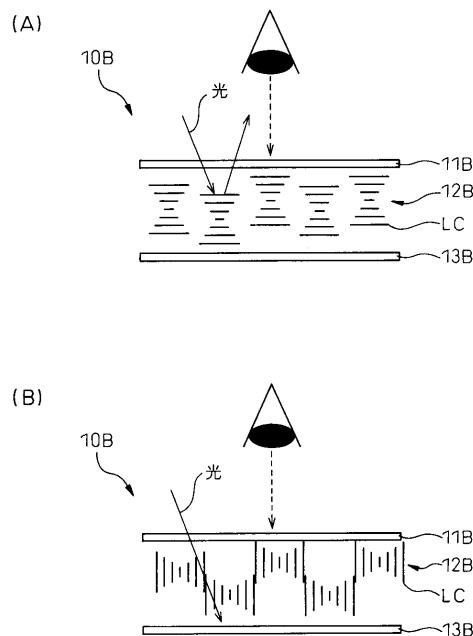
【図1】

図1

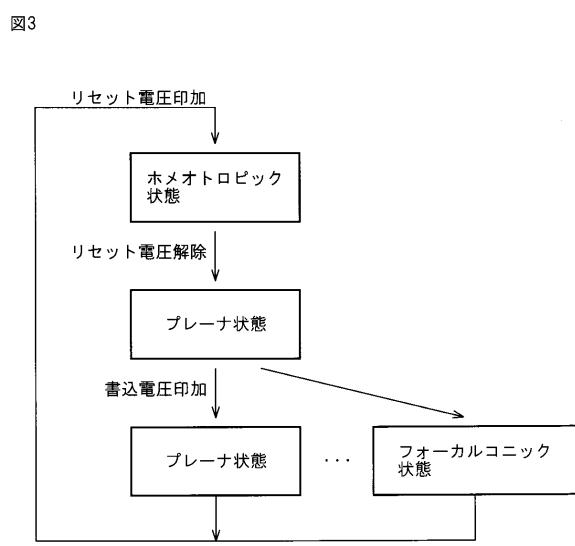


【図2】

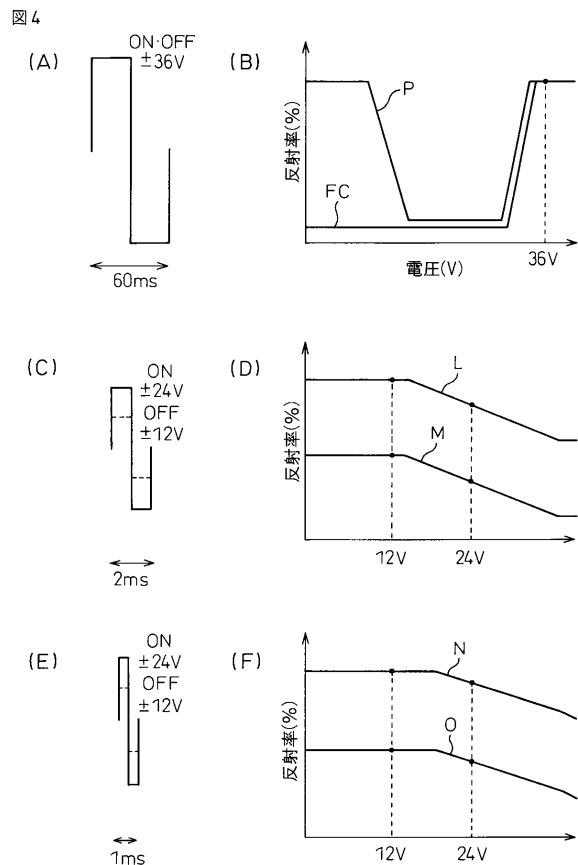
図2



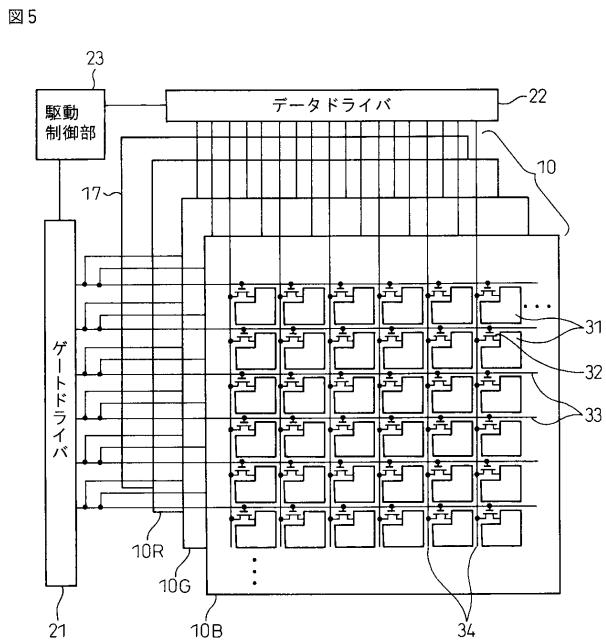
【図3】



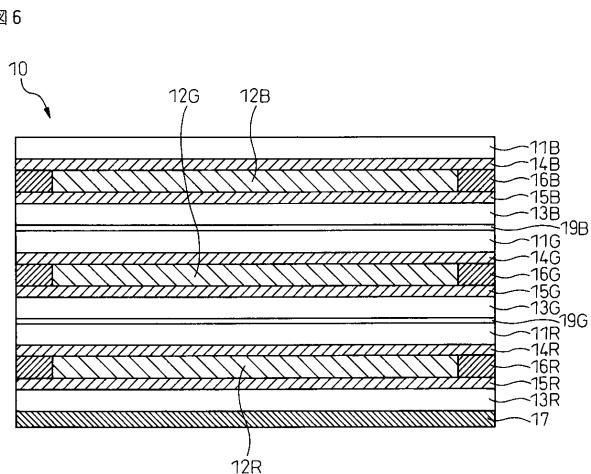
【図4】



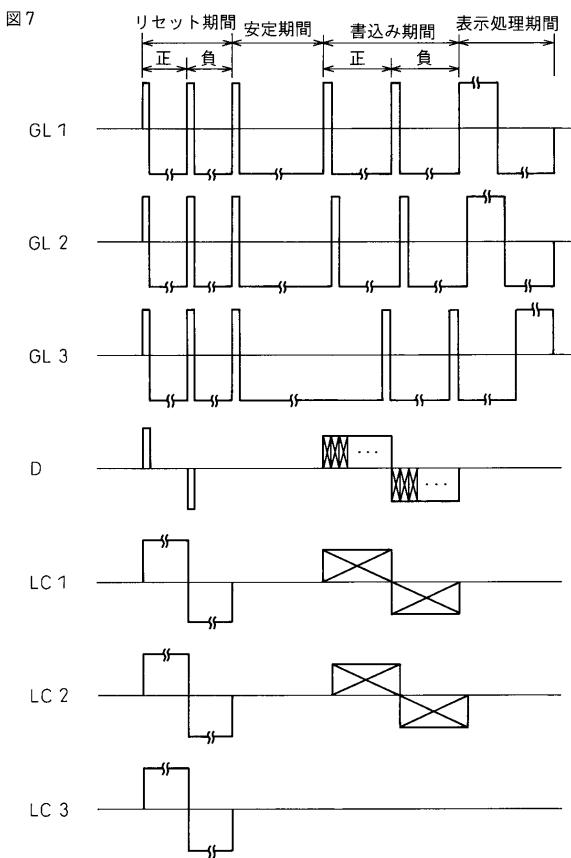
【図5】



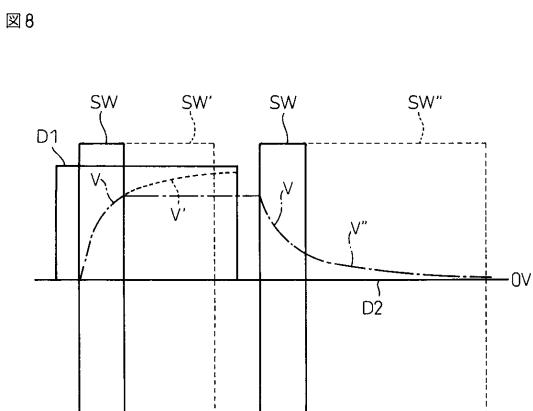
【図6】



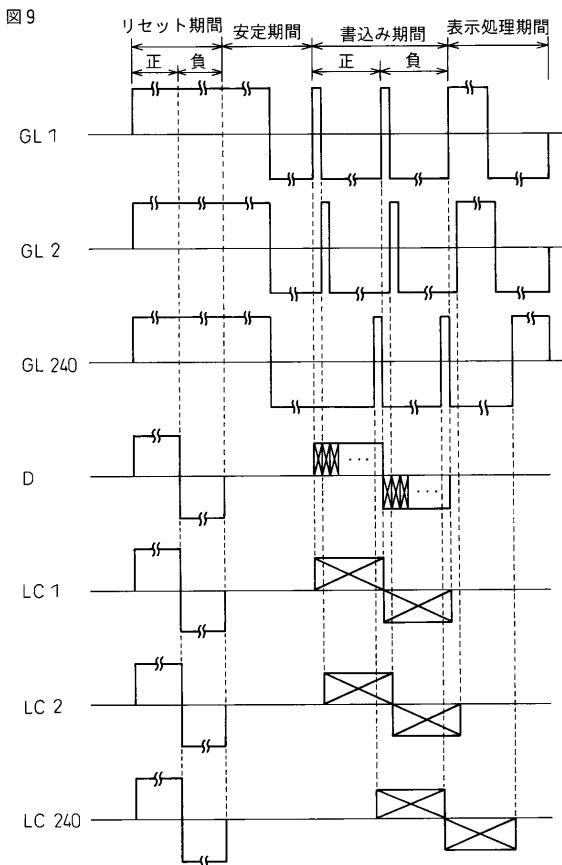
【図7】



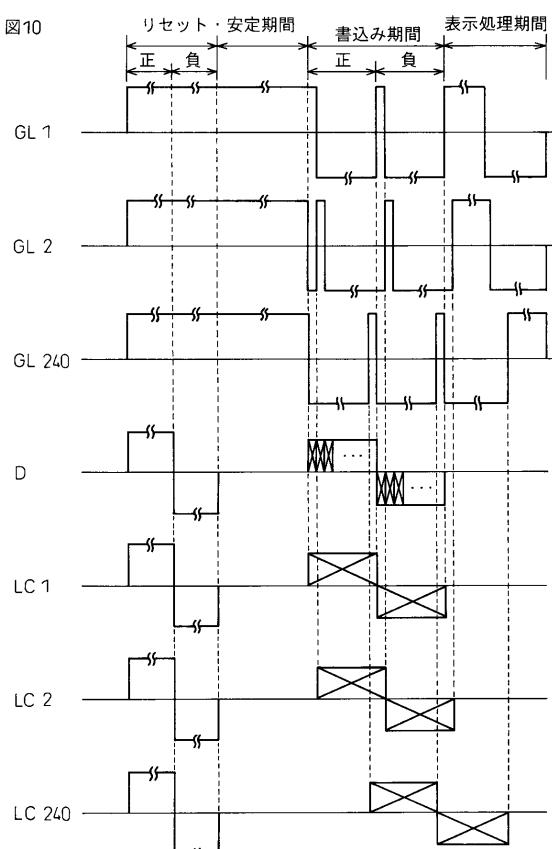
【図8】



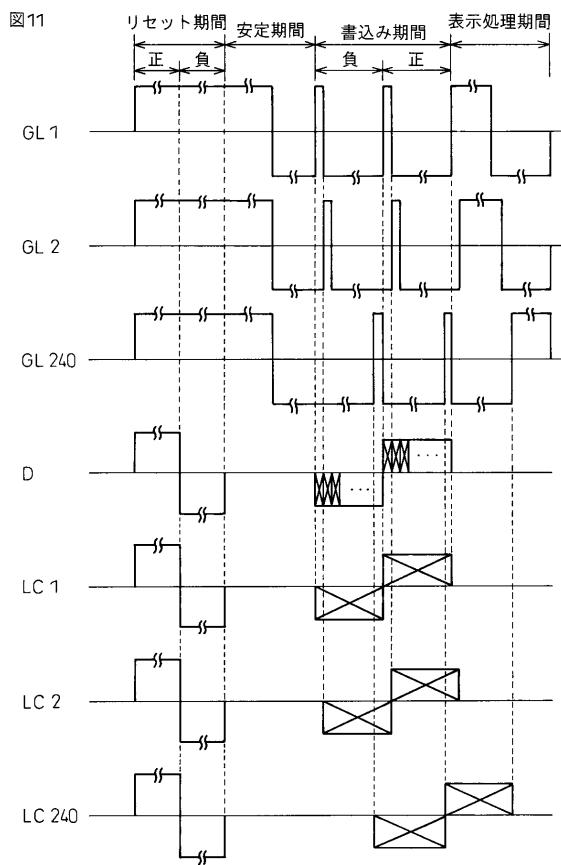
【図9】



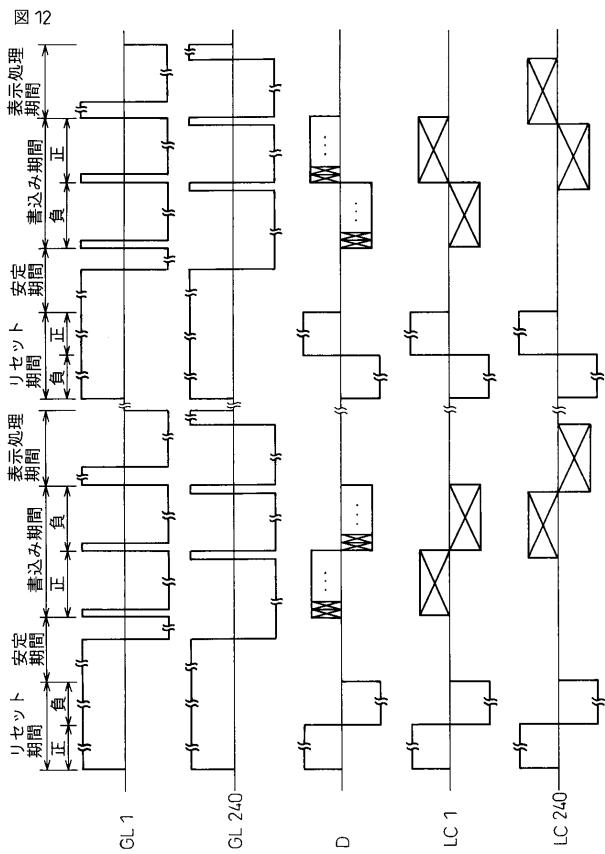
【図10】



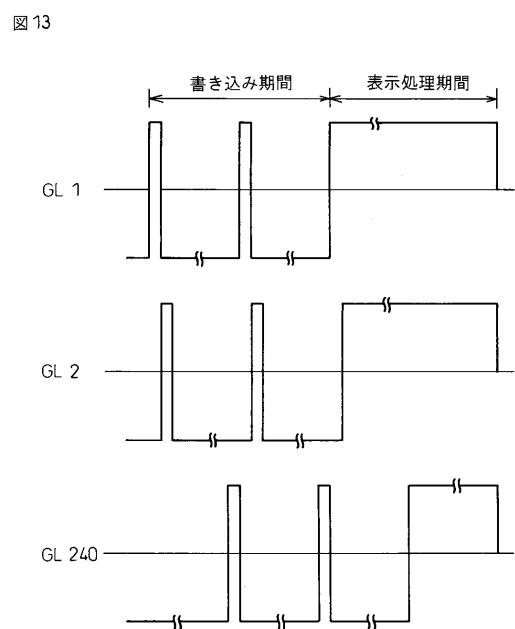
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 C
G 0 9 G 3/20 6 2 2 C

(72)発明者 黒崎 義久

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

F ターム(参考) 2H193 ZA04 ZA38 ZC20 ZC25 ZC35 ZD23 ZE18 ZE20 ZQ19 ZR12
5C006 AA16 AA22 AC24 BA11 BB16 BC06 FA12 FA47
5C080 AA10 BB05 CC03 DD08 FF11 FF12 JJ02 JJ04 JJ05 JJ06
JJ07 KK07

专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	JP2012123319A	公开(公告)日	2012-06-28
申请号	JP2010275963	申请日	2010-12-10
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
[标]发明人	吉原 敏明 黒崎 義久		
发明人	吉原 敏明 黒崎 義久		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
F1分类号	G02F1/133.560 G02F1/133.550 G09G3/36 G09G3/20.680.H G09G3/20.621.F G09G3/20.623.C G09G3/20.622.C		
F-TERM分类号	2H193/ZA04 2H193/ZA38 2H193/ZC20 2H193/ZC25 2H193/ZC35 2H193/ZD23 2H193/ZE18 2H193/ZE20 2H193/ZQ19 2H193/ZR12 5C006/AA16 5C006/AA22 5C006/AC24 5C006/BA11 5C006/BB16 5C006/BC06 5C006/FA12 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD08 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C080/KK07		
代理人(译)	青木 笃 小林 龙		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现胆甾型液晶装置和驱动适用于TFT型的胆甾型液晶显示装置的方法。一种液晶显示装置，包括公共电极，以矩阵排列的像素电极，其中设置有胆甾型液晶材料的液晶层，以及用于控制向像素电极施加电压的开关元件，以及用于控制施加到电极的电压的驱动电路，其中驱动电路顺序地向胆甾型液晶材料施加复位电压，稳定电压，数据电压和维持电压，并且在施加维持电压的同时将与多个线的像素电极对应的开关元件保持在导通状态。点域7

