

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-98464
(P2012-98464A)

(43) 公開日 平成24年5月24日(2012.5.24)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G09F 9/30 (2006.01)	G09F 9/30 330Z	5C094
G09F 9/35 (2006.01)	G09F 9/30 338	
G02F 1/1368 (2006.01)	G09F 9/35	
G02F 1/1343 (2006.01)	G02F 1/1368	

審査請求 有 請求項の数 16 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2010-245416 (P2010-245416)
(22) 出願日 平成22年11月1日 (2010.11.1)

(71) 出願人 502356528
株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地
(74) 代理人 110000350
ポレール特許業務法人
(72) 発明者 長三 幸弘
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内
Fターム(参考) 2H092 GA14 GA43 GA44 GA60 JA26
JA46 JB05 JB57 JB58 KB04
KB14 NA01 NA28 PA06 QA06
5C094 AA03 AA04 AA21 AA43 AA55
BA03 BA43 CA19 DA13 DB01
EA04 EA05 EA07 ED01 FA01
FB12 FB14

(54) 【発明の名称】 液晶表示装置

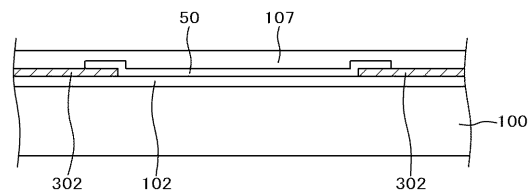
(57) 【要約】

【課題】表示領域の配線とICドライバの端子を接続する引き出し線において、ICドライバの中央部の端子を接続する引き出し線とICドライバの端部の端子を接続する引き出し線における長さが異なることによる引き出し線抵抗に差が生ずることを防止する。

【解決手段】映像信号線とICドライバの端子を接続するドレイン層引出し線50を途中で分断し、分断した部分を画素ITOと同時に形成される橋絡ITO50によって橋絡する。ICドライバの中央部分の端子を接続する引き出し線における橋絡ITO50の長さをICドライバの端部の端子を接続する引き出し線における橋絡ITO50の長さより大きくすることによって、引き出し線の配線抵抗の差を小さくする。

【選択図】 図11

図 1 1



【特許請求の範囲】

【請求項 1】

走査線が第 1 の方向に延在して第 2 の方向に第 1 のピッチで配列し、映像信号線が第 2 の方向に延在して第 1 の方向に第 2 のピッチで延在し、画素がマトリクス状に配列した表示領域と、前記表示領域の外側に長方形の IC ドライバが配置した液晶表示装置であって、

前記 IC ドライバは第 3 のピッチで端子が配列し、前記第 3 のピッチは前記第 1 のピッチあるいは前記第 2 のピッチよりも小さく、

前記映像信号線と前記 IC ドライバとは引き出し線によって接続し、

前記引き出し線は前記映像信号線と接続する連結部と、前記第 2 の方向に対して斜め方向に延在する斜め配線部と、前記第 2 の方向に延在し、前記 IC ドライバと接続する前記第 3 のピッチを有する直線配線部を有し、

前記直線配線部において、前記引き出し線は橋絡 ITO によって橋絡され、

前記長方形の IC ドライバの長軸方向の中心の端子と接続する前記引き出し線における橋絡 ITO の長さは、前記長方形の IC ドライバの長軸方向の外側の端子と接続する前記引き出し線における前記橋絡 ITO の長さよりも長いことを特徴とする液晶表示装置。

【請求項 2】

前記長方形の IC ドライバの長軸方向の最外側の端子と接続する前記引き出し線においては、前記橋絡 ITO は存在しないことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記画素は TFT と、画素電極の上に層間絶縁膜を介してスリットを有する共通電極が形成された透過部を有し、前記 TFT のソース電極と前記映像信号線は同時に形成され、前記ソース電極と前記画素電極はゲート絶縁膜の上に形成され、前記橋絡 ITO は前記画素電極と同時に形成されることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記画素電極は前記走査線よりも先に形成されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記画素は TFT と、画素電極の上にゲート絶縁膜と層間絶縁膜を介してスリットを有する共通電極が形成された透過部を有し、前記 TFT のソース電極と前記映像信号線は同時に形成され、前記ソース電極はゲート絶縁膜の上に形成され、前記画素電極は前記ゲート絶縁膜の下に形成され、前記橋絡 ITO は前記画素電極と同時に形成されることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 6】

前記画素は TFT と、共通電極の上に層間絶縁膜を介してスリットを有する画素電極が形成された透過部を有し、前記 TFT のソース電極と前記映像信号線は同時に形成され、前記ソース電極はゲート絶縁膜の上に形成され、前記橋絡 ITO は前記共通電極と同時に形成されることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 7】

走査線が第 1 の方向に延在して第 2 の方向に第 1 のピッチで配列し、映像信号線が第 2 の方向に延在して第 1 の方向に第 2 のピッチで延在し、画素がマトリクス状に配列した表示領域と、前記表示領域の外側に長方形の IC ドライバが配置した液晶表示装置であって、

前記 IC ドライバは第 3 のピッチで端子が配列し、前記第 3 のピッチは前記第 1 のピッチあるいは前記第 2 のピッチよりも小さく、

前記走査線と前記 IC ドライバとは引き出し線によって接続し、

前記引き出し線は前記走査線と接続する連結部と、前記第 1 の方向に対して斜め方向に延在する斜め配線部と、前記第 1 の方向に延在し、前記 IC ドライバと接続する前記第 3 のピッチを有する直線配線部を有し、

前記直線配線部において、前記引き出し線は橋絡 ITO によって橋絡され、

10

20

30

40

50

前記長方形のＩＣドライバの長軸方向の中心の端子と接続する前記引き出し線における橋絡ＩＴＯの長さは、前記長方形のＩＣドライバの長軸方向の外側の端子と接続する前記引き出し線における前記橋絡ＩＴＯの長さよりも長いことを特徴とする液晶表示装置。

【請求項 8】

前記長方形のＩＣドライバの長軸方向の最外側の端子と接続する前記引き出し線においては、前記橋絡ＩＴＯは存在しないことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記画素はＴＦＴと、画素電極の上に層間絶縁膜を介してスリットを有するコモン電極が形成された透過部を有し、前記ＴＦＴのゲート電極と前記走査線は同時に形成され、前記ＴＦＴのソース電極と前記画素電極はゲート絶縁膜の上に形成され、前記橋絡ＩＴＯは前記画素電極と同時に形成されることを特徴とする請求項 7 または 8 に記載の液晶表示装置。

10

【請求項 10】

前記画素はＴＦＴと、画素電極の上にゲート絶縁膜と層間絶縁膜を介してスリットを有するコモン電極が形成された透過部を有し、前記ＴＦＴのゲート電極と前記走査線は同時に形成され、前記ＴＦＴのソース電極はゲート絶縁膜の上に形成され、前記画素電極は前記ゲート絶縁膜の下に形成され、前記橋絡ＩＴＯは前記画素電極と同時に形成されることを特徴とする請求項 7 または 8 に記載の液晶表示装置。

【請求項 11】

前記画素電極は前記走査線よりも先に形成されることを特徴とする請求項 10 に記載の液晶表示装置。

20

【請求項 12】

前記画素はＴＦＴと、コモン電極の上に層間絶縁膜を介してスリットを有する画素電極が形成された透過部を有し、前記ＴＦＴのソース電極と前記映像信号線は同時に形成され、前記ソース電極はゲート絶縁膜の上に形成され、前記橋絡ＩＴＯは前記コモン電極と同時に形成されることを特徴とする請求項 7 または 8 に記載の液晶表示装置。

【請求項 13】

走査線が第 1 の方向に延在して第 2 の方向に第 1 のピッチで配列し、映像信号線が第 2 の方向に延在して第 1 の方向に第 2 のピッチで延在し、画素がマトリクス状に配列した表示領域と、前記表示領域の外側に長方形のＩＣドライバが配置した液晶表示装置であって

30

、
前記ＩＣドライバは第 3 のピッチで端子が配列し、前記第 3 のピッチは前記第 1 のピッチあるいは前記第 2 のピッチよりも小さく、

前記映像信号線と前記ＩＣドライバとは引き出し線によって接続し、

前記引き出し線は前記映像信号線と接続する連結部と、前記第 2 の方向に対して斜め方向に延在する斜め配線部と、前記第 2 の方向に延在し、前記ＩＣドライバと接続する前記第 3 のピッチを有する直線配線部を有し、

前記引き出し線と対応して前記ドライバの前記端子と対応する配線端子が形成され、

前記引き出し線は前記配線端子とは連続しておらず、前記引き出し線と前記配線端子は、前記配線端子を覆うＩＴＯによって橋絡され、

40

前記長方形のＩＣドライバの長軸方向の中心の端子と接続する前記配線端子を覆うＩＴＯの長さは、前記長方形のＩＣドライバの長軸方向の外側の端子と接続する前記配線端子を覆うＩＴＯの長さよりも長いことを特徴とする液晶表示装置。

【請求項 14】

走査線が第 1 の方向に延在して第 2 の方向に第 1 のピッチで配列し、映像信号線が第 2 の方向に延在して第 1 の方向に第 2 のピッチで延在し、画素がマトリクス状に配列した表示領域と、前記表示領域の外側に長方形のＩＣドライバが配置した液晶表示装置であって

、
前記ＩＣドライバは第 3 のピッチで端子が配列し、前記第 3 のピッチは前記第 1 のピッチあるいは前記第 2 のピッチよりも小さく、

50

前記走査線と前記ＩＣドライバとは引き出し線によって接続し、

前記引き出し線は前記走査線と接続する連結部と、前記第１の方向に対して斜め方向に延在する斜め配線部と、前記第１の方向に延在し、前記ＩＣドライバと接続する前記第３のピッチを有する直線配線部を有し、

前記引き出し線と対応して前記ドライバの前記端子と対応する配線端子が形成され、

前記引き出し線は前記配線端子とは連続しておらず、前記引き出し線と前記配線端子とは、前記配線端子を覆うＩＴＯによって橋絡され、

前記長方形のＩＣドライバの長軸方向の中心の端子と接続する前記配線端子を覆うＩＴＯの長さは、前記長方形のＩＣドライバの長軸方向の外側の端子と接続する前記配線端子をおおうＩＴＯの長さよりも長いことを特徴とする液晶表示装置。

10

【請求項１５】

走査線が第１の方向に延在して第２の方向に第１のピッチで配列し、映像信号線が第２の方向に延在して第１の方向に第２のピッチで延在し、画素がマトリクス状に配列した表示領域と、前記表示領域の外側に長方形のＩＣドライバが配置した液晶表示装置であって、

前記ＩＣドライバは第３のピッチで端子が配列し、前記第３のピッチは前記第１のピッチあるいは前記第２のピッチよりも小さく、

前記映像信号線と前記ＩＣドライバとは引き出し線によって接続し、

前記引き出し線は前記映像信号線と接続する連結部と、前記第２の方向に対して斜め方向に延在する斜め配線部と、前記第２の方向に延在し、前記ＩＣドライバと接続する前記第３のピッチを有する直線配線部を有し、

20

前記画素はＴＦＴと、画素電極の上に層間絶縁膜を介してスリットを有する共通電極が形成された透過部を有し、

前記映像信号線はゲート絶縁膜の上に形成され、前記走査線はゲート絶縁膜の下に形成され、

前記引き出し線は、前記斜め配線部および前記直線配線部において、前記ゲート絶縁膜の下に形成された第１の引き出し線と、前記ゲート絶縁膜の上に形成された第２の引き出し線が交互に配置した構成であり、

前記第１の引き出し線と前記映像信号線とは橋絡ＩＴＯによって接続され、

前記長方形のＩＣドライバの長軸方向の中心の端子と接続する前記第１の引き出し線における橋絡ＩＴＯの長さは、前記長方形のＩＣドライバの長軸方向の外側の端子と接続する前記第１の引き出し線における前記橋絡ＩＴＯの長さよりも長いことを特徴とする液晶表示装置。

30

【請求項１６】

走査線が第１の方向に延在して第２の方向に第１のピッチで配列し、映像信号線が第２の方向に延在して第１の方向に第２のピッチで延在し、画素がマトリクス状に配列した表示領域と、前記表示領域の外側に長方形のＩＣドライバが配置した液晶表示装置であって、

前記ＩＣドライバは第３のピッチで端子が配列し、前記第３のピッチは前記第１のピッチあるいは前記第２のピッチよりも小さく、

40

前記走査線と前記ＩＣドライバとは引き出し線によって接続し、

前記引き出し線は前記走査線と接続する連結部と、前記第１の方向に対して斜め方向に延在する斜め配線部と、前記第１の方向に延在し、前記ＩＣドライバと接続する前記第３のピッチを有する直線配線部を有し、

前記画素はＴＦＴと、画素電極の上に層間絶縁膜を介してスリットを有する共通電極が形成された透過部を有し、

前記映像信号線はゲート絶縁膜の上に形成され、前記走査線はゲート絶縁膜の下に形成され、

前記引き出し線は、前記斜め配線部および前記直線配線部において、前記ゲート絶縁膜の下に形成された第１の引き出し線と、前記ゲート絶縁膜の上に形成された第２の引き出

50

し線が交互に配置した構成であり、

前記第2の引き出し線と前記走査線とは橋絡ITOによって接続され、

前記長方形のICドライバの長軸方向の中心の端子と接続する前記第2の引き出し線における橋絡ITOの長さは、前記長方形のICドライバの長軸方向の外側の端子と接続する前記第2の引き出し線における前記橋絡ITOの長さよりも長いことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に係り、特に配線抵抗に起因する輝度むらを対策した液晶表示装置に関する。 10

【背景技術】

【0002】

液晶表示装置に使用される液晶表示パネルは、画素電極および薄膜トランジスタ(TFT)等を有する画素がマトリクス状に形成されたTFT基板と、TFT基板に対向して、TFT基板の画素電極と対応する場所にカラーフィルタ等が形成された対向基板が配置され、TFT基板と対向基板の間に液晶が挟持されている。そして液晶分子による光の透過率を画素毎に制御することによって画像を形成している。

【0003】

液晶表示装置の表示領域では、例えば、走査線が水平方向に延在して垂直方向に所定のピッチで配列しており、映像信号線が垂直方向に延在して所定のピッチで水平方向に配列している。映像信号線あるいは走査線には、ICドライバから映像信号線あるいは走査信号が送られる。ICドライバの端子ピッチは、映像信号線のピッチあるいは走査線のピッチよりも小さいために、映像信号線あるいは走査線からICドライバの端子までの引き出し線の長さは液晶表示パネルの場所によって異なる。 20

【0004】

引き出し線の長さが異なると、場所によって、ICドライバの端子から映像信号線あるいは走査線までの電気抵抗が異なることになり、その結果、場所によって輝度の差が生ずる。「特許文献1」では、これを対策するために、引き出し線毎に幅が広い領域を設け、幅の広い部分の範囲を調整することによって引き出し線の抵抗を均一にする構成が記載されている。 30

【0005】

「特許文献2」では、引き出し線にITO(Indium Tin Oxide)のような抵抗の高い材料を使用した場合は、特に引出し線抵抗の影響が顕著になるので、ITOのような抵抗が比較的高い材料に加えて、Alのような抵抗の低い金属を積層して用いる構成が記載されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平6-67192号公報 40

【特許文献2】特開平8-16044号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

液晶表示装置の画面の高精細化が進み、また、ICドライバのコスト低減のためにICドライバの端子ピッチが小さくなっている。したがって引き出し線のピッチも小さくなっていく。そうすると、「特許文献1」に記載されているような、引出し線の1部の幅を大きくするためのスペースを確保することが困難になる。

【0008】

また、「特許文献2」に記載のように、引き出し線に抵抗の低い金属を積層する構造で 50

は、もともと、引き出し線に抵抗の低い金属を使用しているが、さらに、引き出し線の抵抗を均一したい場合には、効果は期待できない。

【0009】

引出し線30の抵抗を均一にする他の方法として、抵抗を大きくしたい引き出し線35に対して、図28に示すように、引き出し線35を蛇状に曲げることによって、引き出し線35の長さを長くして抵抗を調整する構成がとられている。しかし、この方法も、引出し線のピッチが小さくなると、引き出し線を蛇状に曲げるスペースを確保しにくい。

【0010】

本発明の課題は、引き出し線のピッチが小さくなくても引き出し線の抵抗値を均一に出来る構成を、追加の工程を加えることなく、実現することである。そして、均一な画面輝度を有する液晶表示装置を実現することである。

10

【課題を解決するための手段】

【0011】

本発明は上記課題を解決するものであり、主な具体的な手段は次のとおりである。すなわち、走査線が第1の方向に延在して第2の方向に第1のピッチで配列し、映像信号線が第2の方向に延在して第1の方向に第2のピッチで延在し、画素がマトリクス状に配列した表示領域と、前記表示領域の外側に長方形のICドライバが配置した液晶表示装置であって、前記ICドライバは第3のピッチで端子が配列し、前記第3のピッチは前記第1のピッチあるいは前記第2のピッチよりも小さく、前記映像信号線と前記ICドライバとは引き出し線によって接続し、前記引き出し線は前記映像信号線と接続する連結部と、前記第2の方向に対して斜め方向に延在する斜め配線部と、前記第2の方向に延在し、前記ICドライバと接続する前記第3のピッチを有する直線配線部を有し、前記直線配線部において、前記引き出し線は橋絡ITOによって橋絡され、前記長方形のICドライバの長軸方向の中心の端子と接続する前記引き出し線における橋絡ITOの長さは、前記長方形のICドライバの長軸方向の外側の端子と接続する前記引き出し線における前記橋絡ITOの長さよりも長くすることによって、引き出し線の抵抗を均一にする。同様な構成を走査線とICドライバを接続する引き出し線において行うことが出来る。

20

【0012】

また、ICドライバに対応する配線端子と引き出し線とを連続させず、引き出し線の端部と配線端子を覆うITOによって配線端子と前記引き出し線の端部を接続し、ICドライバの中央に対応する配線端子を覆うITOの長さをICドライバの端部に対応する配線端子を覆うITOの長さよりも大きくすることによって、引き出し線の抵抗を均一にする。

30

【0013】

また、引き出し線のピッチが小さく、引き出し線を2層配線によって形成する場合、映像信号線の層と走査線の層との接続を橋絡ITOによって行い、ICドライバの中央部の端子に対応する引き出し線における橋絡ITOの長さをICドライバの端部の端子に対応する引き出し線における橋絡ITOの長さよりも長くすることによって引き出し線の抵抗を均一にする。

40

【発明の効果】

【0014】

本発明によれば、表示領域とICドライバを結ぶ引き出し線の抵抗を均一にすることが出来るので、表示領域における配線抵抗に起因する輝度むらを低減することが出来る。また、本発明の構成は、従来と同じ製造プロセスによって形成することが出来るので、液晶表示装置の製造コストの上昇は無い。

【図面の簡単な説明】

【0015】

【図1】液晶表示装置の平面図である。

【図2】液晶表示装置における引き出し線の部分の詳細平面図である。

【図3】IPS-LITE1の画素部の断面図である。

50

- 【図4】IPS LITE 2の画素部の断面図である。
- 【図5】IPS LITE 3の画素部の断面図である。
- 【図6】IPS PROの画素部の断面図である。
- 【図7】IPS LITE 1、IPS LITE 2、IPS LITE 3において、ゲート層引き出し線を端子部まで延在させた場合の端子部断面図である。
- 【図8】IPS LITE 1、IPS LITE 2、IPS LITE 3において、ドレイン層引出し線を端子部まで延在させた場合の端子部断面図である。
- 【図9】IPS PROにおいて、ゲート層引き出し線を端子部まで延在させた場合の端子部断面図である。
- 【図10】IPS PROにおいて、ドレイン層引出し線を端子部まで延在させた場合の端子部断面図である。 10
- 【図11】IPS LITE 1において、ドレイン層引出し線の直線配線部において、引き出し線を橋絡ITOによって橋絡した断面図である。
- 【図12】IPS LITE 2において、ドレイン層引出し線の直線配線部において、引き出し線を橋絡ITOによって橋絡した断面図である。
- 【図13】IPS LITE 3において、ドレイン層引出し線の直線配線部において、引き出し線を橋絡ITOによって橋絡した断面図である。
- 【図14】IPS PROにおいて、ドレイン層引出し線の直線配線部において、引き出し線を橋絡ITOによって橋絡した断面図である。
- 【図15】IPS LITE 1において、走査線引出し線の直線配線部において、引き出し線を橋絡ITOによって橋絡した断面図である。 20
- 【図16】IPS LITE 2において、走査線引出し線の直線配線部において、引き出し線を橋絡ITOによって橋絡した断面図である。
- 【図17】IPS LITE 3において、走査線引出し線の直線配線部において、引き出し線を橋絡ITOによって橋絡した断面図である。
- 【図18】IPS PROにおいて、走査線引出し線の直線配線部において、引き出し線を橋絡ITOによって橋絡した断面図である。
- 【図19】IPS LITE 1、IPS LITE 2、IPS LITE 3において、ドレイン層引出し線の抵抗を端子部ITOによって調整する例を示す断面図である。
- 【図20】IPS LITE 1、IPS LITE 2、IPS LITE 3において、ゲート層引き出し線の抵抗を端子部ITOによって調整する例を示す断面図である。 30
- 【図21】IPS PROにおいて、ドレイン層引出し線の抵抗を端子部ITOによって調整する例を示す断面図である。
- 【図22】IPS PROにおいて、ゲート層引き出し線の抵抗を端子部ITOによって調整する例を示す断面図である。
- 【図23】引き出し線を多層配線とした例を示す断面図である。
- 【図24】IPS LITE 3において、連結部で橋絡ITOによって引き出し線の抵抗を調整する例を示す断面図である。
- 【図25】IPS LITE 3において、連結部で橋絡ITOによって引き出し線の抵抗を調整する他の例を示す断面図である。 40
- 【図26】IPS LITE 2において、連結部で橋絡ITOによって引き出し線の抵抗を調整する例を示す断面図である。
- 【図27】IPS LITE 1において、連結部で橋絡ITOによって引き出し線の抵抗を調整する例を示す断面図である。
- 【図28】従来例における引き出し線の抵抗調整方法の例である。
- 【発明を実施するための形態】
- 【0016】

図1は、本発明が適用される液晶表示装置の平面図である。図1において、TFTや画素が形成されたTFT基板100に対向基板200が重ね合わされている。TFT基板100と対向基板200の間には図示しない液晶層が挟持されている。TFT基板100と 50

対向基板 200 が重ね合わされている部分に表示領域 10 が存在している。表示領域 10 には図示しない走査線が横方向に延在し、縦方向に所定のピッチで配列し、図示しない映像信号線が縦方向に延在し、横方向に所定のピッチで配列している。走査線あるいは映像信号線は引出し線を介して IC ドライバ 40 と接続している。

【0017】

IC ドライバ 40 のピッチは映像信号線あるいは走査線のピッチよりも小さいので、走査線あるいは映像信号線の端部と IC ドライバ 40 の端子との間は図 1 に示すような斜め配線によって接続される。この場合、IC ドライバ 40 の端部を接続する引出し線が最も長く、引出し線が IC ドライバ 40 の中心付近になるにしたがって短くなる。そうすると、走査線あるいは映像信号線の位置によって IC ドライバ 40 からの抵抗が異なってくるので、信号の振幅も異なり、画面の輝度が場所によって異なることになる。

10

【0018】

図 2 は、引出し線の形状をより詳しく描いた平面図であり、例えば、図 1 の A 部に該当する。図 2 において、映像信号線が表示領域 10 から延在し、連結部 31 において、引き出し線 30 と接続している。引き出し線 30 は斜め配線部 32、直線配線部 33 を経て端子部 34 に至る。配線端子の幅は引き出し線 30 よりも大きくする必要があるので、配線端子は千鳥配置となっている。配線端子は IC ドライバ 40 の端子と接続する。

【0019】

図 2 に示すように、周辺に行くほど引き出し線 30 の長さが長くなっている。また、斜め配線部 32 の線幅は、連結部 31 あるいは直線配線部 33 の線幅よりも小さい。引き出し線 30 は走査線あるいは映像信号線と同じ材料で形成される。走査線は例えば、AlN b 合金で形成され、映像信号線は MoW で形成される。本発明の目的は、引き出し線 30 の抵抗を均一にすることである。本発明では、引き出し線 30 の 1 部において、走査線あるいは映像信号線の材料とは異なる、ITO を用いて橋絡することによって、引き出し線 30 の抵抗を調節し、全ての引き出し線 30 の抵抗をほぼ均一とするものである。この ITO を以後橋絡 ITO と呼ぶこともある。

20

【0020】

すなわち、ITO の抵抗は、AlNd あるいは MoW 等の抵抗に比べて 50 倍から 60 倍あるので、ITO の長さを大きくするほど引き出し線 30 の抵抗を大きくすることが出来る。すなわち、引き出し線 30 が IC ドライバ 40 の中心付近になるほど、橋絡 ITO の長さを大きくすればよい。また、最外の引き出し線 30 では、ITO による橋絡をする必要はない。

30

【0021】

橋絡 ITO による橋絡は、比較的線幅を大きくとることが出来る直線配線部 33、端子部 34 あるいは連結部 31 において行うことが望ましい。図 2 に示すように、斜め配線部 32 では、配線幅が小さくなり勝ちなので、橋絡 ITO を形成することは加工精度の点で難しい。以下に示す実施例では、直線配線部 33、端子部 34、連結部 31 における引き出し線 30 の抵抗を調整する構成について説明する。

【0022】

また、ITO による橋絡の方法は液晶表示装置の層構造によって影響を受ける。すなわち、端子部 34 あるいは引き出し線 30 は表示領域 10 と同時に形成されるので、表示領域 10 の構造毎に最適な構成が異なるからである。本実施形態では、IPS (In Plane Switching) 方式の液晶表示装置について本発明を適用した構成について説明する。

40

【0023】

液晶表示装置では視野角特性が問題である。視野角特性は、画面を正面から見た場合と、斜め方向から見た場合に、輝度が変化したり、色度が変化したりする現象である。視野角特性は、液晶分子を水平方向の電界によって動作させる IPS 方式が優れた特性を有している。

【0024】

50

I P S方式も種々存在するが、例えば、画素電極106を矩形で形成し、その上に絶縁膜を挟んでスリット1081を有するコモン電極108を配置し、コモン電極108と画素電極106の間に発生する電界によって液晶分子を回転させる方式が層数を減らすことが出来るので、主流になりつつある。このような方式にも後で説明するように3種類存在するが、この明細書では、I P S L I T E 1、I P S L I T E 2、I P S L I T E 3と呼ぶ。一方、コモン電極108を平面ベタで形成し、その上に、絶縁膜を挟んでスリットを有する画素電極106を配置し、画素電極106とコモン電極108の間に発生する電界によって液晶分子400を回転させる方式も存在する。この方式をI P S P R Oと呼ぶ。

【0025】

図3はI P S L I T E 1の画素部の断面図である。図3において、T F T基板100の上にゲート電極101が形成され、ゲート電極101を覆ってゲート絶縁膜102が形成されている。例えば、ゲート電極101はA l N dで形成され、ゲート絶縁膜102はS i Nで形成される。ゲート絶縁膜102を挟んでゲート電極101の上には半導体層103が、例えばa - S iによって形成されている。半導体層103の上には、ドレイン電極104とソース電極105が対向して形成されている。ドレイン電極104は映像信号線と接続する。ドレイン電極104およびソース電極105は例えば、M o Wによって形成される。

【0026】

ゲート絶縁膜102の上には、ソース電極105と接続した画素電極106がI T Oによって形成されている。図3に示すI P S L I T E 1では、ソース電極105を画素電極106よりも先に形成するので、画素電極106がソース電極105に乗り上げて接続を取っている。T F Tおよび画素電極106を覆って無機パッシベーション膜107がS i Nによって形成されている。無機パッシベーション膜107の上には、スリット1081を有するコモン電極108が平面ベタで形成されている。画素電極106に映像信号が印加されると、コモン電極108との間にスリット1081を通して電気力線が発生する。電気力線によって液晶分子400が回転し、バックライトからの光の透過量を画素毎に制御することによって画像を形成する。なお、図3に示すように、画素は、T F Tと画素電極とコモン電極が存在し、バックライトからの光を制御する透過部とから構成されている。後で説明する、図4 (I P S L I T E 2)、図5 (I P S L I T E 3)、図6 (I P S P R O)についても同様である。

【0027】

図4はI P S L I T E 2の画素部の断面図である。図4が図3と異なる点は、ゲート絶縁膜102の上において、I T Oによる画素電極106がT F Tのソース電極105よりも先に形成されている点である。したがって、図4においては、ソース電極105が画素電極106に乗り上げて接続している。この構成は、画素電極106であるI T Oを現像するときに、映像信号線、ドレイン電極104、ソース電極105等がI T Oの現像液によって腐食されるという問題を除去することが出来るという特徴がある。その他の構成は図3と同様なので、説明を省略する。

【0028】

図5はI P S L I T E 3の画素部の断面図である。図5において、T F T基板100の上にゲート電極101が形成されている。また、ゲート電極101と分離して、I T Oによる画素電極106がT F T基板100上に形成されている。ゲート電極101および画素電極106を覆ってゲート絶縁膜102が形成されている。ゲート絶縁膜102を介してゲート電極101の上には半導体層103が形成されている。半導体層103の上にはドレイン電極104とソース電極105が対向して形成されている。

【0029】

ゲート絶縁膜102にスルーホールを形成して画素電極106とソース電極105を接続している。T F Tを覆って無機パッシベーション膜107が形成されている。無機パッシベーション膜107の上にはスリット1081を有するコモン電極108が形成されている。画素電極106に映像信号が供給されることによって、スリット1081を介して

電気力線が発生し、これによって液晶分子400を制御することはIPSLITE1、IPSLITE2と同様である。

【0030】

図6はIPSPROの画素部における断面図である。IPSPROは、最上層にスリット1081を有する画素電極106が配置され、層間絶縁膜110を挟んで下方に平面ベタで形成されたコモン電極108との間で発生する電気力線によって液晶分子400を回転させ、液晶層を透過する光を制御する。

【0031】

図6において、TFT基板100の上にゲート電極101が形成され、ゲート電極101を覆ってゲート絶縁膜102が形成されている。ゲート電極101の上にゲート絶縁膜102介して半導体層103が形成され、半導体層103の上にドレイン電極104とソース電極105が形成されることはIPSLITE1等と同様である。TFTを覆って無機パッシベーション膜107が形成され、無機パッシベーション膜107の上に平坦化膜を兼ねた有機パッシベーション膜109が形成されている。有機パッシベーション膜109の上に平面ベタでコモン電極108が形成されている。コモン電極108を覆って層間絶縁膜110が形成され、層間絶縁膜110の上にスリット1081を有する画素電極106が形成されている。有機パッシベーション膜109、無機パッシベーション膜107、層間絶縁膜110にスルーホールを形成して、TFTのソース電極105と画素電極106の導通を取る。IPSPROは画素電極106がコモン電極108の上側にあることがIPSLITE1等と異なる点である。

10

20

【0032】

図2における端子部34には、引き出し線30が端子の下まで延在している。端子まで延在する引き出し線30は、ドレイン電極104と同じ材料である場合もあるし、ゲート電極101と同じ材料である場合もある。以後、ドレイン電極104と同じ材料の場合は、ドレイン層引出し線302といい、ゲート電極101と同じ材料の場合は、ゲート層引き出し線301という。なお、ドレイン電極104はソース電極105あるいは映像信号線と同じ材料で同時に形成される。また、ゲート電極101は走査線と同じ材料で同時に形成される。

【0033】

図7はIPSLITE1、IPSLITE2、IPSLITE3等において、端子にゲート層引き出し線301が延在している例である。ゲート層引き出し線301はゲート電極101等と同時に形成される。ゲート層引き出し線301はAlNdが使用されているが、これは大気に触れると腐食するので、ゲート絶縁膜102および無機パッシベーション膜107によって覆い、ICドライバ40の端子と接続する部分のみにスルーホールを形成している。スルーホールにおいて、AlNdが腐食されることを防止するため、スルーホール部はITOによって覆われている。このITOは、IPSLITE1等のコモン電極108、すなわち、図3、4、5等における上側のITOを形成するときと同時に形成される。以後、端子部34に使用されるITOは上側ITOと称する。

30

【0034】

図8はIPSLITE1、IPSLITE2、IPSLITE3等において、端子にドレイン層引出し線302が延在している例である。ドレイン層引出し線302はゲート絶縁膜102の上に形成され、ドレイン電極104等と同時に形成される。ドレイン層引出し線302はMoWが使用されているが、これは大気に触れると腐食するので、無機パッシベーション膜107によって覆い、ICドライバ40の端子と接続する部分のみにスルーホールを形成している。スルーホールにおいて、MoWが腐食されることを防止するため、スルーホール部は上層ITO60によって覆われている。

40

【0035】

図9はIPSPROにおいて、端子にゲート層引き出し線301が延在している例である。ゲート層引き出し線301はゲート電極101等と同時に形成される。図9が図7と異なる点は、無機パッシベーション膜107の上に層間絶縁膜110が形成されており、

50

端子部 34 のスルーホールは層間絶縁膜 110、無機パッシベーション膜 107、ゲート絶縁膜 102 を通して形成されている点である。図 9 においても、端子部 34 の最上層は上層 ITO60 によって覆われている。その他の点は図 7 で説明したのと同様である。

【0036】

図 10 は IPSPRO において、端子にドレイン層引出し線 302 が延在している例である。ドレイン層引出し線 302 はゲート絶縁膜 102 の上に形成され、ドレイン電極 104 等と同時に形成される。図 10 が図 8 と異なる点は、無機パッシベーション膜 107 の上に層間絶縁膜 110 が形成されており、端子部 34 のスルーホールは層間絶縁膜 110、無機パッシベーション膜 107、ゲート絶縁膜 102 と通して形成されている点である。図 10 においても、端子部 34 の最上層は上層 ITO60 によって覆われている。その他の点は図 8 で説明したのと同様である。

10

【0037】

以上で説明した、IPSLITE1、IPSLITE2、IPSLITE3 および IPSPRO のような画素部および端子部 34 の構成に対応して、本発明における引き出し線 30 抵抗の調整について以下に実施例を用いて説明する。

【実施例 1】

【0038】

図 11 は、IPSLITE1 において、直線配線部 33 における抵抗調整の構成を示す断面図である。図 11 において、引き出し線 30 には、ドレイン層引出し線 302 が用いられている。図 11 において、ドレイン層引出し線 302 は直線配線部 33 の途中で切れており、切れている部分を橋絡 ITO で接続している。橋絡 ITO は、図 3 における画素電極 106 すなわち、下層 ITO50 と同時に形成される。IPSLITE1 はソース電極 105 が画素電極 106 よりも先に形成されるので、図 11 における下層 ITO50 はドレイン層引出し線 302 に乗り上げて接続している。

20

【0039】

このように、本実施例では、スルーホール等を用いずに、下層 ITO50 によって、引き出し線 30 の抵抗を調整することが出来る。引き出し線 30 の抵抗は、下層 ITO50 の長さによって調整することが出来る。抵抗調整をする構成が無い場合と比較して。プロセスの数が増えることは無い。このように、本実施例によれば、IPSLITE1 において、プロセスコスト等の上昇を伴うことなく引き出し線 30 の抵抗調整を行うことが出来る。

30

【実施例 2】

【0040】

図 12 は、IPSLITE2 において、直線配線部 33 における抵抗調整の構成を示す断面図である。図 12 において、引き出し線 30 には、ドレイン層引出し線 302 が用いられている。図 12 が図 11 と異なる点は、IPSLITE2 では画素電極 106 すなわち下層 ITO50 がソース電極 105 よりも先に形成されるので、図 12 におけるドレイン層引出し線 302 は下層 ITO50 に乗り上げて導通を取っている。その他の構成および効果は実施例 1 と同様である。

【実施例 3】

40

【0041】

図 13 は、IPSLITE3 において、直線配線部 33 における抵抗調整の構成を示す断面図である。図 13 において、引き出し線 30 には、ドレイン層引出し線 302 が用いられている。図 13 において、抵抗調整のための橋絡 ITO は画素電極 106 すなわち下層 ITO50 が用いられている。下層 ITO50 の長さによって引き出し線 30 の抵抗を調整することが出来る。

【0042】

図 11 および図 12 と異なり、下層 ITO50 は TFT 基板 100 上に直接形成されている。したがって、ドレイン層引出し線 302 と接続するためには、ゲート絶縁膜 102 にスルーホールを形成し、スルーホールにおいてドレイン層引出し線 302 と抵抗調整用

50

の下層ITO50との接続を取る。もちろん、ゲート絶縁膜102の下の下層ITO50は、ゲート絶縁膜102を被着する前にパターニングして形成しておく必要がある。但し、このパターニングは、画素電極106のパターニングと同時にされるので、プロセス数が増加することは無い。この構成の効果は実施例1および実施例2と同様である。

【実施例4】

【0043】

図14は、IPSPROにおいて、直線配線部33における抵抗調整の構成を示す断面図である。図14において、引き出し線30には、ドレイン層引出し線302が用いられている。図11において、ドレイン層引出し線302は直線配線部33の途中で切れており、切れている部分を橋絡ITOで接続している。接続している橋絡ITOは、図11～

10

【0044】

図14が図11～図13と異なる点は、ドレイン層引出し線302が無機パッシベーション膜107と層間絶縁膜110によって覆われていることである。また、図6におけるコモン電極108すなわち、図14における下層ITO50は無機パッシベーション膜107が形成された後、形成されるので、下層ITO50は無機パッシベーション膜107の端部に乗り上げている。図14において、下層ITO50の長さによって引き出し線30の抵抗を調整することが出来る。図14の効果は、実施例1等で説明したのと同様である。

20

【実施例5】

【0045】

図15は、IPSLITE1またはIPSLITE2において、ゲート層引き出し線301を用いた場合において、直線配線部33における抵抗調整の構成を示す断面図である。すなわち、ゲート層引き出し線301を用いる場合は、IPSLITE1とIPSLITE2は同じ構成になる。図15において、ゲート層引き出し線301は直線配線部33の途中で切れており、切れている部分を橋絡ITOで接続している。橋絡ITOは、図3又は図4における画素電極106と同時に形成される下層ITO50である。図15において、下層ITO50でゲート層引き出し線301を橋絡するために、ゲート絶縁膜102にはスルーホールが形成されている。下層ITO50は画素電極106と同時に形成されるので、ゲート絶縁膜102の端部に下層ITO50が乗り上げている。下層ITO50は無機パッシベーション膜107によって覆われている。下層ITO50の長さによって引き出し線30の抵抗を調整することは同様である。

30

【0046】

本実施例における引き出し線30の抵抗調整は、画素部の形成、あるいは、端子部34の形成と同時に形成することが出来るので、プロセスが増加することは無い。したがって、本実施例によれば、プロセスコストの上昇を伴うことなく、引き出し線30の抵抗調整を行うことが出来る。

【実施例6】

【0047】

図16は、IPSLITE3において、ゲート層引き出し線301を用いた場合における、直線配線部33における抵抗調整の構成を示す断面図である。IPSLITE3では、画素電極106すなわち下層ITO50と、ゲート電極101すなわちゲート層引き出し線301が同層で形成されているので、スルーホールを用いずに、橋絡ITOによる抵抗調整を行うことが出来る。下層ITO50の長さによって引き出し線30の抵抗調整をする。図16では、まず、下層ITO50が形成され、続いてゲート層引き出し線301が形成されている。したがって、下層ITO50にゲート層引き出し線301が乗り上げて導通を取っている。

40

【0048】

本実施例では、引き出し線30の抵抗調整のために、スルーホールを形成する必要が無

50

いという点で、実施例 5 よりも構成を単純化できるという利点を有する。本実施例によって、プロセスコストの上昇を伴うことなく、引き出し線 30 の抵抗を調整することが出来る。

【実施例 7】

【0049】

図 17 は、IPSLITE 3 において、ゲート層引き出し線 301 を用いた場合における、直線配線部 33 における抵抗調整を行う他の構成を示す断面図である。図 17 が図 16 と異なる点は、ソース電極 105 あるいはゲート層引き出し線 301 を画素電極 106 あるいは下層 ITO50 よりも先に形成することである。したがって、下層 ITO50 がゲート層引き出し線 301 に乗上げて接続を取っている。本実施例の効果は実施例 6 と同様である。

10

【実施例 8】

【0050】

図 18 は、IPSPRO において、ゲート層引き出し線 301 を用いた場合における、直線配線部 33 における抵抗調整を行う他の構成を示す断面図である。図 18 が実施例 5 である図 15 と異なる点は、ゲート絶縁膜 102 の上に無機パッシベーション膜 107 と層間絶縁膜 110 が存在していることである。そして、ゲート層引き出し線 301 は橋絡 ITO で橋絡されているが、この橋絡 ITO は図 6 におけるコモン電極 108 と同時に形成される下層 ITO50 である。先に説明した図 15 では、抵抗調整のための橋絡 ITO は画素電極 106 と同時に形成されるが、下層 ITO50 であることには変りがない。下層 ITO50 の長さによって引き出し線 30 抵抗の調整を行う。

20

【0051】

図 6 では、コモン電極 108 は有機パッシベーション膜 109 の上に形成されているが、引き出し線 30 の部分では、有機パッシベーション膜 109 は除去されているので、図 18 では、下層 ITO50 は、スルーホールが形成された無機パッシベーション膜 107 の上に形成されている。本実施例においても、抵抗調整のための構成は、画素部の形成あるいは端子部 34 の形成と同時に行うことが出来るので、プロセスコストの上昇を伴うことなく、引き出し線 30 の抵抗調整を行うことが出来る。

【実施例 9】

【0052】

図 19 は図 2 における端子部 34 において、IPSLITE 1、IPSLITE 2、IPSLITE 3 の液晶表示装置に対し、引き出し線 30 の抵抗を調整する構成を示す断面図である。図 19 は、ドレイン層引出し線 302 を用いた例である。図 19 において、TFT 基板 100 の上にゲート絶縁膜 102 が形成され、その上にドレイン層引出し線 302 が左側の表示領域 10 から延在している。ドレイン層引出し線 302 は端子までは延在せず、途中で止まっている。ドレイン層引出し線 302 から端子部 34 まではコモン電極 108 と同時に形成される上層 ITO60 によって橋絡している。

30

【0053】

図 19 の端子において、ゲート絶縁膜 102 の上にソース電極 105 あるいはドレイン層引出し線 302 と同時に形成された端子金属 341 が存在している。上層 ITO60 は、端子金属 341 を覆って端子を形成している。上層 ITO60 の長さによって引き出し線 30 の抵抗を調整することが出来る。本実施例の構成も、従来のプロセスの数を増加することなく、引き出し線 30 の抵抗調整が可能である。

40

【実施例 10】

【0054】

図 20 は図 2 における端子部 34 において、IPSLITE 1、IPSLITE 2、IPSLITE 3 の液晶表示装置に対し、引き出し線 30 の抵抗を調整する構成を示す断面図であるが、引き出し線 30 としてゲート層引き出し線 301 を用いた例である。図 20 において、TFT 基板 100 の上にゲート電極 101 と同時に形成されたゲート層引き出し線 301 と端子金属 341 が形成されている。ゲート層引き出し線 301 は端子まで延

50

在せずに、ゲート層引き出し線 301 と端子との間はコモン電極 108 と同時に形成された上層 ITO60 によって橋絡されている。引き出し線 30 の抵抗は上層 ITO60 の長さによって調整することが出来る。本実施例においても、従来と同じプロセスで引き出し線 30 の調整を行うことが出来る。

【実施例 11】

【0055】

図 21 は図 2 における端子部 34 において、IPSPRO の液晶表示装置に対し、引き出し線 30 の抵抗を調整する構成を示す断面図である。図 21 は、ドレイン層引出し線 302 を用いた例である。図 21 が図 19 と異なる点は、無機パッシベーション膜 107 の上に層間絶縁膜 110 が存在し、図 6 における画素電極 106 と同時に形成された上層 ITO60 が層間絶縁膜 110 にまで乗り上げていることである。本実施例においても、引き出し線 30 の抵抗は上層 ITO60 の長さによって調整することが出来る。その他の効果も図 19 と同様である。

10

【実施例 12】

【0056】

図 22 は図 2 における端子部 34 において、IPSPRO の液晶表示装置に対し、引き出し線 30 の抵抗を調整する構成を示す断面図であるが、引き出し線 30 としてゲート層引き出し線 301 を用いた例である。図 22 において、TFT 基板 100 の上にゲート電極 101 と同時に形成されたゲート層引き出し線 301 と端子金属 341 が形成されている。図 22 が図 20 と異なる点は、ゲート層引き出し線 301 と端子を接続するためのスルーホールはゲート絶縁膜 102、無機パッシベーション膜 107、層間絶縁膜 110 の 3 層に対して形成する点である。また、ゲート層引き出し線 301 と端子を橋絡する上層 ITO60 は図 6 における画素電極 106 と同時に形成されるので、上層 ITO60 は層間絶縁膜 110 の上に乗り上げている。引き出し線 30 の抵抗は、上層 ITO60 の長さによって調整することが出来る。その他の効果は実施例 11 と同様である。

20

【実施例 13】

【0057】

画面が高精細になると表示領域 10 における映像信号線や走査線のピッチも小さくなる。ピッチが小さくなると引き出し線 30 側において、線間の間隔を確保することが難しくなる。この対策として、図 23 に示すように、引き出し線 30 を多層配線にすることが行われている。すなわち、例えば、図 2 の映像信号線と引き出し線 30 の連結部 31 において、1 本おきに引き出し線 30 をゲート層引き出し線 301 の層に乗り換える。そうすると、引き出し線 30 は 1 本おきにゲート層引き出し線 301 とドレイン層引出し線 302 とが存在することになる。

30

【0058】

図 23 はこの状態を示したものである。図 23 は引き出し線 30 の配列方向の断面図である。図 23 において、TFT 基板 100 の上にゲート層引き出し線 301 が形成されている。ゲート層引き出し線 301 を覆うゲート絶縁膜 102 の上にゲート層引き出し線 301 と互い違いの位置にドレイン層引出し線 302 が形成され、ドレイン層引出し線 302 を覆って無機パッシベーション膜 107 が形成されている。図 23 において、ゲート層引き出し線 301 およびドレイン層引出し線 302 のいずれにも映像信号が印加され、連結部 31 において、映像信号線と接続している。なお、連結部 31 において、引き出し線 30 が走査線と接続している場合も基本的な構成は同じである。

40

【0059】

映像信号線からゲート層引き出し線 301 への乗り換えあるいは走査線からドレイン層引出し線 302 への乗り換えは橋絡 ITO を介して行われるので、この連結部 31 において橋絡 ITO の長さを調節することによって引き出し線 30 の抵抗を調整することが出来る。従来は、このようなドレイン層引出し線 302 からゲート層引き出し線 301 への乗り換え、あるいは、ゲート層引き出し線 301 からドレイン層引出し線 302 への乗り換えは上層 ITO60 を介して行われてきた。上層 ITO60 を介した乗り換えの場合であ

50

っても、上層ITO60の長さを調整することによって引き出し線30の抵抗を調整することが出来る。

【0060】

一方、IPSLITE3の場合、ゲート層と同じ層にITOによる画素電極106とゲート電極101あるいは走査線引出し線が形成されるので、画素電極106と同時に形成する下層ITO50とゲート層引き出し線301との接続にスルーホールを形成する必要が無い。スルーホールを形成する必要が無ければ、その部分において、平面的に見て場所の節約になる。この点、IPSLITE3は有利である。

【0061】

図24は、IPSLITE3の構成において、ドレイン層引出し線302からゲート層引き出し線301に乗り換える際、画素電極106と同時に形成される下層ITO50を介し、下層ITO50によって引き出し線30の抵抗を調整する例である。図24は画素電極106をゲート電極101よりも先に形成する例である。したがって、図24では、ゲート層引き出し線301の上に下層ITO50が乗り上げて接続をとっている。図25は、IPSLITE3において、ゲート電極101を下層ITO50よりも先に形成する場合の例である。したがって、図25では、下層ITO50がゲート層引き出し線301に乗り上げて接続をとっている。その他の構成及び作用は図24と同様である。

10

【0062】

図26はIPSLITE1において、ゲート層引き出し線301からドレイン層引出し線302に乗り換える際に、下層ITO50を介して引き出し線30の抵抗を調整する例である。図26において、下層ITO50とドレイン層引出し線302との接続にはスルーホールを用いず、下層ITO50の上にドレイン層引出し線302が乗り上げて接続をしている。IPSLITE1では、画素電極106がソース電極105あるいはドレイン層引出し線302よりも先に形成されるからである。

20

【0063】

図27はIPSLITE2において、ゲート層引き出し線301からドレイン層引出し線302への乗り換えに下層ITO50を介して行い、引き出し線30の抵抗を調整する例である。作用は図26において説明したのと同様である。IPSLITE2は、ソース電極105あるいはドレイン層引出し線302を画素電極106あるいはドレイン層引出し線302よりも先に形成するので、下層ITO50がドレイン層引出し線302に乗り上げて接続を取っている。図26および図27において、橋絡ITOが再びドレイン層引出し線302に接続するとき、スルーホールは必要をしない。したがって、本実施例では、このスルーホールを必要としない分、平面で見た場合の場所を節約することが出来る。

30

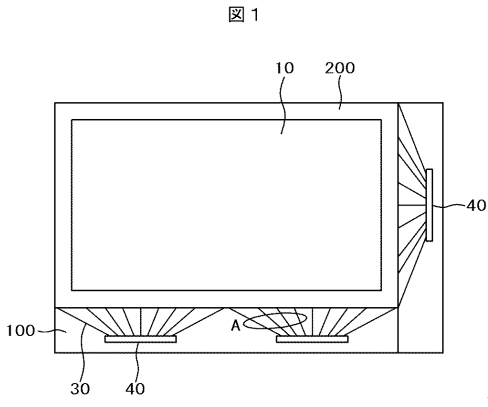
【符号の説明】

【0064】

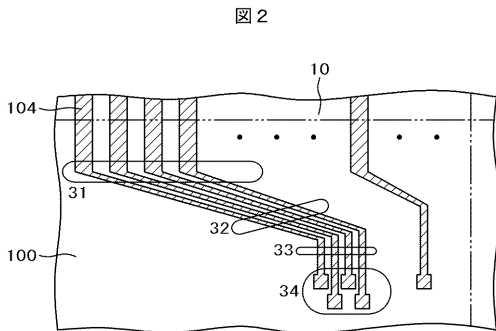
10...表示領域、 30...引き出し線、 31...連結部、 32...斜め配線部、 33...直線配線部、 34...端子部、 40...ICドライバ、 50...下層ITO、 60...上層ITO、 100...TFT基板、 101...ゲート電極、 102...ゲート絶縁膜、 103...半導体層、 104...ドレイン電極、 105...ソース電極、 106...画素電極、 107...無機パッシベーション膜、 108...コモン電極、 109...有機パッシベーション膜、 110...層間絶縁膜、 200...対向基板、 301...ゲート層引き出し線、 302...ドレイン層引出し線、 400...液晶分子、 1081...スリット、 400...液晶分子。

40

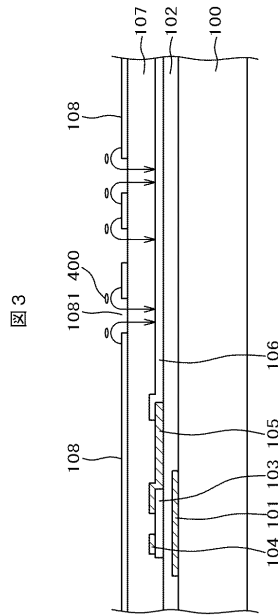
【 図 1 】



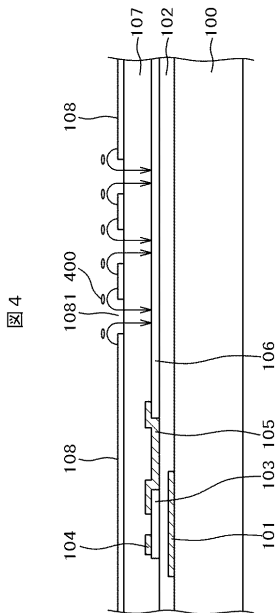
【 図 2 】



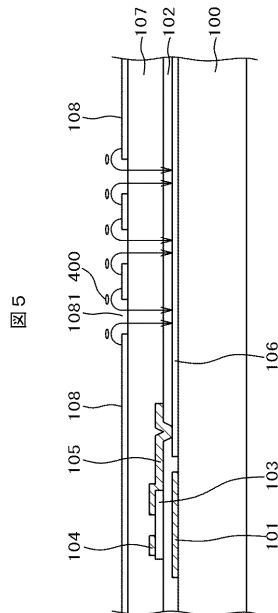
【 図 3 】



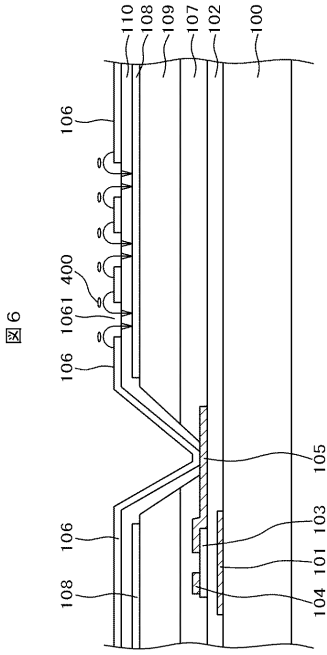
【 図 4 】



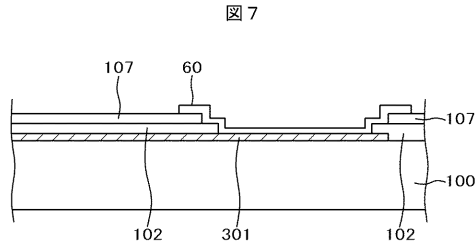
【 図 5 】



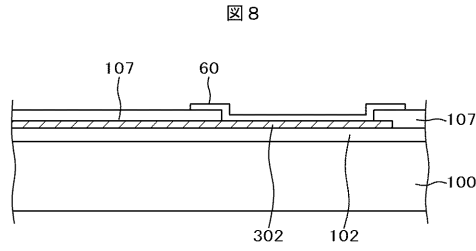
【 图 6 】



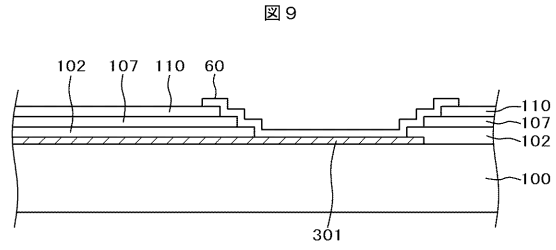
【 图 7 】



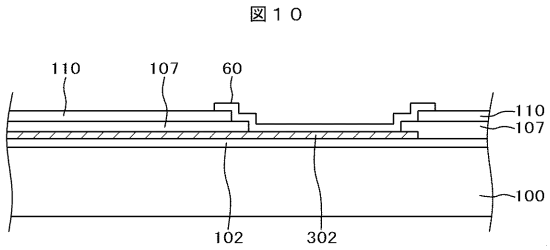
【 图 8 】



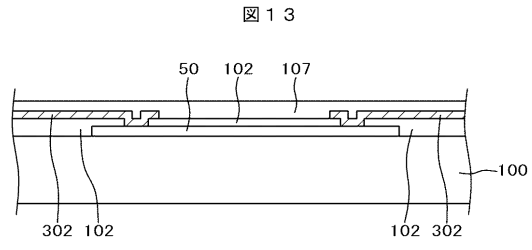
【 图 9 】



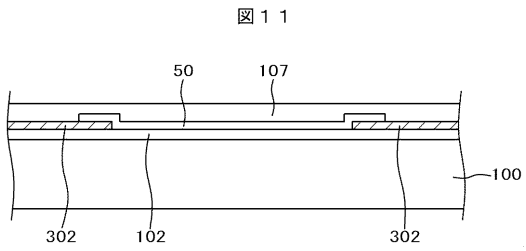
【 图 10 】



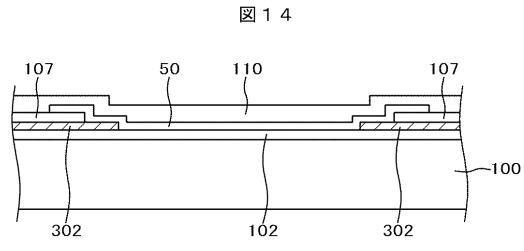
【 图 13 】



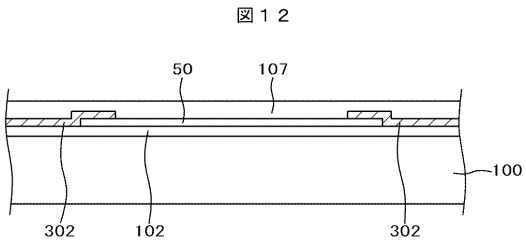
【 图 11 】



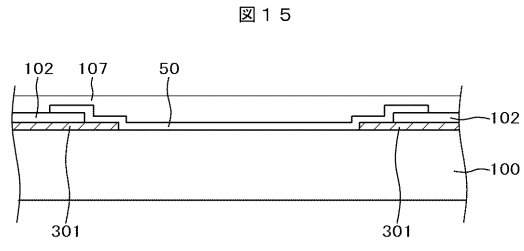
【 图 14 】



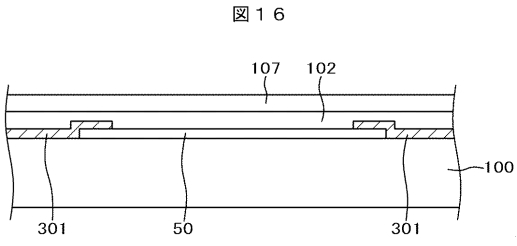
【 图 12 】



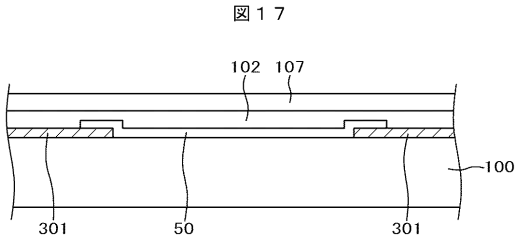
【 图 15 】



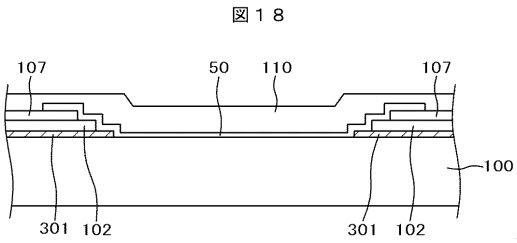
【 図 1 6 】



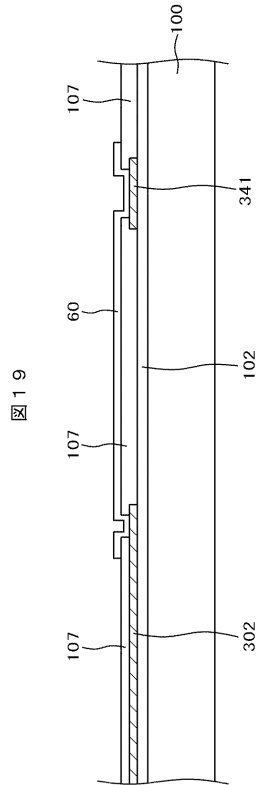
【 図 1 7 】



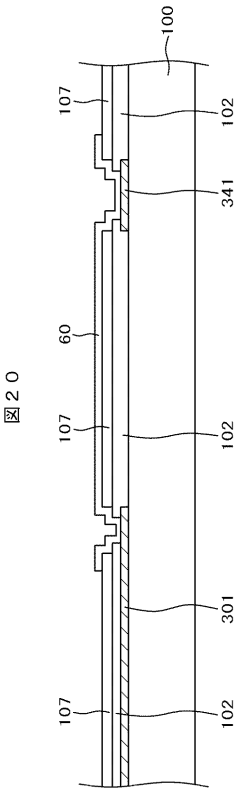
【 図 1 8 】



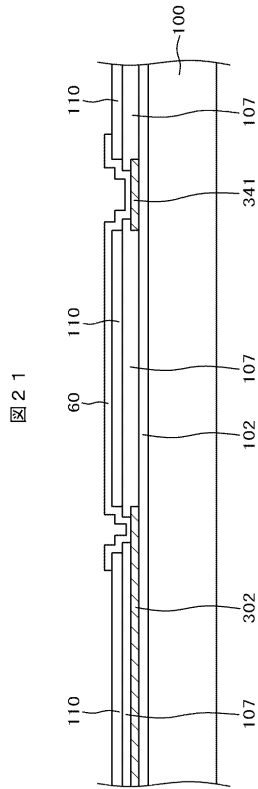
【 図 1 9 】



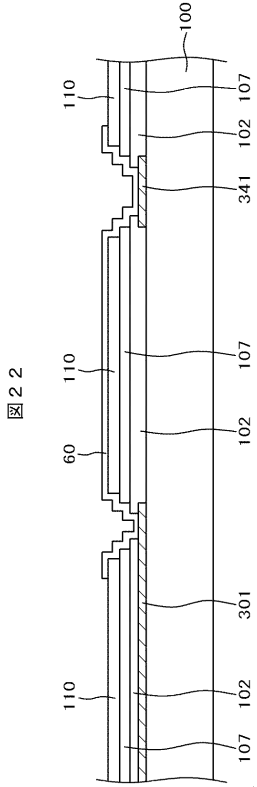
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



【 図 2 3 】

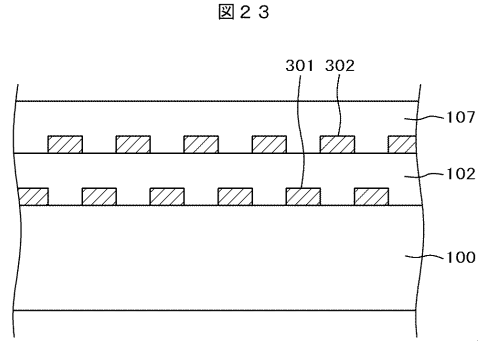
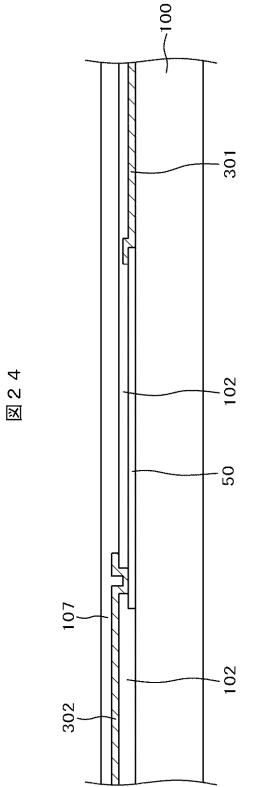


図 2 2

図 2 3

【 図 2 4 】



【 図 2 5 】

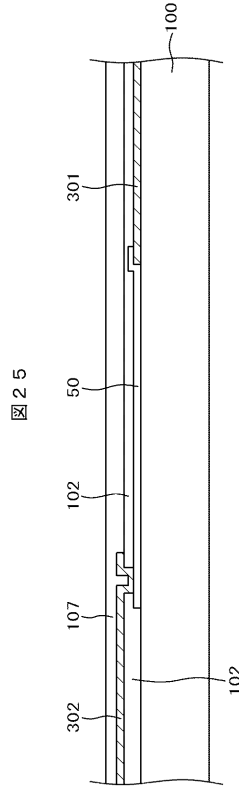
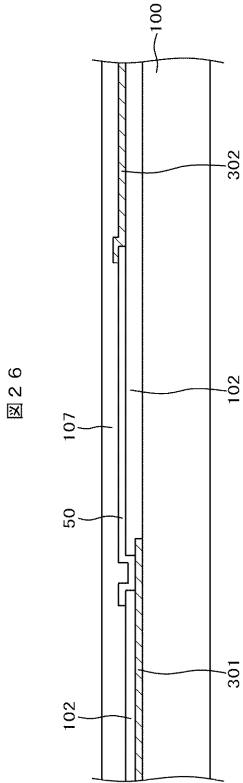


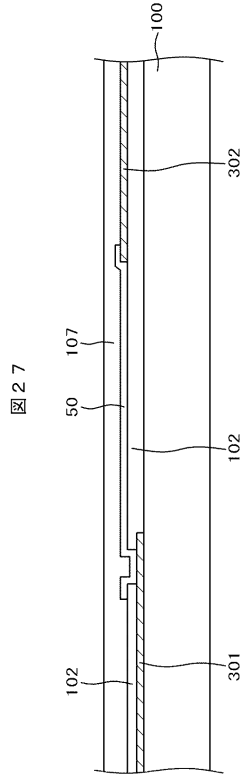
図 2 4

図 2 5

【 図 2 6 】

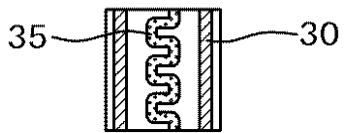


【 図 2 7 】



【 図 2 8 】

図 2 8



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012098464A	公开(公告)日	2012-05-24
申请号	JP2010245416	申请日	2010-11-01
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	長三幸弘		
发明人	長三 幸弘		
IPC分类号	G02F1/1345 G09F9/30 G09F9/35 G02F1/1368 G02F1/1343		
FI分类号	G02F1/1345 G09F9/30.330.Z G09F9/30.338 G09F9/35 G02F1/1368 G02F1/1343 G09F9/30.330		
F-TERM分类号	2H092/GA14 2H092/GA43 2H092/GA44 2H092/GA60 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB57 2H092/JB58 2H092/KB04 2H092/KB14 2H092/NA01 2H092/NA28 2H092/PA06 2H092/QA06 5C094/AA03 5C094/AA04 5C094/AA21 5C094/AA43 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA05 5C094/EA07 5C094/ED01 5C094/FA01 5C094/FB12 5C094/FB14 2H192/AA24 2H192/BB12 2H192/BB13 2H192/CB05 2H192/FA34 2H192/FA37 2H192/FA65 2H192/JA33		
其他公开文献	JP5384464B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止产生引线电阻差，在用于将显示区域的导线连接到IC驱动器的端子的引线中，由于用于连接中心的端子的引线之间的长度不同IC驱动器的一部分和用于连接IC驱动器端部的端子的引线。注意：用于将视频信号线连接到IC驱动器的端子的漏极层引线302在其中间被切断，切割部分通过与像素ITO同时形成的桥接ITO 50桥接。通过使用用于连接IC驱动器中心部分的端子的引线中的桥接ITO 50的长度大于用于连接IC驱动器的端部处的端子的引线中的桥接ITO 50的长度的长度，引线电阻差异减小。

