

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-73442

(P2012-73442A)

(43) 公開日 平成24年4月12日(2012.4.12)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
H01L 29/786 (2006.01)	H01L 29/78 612C	5F110
	H01L 29/78 616T	

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2010-218351 (P2010-218351)	(71) 出願人	502356528
(22) 出願日	平成22年9月29日 (2010.9.29)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100075959
			弁理士 小林 保
		(71) 出願人	506087819
			パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	100075959
			弁理士 小林 保
		(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	佐藤 貴夫
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

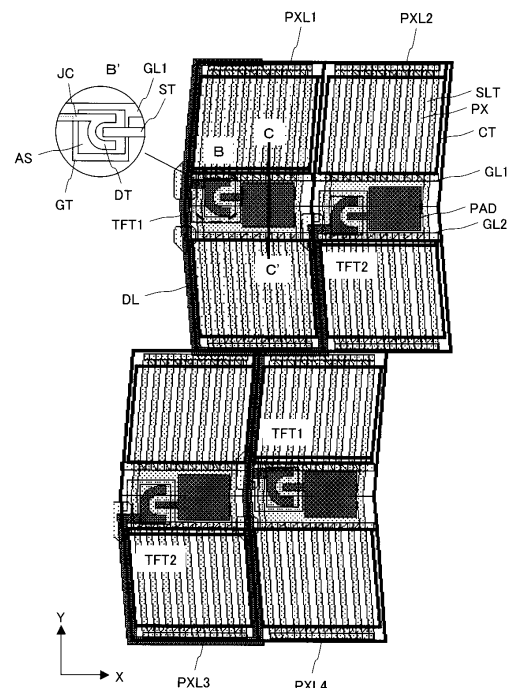
(57) 【要約】

【課題】IPS方式の液晶表示装置の開口率を向上させることが可能な技術を提供することである。

【解決手段】

ドレイン線と、ゲート線と、共通電極と、線状の画素電極と、薄膜トランジスタとを有する液晶表示装置であって、前記ドレイン線は、同一の画素行内で隣接する2つの画素毎に1本形成され、前記ゲート線は、同一の画素行内で、同一のドレイン線に接続される前記画素の内で、一方の画素に接続される第1のゲート線と、他方の画素に接続される第2のゲート線からなり、前記画素電極は、前記共通電極との重畳領域において、前記第1の方向からプラス方向に傾斜した第1の線状電極と、前記第1の方向からマイナス方向に傾斜した第2の線状電極とからなり、前記画素毎に、前記第1の線状電極の領域と前記第2の線状電極の領域との間の領域に、前記第1及び第2のゲート線並びに前記薄膜トランジスタとが形成されてなる液晶表示装置である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の方向に延在し第 2 の方向に並設されるドレイン線と、前記第 2 の方向に延在し前記第 1 の方向に並設されるゲート線と、平板状に形成され、基準となる共通信号が入力される共通電極と、絶縁膜を介して液晶層側に配置され、前記共通電極と重畳配置される線状の画素電極と、前記ゲート線からの走査信号に同期して前記ドレイン線からの映像信号を前記画素電極に供給する薄膜トランジスタと、を有する液晶表示装置であって、

前記ドレイン線は、同一の画素行内で隣接する 2 つの画素毎に 1 本形成され、

前記ゲート線は、同一の画素行内で、同一のドレイン線に接続される前記画素の内で、一方の画素に接続される第 1 のゲート線と、他方の画素に接続される第 2 のゲート線からなり、

前記画素電極は、前記共通電極との重畳領域において、前記第 1 の方向からプラス方向に傾斜した第 1 の線状電極と、前記第 1 の方向からマイナス方向に傾斜した第 2 の線状電極とからなり、

前記画素毎に、前記第 1 の線状電極の領域と前記第 2 の線状電極の領域との間の領域に、前記第 1 及び第 2 のゲート線並びに前記薄膜トランジスタとが形成されてなることを特徴とする液晶表示装置。

【請求項 2】

前記画素電極は、前記絶縁膜の上層において、前記薄膜トランジスタを跨いで前記第 1 の線状電極の領域と前記第 2 の線状電極の領域が配置されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 及び第 2 のゲート線並びに前記薄膜トランジスタと、前記画素電極とが重畳する領域は、平板状の画素電極が形成されてなることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記画素は、画素行毎に、前記第 2 の方向に画素幅の 1 / 2 ずれて形成されることを特徴とする請求項 1 乃至 3 の内の何れかに記載の液晶表示装置。

【請求項 5】

前記ドレイン線は金属薄膜からなり、隣接する画素と間において、前記ドレイン線が形成されない領域に配置され、前記ドレイン線と同層に形成される金属薄膜からなり、前記ドレイン線とは、前記第 2 の方向に延在される領域において、所定の間隔で切り欠きが形成されることを特徴とする請求項 1 乃至 4 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、同一の画素内に異なる傾斜角の線状（櫛歯）電極と備える液晶表示装置に関する。

【背景技術】

【0002】

I P S（In-Plane Switching）方式又は横電界方式と称される液晶表示装置は、絶縁膜を介して対向配置される画素電極と共通電極とが同一の平面基板上に形成される構成となっている。この I P S 方式の液晶表示装置では、画素電極と共通電極との間に平面基板の主面に平行な成分を有する電界を生じさせ、この電界により液晶の分子を駆動させる構成となっており、広視野角表示ができるとして知られている。I P S 方式の液晶表示装置では、透明導電膜で形成される平板状の共通電極の液晶側に、複数のスリットの形成される透明電極が絶縁膜を介して形成されており、この構成により平板状の共通電極と重畳する線状（櫛歯）の画素電極を形成している。

【0003】

近年、表示画質のさらなる向上が要望され、ダイナミックレンジレンジの向上のために

10

20

30

40

50

開口率の向上が要望されている。開口率を向上した液晶表示装置として、例えば、図??に示すように、隣接配置される2列分の画素列毎に1本のドレイン線が形成され、該ドレイン線の両側に配置される画素に時分割で映像信号を供給する構成となっている。さらには、画素が1行(1列)おきに半ピッチずつゲート線の延在方向(ドレイン線の延在方向)にずれるように形成することにより、時分割で映像信号を供給する際に生じる、いわゆる縦スジの発生に伴う表示不良を低減した液晶表示装置がある。画素を1行(1列)おきに半ピッチずつゲート線の延在方向ずらして配置する液晶表示装置としては、例えば、特許文献1に記載の液晶表示装置がある。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開平6-289423号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

一方、IPS方式の液晶表示装置における視野角を向上させる技術として、図8に示すように、長方形の画素領域の中で薄膜トランジスタTFTに近い領域と遠い領域とで、ゲート線GLに沿って開口されるスリットSLTの傾斜角を異なる傾斜角で形成する、いわゆるマルチドメイン方式がある。しかしながら、ゲート線GLの方向に開口されるスリットSLTを形成した場合、開口率を向上させるために、スリットSLTを有する画素電極をスリットの延在方向に大きく形成する必要がある。しかしながら、隣接する画素の画素電極との間隔が小さくなった場合、隣接する画素間での飛び込み電圧の影響が大きくなってしまい、隣接する画素間で実行電圧の差が生じてしまい、縦スジが生じてしまうことが懸念されている。

20

【0006】

この問題を解決する方法として、図9に示すように、画素領域の中で薄膜トランジスタに近い領域と遠い領域とで、ゲート線と直交する方向(画素の列方向)に対して異なる傾斜角でスリットを形成し、該傾斜角の異なるスリットを連結して「く」の字状に線状電極PXを形成するマルチドメイン方式がある。

【0007】

30

しかしながら、この方式の画素電極PXでは、画素電極の間隔Lは大きくできるが、スリットの傾斜角が変化する、点線の丸印で示す境界領域においては電界が乱れてしまい、正常な画像表示ができないことが知られ、特に、液晶表示装置の法線方向からの押圧により、バックライト光が透過してしまう、いわゆる押しドメインの発生が知られている。この改善方法として、図10に示すように、画素領域の中で薄膜トランジスタに近い領域と遠い領域とのそれぞれの領域に異なる傾斜角のスリットSLTを形成し、境界領域に電極TTを形成すること方法が知られているが、電極TTを形成した領域は画像表示に寄与しない領域となるので、開口率が低下してしまうことが懸念されている。

【0008】

本発明はこれらの問題点に鑑みてなされたものであり、本発明の目的は、IPS方式の液晶表示装置の開口率を向上させることが可能な技術を提供することにある。

40

【課題を解決するための手段】

【0009】

前記課題を解決すべく、第1の方向に延在し第2の方向に並設されるドレイン線と、前記第2の方向に延在し前記第1の方向に並設されるゲート線と、平板状に形成され、基準となる共通信号が入力される共通電極と、絶縁膜を介して液晶層側に配置され、前記共通電極と重畳配置される線状の画素電極と、前記ゲート線からの走査信号に同期して前記ドレイン線からの映像信号を前記画素電極に供給する薄膜トランジスタと、を有する液晶表示装置であって、前記ドレイン線は、同一の画素行内で隣接する2つの画素毎に1本形成され、前記ゲート線は、同一の画素行内で、同一のドレイン線に接続される前記画素の内

50

で、一方の画素に接続される第 1 のゲート線と、他方の画素に接続される第 2 のゲート線からなり、前記画素電極は、前記共通電極との重畳領域において、前記第 1 の方向からプラス方向に傾斜した第 1 の線状電極と、前記第 1 の方向からマイナス方向に傾斜した第 2 の線状電極とからなり、前記画素毎に、前記第 1 の線状電極の領域と前記第 2 の線状電極の領域との間の領域に、前記第 1 及び第 2 のゲート線並びに前記薄膜トランジスタとが形成されてなる液晶表示装置である。

【発明の効果】

【0010】

本発明によれば、IPS方式の液晶表示装置の開口率をさらに向上させることができる。

10

【0011】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【図面の簡単な説明】

【0012】

【図 1】本発明の実施形態 1 の表示装置である液晶表示装置の概略構成を説明するための図である。

【図 2】本発明の実施形態 1 の液晶表示装置における画素構成を説明するための平面図である。

【図 3】図 2 の C - C ' 線での断面図である。

【図 4】本発明の実施形態 1 の画素電極の概略構成を説明するための図である。

20

【図 5】本発明の実施形態 2 の液晶表示装置におけるドレイン線の概略構成を説明するための拡大図である。

【図 6】本願発明の実施形態 2 の液晶表示装置におけるドレイン線の形成領域を説明するための図である。

【図 7】図 6 に示す領域における実施形態 1 のドレイン線を説明するための拡大図である。

【図 8】従来の液晶表示装置における画素構成を説明するための図である。

【図 9】従来の液晶表示装置における画素電極を説明するための図である。

【図 10】従来の液晶表示装置における画素電極を説明するための図である。

【発明を実施するための形態】

30

【0013】

以下、本発明が適用された実施形態について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。

【0014】

実施形態 1

全体構成

図 1 は本発明の実施形態 1 の表示装置である液晶表示装置の概略構成を説明するための図であり、以下、図 1 に基づいて、実施形態 1 の液晶表示装置の全体構成を説明する。ただし、図 1 に示す X, Y はそれぞれ X 軸、Y 軸を示す。また、以下の説明では、平板状の共通電極の液晶層側に線状の画素電極が絶縁膜を介して配置される場合について説明するが、これに限定されることはなく、例えば、ドレイン線と平板状の画素電極とが同層に形成され、該画素電極の液晶層側に線状の共通電極が絶縁膜を介して配置される IPS 方式の液晶表示装置にも適用可能である。

40

【0015】

図 1 に示すように、実施形態 1 の液晶表示装置は、画素電極（第 2 電極）PX 及び薄膜トランジスタ TFT が形成される第 1 基板 SUB 1 と、第 1 基板 SUB 1 に対向して配置されカラーフィルタ等が形成される第 2 基板 SUB 2 と、第 1 基板 SUB 1 と第 2 基板 SUB 2 とで挟持される図示しない液晶層とで構成される液晶表示パネル PNL を有し、該液晶表示パネル PNL の光源となる図示しないバックライトユニット（バックライト装置）とを組み合わせることにより、液晶表示装置が構成されている。第 1 基板 SUB 1 と第

50

2 基板 SUB 2 との固定及び液晶の封止は、第 2 基板の周辺部に環状に塗布されたシール材 SL で固定され、液晶も封止される構成となっている。ただし、実施形態 1 の液晶表示装置では、液晶が封入された領域の内に表示画素（以下、画素と略記する）の形成される領域が表示領域 AR となる。従って、液晶が封入されている領域内であっても、画素が形成されておらず表示に係わらない領域は表示領域 AR とはならない。

【0016】

また、第 2 基板 SUB 2 は、第 1 基板 SUB 1 よりも小さな面積となっており、第 1 基板 SUB 1 の図中下側の辺部を露出させるようになっている。この第 1 基板 SUB 1 の辺部には、半導体チップで構成される駆動回路 DR が搭載されている。この駆動回路 DR は、表示領域 AR に配置される各画素を駆動する。なお、以下の説明では、液晶表示パネル PNL の説明においても、液晶表示装置と記すことがある。

10

【0017】

第 1 基板 SUB 1 及び第 2 基板 SUB 2 としては、例えば周知のガラス基板が基材として用いられるのが一般的であるが、ガラス基板に限定されることはなく、石英ガラスやプラスチック（樹脂）のような他の絶縁性基板であってもよい。

【0018】

実施形態 1 の液晶表示装置では第 1 基板 SUB 1 の液晶側の面であって表示領域 AR 内には、図 1 中 X 方向に延在し Y 方向に並設され、駆動回路 DR からの走査信号が供給される走査信号線（ゲート線）GL が形成されている。また、図 1 中 Y 方向に延在し X 方向に並設され、駆動回路からの映像信号（階調信号）が供給される映像信号線（ドレイン線）DL が形成されている。このとき、実施形態 1 の液晶表示装置では、後に詳述するように、X 方向に隣接する 2 つの画素毎にドレイン線 DL が Y 方向に並設される構成となっており、該ドレイン線 DL は同一の画素行（走査ライン）の 2 つの画素が接続される構成となっている。また、走査ライン毎に隣接する 2 つの画素に対応した映像信号が順次入力される構成となっている。また、画素電極の Y 方向の中間領域に X 方向に伸延する直線状の 2 本のゲート線が形成され、同一のドレイン線が接続される画素毎に異なるゲート線に接続される構成となっている。

20

【0019】

各画素は、例えば図 1 中丸印 A の等価回路図 A' に示すように、ゲート線 GL からの走査信号によってオン/オフ駆動される薄膜トランジスタ TFT と、このオンされた薄膜トランジスタ TFT を介してドレイン線 DL からの映像信号が供給される画素電極 PX と、コモン線 CL を介して映像信号の電位に対して基準となる電位を有する共通信号が供給される共通電極 CT とを備えている。ただし、薄膜トランジスタ TFT は、いわゆる逆スタガ構造の薄膜トランジスタであり、そのバイアスの印加によってドレイン電極とソース電極が入れ替わるように駆動するが、本明細書中においては、便宜上、ドレイン線 DL と接続される側をドレイン電極 DT、画素電極 PX と接続される側をソース電極 ST と記す。

30

【0020】

画素電極 PX と共通電極 CT との間には、第 1 基板 SUB 1 の主面に平行な成分を有する電界が生じ、この電界によって液晶の分子を駆動させるようになっている。このような液晶表示装置は、いわゆる広視野角表示ができるものとして知られ、液晶への電界の印加の特異性から、IPS 方式あるいは横電界方式と称される。また、このような構成の液晶表示装置において、液晶に電界が印加されていない場合に光透過率を最小（黒表示）とし、電界を印加することにより光透過率を向上させていくノーマリブラック表示形態で表示を行うようになっている。

40

【0021】

各ドレイン線 DL 及び各ゲート線 GL はその端部においてシール材 SL を越えてそれぞれ延在され、外部システムからフレキシブルプリント基板 FPC を介して入力される入力信号に基づいて、映像信号や走査信号等の駆動信号を生成する駆動回路 DR に接続される。ただし、実施形態 1 の液晶表示装置では、駆動回路 DR を半導体チップで形成し第 1 基板 SUB 1 に搭載する構成としているが、映像信号を出力する映像信号駆動回路と走査信

50

号を出力する走査信号駆動回路との何れか一方又はその両方の駆動回路をフレキシブルプリント基板 F P C にテープキャリア方式や C O F (Chip On Film) 方式で搭載し、第 1 基板 S U B 1 に接続させる構成であってもよい。

【0022】

なお、実施形態 1 の液晶表示装置では、画素毎に独立して形成される共通電極 C T に対して、コモン線 C L を介して共通信号を入力する構成としたが、これに限定されることはなく、例えば、少なくとも表示領域 A R の全面に共通電極 C T を形成する構成であってもよい。

【0023】

画素構成

図 2 は本発明の実施形態 1 の液晶表示装置における画素構成を説明するための平面図であり、特に、第 1 基板 S U B 1 の平面図である。また、図 3 は図 2 の C - C ' 線での断面図であり、図 4 は本発明の実施形態 1 の画素電極の概略構成を説明するための図である。ただし、図 2 に示す画素の配置は、上段が走査ラインの奇数行であり、下段が走査ラインの偶数行であり、各段の左列が奇数列であり、右列が偶数列の場合について説明する。また、以下の説明において、各薄膜層は周知のフォトリソグラフィ技術で形成可能となるので、その形成方法等の詳細は省略する。さらには、実施形態 2 の液晶表示装置では、図示しない第 2 基板 S U B 2 には、各画素の辺縁部に対応したブラックマトリクス及び R (赤色)、G (緑色)、B (青色) カラーフィルタが形成され、ブラックマトリクスが隣接配置される画素間からの光漏れを防止する構成となっている。

10

20

【0024】

図 2 に示すように、実施形態 1 の液晶表示装置では、Y 方向に延在し X 方向に並設されるドレイン線 D L を有しており、1 本のドレイン線 D L は同一の画素行 (走査ライン) に隣接する 2 つの画素列に接続されている。また、Y 方向に延在し X 方向に並設されるゲート線 G L を有しており、同一の画素行に対して、近接して形成される 2 本のゲート線 G L 1、G L 2 が配置されている。

【0025】

また、実施形態 1 では、奇数段である上段に 2 個の画素 P X L 1、P X L 2 が X 方向に並設され、偶数段である下段に 2 個の画素 P X L 3、P X L 4 が X 方向に並設され、この 4 つの画素 P X L 1 ~ P X L 4 からなる画素グループが表示領域 A R 内にマトリクス状に配置されて、画像表示を行う構成となっている。このとき、上段の画素 P X L 1、P X L 2 に対して、下段の画素 P X L 3、P X L 4 は半ピッチ (X 方向の画素幅の半分) ずつ X 方向に沿ってずれて形成され、このずれ方向は、段の下降ごとに、交互 (例えば、左右) に異なるように各画素 P X L 1 ~ P X L 4 が配列されている。ただし、各画素 P X L 1 ~ P X L 4 は、このような X 方向へのずれを有することなく、Y 方向に直線状に配置されるようになっていてもよい。

30

【0026】

このような画素配置において、各画素列に配置される 2 本のゲート線 G L 1、G L 2 は、各画素 P X L 1 ~ P X L 4 を配置される画素電極 P X に形成されるスリット S L T の傾斜角が変化する境界領域に形成されている。従って、Y 方向に隣接する画素との間には、ゲート線 G L 1、G L 2 が形成されない構成となっている。このとき、同一の画素列に配置されると共に、同一のドレイン線 D L に接続される 2 つの画素毎に、異なる 2 つのゲート線 G L 1、G L 2 にそれぞれ接続される。例えば、上段に示す同一のドレイン線 D L に接続される画素 P X L 1 はゲート線 G L 1 に接続され、画素 P X L 2 はゲート線 G L 2 に接続される。同様にして、下段に示す同一のドレイン線 D L に接続される画素 P X L 3 はゲート線 G L 2 に接続され、画素 P X L 4 はゲート線 G L 1 に接続される。

40

【0027】

また、Y 方向に延在されるドレイン線 D L は、画素 P X L 1 の長手方向の辺縁部の一端側 (図中左端側) に沿って配置され Y 方向 (図中下方向) に伸延された後に、画素 P X L 1 の短手方向の図中下側の辺縁部、すなわち画素 P X L 1 と画素 P X L 3 とが隣接する辺

50

縁部に沿って配置され、X方向（図中右方向）に伸延される。この後に、X方向に伸延されるドレイン線DLは、画素PXL3と画素PXL4とが隣接する個所において2つに分かれる。この分かれた一方のドレイン線DLは、画素PXL3の長手方向の辺縁部の一端側（図中右端側）、すなわち画素PXL3と画素PXL4とが隣接する辺縁部に沿って配置されY方向（図中下方向）に伸延される。他方のドレイン線は、画素電極PXL1の短手方向の辺縁部、すなわち画素PXL1と画素PXL4とが隣接する辺縁部に沿って配置され、さらにX方向（図中右方向）に伸延される。このX方向へ伸延される他方のドレイン線DLは、画素PXL1の短手方向の端部において、画素PXL1の長手方向の他端側（図中右端側）の辺縁部、すなわち画素PXL1と画素PXL2とが隣接する辺縁部に沿って配置され、Y方向（図中上方向）に伸延され、画素PXL2を形成する薄膜トランジスタTFT2（後に、詳述する）のドレイン電極DTに至る構成となっている。

10

【0028】

また、画素PXL3の長手方向の辺縁部に沿ってY方向に伸延される一方のドレイン線は、画素PXL3の長手方向の端部において、画素PXL3の短手方向の他端側（図中下端側）の辺縁部に沿って配置され、X方向（図中左方向）に伸延される。この後に、画素PXL3の短手方向の端部において、画素PXL3の長手方向の一端側（図中左端側）の辺縁部に沿ってY方向（図中上方向）に伸延され、当該画素PXL3を形成する薄膜トランジスタTFT2のドレイン電極DTに至る構成となっている。

【0029】

また、図2から明らかなように、実施形態1の各画素PXL1～4の構成は、ドレイン線DLを除く他の構成部材の配置がY方向（上下方向）に反転した位置関係となっている。従って、以下の説明では、画素PXL1について詳細に説明する。

20

【0030】

前述するように、ゲート線GL1、GL2及びドレイン線DLが形成される画素PXL1～PXL4においては、Y方向の画素領域の中央領域に2本のゲート線GL1、GL2が配置されると共に、この領域に各画素に対応する薄膜トランジスタTFT1、TFT2が形成されている。

【0031】

例えば、画素PXL1においては、画素の中央領域内のドレイン線DLの形成側である図中左側において、ゲート線GL1から図中下側に突出し、薄膜トランジスタTFT1のゲート電極GTとして機能する構成となっている。第1基板SUB1の表面には、ゲート線GLをも被って、後述する絶縁膜GI（図3参照）が形成され、各薄膜トランジスタTFT1、TFT2の形成領域においては、ゲート絶縁膜として機能する。この絶縁膜GI上のゲート電極GTと重畳する部分には、例えばアモルファスシリコンからなる島状の半導体層ASが形成されている。この半導体層ASは、薄膜トランジスタTFT1の半導体層となるものであり、その上面に互いに対向するドレイン電極DTおよびソース電極STを形成することによっていわゆるMIS（Metal Insulator Semiconductor）構造の薄膜トランジスタTFT1が形成される。

30

【0032】

ドレイン電極DTは半円形の湾曲した形状をなしており、ドレイン線DLの形成と同時に形成され、ドレイン線DLの一部が延在して形成される延在部JCにより、ドレイン線DLとドレイン電極DTとが電氣的に接続されている。また、ソース電極STは、ドレイン電極DTの形成と同時に形成され、該ソース電極STから延在されるパッド部PDも共に形成される。このように、実施形態1においては、ドレイン電極DTは半円形の湾曲したパターンをなし、ソース電極STはドレイン電極DTの凹面に対向して配置されている。これによって、薄膜トランジスタTFT1のチャネル幅を大きく構成できるようにしている。

40

【0033】

このパッド部PDの上層には、図3に示すように、薄膜トランジスタTFT1及びドレイン線DL等をも被ってなる保護膜PASが第1基板SUB1の表面に形成され、当該保

50

保護膜 P A S の表面を平坦化する構成としている。この保護膜 P A S の上面には平板状の共通電極 C T が形成されている。この共通電極 C T は、例えば I T O (Indium Tin Oxide) からなる透光性導電膜によって構成されているが、Z n O (酸化亜鉛) 系透明導電膜を用いてもよい。

【 0 0 3 4 】

実施形態 1 の液晶表示装置においては、共通電極 C T は画素毎に独立して形成される構成となっており、特に、薄膜トランジスタ T F T 1 が形成されると共に、ゲート線 G L , G L 2 が形成される画素 P X L 1 の中央領域に形成されない。すなわち、実施形態 1 の共通電極は、画素 P X L 1 を形成する領域内に形成される画素電極 P X にスリット S L T が形成される領域である、画素 P X L 1 の中央領域の上側領域と下側領域にのみ形成される構成となっている。なお、パッド部 P D の X 方向の大きさを小さくすることによって、中央領域を跨ぐようにして、共通電極 C T を形成してもよい。

10

【 0 0 3 5 】

共通電極 C T の上層には、第 1 基板の表面を被うようにして、2 つの絶縁膜 I N 1 , I N 2 が形成され、この絶縁膜 I N 1 , I N 2 の上面には、各画素 P X L 1 ~ P X L 4 の領域ごとに画素電極 P X が形成されている。画素電極 P X も共通電極と同様に、例えば I T O からなる透光性導電膜によって構成されている。実施形態 1 の画素電極 P X は、共通電極 C T と重畳される領域において、平板状の形成される透明電極に、開口部であるスリット S L T を複数形成することによって、共通電極 C T と重畳される領域において複数の線状 (櫛歯状) 電極を形成している。

20

【 0 0 3 6 】

このとき、図 4 に示すように、実施形態 1 の画素電極 P X では、画素 P X L 1 の中央領域にはスリット S L T が形成されない構成となっており、このスリットの形成されない領域の中で、絶縁膜 I N 1 , I N 2 及び保護膜 P A S に形成されたコンタクトホール T H を通してパッド部 P D に接続されている。これにより、画素電極 P X は薄膜トランジスタ T F T のソース電極 S T に電氣的に接続されている。

【 0 0 3 7 】

また、実施形態 1 の画素電極 P X では、図 4 から明らかなように、図中上側の領域に形成されるスリット S L T は、Y 方向からプラス方向に傾斜した構成となっており、図中下側の領域に形成されるスリット S L T は、Y 方向からマイナス方向に傾斜した構成となっており、いわゆる縦マルチドメインの電極構成となっている。従って、同一のドレイン線 D L が接続されると共に、同一画素行に隣接配置される画素 P X L 1 , P X L 2 の画素電極であっても、その間隔 L を大きくすることが可能となるので、押しドメインによる表示品質を防止し、画素の開口率を向上させると共に、隣接する画素からの飛び込み電圧の影響を大幅に低減させることができる。

30

【 0 0 3 8 】

以上説明したように、実施形態 1 の液晶表示装置では、1 本のドレイン線 D L が同一の画素行内で隣接する 2 つの画素毎に配置されると共に、ゲート線 G L は、同一の画素行内で、同一のドレイン線に接続される画素の中で、一方の画素に接続されるゲート線 G L 1 と、他方の画素に接続されるゲート線 G L 2 からなり、画素領域毎に形成される画素電極 P X が共通電極 C T との重畳領域において、ドレイン線の延在方向である Y 方向からプラス方向に傾斜したスリット S L T により線状電極が図 2 中の上側領域に形成され、ドレイン線の延在方向からマイナス方向に傾斜したスリット S L T により線状電極が図 2 中の下側領域に形成され、画素毎に、プラス方向に傾斜した線状電極が形成される領域と、プラス方向に傾斜した線状電極が形成される領域との間の領域に、2 本のゲート線 G L 1 , G L 2 と薄膜トランジスタ T F T とが形成される構成となっているので、押しドメインによる表示品質を防止し、画素の開口率を向上させると共に、隣接する画素からの飛び込み電圧の影響を大幅に低減させることができる。

40

【 0 0 3 9 】

実施形態 2

50

図 5 は本発明の実施形態 2 の液晶表示装置におけるドレイン線の概略構成を説明するための拡大図であり、実施形態 1 の液晶表示装置に本願発明を適用した場合を示している。また、図 6 は本願発明の実施形態 2 の液晶表示装置におけるドレイン線の形成領域を説明するための図であり、図 7 は図 6 に示す領域における実施形態 1 のドレイン線を説明するための拡大図である。ただし、図中に示す矢印 Y 1 は図示しない配向膜のラビング方向すなわち液晶分子の初期配向方向を示す。また、実施形態 2 の液晶表示装置は、ドレイン線から延在され画素 P X L 2 と画素 P X L 4 との間に形成される伸延部 J C 1 , J C 2 、及び図示しない第 2 基板 S U B 2 に形成されるブラックマトリクスを除く他の構成は、実施形態 1 の液晶表示装置と同様となる。従って、以下の説明では、伸延部 J C 1 , J C 2 及びブラックマトリクスについて詳細に説明する。

10

【 0 0 4 0 】

実施形態 2 のドレイン線は、図 6 中に丸印 D で示す領域に形成され、Y 方向に隣接される画素間における光漏れを防止する構成となっている。このとき、実施形態 2 のドレイン線 D L は、図 5 に示すように、X 方向に延在される部分は配線幅が大きく形成されており、画素電極の Y 方向端部とドレイン線 D L とが重畳して形成されている。さらには、実施形態 2 のドレイン線 D L は、実施形態 1 においては X 方向のドレイン線が形成されない領域にも伸延される伸延部 J C 1 を有しており、隣接される図示しないドレイン線から伸延される伸延部 J C 2 と共に、Y 方向に隣接される画素間における光漏れを防止する構成となっている。

【 0 0 4 1 】

このとき、図 5 から明らかなように、図 6 中の丸印 D で示す、P X L 2 と画素 P X L 4 とが隣接する領域においては、ドレイン線 D L から X 方向（図中右側方向）に伸延する伸延部 J C 1 が配置されている。また、この領域には、ドレイン線 D L に隣接する次のドレイン線、すなわち画素 P X L 2 の図中右側の辺縁部に沿って形成される図示しないドレイン線から X 方向（図中左側方向）に伸延される伸延部 J C 2 が配置されている。このとき、図 5 中の点線の丸印に示すように、伸延部 J C 1 と伸延部 J C 2 とは所定の間隔を有して X 方向に対向配置されている。また、実施形態 2 においては、伸延部 J C 1 と伸延部 J C 2 との対向する側の端部は、画素 P X L 2 の画素電極 P X の左下側端部と、画素 P X L 4 の画素電極 P X の右上側端部との間の幅が H の領域に形成される。このような構成とすることにより、伸延部 J C 1 と伸延部 J C 2 との短絡に伴う隣接するドレイン線の短絡を防止すると共に、配向膜のラビング方向及び電界の方向と、図示しない偏光板の偏光軸の方向とを一致させることが可能となり、伸延部 J C 1 と伸延部 J C 2 との離間部分における液晶表示動作中の光漏れを防止することが可能となる。ただし、伸延部 J C 1 の端部と伸延部 J C 2 の端部との間の距離（間隔）は、液晶材料や駆動電圧等によって適宜設定される。

20

30

【 0 0 4 2 】

このとき、図 7 に示すように、第 2 基板にブラックマトリクス B M を形成し、Y 方向に隣接する領域を遮光する場合、ブラックマトリクス B M の形成精度及び第 1 基板 S U B 1 と第 2 基板 S U B 2 との位置合わせ精度等を考慮して、ブラックマトリクス B M の幅を大きくする必要がある。これに対して、実施形態 2 の液晶表示装置では、第 1 基板 S U B 1 に薄膜層を形成する精度で伸延部 J C 1 , J C 2 を形成することができるので、ブラックマトリクス B M の幅よりも伸延部 J C 1 , J C 2 の配線幅を細く形成することが可能となる。従って、実施形態 1 の効果に加えて、大きく開口率を向上できるという格別の効果を得ることができる。

40

【 0 0 4 3 】

以上、本発明者によってなされた発明を、前記発明の実施形態に基づき具体的に説明したが、本発明は、前記発明の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

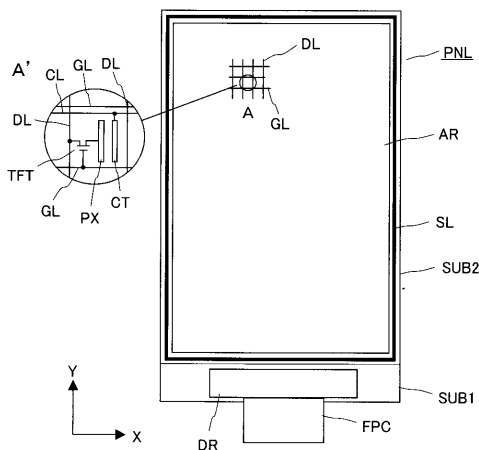
【 符号の説明 】

【 0 0 4 4 】

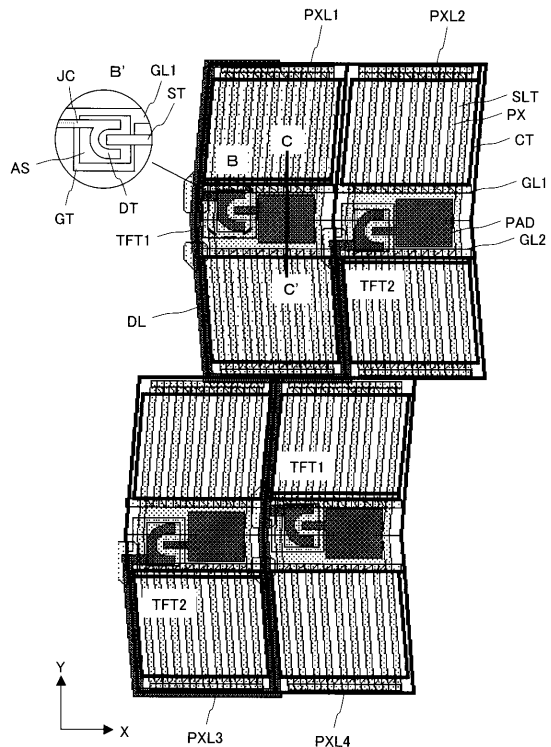
50

PNL ... 液晶表示パネル、FPC ... フレキシブルプリント基板、AR ... 表示領域
 CT ... 共通電極、PX ... 画素電極、SL ... シール材、DL ... ドレイン線
 CL ... コモン線、GL, GL1, GL2 ... ゲート線、ST ... ソース電極
 TFT, TFT1, TFT2 ... 薄膜トランジスタ、SUB1 ... 第1基板
 SUB2 ... 第2基板、DR ... 駆動回路、AS ... 半導体層、JC ... 延在部
 PAD ... パッド部、PXL1 ~ PXL4 ... 画素、GI ... 絶縁膜（ゲート絶縁膜）
 IN1, IN2 ... 絶縁膜、JC1, JC2 ... 伸延部、BM ... ブラックマトリクス
 TT ... 電極、SLT ... スリット、PAS ... 保護膜、TH ... コンタクトホール

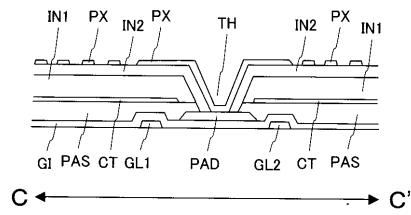
【図1】



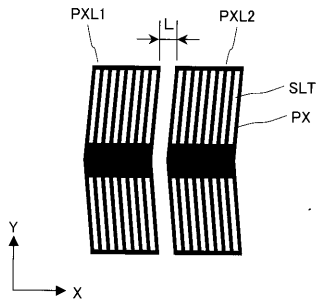
【図2】



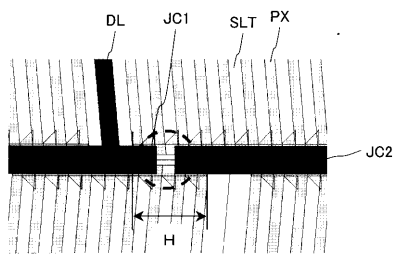
【図 3】



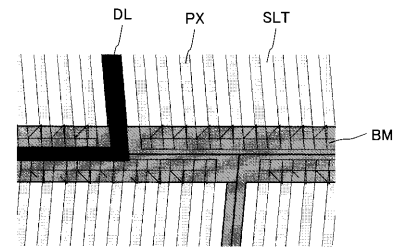
【図 4】



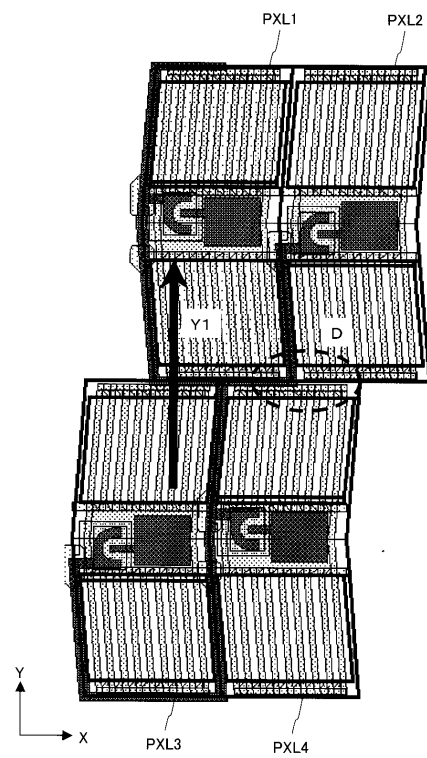
【図 5】



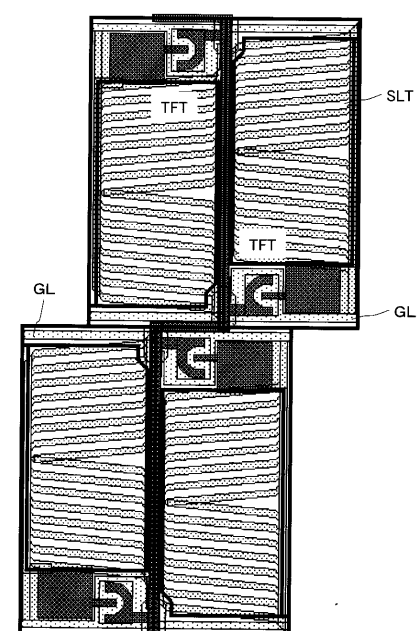
【図 7】



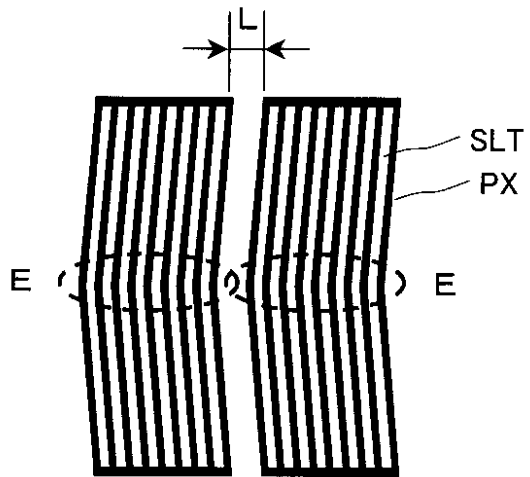
【図 6】



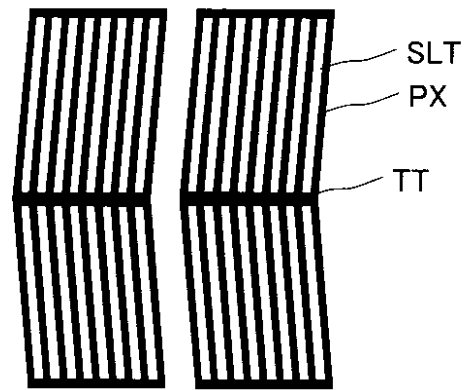
【図 8】



【図 9】



【図 10】



フロントページの続き

F ターム(参考) 2H092 GA11 JA24 JA41 JB22 JB31 JB56
5F110 AA04 AA26 BB01 CC07 DD01 DD02 DD03 GG02 GG15 HL07
HM04 HM12 QQ19

[解决方案] 一种具有漏极线，栅极线，公共电极，线性像素电极和薄膜晶体管的液晶显示装置，其中对于同一像素行中的每两个相邻像素形成一条漏极线。栅极线具有连接到与同一像素行中的相同漏极线连接的像素之一的第一栅极线和连接至另一像素的第二栅极线。在与公共电极重叠的区域中的栅电极和像素电极，从第一方向向正方向倾斜的第一线性电极和从第一方向向负方向倾斜的第一电极。在第一线性电极的区域和第二线性电极的区域之间的区域中，对于每个像素，第二线性电极，第一和第二栅极线 以及一种包括所述薄膜晶体管的液晶显示装置。[选择图]图2

