

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-175262

(P2011-175262A)

(43) 公開日 平成23年9月8日(2011.9.8)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 680G	
審査請求 有 請求項の数 15 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2011-34971 (P2011-34971)
 (22) 出願日 平成23年2月21日 (2011.2.21)
 (31) 優先権主張番号 12/660,315
 (32) 優先日 平成22年2月23日 (2010.2.23)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501358079
 友達光電股▲ふん▼有限公司
 AU Optonics Corporation
 台湾新竹科学工業園區新竹市力行二路一号
 No. 1, Lt-Hsin Rd, II,
 Science-Based Industrial Park, Hsinchu,
 Taiwan, R. O. C.
 (74) 代理人 110000383
 特許業務法人 エビス国際特許事務所
 (72) 発明者 陳 勇志
 台湾新竹市科学工業園區力行二路1号 友
 達光電股▲ふん▼有限公司内

最終頁に続く

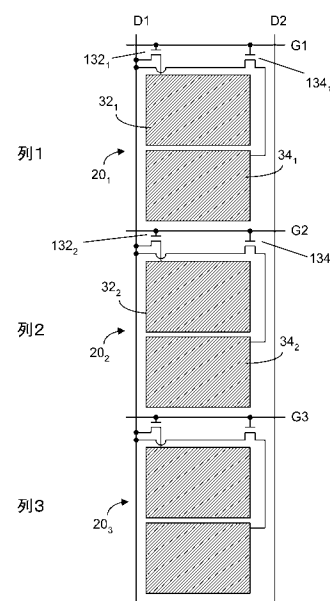
(54) 【発明の名称】 液晶ディスプレイの視覚増強駆動回路および方法

(57) 【要約】

【課題】液晶ディスプレイの視覚増強駆動回路および方法を提供する。

【解決手段】LCDパネルにおける画素は、第1サブ画素電極を有する第1サブ画素エリアと、第2サブ画素電極を有する第2サブ画素エリアとを含む。各サブ画素電極はキャパシタに関係する。ゲートライン信号とデータ電圧が画素に提供される時、第1サブ画素電極における電圧レベルは実質的に第2サブ画素電極における電圧レベルと等しく、またはやや高く、各サブ画素電極と関連しているキャパシタは充電される。ゲートライン信号が完全に或いは部分的に通過した時、回路素子は第2サブ画素電極と関連しているキャパシタの電荷をもう一つのキャパシタに移動することにより、第2サブ画素電極の電圧レベルを低下させる。

【選択図】図4



【特許請求の範囲】

【請求項 1】

ＬＣＤパネルであって、
複数の列と行に配列される複数の画素と、
それぞれが信号を一行の上記複数の画素に提供する複数のデータ線と、
それぞれがゲートライン信号を一行の上記複数の画素に提供する複数のゲートラインと

、
を有し、

各上記画素は、

第 1 キャパシタに電氣的に接続され、第 1 スイッチング素子を通じて上記複数のデータ線のうちの一本より上記データ信号を受信するように配置された第 1 サブ画素電極を有する第 1 サブ画素エリアと、

第 2 キャパシタと第 3 キャパシタの第 1 端に電氣的に接続され、第 2 スイッチング素子を通じて上記複数のデータ線のうちの上記一本より上記データ信号を受信するように配置された第 2 サブ画素電極を有する第 2 サブ画素エリアと、

を含み、

上記第 3 キャパシタの第 2 端は、第 3 スイッチング素子によって上記複数のデータ線のうちの一本に接続され、上記第 1、第 2、第 3 のスイッチング素子の各々は、第 1 ゲートライン信号を受信するように配置され、上記第 1 キャパシタと第 2 キャパシタに対して充電を行うのに用いられる制御端を含み、上記第 3 キャパシタの上記第 2 端は、回路素子に接続され、上記第 1 ゲートライン信号の少なくとも一部が通過した時、上記回路素子は上記第 2 キャパシタにおける一部の電荷を上記第 3 キャパシタに移動させることを特徴とするＬＣＤパネル。

【請求項 2】

上記第 1 と第 2 のキャパシタの一端は共通電圧に接続され、上記回路素子は、上記第 1 ゲートライン信号が通過した後、第 2 ゲートライン信号を受信するように配置され、上記第 3 キャパシタの上記第 2 端を共通電圧に接続させる制御端を有する第 4 スイッチング素子を含むことを特徴とする請求項 1 に記載のＬＣＤパネル。

【請求項 3】

上記第 3 キャパシタの上記第 2 端も、第 4 キャパシタによって共通電圧に接続されることを特徴とする請求項 2 に記載のＬＣＤパネル。

【請求項 4】

上記第 2 キャパシタは、第 4 キャパシタに並列接続されることを特徴とする請求項 1 に記載のＬＣＤパネル。

【請求項 5】

上記第 1 と第 2 のキャパシタの一端は、共通電圧に接続され、上記回路素子は、共通電圧に接続されるレジスタを含むことを特徴とする請求項 1 に記載のＬＣＤパネル。

【請求項 6】

上記第 1 と第 2 のキャパシタの一端は、共通電圧に接続され、上記回路素子は、ダイオード接続を有するトランジスタを含み、上記回路素子の一端は、共通電圧に接続されることを特徴とする請求項 1 に記載のＬＣＤパネル。

【請求項 7】

上記第 1 と第 2 のキャパシタの一端は共通電圧に接続され、上記回路素子は第 4 スイッチング素子を通じて共通電圧に接続される第 4 キャパシタを有し、上記第 4 スイッチング素子は、上記第 1 ゲートライン信号の一部が通過した後、第 2 ゲートライン信号を受信するように配置され、上記第 4 キャパシタによって、上記第 3 キャパシタの上記第 2 端を共通電圧に接続させる制御端を含むことを特徴とする請求項 1 に記載のＬＣＤパネル。

【請求項 8】

上記第 1 と第 2 のキャパシタの一端は共通電圧に接続され、上記第 3 キャパシタの上記第 2 端は第 4 キャパシタによって上記第 3 スイッチング素子に接続され、上記回路素子は

、上記第 1 ゲートライン信号の一部が通過した後、第 2 ゲートライン信号を受信するように配置され、上記第 3 キャパシタの上記第 2 端を上記共通電圧に接続させる制御端を含む第 4 スイッチング素子を有することを特徴とする請求項 1 に記載の LCD パネル。

【請求項 9】

LCD パネルにおける電荷共有の方法であって、

上記 LCD パネルは、

複数の列と行に配列される複数の画素と、

それぞれが信号を一行における上記複数の画素に提供する複数のデータ線と、

それぞれがゲートライン信号を一行における画素に提供する複数のゲートラインと、
を有し、

10

各上記画素は、

第 1 キャパシタに電氣的に接続され、第 1 スイッチング素子を通じて上記複数のデータ線のうちの一本より上記データ信号を受信するように配置された第 1 サブ画素電極を有する第 1 サブ画素エリアと、

第 2 キャパシタに電氣的に接続され、第 2 スイッチング素子を通じて上記複数のデータ線のうちの一本より上記データ信号を受信するように配置された第 2 サブ画素電極を有する第 2 サブ画素エリアと、

を含み、

上記方法は、

第 3 スイッチング素子によって、第 3 キャパシタの第 1 端を上記第 2 サブ画素電極に接続し、上記第 3 キャパシタの第 2 端を上記データ線のうちの上記一本に接続させるステップを含み、そのうち、上記第 1、第 2、第 3 のスイッチング素子の各々は、スイッチングに用いる第 1 ゲートライン信号を受信するように配置された制御端を含み、

20

上記第 1 スイッチング素子によって、上記第 1 キャパシタを第 1 電圧レベルまで充電し、上記第 2 スイッチング素子によって、上記第 2 キャパシタを第 2 電圧レベルまで充電することにより、上記第 1 ゲートライン信号に応答するステップと、

第 1 ゲートライン信号が少なくとも一部通過した時、上記第 3 キャパシタの上記第 2 端を回路素子に操作可能に接続させることにより、上記第 2 キャパシタにおける一部の電荷を上記第 3 キャパシタに移動して、上記第 2 電圧レベルを減少させるステップと、

を含むことを特徴とする方法。

30

【請求項 10】

上記第 1 と第 2 のキャパシタの一端は共通電圧に接続され、上記回路素子は、上記第 1 ゲートライン信号が通過した後、第 2 ゲートライン信号を受信するように配置され、上記第 3 キャパシタの上記第 2 端を共通電圧に接続させる制御端を有する第 4 スイッチング素子を含むことを特徴とする請求項 9 に記載の方法。

【請求項 11】

さらに、

上記第 3 キャパシタの上記第 2 端と共通電圧との間に第 4 キャパシタを接続させるステップを含むことを特徴とする請求項 10 に記載の方法。

【請求項 12】

40

さらに、

第 4 キャパシタを上記第 2 キャパシタに並列接続させるステップを含むことを特徴とする請求項 9 に記載の方法。

【請求項 13】

上記第 1 と第 2 のキャパシタの一端は共通電圧に接続され、上記回路素子は共通電圧に接続されるレジスタを含むことを特徴とする請求項 9 に記載の方法。

【請求項 14】

上記第 1 と第 2 のキャパシタの一端は共通電圧に接続され、上記回路素子は、第 4 スイッチング素子を通じて共通電圧に接続される第 4 キャパシタを有し、上記第 4 スイッチング素子は、上記第 1 ゲートライン信号の一部が通過した後、第 2 ゲートライン信号を受信

50

するように配置され、上記第 4 キャパシタによって、上記第 3 キャパシタの上記第 2 端を上記共通電圧に接続させる制御端を含むことを特徴とする請求項 9 に記載の方法。

【請求項 15】

上記第 1 と第 2 のキャパシタの一端は共通電圧に接続され、上記第 3 キャパシタの上記第 2 端は第 4 キャパシタによって上記第 3 スイッチング素子に接続され、上記回路素子は、上記第 1 ゲートライン信号の一部が通過した後、第 2 ゲートライン信号を受信するように配置され、上記第 3 キャパシタの上記第 2 端を共通電圧に接続させる制御端を有する第 4 スイッチング素子を含むことを特徴とする請求項 9 に記載の方法。

10

20

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に液晶ディスプレイ（LCD）に関し、特に、液晶ディスプレイにおいて画素を駆動する方法に関する。

40

【背景技術】

【0002】

典型的な LCD パネルは、データドライバとゲートドライバによって駆動する二次元配列に配置される複数の画素を有する。図 1 に示すように、LCD パネル 1 における LCD 画素 10 は表示域 100 に列と行に配置される。データドライバ 200 は信号を提供するのに用いられ、各列の画素におけるデータを指示し、ゲートドライバはゲートライン信号を各行の画素に提供するのに用いられる。カラー LCD パネルにおいて、画像は一般的に赤（R）、緑（G）と青（B）の三色で示される。画素 10 の各一方は、図 2 に示すように、通常、赤サブ画素 20R、緑サブ画素 20G と青サブ画素 20B の三色サブ画素に分けられる。データ線 221 はデータ信号を一行 R サブ画素に提供するのに用いられ、デー

50

タ線 2 2 2 は同じ画素行においてデータ信号を G サブ画素に提供するのに用いられ、データ線 2 2 3 は同じ画素行においてデータ信号を B サブ画素に提供するのに用いられる。データ線 2 2 4 はデータ信号を次の画素行における R サブ画素に提供するのに用いられる。ゲートライン 2 3 1 はゲートライン信号を一行におけるあらゆるサブ画素に提供するのに用いられ、ゲートライン 2 3 2 はゲートライン信号を次の列におけるあらゆるサブ画素に提供するのに用いられる。半透過型 LCD パネルにおいて、各色のサブ画素はさらに透過領域と反射領域に分けられる。

【 0 0 0 3 】

典型的な LCD パネルは、二つの基板により製造される。図 3 に示すように、LCD パネルは上部基板 1 2 と下部基板 1 8 および基板の間にある液晶層を有する。上部基板 1 2 において、透明な導電層 1 4 を共通電極として提供する。各色のサブ画素 2 0 において、導電層は画素電極として下部基板 1 8 に配置される。LCD パネルは、また、共通電極と画素電極の間にある電圧を制御する電子部品層 1 7 を有する。共通電極は、通常、共通グラウンドまたは共通電圧源 COM に接続される。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 米国特許出願公開第 2 0 0 7 / 0 0 6 4 1 6 4 号公報

【 特許文献 2 】 米国特許公開公報第 7 5 4 8 2 8 5 号公報

【 特許文献 3 】 米国特許公開公報第 7 2 0 6 0 4 8 号公報

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本発明は、液晶ディスプレイの視覚増強駆動回路および方法を提供する。

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明の様々な実施例によれば、LCD パネルにおける画素は、第 1 サブ画素電極 (3 2) を有する第 1 サブ画素エリアと、第 2 サブ画素電極 (3 4) を有する第 2 サブ画素エリアとを含む。各サブ画素電極はキャパシタと関連している。ゲートライン信号とデータ電圧が画素に提供される場合、第 1 サブ画素電極における電圧レベルは実質的に第 2 サブ画素電極における電圧レベルと同等またはやや高く、各サブ画素電極と関係するキャパシタは充電される。ゲートライン信号が完全に通過または部分的に通過した場合、回路素子は第 2 サブ画素電極と関連するキャパシタの電荷をもう一つのキャパシタに移動し、第 2 サブ画素電極の電圧レベルを減少させる。従って、第 1 サブ画素エリアにおける液晶分子のアラインメントは第 2 サブ画素エリアにおける液晶分子のアラインメントと少々異なり、第 1 と第 2 のサブ画素エリアとの間におけるほんのわずかな明度差を招く。この明度差は LCD パネルの色ずれを減少させるかもしれない。

30

【 0 0 0 7 】

従って、本発明の第 1 態様は LCD パネルであり、上記 LCD パネルは、

複数の列と行に配列される複数の画素と、

40

各データ線は一行における上記複数の画素に信号を提供する複数のデータ線と、

各ゲートラインは一行における画素に信号を提供する複数のゲートラインと、

を含み、

上記各画素は、

第 1 キャパシタ (C 1 c A , C s t A) に電氣的に接続され、第 1 スイッチング素子 (1 3 2) を通じて上記複数のデータ線の一方より上記データ信号を受信するように配置された第 1 サブ画素電極 (3 2) を有する第 1 サブ画素エリアと、

第 2 キャパシタ (C 1 c B) と第 3 キャパシタ (C s t B) の第 1 端に電氣的に接続され、第 2 スイッチング素子 (1 3 4) を通じて上記複数のデータ線の一方より上記データ信号を受信するように配置された第 2 サブ画素電極 (3 4) を有する第 2 サブ画素エリア

50

と、

を含み、

上記第3キャパシタ(CstB)の第2キャパシタ端は第3スイッチング素子(135)によって上記複数のデータ線の一方に接続され、上記第1、第2と第3のスイッチング素子の各一方は、第1ゲートライン信号を受信するように配置され、上記第1キャパシタ(ClcA, CstA)と第2キャパシタ(ClcB)に対して充電を行う制御端を有し、上記第3キャパシタ(CstB)の上記第2キャパシタ端は、回路素子(Cx, 138, R, 139)に接続され、上記第1ゲートライン信号の少なくとも一部が通過した時、上記第2キャパシタ(ClcB)における一部の電荷を上記第3キャパシタ(CstB)に移動させる。

10

【0008】

本発明の一実施例において(図8)、上記第1と第2のキャパシタの一端は共通電圧(COM)に接続され、上記回路素子は、上記第1ゲートライン信号が通過した後、第2ゲートライン信号を受信するように配置され、上記第3キャパシタ(CstB)の上記第2端を共通電圧に接続させる制御端を有する第4スイッチング素子(138)を含む。

【0009】

本発明の別の実施例において(図5)、第1と第2のキャパシタの一端は共通電圧(COM)に接続され、第3キャパシタ(CstB)の第2端も第4キャパシタ(Cx)によって共通電圧に接続される。

【0010】

本発明のさらに別の実施例において(図11)、第2キャパシタ(ClcB)は第5キャパシタ(CstB)に並列接続される。

20

【0011】

本発明の異なる実施例において(図9)、上記第1と第2のキャパシタの一端は共通電圧に接続され、上記回路素子は共通電圧に接続されるレジスタ(R)を有する。

【0012】

本発明の別の実施例において(図10)、TFT回路素子とダイオード接続を有する。

【0013】

本発明のさらに別の実施例において(図12b)、上記第1と第2のキャパシタの一端は共通電圧(COM)に接続され、上記回路素子は第4スイッチング素子(138)を通じて共通電圧に接続される第6キャパシタ(Cs)を有し、上記第4スイッチング素子は、上記第1ゲートライン信号の一部が通過した後、第2ゲートライン信号を受信するように配置され、上記第6キャパシタ(Cs)によって上記第3キャパシタ(CstB)の上記第2端を共通電圧に接続させる制御端を含む。

30

【0014】

本発明のさらに別の実施例において(図12a)、上記第1と第2のキャパシタの一端は共通電圧(COM)に接続され、上記第3キャパシタ(CstB)の上記第2端は第6キャパシタ(Cs)によって上記第3スイッチング素子(136)に接続され、上記回路素子は、上記第1ゲートライン信号の一部が通過した後、第2ゲートライン信号を受信するように配置され、上記第3キャパシタ(CstB)の上記第2端を共通電圧に接続させる制御端を含む第4スイッチング素子(138)を有する。

40

【0015】

本発明の第2態様はLCDパネルにおける電荷共有の方法であり、上記表示パネルは、複数の列と行に配列される複数の画素と、

各データ線は一行における上記複数の画素に信号を提供する複数のデータ線と、

各ゲートラインは一列における画素にゲートライン信号を提供する複数のゲートライン

と、

を含み、

上記各画素は、

第1キャパシタ(ClcA, CstA)に電氣的に接続され、第1スイッチング素子(

50

1 3 2)を通じて上記複数のデータ線の一方より上記データ信号を受信するように配置された第1サブ画素電極(32)を有する第1サブ画素エリアと、

第2キャパシタ(C1cB)に電氣的に接続され、第2スイッチング素子(134)を通じて上記複数のデータ線の一方より上記データ信号を受信するように配置された第2サブ画素電極(34)を有する第2サブ画素エリアと、

を含む。

【0016】

上記方法は、

第3スイッチング素子によって、第3キャパシタ(CstB)の第1端を上記第2サブ画素電極(34)に接続し、上記第3キャパシタの第2端を上記データ線の一方に接続させるステップを含み、そのうち、上記第1、第2と第3のスイッチング素子の各一方は切り替えに用いる第1ゲートライン信号を受信するように配置された制御端を含み、

上記第1スイッチング素子によって、上記第1キャパシタ(C1cA, CstA)を第1電圧レベル(Va)まで充電し、上記第2スイッチング素子によって、上記第2キャパシタ(C1cB)を第2電圧レベル(Vb)まで充電することにより、上記第1ゲートライン信号に応答するステップと、

第1ゲートライン信号が少なくとも一部通過した時、上記第3キャパシタの上記第2端を回路素子に操作可能に接続させることにより、上記第2キャパシタにおける一部の電荷を上記第3キャパシタに移動させるステップと、

を含む。

【0017】

本発明の一実施例において(図8)、上記第1と第2のキャパシタの一端は共通電圧(COM)に接続され、上記回路素子は、上記第1ゲートライン信号が通過した後、第2ゲートライン信号を受信するように配置され、上記第3キャパシタ(CstB)の上記第2端を共通電圧に接続させる制御端を有する第4スイッチング素子(138)を含む。

【0018】

本発明の別の実施例において(図5)、上記方法は、また、上記第3キャパシタ(CstB)の上記第2端と共通電圧(COM)との間に第4キャパシタ(Cx)を接続させるステップを含む。

【0019】

本発明のさらに別の実施例において(図11)、上記方法は、また、第5キャパシタ(CstB)を第2キャパシタ(C1cB)に並列接続させるステップを含む。

【0020】

本発明の異なる実施例において(図9)、上記第1と第2のキャパシタの一端は共通電圧に接続され、上記回路素子は共通電圧に接続されるレジスタ(R)を有する。

【0021】

本発明のさらに別の実施例において(図12b)、上記第1と第2のキャパシタの一端は共通電圧(COM)に接続され、上記回路素子は、第4スイッチング素子(138)を通じて共通電圧に接続される第6キャパシタ(Cs)を有し、上記第4スイッチング素子は、上記第1ゲートライン信号の一部が通過した後、第2ゲートライン信号を受信するように配置され、上記第6キャパシタ(Cs)によって、上記第3キャパシタ(CstB)の上記第2端を共通電圧に接続させる制御端を含む。

【0022】

本発明の別の実施例において(図12a)、上記第1と第2のキャパシタの一端は共通電圧(COM)に接続され、上記第3キャパシタ(CstB)の上記第2端は第6キャパシタ(Cs)によって上記第3スイッチング素子(136)に接続され、上記回路素子は、上記第1ゲートライン信号の一部が通過した後、第2ゲートライン信号を受信するように配置され、上記第3キャパシタ(CstB)の上記第2端を共通電圧に接続させる制御端を有する第4スイッチング素子(138)を含む。

【0023】

10

20

30

40

50

図 4 ~ 13 を参照しながら発明の説明を閲覧すると、本発明を理解することが出来る。

【図面の簡単な説明】

【0024】

【図 1】典型的なパネルを示す。

【図 2】典型的な LCD パネルの画素における三色サブ画素を示す。

【図 3】典型的な LCD パネルにおける画素またはカラーサブ画素の端面図である。

【図 4】本発明の実施例による LCD パネルにおける画素またはカラーサブ画素のサブ画素電極を示す。

【図 5】本発明の一実施例による画素またはカラーサブ画素の等価回路を示す。

【図 6】図 5 に示すような画素の各種信号と電圧を示すタイミング図である。

10

【図 7 a】ゲートライン信号がオンした時、図 5 の画素またはカラーサブ画素の等価回路を示す。

【図 7 b】次のゲートライン信号がオンした時、図 5 の画素またはカラーサブ画素の等価回路を示す。

【図 8】本発明のもう一つの実施例による画素またはカラーサブ画素の等価回路を示す。

【図 9】本発明のさらに別の実施例による画素またはカラーサブ画素の等価回路を示す。

【図 10】本発明のさらに別の実施例による画素またはカラーサブ画素の等価回路を示す。

【図 11】本発明の異なる実施例による画素またはカラーサブ画素の等価回路を示す。

【図 12 a】本発明のさらに異なる実施例による画素またはカラーサブ画素の等価回路を示す。

20

【図 12 b】本発明のさらに異なる実施例による画素またはカラーサブ画素の等価回路を示す。

【図 13】図 12 a と図 12 b に示すような画素の各種信号と電圧を示すタイミング図である。

【発明を実施するための形態】

【0025】

本発明の様々な実施例において、LCD パネルの一画素またはカラーサブ画素は二つのエリアを有し、各エリアは各エリアにおける液晶層のアラインメントを制御するエリア電極と共通電極を含む。簡単に説明するために、名詞“サブ画素”を利用して画素またはカラーサブ画素を表示する。図 4 に示すように、サブ画素 20_1 は、第 1 サブ画素エリアを定義する第 1 サブ画素電極 32_1 と、第 2 サブ画素エリアを定義する第 2 サブ画素電極 34_1 とを含む。サブ画素 20_2 は、第 1 サブ画素エリアを定義する第 1 サブ画素電極 32_2 と、第 2 サブ画素エリアを定義する第 2 サブ画素電極 34_2 とを含む。サブ画素 20_3 とその他のサブ画素は、類似する第 1 と第 2 のサブ画素電極を有するかもしれない。一行における画素はデータ線を共有し、一列におけるサブ画素はゲートラインを共有する。図 4 に示すように、サブ画素 20_1 、 20_2 、 20_3 、... はデータ線 D1 を共有し、次の行（図示せず）におけるサブ画素は異なるデータ線 D2 を共有する。サブ画素 20_1 と同じ列におけるその他のサブ画素はゲートライン G1 を共有し、サブ画素 20_2 と同じ列におけるその他のサブ画素はゲートライン G2 を共有し、サブ画素 20_3 と同じ列におけるその他のサブ画素はゲートライン G3 を共有する。

30

40

【0026】

サブ画素 20_1 の第 1 サブ画素電極 32_1 は、第 1 スイッチング素子 132_1 によってデータ線 D1 に接続され、第 2 サブ画素電極 34_1 は、第 2 スイッチング素子 134_1 によってデータ線 D1 に接続される。第 1 と第 2 のスイッチング素子 132_1 と 134_1 の制御端はゲートライン G1 に接続される。サブ画素 20_2 の第 1 サブ画素電極 32_2 は、第 1 スイッチング素子 132_2 によってデータ線 D1 に接続され、第 2 サブ画素電極 34_2 は第 2 スイッチング素子 134_2 によってデータ線 D1 に接続される。第 1 と第 2 のスイッチング素子 132_1 と 134_1 の制御端はゲートライン G2 に接続される。

【0027】

50

図 5 に示すように、第 1 サブ画素電極 3 2₁ と共通電極 (COM、図 3 を参照) はキャパシタ C 1 c A を形成し、第 2 サブ画素電極 3 4₁ と共通電極はキャパシタ C 1 c B を形成する。また、第 1 サブ画素電極 3 2₁ は蓄積キャパシタ C s t A に接続され、第 2 サブ画素電極 3 4₁ は蓄積キャパシタ C s t B に接続される。同様に、第 1 サブ画素電極 3 2₂ と共通電極はキャパシタ C 1 c A を形成し、第 2 サブ画素電極 3 4₂ と共通電極はキャパシタ C 1 c B を形成する。第 1 サブ画素電極 3 2₂ は蓄積キャパシタ C s t A に接続され、第 2 サブ画素電極 3 4₂ は蓄積キャパシタ C s t B に接続される。電荷蓄積キャパシタ C s t B も第 3 スイッチング素子 1 3 6₁ によってデータ線 D 1 に接続される。第 3 スイッチング素子 1 3 6₁ の制御端もゲートライン G 1 に接続される。

【0028】

G 1 におけるゲートライン信号がサブ画素 2 0₁ に提供される時、第 1 サブ画素電極における電圧レベル V a、第 2 サブ画素電極における電圧レベル V b と電圧レベル V x は実質的に同じである。第 1 サブ画素エリアにおけるキャパシタ C 1 c A、C s t B は COM に対する電圧レベル V a によって充電される。第 2 サブ画素エリアにおけるキャパシタ C 1 c B は COM に対する電圧レベル V b によって充電される。蓄積キャパシタ C s t B の一端における電圧レベル V b ともう一端の電圧レベル V x はほぼ同じであるため、蓄積キャパシタ C s t B は充電されない。

【0029】

ゲートライン信号が完全に通過した場合、画素における回路素子は蓄積キャパシタ C s t B の電圧を増加させる。従って、キャパシタ C 1 c B における電荷は部分的に蓄積キャパシタ C s t B に移動し、電圧レベル V b はそれに応じて低下する。図 5 に示す実施例において、第 2 電荷蓄積キャパシタ C s t B はそれぞれキャパシタ C x と第 4 スイッチング素子 1 3 8₁ (第 2 ゲートライン G 2 に接続される制御端を有する) によって COM に接続され、第 2 電荷蓄積キャパシタ C s t B とキャパシタ C x の間における電圧レベル V x の変化によって充電を行う。

【0030】

図 6 は G 1 と G 2 のゲートライン信号に対する電圧レベル V a、電圧レベル V b と電圧レベル V x を示すタイミング図である。図 6 に示すように、ゲートライン信号 G 2 が画素に提供される場合、電圧レベル V b は低下される。V b における電圧低下量は蓄積キャパシタ C s t B に移動される電荷量により決まる。ゲートライン信号 G 1 がサブ画素 2 0₁ に提供された場合、あらゆる第 1、第 2 と第 3 のスイッチング素子は導通状態にある。図 7 a はこの場合の等価回路を示す。サブ画素 2 0₁ におけるキャパシタが実質的に充電された後、電圧レベル V a、V b と V x は実質的に V d a t a 又は D 1 における日付信号に等しい。その二つのキャパシタ端の間における電圧差は実質的にゼロであるため、電荷蓄積キャパシタ C s t B には実質的に電荷がない。キャパシタ C 1 c B における電荷は q B に等しく、その関係式は、

【0031】

【数 1】

$$V_a = V_b = V_x = V_{data} \quad (1)$$

$$q_B = V_b \cdot C_{1cB} = V_{data} \cdot C_{1cB} \quad (2)$$

である。

【0032】

ゲートライン信号 G 2 がサブ画素 2 0₁ に提供され、ゲートライン信号 G 1 が既に通過した場合、第 1、第 2 と第 3 のスイッチング素子は非導通状態にあり、第 4 スイッチング素子は導通状態にある。図 7 b はこの場合の等価回路を示す。電圧レベル V a は実質的に変化していないが、電圧レベル V b は低下する。電圧レベル V x が V d a t a から COM に変化することに伴って、C 1 c B における一部の電荷 q B は C s t B に移動される。電荷の移動が終了すると、

10

20

30

40

50

【 0 0 3 3 】

【 数 2 】

$$V_a = V_{data} \quad (3)$$

$$V_b = qB / (C_{lc}B + C_{st}B)$$

$$= V_{data} * C_{lc}B / (C_{lc}B + C_{st}B)$$

$$< V_{data}$$

$$< V_a \quad (4)$$

が得られる。

10

【 0 0 3 4 】

そのため、第 1 サブ画素エリアにおけるサブ画素電極の電圧レベルは第 2 サブ画素エリアにおけるサブ画素電極の電圧レベルより高い。従って、第 2 サブ画素エリアの明度は一般的に第 1 サブ画素エリアの明度より低い。

【 0 0 3 5 】

図 8 は本発明のもう一つの実施例を示し、キャパシタ C_x を省略する。図 6 に示すように、図 8 に示す実施例において、電圧レベル V_a と V_b は実質的に同じである。図 6 に示すものに比べて、電圧レベル V_x はより早く上昇するかもしれない。

【 0 0 3 6 】

図 9 は本発明のさらに別の実施例を示し、図 8 に示す実施例の変化である。回路素子 138₁ を利用して $C_{lc}B$ より $C_{st}B$ に移動する電荷を制御する代わりに、レジスタ R を利用する。図 9 に示す実施例において、ゲートライン信号 G_1 がオンされる場合、

20

【 0 0 3 7 】

【 数 3 】

$$V_a = V_b = V_{data} > V_x = V_{com} + V_r \quad (5)$$

を得られるが、電流がレジスタ R を通過する。ゲートライン信号 G_1 が通過すると、R を通過する電流は減少または $V_r = 0$ である。最後に、ゲートライン信号 G_2 にかかわらず、ポイント x における電圧レベルは C_{OM} に等しい。

30

【 0 0 3 8 】

【 数 4 】

$$V_b = qB / (C_{lc}B + C_{st}B)$$

$$= [V_{data} * C_{lc}B + (V_{data} - V_x) * C_{st}B] / (C_{lc}B + C_{st}B)$$

$$= V_{data} - [V_x * C_{st}B / (C_{lc}B + C_{st}B)] \quad (6)$$

を得られる。

【 0 0 3 9 】

図 10 は本発明のさらに別の実施例を示し、それは図 5 に示す実施例の変化である。回路素子 138₁ を利用して $C_{lc}B$ より $C_{st}B$ に移動する電荷を制御する代わりに、回路素子 139₁ を利用する。図 10 に示す実施例において、ゲートライン信号 G_1 がオンされると、

40

【 0 0 4 0 】

【 数 5 】

$$V_a = V_b = V_{data} > V_x \quad (7)$$

が得られ、且つ、電流が回路素子 139₁ を通過する。ゲートライン信号 G_1 が通過すると、回路素子 139₁ を通過する電流は減少する。最後に、ゲートライン信号 G_2 にか

50

かわらず、ポイント x における電圧レベルは C O M に等しい。

【 0 0 4 1 】

【 数 6 】

$$Vb=qB/(ClcB+CstB)$$

$$=[Vdata*ClcB+(Vdata-Vx)*CstB]/(ClcB+CstB)$$

$$=Vdata-[Vx*CctB/(ClcB+CstB)] \quad (8)$$

が得られる。

【 0 0 4 2 】

10

従って、図 9 と図 10 に示すような実施例において、ゲートライン信号 G 1 は既に通過したが、V a は実質的に依然として V d a t a に等しい場合、レジスタ R (図 9) 或いはダイオード接続 1 3 9 (図 10) を有する TFT は第 2 サブ画素電極に関連するキャパシタの電荷をもう一つのキャパシタに移動させるため、第 2 サブ画素電極の電圧レベルを低下させ、V b は V d a t a より小さくなる。従って、第 1 サブ画素エリアにおける液晶分子のアラインメントは第 2 サブ画素エリアにおける液晶分子のアラインメントと少々異なり、第 1 と第 2 のサブ画素エリアの間におけるほんのわずかな明度差を招く。この明度差は L C D パネルの色ずれを減少させるかもしれない。

【 0 0 4 3 】

図 10 に示す実施例において、キャパシタ C x は選択可能であることを注意しなければならない。

20

【 0 0 4 4 】

図 11 は図 5 と図 8 に示す実施例の変化を示す。図 11 に示すように、第 1 サブ画素エリアは、第 1 蓄積キャパシタ C s t A に接続される第 1 サブ画素電極を有し、第 2 サブ画素エリアは、第 2 蓄積キャパシタ C s t B に接続される第 2 サブ画素電極を有する。また、第 2 サブ画素電極はキャパシタ C x によって回路素子 1 3 8₁ に接続される。ゲートライン信号 G 1 がオンされると、

【 0 0 4 5 】

【 数 7 】

30

$$Va=Vb=Vx=Vdata, \quad (9)$$

が得られ、キャパシタ C l c B と C s t B における電荷は、

【 0 0 4 6 】

【 数 8 】

$$qB=Vb*(ClcB+CstB)=Vdata*(ClcB+CstB) \quad (10)$$

である。

【 0 0 4 7 】

40

ゲートライン信号 G 2 がサブ画素 2 0₁ に提供され、ゲートライン信号 G 1 が既に通過した場合、

【 0 0 4 8 】

【数 9】

$$V_a = V_{data} \quad (11)$$

$$V_b = qB / (C_{lc}B + C_{st}B + C_x) \\ = V_{data} * (C_{lc}B + C_{st}B) / (C_{lc}B + C_{st}B + C_x) \\ < V_{data} \\ < V_a \quad (12)$$

が得られる。

【0049】

10

図6に示すように、図5、図8～図11に示す実施例において、ゲートライン信号G1とG2は重ならなくても良いことに注意しなければならない。表示パネルにおいて、画素に対するプリチャージを行い、ゲートライン信号G_{m+1}の一部はゲートラインG_mが通過する前に発生し、(m+1)列における画素に対してプリチャージを行う。図13に示すように、これは隣接するゲートラインのゲートライン信号が部分的に重なることを要する。図9と図10に示すような実施例はゲートライン信号が重なる期間を有する時に使用することが出来る。しかし、実施例において、次のゲートラインにおける信号は電荷が移動するところを制御するのに用いられ、図5、図8、図11に示すように、ゲートライン信号が重なる期間を有する場合、キャパシタC_xはポイントxとスイッチング素子1361を分離するのに用いられる。

20

【0050】

図12は異なる実施例を示し、プリチャージの目的として使える。図12に示すように、スイッチング素子136₁はキャパシタC_xによって回路素子138₁に接続される。図13は様々な異なる電圧レベルを示すタイミング図である。

【0051】

要するに、LCDパネルにおいて、本発明の異なる実施例によれば、各画素は、第1キャパシタ(C_{lcA}、C_{stA})に電氣的に接続され、データ線より第1スイッチング素子(132)によってデータ信号(G1)を受信するように配置された第1サブ画素電極(V_a)を含む第1サブ画素エリアと、第2キャパシタと第3キャパシタの一端に電氣的に接続される第2サブ画素電極(V_b)を含む第2サブ画素エリアとを有する。図5、8、9、10、12aと12bに示す実施例において、第2キャパシタはC_{lcB}であり、第3キャパシタはC_{stB}である。図11に示す実施例において、第2キャパシタはC_{lcB}とC_{stB}とを含み、第3キャパシタはC_xである。第2サブ画素電極は第2スイッチング素子(134)によって同じデータ線からデータ信号を受信するように配置され、第3キャパシタの第2端は第3スイッチング素子(136)によって同じデータ線に接続され、そのうち、上記第1、第2と第3のスイッチング素子のそれぞれは、第1と第2のキャパシタに対して充電するゲートライン信号(G1)を受信するように配置される制御端(ゲート端)を含み、上記第3キャパシタの第2端は回路素子(138、R、139)に接続され、ゲートライン信号の少なくとも一部が通過した時、上記回路素子において第2キャパシタの電荷を第3キャパシタに移動させる。回路素子は、第1ゲートライン信号が通過した後、第2ゲートライン信号(G2)を受信するように配置され、第3キャパシタの第2端を共通電圧に接続させる第4スイッチング素子(138)を有するかもしれない。

30

40

【0052】

異なる態様において、本発明は一種の方法を提供することによりLCDパネルを操作する同じ期間において、第1サブ画素電極と第2サブ画素電極との間で電圧差を実現する。上記方法は、下記のステップを含む。即ち、第3スイッチング素子によって、第3キャパシタの第1端を上記第2サブ画素電極に接続させるとともに、上記第3キャパシタの第2端を上記データ線の上記一方に接続させるステップ、そのうち、上記第1、第2と第3のスイッチング素子のそれぞれは切り替え用の第1ゲートライン信号を受信するように配置

50

された制御端を含み；上記第 1 スイッチング素子によって、上記第 1 キャパシタを第 1 電圧レベルまで充電し、上記第 2 スイッチング素子によって、上記第 2 キャパシタを第 2 電圧レベルまで充電することにより、上記第 1 ゲートライン信号に応答するステップ；第 1 ゲートライン信号の少なくとも一部が通過した時、上記第 3 キャパシタの上記第 2 端を操作可能に回路素子に接続させることにより、上記第 2 キャパシタにおける一部の電荷を上記第 3 キャパシタに移動し、上記第 2 電圧レベルを低下させるステップ。

【 0 0 5 3 】

以上、本発明の一つまたは幾つかの実施例を開示したが、当該技術を熟知するものなら誰でも上記とその他の各種形式と細部における変化、簡略と変異を理解し、本発明の範囲を逸脱しないことができる。

10

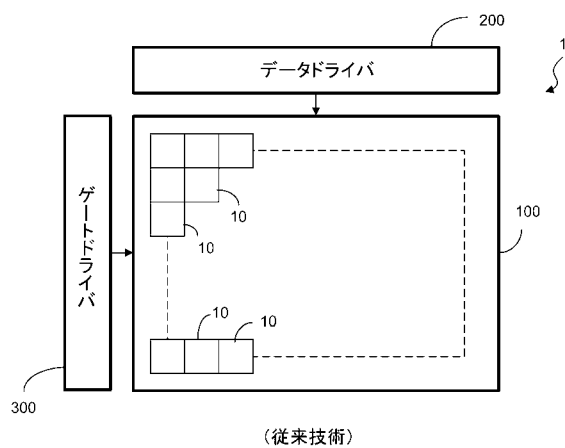
【 符号の説明 】

【 0 0 5 4 】

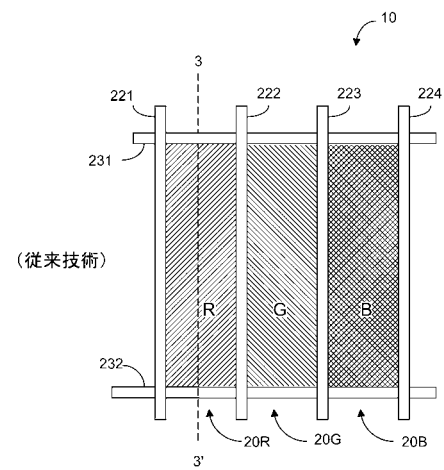
1	L C D パネル	
1 0	画素	
1 2	上部基板	
1 4	透明な導電層	
1 7	電子部品層	
1 8	下部基板	
2 0 ₁	サブ画素	
2 0 ₂	サブ画素	20
2 0 ₃	サブ画素	
2 0 B	カラーサブ画素	
2 0 G	カラーサブ画素	
2 0 R	カラーサブ画素	
3 2 ₁	サブ画素電極	
3 2 ₂	サブ画素電極	
3 4 ₁	サブ画素電極	
3 4 ₂	サブ画素電極	
1 0 0	表示域	
1 3 2 ₁	スイッチング素子	30
1 3 2 ₂	スイッチング素子	
1 3 4 ₁	スイッチング素子	
1 3 4 ₂	スイッチング素子	
1 3 6 ₁	スイッチング素子	
1 3 6 ₂	スイッチング素子	
1 3 8 ₁	スイッチング素子	
1 3 8 ₂	スイッチング素子	
2 0 0	データドライバ	
2 2 1	データ線	
2 2 2	データ線	40
2 2 3	データ線	
2 2 4	データ線	
2 3 1	ゲートライン	
2 3 2	ゲートライン	
3 0 0	ゲートドライバ	
D 1	データ線	
D 2	データ線	
G 1	ゲートライン	
G 2	ゲートライン	
G 3	ゲートライン	50

COM	共通電圧
ClcA	キャパシタ
ClcB	キャパシタ
CstA	キャパシタ
CstB	キャパシタ
Va	電圧レベル
Vb	電圧レベル
Vdata	電圧レベル
Vx	電圧レベル

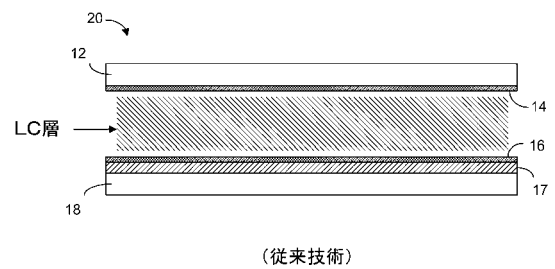
【図 1】



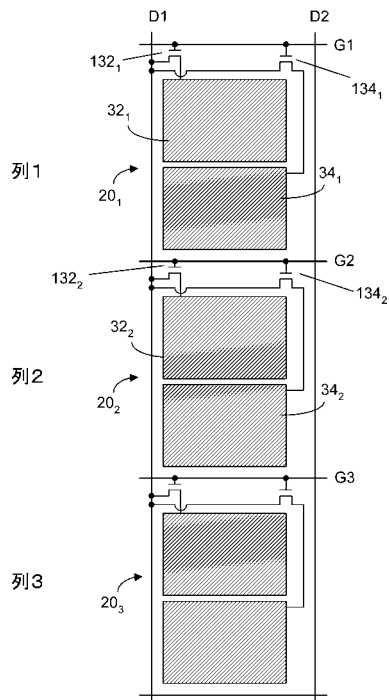
【図 2】



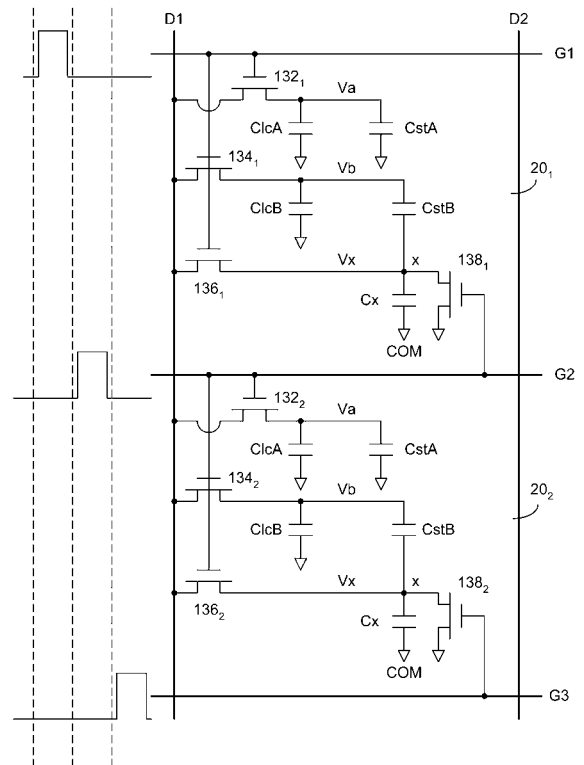
【図 3】



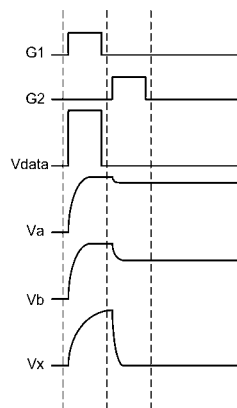
【 図 4 】



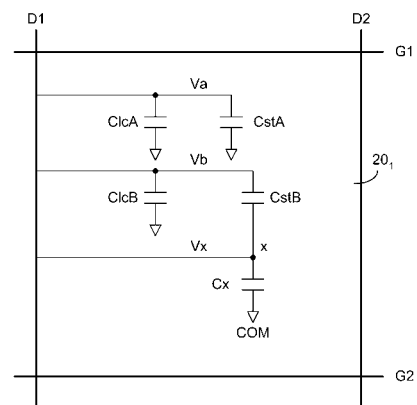
【 図 5 】



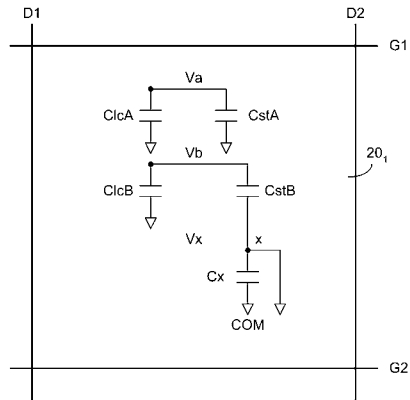
【 図 6 】



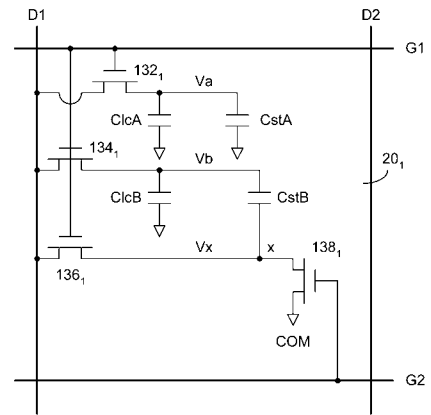
【 図 7 a 】



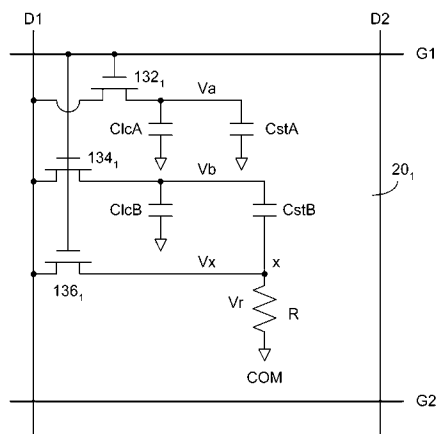
【図 7 b】



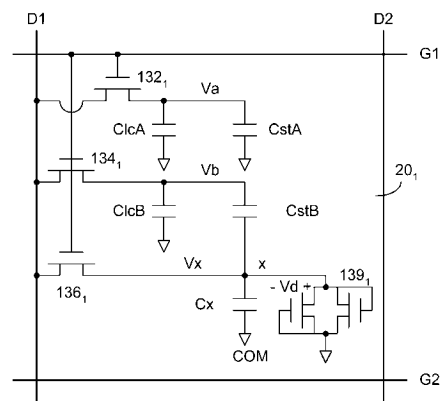
【図 8】



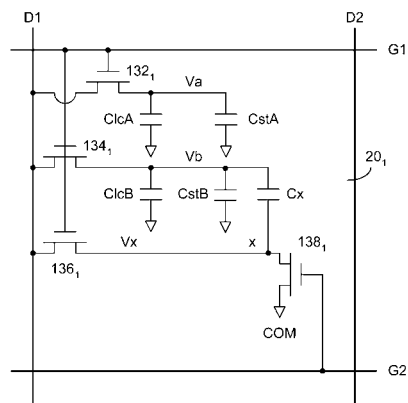
【図 9】



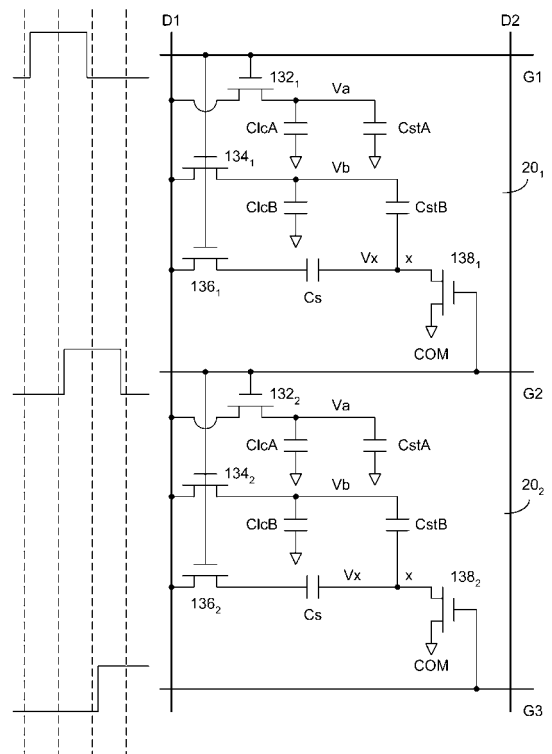
【図 10】



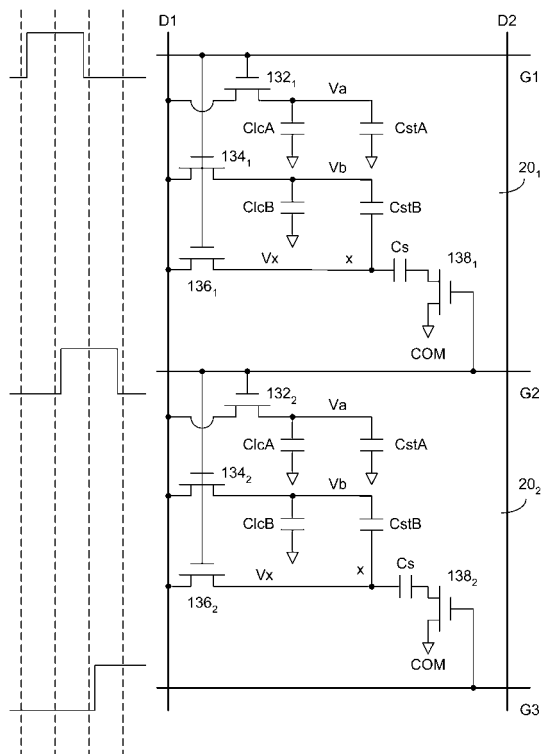
【図 1 1】



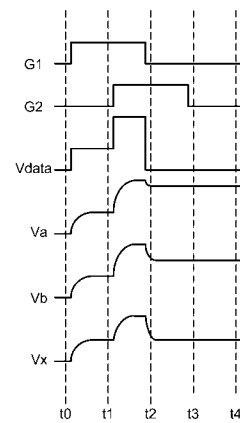
【図 1 2 a】



【図 1 2 b】



【図 1 3】



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 2 D	
	G 0 9 G 3/20 6 2 3 D	
	G 0 9 G 3/20 6 4 2 J	

(72)発明者 楊 欲忠
台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

(72)発明者 林 坤岳
台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

(72)発明者 劉 俊欣
台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

F ターム(参考) 2H092 JA24 JB42 JB68 JB69 NA01 PA06
2H193 ZA04 ZA05 ZA08 ZA19 ZC25
5C006 AA22 BB16 BC03 BC06 BC11 FA56
5C080 AA10 BB05 CC03 DD01 EE30 FF07 FF11 JJ02 JJ03 JJ04
JJ06

专利名称(译)	视觉增强驱动电路和液晶显示器的方法		
公开(公告)号	JP2011175262A	公开(公告)日	2011-09-08
申请号	JP2011034971	申请日	2011-02-21
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	陳勇志 楊欲忠 林坤岳 劉俊欣		
发明人	陳 勇志 楊 欲忠 林 坤岳 劉 俊欣		
IPC分类号	G02F1/133 G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G09G2300/0443 G09G2300/0447 G09G2300/0814 G09G2300/0852 G09G2300/0876 G09G2310/0251 G09G2320/0242 G09G2320/028		
FI分类号	G02F1/133.550 G02F1/1368 G09G3/36 G09G3/20.624.B G09G3/20.680.G G09G3/20.622.D G09G3/20.623.D G09G3/20.642.J		
F-TERM分类号	2H092/JA24 2H092/JB42 2H092/JB68 2H092/JB69 2H092/NA01 2H092/PA06 2H193/ZA04 2H193/ZA05 2H193/ZA08 2H193/ZA19 2H193/ZC25 5C006/AA22 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/EE30 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/BC26 2H192/CB12 2H192/CB22 2H192/DA12 2H192/DA42 2H192/GD61 2H192/JA02		
优先权	12/660315 2010-02-23 US		
其他公开文献	JP5181314B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供LCD显示器视觉增强驱动电路并提供其方法。解决方案：液晶显示面板中的像素包括具有第一子像素电极的第一子像素区域和具有第二子像素电极的第二子像素区域。每个子像素电极与电容器相关联。当向像素提供栅极线信号和数据电压时，第一子像素电极上的电压电平基本上等于或略高于第二子像素电极上的电压电平和与每个相关联的电容器。子像素电极带电。当栅极线信号完全通过或部分通过时，电路元件使与第二子像素电极相关联的电容器将其电荷转移到另一电容器，导致第二子像素电极上的电压电平降低。

