

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-145651

(P2011-145651A)

(43) 公開日 平成23年7月28日(2011.7.28)

|                                       |                |             |
|---------------------------------------|----------------|-------------|
| (51) Int.Cl.                          | F I            | テーマコード (参考) |
| <b>G02F 1/133 (2006.01)</b>           | G02F 1/133 505 | 2H092       |
| <b>G02F 1/1368 (2006.01)</b>          | G02F 1/1368    | 2H193       |
| <b>G09G 3/36 (2006.01)</b>            | G02F 1/133 550 | 5C006       |
| <b>G09G 3/20 (2006.01)</b>            | G09G 3/36      | 5C080       |
|                                       | G09G 3/20 624B |             |
| 審査請求 未請求 請求項の数 46 O L (全 24 頁) 最終頁に続く |                |             |

(21) 出願番号 特願2010-242243 (P2010-242243)  
 (22) 出願日 平成22年10月28日 (2010.10.28)  
 (31) 優先権主張番号 10-2010-0003600  
 (32) 優先日 平成22年1月14日 (2010.1.14)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si,  
 Gyeonggi-do, Republic of Korea

(74) 代理人 110000051

特許業務法人共生国際特許事務所

(72) 発明者 尹 ヒョン 植  
 大韓民国 ソウル市 瑞草区 良才洞 8  
 -49 201号

最終頁に続く

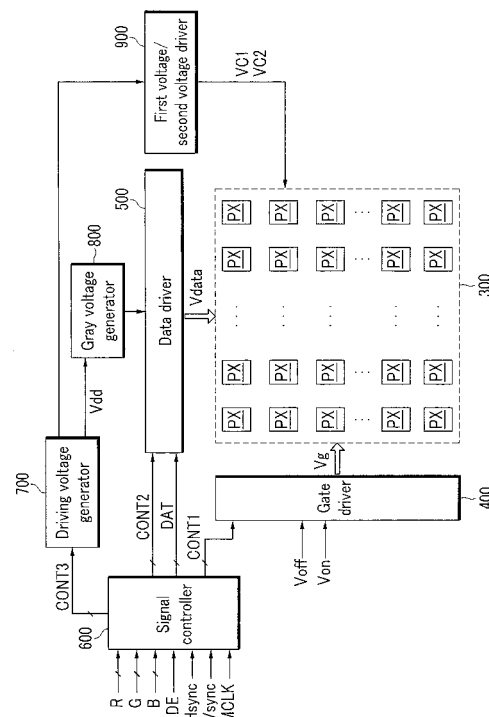
(54) 【発明の名称】 液晶表示装置及びその駆動方法

## (57) 【要約】

【課題】液晶表示装置の駆動電圧を高めると共に、液晶表示装置の光漏れを抑える。

【解決手段】互いに対向する第1基板及び第2基板、第1基板と第2基板との間に配置された、液晶分子を含む液晶層、第1基板上に位置する、ゲート信号を伝達するゲート線、データ電圧を伝達する第1データ線、第1電圧及び前記第1電圧より大きい第2電圧を交互に伝達する第1電源線、ゲート線及び第1データ線と接続される第1スイッチング素子、ゲート線及び第1電源線と接続される第2スイッチング素子、第1スイッチング素子と接続される第1画素電極、並びに、第2スイッチング素子と接続される第2画素電極を含み、第1画素電極と第2画素電極は液晶層と共に液晶キャパシタを形成し、第1電圧及び第2電圧の少なくとも一つは可変である。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

互いに対向する第 1 基板及び第 2 基板、  
前記第 1 基板と第 2 基板との間に配置された、液晶分子を含む液晶層、  
前記第 1 基板上に位置してゲート信号を伝達するゲート線、  
前記第 1 基板上に位置してデータ電圧を伝達する第 1 データ線、  
前記第 1 基板上に位置して第 1 電圧及び前記第 1 電圧より大きい第 2 電圧を交互に伝達する第 1 電源線、  
前記ゲート線及び前記第 1 データ線と接続される第 1 スイッチング素子、  
前記ゲート線及び前記第 1 電源線と接続される第 2 スイッチング素子、  
前記第 1 スイッチング素子と接続される第 1 画素電極、及び  
前記第 2 スイッチング素子と接続される第 2 画素電極を含み、  
前記第 1 画素電極と前記第 2 画素電極は前記液晶層と共に液晶キャパシタを形成し、  
前記第 1 電圧及び前記第 2 電圧の少なくとも一つは可変であることを特徴とする液晶表示装置。

10

## 【請求項 2】

前記液晶表示装置の駆動電圧は可変であることを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことを特徴とする請求項 2 に記載の液晶表示装置。

20

## 【請求項 4】

前記第 1 データ線に隣接する第 2 データ線をさらに含み、  
前記第 1 データ線及び前記第 2 データ線に伝達されるデータ電圧は互いに極性が反対であることを特徴とする請求項 3 に記載の液晶表示装置。

## 【請求項 5】

前記第 1 基板上に位置して、前記第 1 電圧及び前記第 2 電圧を交互に伝達する第 2 電源線、  
前記ゲート線及び前記第 2 データ線と接続される第 3 スイッチング素子、  
前記ゲート線及び前記第 2 電源線と接続される第 4 スイッチング素子、  
前記第 3 スイッチング素子と接続される第 3 画素電極、及び  
前記第 4 スイッチング素子と接続される第 4 画素電極をさらに含み、  
前記第 1 電源線に印加される電圧と前記第 2 電源線に印加される電圧は互いに異なることを特徴とする請求項 4 に記載の液晶表示装置。

30

## 【請求項 6】

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 7】

前記第 1 データ線に隣接する第 2 データ線をさらに含み、  
前記第 1 データ線及び前記第 2 データ線に伝達されるデータ電圧は互いに極性が反対であることを特徴とする請求項 1 に記載の液晶表示装置。

40

## 【請求項 8】

前記第 1 基板上に位置して、前記第 1 電圧及び前記第 2 電圧を交互に伝達する第 2 電源線、  
前記ゲート線及び前記第 2 データ線と接続される第 3 スイッチング素子、  
前記ゲート線及び前記第 2 電源線と接続される第 4 スイッチング素子、  
前記第 3 スイッチング素子と接続される第 3 画素電極、及び  
前記第 4 スイッチング素子と接続される第 4 画素電極をさらに含み、

50

前記第 1 電源線に印加される電圧と前記第 2 電源線に印加される電圧は互いに異なることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 電源線に前記第 1 電圧と前記第 2 電圧はフレームごとに交互に印加されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

前記液晶表示装置の駆動電圧は最大値と最小値との間で可変であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 11】

前記第 1 電圧は接地電圧であり、前記第 2 電圧は前記駆動電圧であることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

入力映像信号を分析する映像信号分析部、

前記映像信号分析部の分析結果に基づいて前記駆動電圧が最大値と前記最小値との間で変化するように制御する駆動電圧制御部、及び

前記変化された駆動電圧によって前記入力映像信号を補正する入力映像信号補正部をさらに含むことを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

前記入力映像信号補正部は、前記駆動電圧が前記最大値である場合に前記入力映像信号が示す輝度と、前記変化された駆動電圧によって補正された入力映像信号が示す輝度とが同じように前記入力映像信号を補正することを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 14】

ブラックを表示する場合、前記駆動電圧は前記最小値であることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことを特徴とする請求項 14 に記載の液晶表示装置。

【請求項 16】

入力映像信号を分析する映像信号分析部、

前記映像信号分析部の分析結果に基づいて前記駆動電圧が最大値と前記最小値との間で変化するように制御する駆動電圧制御部、及び

前記変化された駆動電圧によって前記入力映像信号を補正する入力映像信号補正部をさらに含むことを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 17】

前記入力映像信号補正部は、前記駆動電圧が前記最大値である場合に前記入力映像信号が示す輝度と、前記変化された駆動電圧によって補正された入力映像信号が示す輝度とが同じように前記入力映像信号を補正することを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 18】

ブラックを表示する場合、前記駆動電圧は前記最小値であることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 19】

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 20】

前記第 1 電源線に前記第 1 電圧と前記第 2 電圧はフレームごとに交互に印加されることを特徴とする請求項 10 に記載の液晶表示装置。

10

20

30

40

50

**【請求項 2 1】**

前記液晶表示装置の駆動電圧は基準電圧に対して可変であり、0 V 以上の追加電圧を加えた電圧であることを特徴とする請求項 1 に記載の液晶表示装置。

**【請求項 2 2】**

前記第 1 電圧は前記追加電圧であり、前記第 2 電圧は前記基準電圧であることを特徴とする請求項 2 1 に記載の液晶表示装置。

**【請求項 2 3】**

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含み、

前記正極性のデータ電圧の範囲は、前記追加電圧以上、前記駆動電圧以下であり、

前記負極性のデータ電圧の範囲は、接地電圧以上、前記基準電圧以下であることを特徴とする請求項 2 2 に記載の液晶表示装置。

**【請求項 2 4】**

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含み、

前記正極性のデータ電圧の範囲は、前記追加電圧以上、前記駆動電圧以下であり、

前記負極性のデータ電圧の範囲は、接地電圧以上、前記基準電圧以下であることを特徴とする請求項 2 1 に記載の液晶表示装置。

**【請求項 2 5】**

第 1 スイッチング素子を通じて第 1 データ線と接続される第 1 画素電極、第 2 スイッチング素子を通じて第 1 電源線と接続される第 2 画素電極、及び前記第 1 画素電極と前記第 2 画素電極との間に位置する液晶層を含む液晶表示装置において、

前記第 1 スイッチング素子を導通させて前記第 1 画素電極にデータ電圧を印加する段階、及び

前記第 2 スイッチング素子を導通させて前記第 2 画素電極に第 1 電圧及び前記第 1 電圧より大きい第 2 電圧を交互に伝達する段階を含み、

前記第 1 電圧及び前記第 2 電圧の少なくとも一つは可変であることを特徴とする液晶表示装置の駆動方法。

**【請求項 2 6】**

前記液晶表示装置の駆動電圧は可変であることを特徴とする請求項 2 5 に記載の液晶表示装置の駆動方法。

**【請求項 2 7】**

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことを特徴とする請求項 2 6 に記載の液晶表示装置の駆動方法。

**【請求項 2 8】**

前記第 1 データ線と隣接する第 2 データ線をさらに含み、

前記第 1 データ線及び前記第 2 データ線に伝達されるデータ電圧は互いに極性が反対であることを特徴とする請求項 2 7 に記載の液晶表示装置の駆動方法。

**【請求項 2 9】**

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことを特徴とする請求項 2 5 に記載の液晶表示装置の駆動方法。

**【請求項 3 0】**

前記第 1 データ線と隣接する第 2 データ線をさらに含み、

前記第 1 データ線及び前記第 2 データ線に伝達されるデータ電圧は互いに極性が反対であることを特徴とする請求項 2 5 に記載の液晶表示装置の駆動方法。

**【請求項 3 1】**

前記第 1 電源線に前記第 1 電圧と前記第 2 電圧はフレームごとに交互に印加されることを特徴とする請求項 2 5 に記載の液晶表示装置の駆動方法。

10

20

30

40

50

**【請求項 3 2】**

前記液晶表示装置の駆動電圧は最大値と最小値との間で可変であることを特徴とする請求項 2 5 に記載の液晶表示装置の駆動方法。

**【請求項 3 3】**

前記第 1 電圧は接地電圧であり、前記第 2 電圧は前記駆動電圧の液晶表示装置であることを特徴とする請求項 3 2 に記載の液晶表示装置の駆動方法。

**【請求項 3 4】**

入力映像信号を分析する段階、

前記映像信号分析部の分析結果に基づいて前記駆動電圧が最大値と前記最小値との間で変化するように制御する段階、及び

前記変化された駆動電圧によって前記入力映像信号を補正する段階をさらに含むことを特徴とする請求項 3 3 に記載の液晶表示装置の駆動方法。

**【請求項 3 5】**

前記入力映像信号を補正する段階は、前記駆動電圧が前記最大値である場合に前記入力映像信号が示す輝度と、前記変化された駆動電圧によって補正された入力映像信号が示す輝度とが同じように前記入力映像信号を補正する段階を含むことを特徴とする請求項 3 4 に記載の液晶表示装置の駆動方法。

**【請求項 3 6】**

ブラックを表示する場合、前記駆動電圧は前記最小値であることを特徴とする請求項 3 5 に記載の液晶表示装置の駆動方法。

**【請求項 3 7】**

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことを特徴とする請求項 3 6 に記載の液晶表示装置の駆動方法。

**【請求項 3 8】**

入力映像信号を分析する段階、

前記映像信号分析部の分析結果に基づいて前記駆動電圧が最大値と前記最小値との間で変化するように制御する段階、及び

前記変化された駆動電圧によって前記入力映像信号を補正する段階をさらに含むことを特徴とする請求項 3 2 に記載の液晶表示装置の駆動方法。

**【請求項 3 9】**

前記入力映像信号を補正する段階は、前記駆動電圧が前記最大値である場合に前記入力映像信号が示す輝度と、前記変化された駆動電圧によって補正された入力映像信号が示す輝度とが同じように前記入力映像信号を補正する段階を含むことを特徴とする請求項 3 8 に記載の液晶表示装置の駆動方法。

**【請求項 4 0】**

ブラックを表示する場合、前記駆動電圧は前記最小値であることを特徴とする請求項 3 2 に記載の液晶表示装置の駆動方法。

**【請求項 4 1】**

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことを特徴とする請求項 3 2 に記載の液晶表示装置の駆動方法。

**【請求項 4 2】**

前記第 1 電源線に前記第 1 電圧と前記第 2 電圧はフレームごとに交互に印加されることを特徴とする請求項 3 2 に記載の液晶表示装置の駆動方法。

**【請求項 4 3】**

前記液晶表示装置の駆動電圧は基準電圧に対して可変であり、0 V 以上の追加電圧を加えた電圧であることを特徴とする請求項 2 5 に記載の液晶表示装置の駆動方法。

**【請求項 4 4】**

前記第 1 電圧は前記追加電圧であり、前記第 2 電圧は前記基準電圧であることを特徴と

10

20

30

40

50

する請求項 4 3 に記載の液晶表示装置の駆動方法。

【請求項 4 5】

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含み、

前記正極性のデータ電圧の範囲は、前記追加電圧以上、前記駆動電圧以下であり、

前記負極性のデータ電圧の範囲は、接地電圧以上、前記基準電圧以下であることを特徴とする請求項 4 4 に記載の液晶表示装置の駆動方法。

【請求項 4 6】

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含み、

前記正極性のデータ電圧の範囲は、前記追加電圧以上、前記駆動電圧以下であり、

前記負極性のデータ電圧の範囲は、接地電圧以上、前記基準電圧以下であることを特徴とする請求項 4 3 に記載の液晶表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

液晶表示装置は、現在、最も幅広く使用されている平板表示装置の一つであって、画素電極と共通電極などの電界生成電極が形成されている二枚の表示板と、その間に挿入されている液晶層とからなり、電界生成電極に電圧を印加して液晶層に電界を生成し、これを通じて液晶層の液晶分子の配向を決定して、入射光の偏光を制御することによって映像を表示する。

20

【0003】

液晶表示装置は、また、各画素電極に接続されるスイッチング素子、及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線など多数の信号線を含む。

【0004】

このような液晶表示装置は外部のグラフィックス制御器から入力映像信号を受信し、入力映像信号は各画素の輝度情報を含んでおり、各輝度は与えられた数の階調 (gray) で決まる。各画素は所望の輝度情報に対応するデータ電圧の印加を受ける。画素に印加されたデータ電圧は、共通電圧などの基準電圧との差によって画素電圧として現れ、画素電圧によって各画素は映像信号の階調が示す輝度を表示する。この時、液晶層に一方向の電界が長い間に印加されることによって発生する劣化現象を防止するために、フレーム別に、行別に、又は画素別に基準になる電圧に対するデータ電圧の極性を反転させる。また、表示画面の縦縞のような染みが生じるのを防止するために、隣接する画素が示す画素電圧の極性を異ならせることもある。

30

【0005】

隣接する画素の極性を異ならせるために隣接するデータ線間の極性を異なるようにすると、ブラックを表示する場合、一つの画素に印加されたデータ電圧と隣接する画素と接続されたデータ線間の電圧差が大きく発生して、画素の周辺に光漏れが発生するようになる。特に、駆動電圧が大きくなる場合、このような光漏れはさらに大きくなる。

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的は、液晶表示装置の駆動電圧を高めると共に、液晶表示装置の光漏れを抑えることにある。

【課題を解決するための手段】

50

## 【 0 0 0 7 】

本発明の一実施形態に係る液晶表示装置は、互いに対向する第 1 基板及び第 2 基板、前記第 1 基板と第 2 基板との間に配置された、液晶分子を含む液晶層、前記第 1 基板上に位置してゲート信号を伝達するゲート線、前記第 1 基板上に位置してデータ電圧を伝達する第 1 データ線、前記第 1 基板上に位置して第 1 電圧及び前記第 1 電圧より大きい第 2 電圧を交互に伝達する第 1 電源線、前記ゲート線及び前記第 1 データ線と接続される第 1 スイッチング素子、前記ゲート線及び前記第 1 電源線と接続される第 2 スイッチング素子、前記第 1 スイッチング素子と接続される第 1 画素電極、及び前記第 2 スイッチング素子と接続される第 2 画素電極を含み、前記第 1 画素電極と前記第 2 画素電極は前記液晶層と共に液晶キャパシタを形成し、前記第 1 電圧及び前記第 2 電圧の少なくとも一つは可変である。

10

## 【 0 0 0 8 】

前記液晶表示装置の駆動電圧は可変でありうる。

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことができる。

前記第 1 データ線と隣接する第 2 データ線をさらに含み、前記第 1 データ線及び前記第 2 データ線に伝達されるデータ電圧は互いに極性が反対でありうる。

前記第 1 基板上に位置して、前記第 1 電圧及び前記第 2 電圧を交互に伝達する第 2 電源線、前記ゲート線及び前記第 2 データ線と接続される第 3 スイッチング素子、前記ゲート線及び前記第 2 電源線と接続される第 4 スイッチング素子、前記第 3 スイッチング素子と接続される第 3 画素電極、及び前記第 4 スイッチング素子と接続される第 4 画素電極をさらに含み、前記第 1 電源線に印加される電圧と前記第 2 電源線に印加される電圧は互いに異なりうる。

20

前記第 1 電源線に前記第 1 電圧と前記第 2 電圧はフレームごとに交互に印加できる。

前記液晶表示装置の駆動電圧は最大値及び最小値の間で可変でありうる。

前記第 1 電圧は接地電圧であり、前記第 2 電圧は前記駆動電圧でありうる。

## 【 0 0 0 9 】

入力映像信号を分析する映像信号分析部、前記映像信号分析部の分析結果に基づいて前記駆動電圧が最大値と前記最小値との間で変化するように制御する駆動電圧制御部、及び前記変化された駆動電圧によって前記入力映像信号を補正する入力映像信号補正部をさらに含むことができる。

30

前記入力映像信号補正部は、前記駆動電圧が前記最大値である場合に前記入力映像信号が示す輝度と、前記変化された駆動電圧によって補正された入力映像信号が示す輝度とが同じように、前記入力映像信号を補正できる。

ブラックを表示する場合、前記駆動電圧は前記最小値でありうる。

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことができる。

前記液晶表示装置の駆動電圧は基準電圧に対して可変であり、0 V 以上の追加電圧を加えた電圧でありうる。

前記第 1 電圧は前記追加電圧であり、前記第 2 電圧は前記基準電圧でありうる。

40

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含み、前記正極性のデータ電圧の範囲は、前記追加電圧以上、前記駆動電圧以下であり、前記負極性のデータ電圧の範囲は、接地電圧以上、前記基準電圧以下でありうる。

## 【 0 0 1 0 】

本発明の一実施形態に係る液晶表示装置の駆動方法は、第 1 スイッチング素子を通じて第 1 データ線と接続される第 1 画素電極、第 2 スイッチング素子を通じて第 1 電源線と接続される第 2 画素電極、及び前記第 1 画素電極と前記第 2 画素電極との間に位置する液晶層を含む液晶表示装置において、前記第 1 スイッチング素子を導通させて前記第 1 画素電極にデータ電圧を印加する段階、及び前記第 2 スイッチング素子を導通させて、前記第 2

50

画素電極に第 1 電圧及び前記第 1 電圧より大きい第 2 電圧を交互に伝達する段階を含み、前記第 1 電圧及び前記第 2 電圧の少なくとも一つは可変である。

【0011】

前記液晶表示装置の駆動電圧は可変でありうる。

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことができる。

前記第 1 データ線に隣接する第 2 データ線をさらに含み、前記第 1 データ線及び前記第 2 データ線に伝達されるデータ電圧は互いに極性が反対でありうる。

前記第 1 電源線に前記第 1 電圧と前記第 2 電圧はフレームごとに交互に印加できる。

前記液晶表示装置の駆動電圧は最大値及び最小値の間で可変でありうる。

10

前記第 1 電圧は接地電圧であり、前記第 2 電圧は前記駆動電圧でありうる。

入力映像信号を分析する段階、前記映像信号分析部の分析結果に基づいて前記駆動電圧が最大値と前記最小値との間で変化するように制御する段階、及び前記変化された駆動電圧によって前記入力映像信号を補正する段階をさらに含むことができる。

前記入力映像信号を補正する段階は、前記駆動電圧が前記最大値である場合に前記入力映像信号が示す輝度と、前記変化された駆動電圧によって補正された入力映像信号が示す輝度とが同じように、前記入力映像信号を補正する段階を含むことができる。

【0012】

ブラックを表示する場合、前記駆動電圧は前記最小値でありうる。

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含むことができる。

20

前記第 1 電源線に前記第 1 電圧と前記第 2 電圧はフレームごとに交互に印加できる。

前記液晶表示装置の駆動電圧は基準電圧に対して可変であり、0 V 以上の追加電圧を加えた電圧でありうる。

前記第 1 電圧は前記追加電圧であり、前記第 2 電圧は前記基準電圧でありうる。

前記データ電圧は、前記第 1 電圧を基準として正極性のデータ電圧と、前記第 2 電圧を基準として負極性のデータ電圧とを含み、前記正極性のデータ電圧の範囲は、前記追加電圧以上、前記駆動電圧以下であり、前記負極性のデータ電圧の範囲は、接地電圧以上、前記基準電圧以下でありうる。

【発明の効果】

30

【0013】

本発明によれば、ブラック又は暗い画面を表示する場合、駆動電圧 (V<sub>dd</sub>) を低くするか、又は第 1 電圧と第 2 電圧との差を減らすことによって、一つの画素に印加される電圧とこれと隣接する画素に接続されたデータ線に印加される電圧との差を削減できるので、当該画素の周辺の光漏れ現象を改善できる。

【図面の簡単な説明】

【0014】

【図 1】本発明の一実施形態に係る液晶表示装置のブロック図である。

【図 2】本発明の一実施形態に係る液晶表示装置の構造と一画素を示すなどが回路図である。

40

【図 3】本発明の一実施形態に係る液晶表示装置の四つの画素に対する回路図である。

【図 4】本発明の一実施形態に係る液晶表示装置の簡略な断面図である。

【図 5】本発明の一実施形態に係る液晶表示装置のブロック図である。

【図 6】図 5 の入力映像信号補正部で行われる入力映像信号補正方法を示す階調 - 輝度曲線である。

【図 7】本発明の一実施形態に係る液晶表示装置において階調による正極性データ電圧曲線と第 1 電圧又は第 2 電圧を示すグラフである。

【図 8】本発明の一実施形態に係る液晶表示装置において階調による負極性データ電圧曲線と第 1 電圧又は第 2 電圧を示すグラフである。

【図 9】本発明の一実施形態に係る液晶表示装置において階調による正極性データ電圧曲

50

線と第 1 電圧又は第 2 電圧を示すグラフである。

【図 10】本発明の一実施形態に係る液晶表示装置における階調による負極性データ電圧曲線と第 1 電圧又は第 2 電圧を示すグラフである。

【図 11】本発明の一実施形態に係る液晶表示装置の四つの画素の極性を示す回路図である。

【図 12】本発明の一実施形態に係る液晶表示装置の四つの画素の極性を示す回路図である。

【図 13】本発明の一実施形態に係る液晶表示装置のブロック図である。

【図 14】図 13 の実施形態に係る液晶表示装置におけるデータ電圧、第 1 電圧及び第 2 電圧の波形図である。

【図 15】図 13 の実施形態による液晶表示装置におけるブラックを表示する場合のデータ電圧、第 1 電圧及び第 2 電圧の波形図である。

【図 16】本発明の一実施形態に係る液晶表示装置の配置図である。

【図 17】図 16 の液晶表示装置の X V I I - X V I I 線に沿った断面図である。

【発明を実施するための形態】

【0015】

添付した図面を参照して、本発明の実施形態について本発明が属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は種々の相異なる形態に実現でき、ここで説明する実施形態に限られない。

【0016】

図面において、種々の層及び領域を明確に表現するために厚さを拡大して示した。明細書の全体にわたって類似する部分に対しては同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるという時、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。一方、ある部分が他の部分の“すぐ上”にあるという時には、中間に他の部分がないことを意味する。

【0017】

次に、本発明の一実施形態に係る液晶表示装置及びその駆動方法について、図面を参照して詳細に説明する。

【0018】

図 1 は、本発明の一実施形態に係る液晶表示装置のブロック図であり、図 2 は、本発明の一実施形態に係る液晶表示装置の構造と一画素を示す等価回路図であり、図 3 は、本発明の一実施形態に係る液晶表示装置の四つの画素に対する回路図である。

【0019】

図 1 を参照すると、本発明の一実施形態に係る液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、ゲート駆動部 (gate driver) 400、データ駆動部 (data driver) 500、駆動電圧生成部 700、第 1 電圧 / 第 2 電圧駆動部 900、階調電圧生成部 (gray voltage generator) 800、及び信号制御部 (signal controller) 600 を含む。

【0020】

図 1 及び図 3 を参照すると、液晶表示板組立体 300 は、複数の信号線と、これに接続されて、ほぼ行列状に配列された複数の画素 (PX) とを含む。反面、図 2 に示した構造から見ると、液晶表示板組立体 300 は、互いに対向する下部表示板 100 と上部表示板 200、及びその間に挿入されている液晶層 3 を含む。

【0021】

図 3 を参照すると、信号線は、ゲート信号を伝達する複数のゲート線 ( $G_i$ 、 $G(i+1)$ )、データ電圧を伝達する複数のデータ線 ( $D_j$ 、 $D(j+1)$ 、 $D(j+2)$ )、及びそれぞれ、第 1 電圧 ( $V_{C1}$ ) 又は第 2 電圧 ( $V_{C2}$ ) を伝達する第 1 電源線 ( $V_{CL1}$ ) 及び第 2 電源線 ( $V_{CL2}$ ) を含む。ゲート線 ( $G_i$ 、 $G(i+1)$ )、第 1 電源線 ( $V_{CL1}$ ) 及び第 2 電源線 ( $V_{CL2}$ ) はほぼ行方向に延びて、互いにほぼ平行し、

10

20

30

40

50

データ線 (D<sub>j</sub>、D (j + 1)、D (j + 2)) はほぼ列方向に延びて、互いにほぼ平行する。

#### 【0022】

各画素 (P<sub>X</sub>)、例えば、i 番目ゲート線 (G<sub>i</sub>) と j 番目データ線 (D<sub>j</sub>) に接続された画素 (P<sub>X</sub>) は、ゲート線 (G<sub>i</sub>) 及びデータ線 (D<sub>j</sub>) に接続された第 1 スイッチング素子 (Q<sub>a</sub>)、ゲート線 (G<sub>i</sub>)、及び第 1 電源線 (VCL1) に接続された第 2 スイッチング素子 (Q<sub>b</sub>)、そして第 1 及び第 2 スイッチング素子 (Q<sub>a</sub>、Q<sub>b</sub>) に接続された液晶キャパシタ (liquid crystal capacitor) (C<sub>lc</sub>) を含む。i 番目ゲート線 (G<sub>i</sub>) と (j + 1) 番目データ線 (D (j + 1)) に接続された画素 (P<sub>X</sub>) の場合は、ゲート線 (G<sub>i</sub>) 及びデータ線 (D (j + 1)) に接続された第 1 スイッチング素子 (Q<sub>a</sub>)、ゲート線 (G<sub>i</sub>) 及び第 2 電源線 (VCL2) に接続された第 2 スイッチング素子 (Q<sub>b</sub>)、そして第 1 及び第 2 スイッチング素子 (Q<sub>a</sub>、Q<sub>b</sub>) に接続された液晶キャパシタ (C<sub>lc</sub>) を含む。

10

#### 【0023】

つまり、行又は列方向に隣接する画素 (P<sub>X</sub>) の第 2 スイッチング素子 (Q<sub>b</sub>) は、第 1 電源線 (VCL1) 及び第 2 電源線 (VCL2) のうちの互いに異なる線に接続される。

#### 【0024】

第 1 電源線 (VCL1) 及び第 2 電源線 (VCL2) それぞれには、第 1 電圧 (VC1) 及びこれより大きい第 2 電圧 (VC2) がフレームごとに交互に印加されて、第 1 電源線 (VCL1) 及び第 2 電源線 (VCL2) に同じフレームの間に印加される電圧は互いに異なる電圧でありうる。例えば、第 1 電圧 (VC1) は接地電圧又は 0 V であり、第 2 電圧 (VC2) は駆動電圧 (V<sub>dd</sub>) である。

20

#### 【0025】

図 2 及び図 3 を参照すると、液晶キャパシタ (C<sub>lc</sub>) は下部表示板 100 の第 1 画素電極 (P<sub>Ea</sub>) と第 2 画素電極 (P<sub>Eb</sub>) を二つの端子とし、第 1 画素電極 (P<sub>Ea</sub>) と第 2 画素電極 (P<sub>Eb</sub>) との間の液晶層 3 は誘電体として機能する。第 1 画素電極 (P<sub>Ea</sub>) は第 1 スイッチング素子 (Q<sub>a</sub>) と接続して、データ電圧の印加を受け、第 2 画素電極 (P<sub>Eb</sub>) は第 2 スイッチング素子 (Q<sub>b</sub>) と接続して、第 1 電圧 (VC1) 又は第 2 電圧 (VC2) の印加を受ける。第 1 画素電極 (P<sub>Ea</sub>) と第 2 画素電極 (P<sub>Eb</sub>) は共に一つの画素電極 (P<sub>E</sub>) を形成する。

30

#### 【0026】

液晶層 3 は誘電率異方性を有し、液晶層 3 の液晶分子は、電界がない状態でその長軸が二つの表示板の表面に対して垂直になるように配向される。

#### 【0027】

第 1 画素電極 (P<sub>Ea</sub>) 及び第 2 画素電極 (P<sub>Ea</sub>) は、互いに異なる層に形成されるか、又は同じ層に形成される。液晶キャパシタ (C<sub>lc</sub>) の補助的な役割を果たす第 1 及び第 2 ストレージキャパシタ (図示せず) は、下部表示板 100 に具備された別途の電極 (図示せず) が第 1 及び第 2 画素電極 (P<sub>Ea</sub>、P<sub>Eb</sub>) それぞれと絶縁体を介在して重畳して形成される。

40

#### 【0028】

一方、色表示を実現するためには、各画素 (P<sub>X</sub>) が原色 (primary color) のうちの一つを一意的固有に表示 (空間分割) するか、又は各画素 (P<sub>X</sub>) が時間によって交互に原色を表示 (時間分割) して、これらの原本色を空間的、又は時間的に合成することにより所望の色を表示する。原色の例としては赤色、緑色、青色など三原色が挙げられる。図 2 は、空間分割の一例として、各画素 (P<sub>X</sub>) が第 1 及び第 2 画素電極 (P<sub>Ea</sub>、P<sub>Eb</sub>) に対応する上部表示板 200 の領域に、基本色のうちの一つを示すカラーフィルタ (CF) を備えることを示している。図 2 とは異なってカラーフィルタ (CF) は下部表示板 100 の第 1 及び第 2 画素電極 (P<sub>Ea</sub>、P<sub>Eb</sub>) 上又は下に設けてもよい。

50

## 【 0 0 2 9 】

液晶表示板組立体 3 0 0 には少なくとも一つの偏光子（図示せず）が備えられている。

## 【 0 0 3 0 】

さらに図 1 を参照すると、階調電圧生成部 8 0 0 は、駆動電圧（ $V_{dd}$ ）を用いて、画素（ $PX$ ）の透過率に係る階調電圧のうち、全ての体階調電圧、又は限定された数の階調電圧（以下、“基準階調電圧”という）を生成する。（基準）階調電圧は、第 1 電圧（ $V_{C1}$ ）に対して正極性を有する第 1 セットと、第 2 電圧（ $V_{C2}$ ）に対して負極性を有する第 2 セットからなる。

## 【 0 0 3 1 】

ゲート駆動部 4 0 0 は、液晶表示板組立体 3 0 0 のゲート線と接続して、ゲートオン電圧（ $V_{on}$ ）とゲートオフ電圧（ $V_{off}$ ）との組み合わせからなるゲート信号をゲート線に印加する。

10

## 【 0 0 3 2 】

データ駆動部 5 0 0 は液晶表示板組立体 3 0 0 のデータ線（図示せず）と接続されており、階調電圧生成部 8 0 0 からの階調電圧を選択して、これをデータ電圧としてデータ線に印加する。ここで、階調電圧生成部 8 0 0 が階調電圧を全て提供するのではなく、限定された数の基準階調電圧だけを提供する場合に、データ駆動部 5 0 0 は基準階調電圧を分圧して所望のデータ電圧を生成する。

## 【 0 0 3 3 】

第 1 電圧 / 第 2 電圧駆動部 9 0 0 は、液晶表示板組立体 3 0 0 の第 1 電源線（図 3 の  $V_{CL1}$ ）及び第 2 電源線（図 3 の  $V_{CL2}$ ）と接続されており、第 1 電源線に第 1 電圧（ $V_{C1}$ ）及びこれより大きい第 2 電圧（ $V_{C2}$ ）をフレームごとに交互に印加でき、第 2 電源線に第 2 電圧（ $V_{C2}$ ）及びこれより小さい第 1 電圧（ $V_{C1}$ ）をフレームごとに交互に印加する。第 1 電源線及び第 2 電源線に 1 フレームの間に印加される電圧は互いに異なってもよい。

20

## 【 0 0 3 4 】

駆動電圧生成部 7 0 0 は、駆動電圧（ $V_{dd}$ ）など、（基準）階調電圧を生成するのに必要な電圧を生成して、階調電圧生成部 8 0 0 に供給し、第 1 電圧 / 第 2 電圧駆動部 9 0 0 には第 1 電圧（ $V_{C1}$ ）及び第 2 電圧（ $V_{C2}$ ）の生成に必要な電圧を生成して供給する。

30

## 【 0 0 3 5 】

信号制御部 6 0 0 は、ゲート駆動部 4 0 0、データ駆動部 5 0 0、及び駆動電圧生成部 7 0 0 などを制御する。

## 【 0 0 3 6 】

次に、図 4 を図 1 乃至図 3 と共に参照して、本発明の一実施形態に係る液晶表示装置の駆動方法について詳細に説明する。

## 【 0 0 3 7 】

図 4 は、本発明の一実施形態に係る液晶表示装置の簡略な断面図である。

## 【 0 0 3 8 】

まず、図 1 を参照すると、信号制御部 6 0 0 は、外部のグラフィックス制御器（図示せず）から、入力映像信号（ $R$ 、 $G$ 、 $B$ ）及びその表示を制御する入力制御信号を受信する。入力映像信号（ $R$ 、 $G$ 、 $B$ ）は、各画素（ $PX$ ）の輝度（ $luminance$ ）情報を含んでおり、輝度は定められた数、例えば、 $1024 (= 2^{10})$ 、 $256 (= 2^8)$ 又は  $64 (= 2^6)$  個の階調（ $gray$ ）を有している。入力制御信号の例としては、垂直同期信号（ $Vsync$ ）と水平同期信号（ $Hsync$ ）、メインクロック信号（ $MCLK$ ）、及びデータイネーブル信号（ $DE$ ）などがある。

40

## 【 0 0 3 9 】

信号制御部 6 0 0 は、入力映像信号（ $R$ 、 $G$ 、 $B$ ）と入力制御信号に基づいて入力映像信号（ $R$ 、 $G$ 、 $B$ ）を液晶表示板組立体 3 0 0 の動作条件に合うように適切に処理し、ゲート制御信号（ $CONT1$ ）及びデータ制御信号（ $CONT2$ ）などを生成した後、ゲー

50

ト制御信号 (CONT1) をゲート駆動部 400 に送出し、データ制御信号 (CONT2) と処理した映像信号 (DAT) をデータ駆動部 500 に送出する。また、信号制御部 600 は、入力映像信号 (R、G、B) と入力制御信号に基づいて駆動電圧制御信号 (CONT3) を生成した後、駆動電圧生成部 700 に送出する。

#### 【0040】

信号制御部 600 からのデータ制御信号 (CONT2) により、データ駆動部 500 は一行の画素 (PX) に対するデジタル映像信号 (DAT) を受信し、各デジタル映像信号 (DAT) に対応する階調電圧を選択することによって、デジタル映像信号 (DAT) をアナログデータ電圧に変換した後、これを該当データ線に印加する。

#### 【0041】

ゲート駆動部 400 は、信号制御部 600 からのゲート制御信号 (CONT1) によってゲートオン電圧 (Von) をゲート線に印加して、ゲート線に接続された第 1 及び第 2 スイッチング素子 (Qa、Qb) を導通させる。

このことにより、データ線に印加されたデータ電圧が導通した第 1 スイッチング素子 (Qa) を通じて該当画素 (PX) の第 1 画素電極 (PEa) に印加され、

第 2 画素電極 (PEb) には、第 2 スイッチング素子 (Qb) と第 1 電源線 (VCL1) とを通じて、又は第 2 スイッチング素子 (Qb) と第 2 電源線 (VCL2) とを通じて、第 1 電圧 (VC1) 又は第 2 電圧 (VC2) が、印加される。

ここで、第 2 画素電極 (PEb) に印加される電圧が第 1 電圧 (VC1) である時、第 1 画素電極 (PEa) に印加されるデータ電圧は第 1 電圧 (VC1) を基準として正極性であり、第 2 画素電極 (PEb) に印加される電圧が第 2 電圧 (VC2) である時、第 1 画素電極 (PEa) に印加されるデータ電圧は第 2 電圧 (VC2) を基準として負極性であって、いずれの場合も第 1 画素電極 (PEa) と第 2 画素電極 (PEb) の電圧差は、画素 (PX) が表示しようとする輝度に対応する。

#### 【0042】

このような第 1 及び第 2 画素電極 (PEa、PEb) の電圧差は液晶キャパシタ (C1c) の充電電圧、つまり、画素電圧として現れる。液晶キャパシタ (C1c) の両端に電位差が生じれば、図 4 に示したように、表示板 (100、200) の表面に平行な電界が第 1 画素電極 (PEa) と第 2 画素電極 (PEb) との間の液晶層 3 に生成される。液晶分子 31 が正の誘電率異方性を有する場合、液晶分子 31 はその長軸が電界の方向に対して平行するように傾き、その傾いた程度は画素電圧の大きさによって異なる。このような液晶層 3 を EOC (electrically-induced optical compensation) モードという。また、液晶分子 31 の傾いた程度によって液晶層 3 を通過する光の偏光の変化程度が変わる。このような偏光の変化は、偏光子によって光の透過率変化として現れ、これによって画素 (PX) は映像信号 (DAT) の階調が示す輝度を表示する。

#### 【0043】

1 水平周期 [“1H”とも記し、水平同期信号 (Hsync) 及びデタインーブル信号 (DE) の一周期と同一である] を単位として、このような過程を繰り返すことによって、全てのゲート線に対して順次にゲートオン電圧 (Von) を印加し、全ての画素 (PX) にデータ電圧を印加して、1 フレーム (frame) の映像を表示する。

#### 【0044】

1 フレームが終了すると、次のフレームが開始し、各画素 (PX) に印加されるデータ電圧の極性が直前フレームでの極性と反対になるように、データ駆動部 500 に印加される反転信号 (RVS) の状態が制御される (“フレーム反転”)。これと共に第 1 電源線 (VCL1) 及び第 2 電源線 (VCL2) に印加される電圧、即ち、第 1 電圧 (VC1) 又は第 2 電圧 (VC2) が反対電圧に変わるように第 1 電圧 / 第 2 電圧駆動部 900 で制御される。

#### 【0045】

1 フレーム内でも反転信号 (RVS) の特性によって、一つのデータ線に印加されるデ

10

20

30

40

50

ータ電圧の極性が周期的に変わるか（例えば、反転、点反転の場合）、又は、一つの画素行、つまり、隣接するデータ線（ $D_j$ 、 $D(j+1)$ 、 $D(j+2)$ ）に印加されるデータ電圧の極性が互いに異なる（例えば、列反転、点反転の場合）。

【0046】

このように、一つの画素（ $PX$ ）に印加されるデータ電圧及びデータ電圧の極性を決定する第1電圧（ $VC1$ ）及び第2電圧（ $VC2$ ）を駆動電圧（ $Vdd$ ）の範囲内で変化することによって、駆動電圧を増大でき、液晶分子の応答速度を高速化でき、液晶表示装置の透過率を向上できる。

【0047】

また、一つの画素（ $PX$ ）で第1及び第2スイッチング素子（ $Qa$ 、 $Qb$ ）がターンオフされる時、第1及び第2画素電極（ $Pea$ 、 $Peb$ ）に印加される電圧が全てそれぞれのキックバック電圧（kick back voltage）ほど下降するので、画素（ $PX$ ）の充電電圧にはほぼ変化がない。したがって、液晶表示装置の表示特性を向上できる。

【0048】

次に、図5乃至図12、そして上述した図1乃至図4を共に参照して、本発明の一実施形態に係る液晶表示装置の駆動方法について詳細に説明する。図1乃至図4の実施形態の多くの特徴が図5乃至図12に示した実施形態にも適用できる。

【0049】

図5は、本発明の一実施形態に係る液晶表示装置のブロック図であり、図6は、図5の入力映像信号補正部で行われる入力映像信号補正方法を示す階調・輝度曲線であり、図7及び図9は、それぞれ本発明の一実施形態に係る液晶表示装置における階調による正極性データ電圧曲線と第1電圧（ $VC1$ ）を示すグラフであり、図8及び図10は、それぞれ本発明の一実施形態に係る液晶表示装置における階調による負極性データ電圧曲線と第2電圧（ $VC2$ ）を示すグラフであり、図11及び図12は、本発明の一実施形態に係る液晶表示装置の四つの画素の極性を示す回路図である。

【0050】

本実施形態においては、駆動電圧生成部700で生成される駆動電圧（ $Vdd$ ）は入力映像信号（ $R$ 、 $G$ 、 $B$ ）の分析結果によって最大値（ $Vdd\_Max$ ）と最小値（ $Vdd\_min$ ）との間で可変であり、これによって第1電圧（ $VC1$ ）及び第2電圧（ $VC2$ ）も、接地電圧（ $0V$ ）と変化された駆動電圧（ $Vdd$ ）との間をスイングする。

【0051】

図1と共に図5を参照すると、信号制御部600は、映像信号分析部610、駆動電圧制御部620、入力映像信号補正部630、及び信号処理／生成部650を含む。

【0052】

映像信号分析部610は、外部からの入力映像信号（ $R$ 、 $G$ 、 $B$ ）の入力を受けて、表示しようとする画面がホワイトであるか、ブラックであるか、その中間の階調であるかを分析する。

【0053】

駆動電圧制御部620は、映像信号分析部610の分析結果によって駆動電圧（ $Vdd$ ）を最大値（ $Vdd\_Max$ ）、最小値（ $Vdd\_min$ ）、又はその中間のいずれの値にするのかを決めて、駆動電圧制御信号（ $CONT3$ ）を生成する。つまり、表示画面がホワイトを表示する場合、駆動電圧（ $Vdd$ ）は最大値（ $Vdd\_Max$ ）に決め、ブラックを表示する場合、駆動電圧（ $Vdd$ ）は最小値（ $Vdd\_min$ ）に決め、その中間の階調を表示する場合には、駆動電圧（ $Vdd$ ）を最大値（ $Vdd\_Max$ ）と最小値（ $Vdd\_min$ ）の中間の適切な値に決定する。駆動電圧（ $Vdd$ ）の最大値（ $Vdd\_Max$ ）と最小値（ $Vdd\_min$ ）は予め設定されて、駆動電圧制御部620の内部又は外部のメモリ（図示せず）に保存されている。

【0054】

入力映像信号補正部630は、定められた駆動電圧（ $Vdd$ ）に合わせて入力映像信号

10

20

30

40

50

( R、G、B )を補正し、補正された入力映像信号 ( R'、G'、B' )を信号処理 / 生成部 650 に送出して、可変である駆動電圧 ( Vdd )の適用による輝度に変化がないようにする。これについては次に図 6 を参照して説明する。

#### 【 0055 】

図 6 において、曲線 ( B )は駆動電圧 ( Vdd )が最大値 ( Vdd\_\_Max )である場合の階調 - 輝度曲線であり、曲線 ( A )は駆動電圧 ( Vdd )が最大値 ( Vdd\_\_Max )より小さい場合の階調 - 輝度曲線である。駆動電圧 ( Vdd )が最大値 ( Vdd\_\_Max )に決められる場合、入力映像信号 ( R、G、B )の補正は必要ない。しかし、駆動電圧 ( Vdd )が最大値 ( Vdd\_\_Max )より小さい値に決められる場合、曲線 ( A )のように同一の入力映像信号 ( R、G、B )の一つの階調 ( Ga )に対して表示される輝度は所望の輝度 ( La )より低い輝度 ( Lb )となる。したがって、入力映像信号 ( R、G、B )の階調 ( Ga )は所望の輝度 ( La )を表示できる補正された値 ( Ga' )に補正されなければならない。このように入力映像信号 ( R、G、B )を補正すれば、駆動電圧 ( Vdd )が変動しても所望の輝度を表示できる。

10

#### 【 0056 】

信号処理 / 生成部 650 は、補正された入力映像信号 ( R'、G'、B' )と入力制御信号を受信して、図 1 の実施形態と関連して説明した信号制御部 600 のそれ以外の機能を遂行する。これに対する説明は、上述したものと同一なので省略する。

#### 【 0057 】

図 7 及び図 8 は、ホワイトを表示する場合の階調によるデータ電圧 ( Vdata )及び第 1 電圧 ( VC1 )又は第 2 電圧 ( VC2 )を示した図面であって、駆動電圧 ( Vdd )が最大値 ( Vdd\_\_Max )に決められることを示す。図 7 は、データ電圧 ( Vdata )が第 1 電圧 ( VC1 )を基準として正極性である場合であって、0 V と駆動電圧 ( Vdd )との間の値を有し、第 1 電圧 ( VC1 )は 0 V である。図 8 は、データ電圧 ( Vdata )が第 2 電圧 ( VC2 )を基準として負極性である場合であって、0 V と駆動電圧 ( Vdd )との間の値を有し、第 2 電圧 ( VC2 )は駆動電圧 ( Vdd )と同一である。

20

#### 【 0058 】

図 9 及び図 10 は、ブラック、又はホワイトとブラックとの間を表示する場合の階調によるデータ電圧 ( Vdata )及び第 1 電圧 ( VC1 )又は第 2 電圧 ( VC2 )を示した図面であって、駆動電圧 ( Vdd )が最小値 ( Vdd\_\_min )又は最大値 ( Vdd\_\_Max )と最小値 ( Vdd\_\_min )との間の値に決められることを示す。図 9 は、データ電圧 ( Vdata )が第 1 電圧 ( VC1 )を基準として正極性である場合であって、0 V と駆動電圧 ( Vdd )との間の値を有し、第 1 電圧 ( VC1 )は 0 V である。図 10 は、データ電圧 ( Vdata )が第 2 電圧 ( VC2 )を基準として負極性である場合であって、0 V と駆動電圧 ( Vdd )との間の値を有し、第 2 電圧 ( VC2 )は駆動電圧 ( Vdd )と同一である。表示画面がブラックとホワイトとの中間輝度を表示する場合、駆動電圧 ( Vdd )は最大値 ( Vdd\_\_Max )と最小値 ( Vdd\_\_min )との間の値に決めると、それによってデータ電圧 ( Vdata )の許容範囲及び第 2 電圧 ( VC2 )の値が決定できる。

30

#### 【 0059 】

図 7 乃至図 10 においては、階調が 256 個である場合を例示したが、これに限定されず、多様な数の階調を表現できる。

40

#### 【 0060 】

図 11 及び図 12 は、第 1 電源線 ( VCL1 )及び第 2 電源線 ( VCL2 )に、0 V と、可変である駆動電圧 ( Vdd )がフレームごとに交互に印加される場合、隣接する四つの画素 ( PX )の極性を示す。図 11 を参照すると、第 1 のフレームで第 1 電源線 ( VCL1 )に 0 V が印加され、第 2 電源線 ( VCL2 )に駆動電圧 ( Vdd )が印加される場合、第 1 電源線 ( VCL1 )に接続された画素 ( PX1、PX4 )は正極性の画素電圧の印加を受け、第 2 電源線 ( VCL2 )に接続された画素 ( PX2、PX3 )は負極性の画素電圧の印加を受ける。

50

図 1 2 を参照すると、次のフレームで第 1 電源線 ( V C L 1 ) に駆動電圧 ( V d d ) が印加され、第 2 電源線 ( V C L 2 ) に 0 V が印加される場合、第 1 電源線 ( V C L 1 ) に接続された画素 ( P X 1 、 P X 4 ) は負極性の画素電圧の印加を受け、第 2 電源線 ( V C L 2 ) に接続された画素 ( P X 2 、 P X 3 ) は正極性の画素電圧の印加を受ける。

【 0 0 6 1 】

このように本実施形態によれば、画素の液晶キャパシタの両端に印加される電圧がフレームごとに変わる液晶表示装置において、画素に印加されるデータ電圧 ( V d a t a ) 、第 1 電圧 ( V C 1 ) 又は第 2 電圧 ( V C 2 ) の最大値を決める駆動電圧 ( V d d ) を、入力映像信号 ( R 、 G 、 B ) 又は表示画面の輝度によって可変にできる。したがって、ブラック又は暗い画面を表示する場合、駆動電圧 ( V d d ) を低減できるので、一つの画素に印加される電圧と、これと隣接する画素に接続されたデータ線に印加される電圧との差、そして第 1 電源線 ( V C L 1 ) と第 2 電源線 ( V C L 2 ) に印加される電圧のスイング幅を削減できるので、画素に印加される電圧が周辺電界に受ける影響を減少でき、これによって当該画素の周辺の光漏れ現象を改善できる。この時、変化された駆動電圧 ( V d d ) に合わせて入力映像信号 ( R 、 G 、 B ) を補正することによって、画質の変化を最少化できる。

10

【 0 0 6 2 】

次に、図 1 3 ないし図 1 5 を上述した図 1 乃至図 4 と共に参照して、本発明の他の実施形態に係る液晶表示装置の駆動方法について詳細に説明する。図 1 乃至図 4 の実施形態の多くの特徴が図 1 3 ないし図 1 5 に示した実施形態にも適用できる。

20

【 0 0 6 3 】

図 1 3 は、本発明の一実施形態に係る液晶表示装置のブロック図であり、図 1 4 は、図 1 3 の実施形態による液晶表示装置におけるデータ電圧、第 1 電圧及び第 2 電圧の波形図であり、図 1 5 は、図 1 3 の実施形態による液晶表示装置におけるブラックを表示する場合のデータ電圧、第 1 電圧及び第 2 電圧の波形図である。

【 0 0 6 4 】

本実施形態においても、駆動電圧 ( V d d ) を変化できるが、データ電圧 ( V d a t a ) の極性によって駆動電圧の変化範囲が変化する。

【 0 0 6 5 】

図 1 と共に図 1 3 を参照すると、駆動電圧生成部 7 0 0 は、駆動電圧 ( V d d ) 以外にも可変である駆動電圧 ( V d d ) の基準となる基準電圧 ( V r e f ) 及び追加電圧 ( V N ) を階調電圧生成部 8 0 0 に伝達し、基準電圧 ( V r e f ) 及び追加電圧 ( V N ) を第 1 電圧 / 第 2 電圧駆動部 9 0 0 に伝達する。駆動電圧 ( V d d ) は、基準電圧 ( V r e f ) に追加電圧 ( V N ) を加えた値とし、追加電圧 ( V N ) はブラックを表示する時に画素の周辺に光漏れが生じないようにする値であって、予め設定されて保存されているか、又は入力映像信号 ( R 、 G 、 B ) によって決定される。追加電圧 ( V N ) は、0 V 以上、基準電圧 ( V r e f ) 以下とする。

30

【 0 0 6 6 】

第 1 電圧 / 第 2 電圧駆動部 9 0 0 は、基準電圧 ( V r e f ) を第 2 電圧 ( V C 2 ) として第 1 電源線 ( V C L 1 ) 又は第 2 電源線 ( V C L 2 ) に印加し、追加電圧 ( V N ) を第 1 電圧 ( V C 1 ) として第 2 電源線 ( V C L 2 ) 又は第 1 電源線 ( V C L 1 ) に印加する。

40

【 0 0 6 7 】

階調電圧生成部 8 0 0 は、正極性階調電圧生成部 8 1 0 及び負極性階調電圧生成部 8 2 0 を含む。正極性階調電圧生成部 8 1 0 は駆動電圧 ( V d d ) 及び追加電圧 ( V N ) を利用して正極性の階調電圧を生成し、負極性階調電圧生成部 8 2 0 は基準電圧 ( V r e f ) 及び接地電圧 ( G N D ) を利用して負極性階調電圧を生成する。

【 0 0 6 8 】

したがって画素 ( P X ) に印加されるデータ電圧 ( V d a t a ) のうち、正極性データ

50

電圧は可変の駆動電圧 ( $V_{dd}$ ) と追加電圧 ( $V_N$ ) との間で変化して、負極性データ電圧は基準電圧 ( $V_{ref}$ ) と接地電圧 ( $GND$ ) との間で変化する。これについて図 14 及び図 15 を参照して説明する。

【0069】

図 14 を参照すると、データ電圧 ( $V_{data}$ ) は、第 1 電圧 ( $V_{C1}$ ) を基準として正極性である場合、基準電圧 ( $V_{ref}$ ) と追加電圧 ( $V_N$ ) との合計である駆動電圧 ( $V_{dd}$ ) と追加電圧 ( $V_N$ ) との間で変化し、この時、第 1 電圧 ( $V_{C1}$ ) は追加電圧 ( $V_N$ ) と同一である。また、データ電圧 ( $V_{data}$ ) が第 2 電圧 ( $V_{C2}$ ) を基準として負極性である場合、接地電圧 ( $GND$ ) と決められた基準電圧 ( $V_{ref}$ ) との間で変化し、この時、第 2 電圧 ( $V_{C2}$ ) は基準電圧 ( $V_{ref}$ ) と同一である。

10

【0070】

つまり、正極性のデータ電圧 ( $V_{data}$ ) を利用してホワイトを表示する場合、上述した図 2 及び図 3 において、第 1 スイッチング素子 ( $Q_a$ ) を通じて第 1 画素電極 ( $PE_a$ ) に印加されるデータ電圧 ( $V_{data}$ ) は駆動電圧 ( $V_{dd}$ ) であり、第 2 スイッチング素子 ( $Q_b$ ) を通じて第 2 画素電極 ( $PE_b$ ) に印加される第 1 電圧 ( $V_{C1}$ ) は追加電圧 ( $V_N$ ) である。反面、負極性のデータ電圧 ( $V_{data}$ ) を利用してホワイトを表示する場合、第 1 スイッチング素子 ( $Q_a$ ) を通じて第 1 画素電極 ( $PE_a$ ) に印加されるデータ電圧 ( $V_{data}$ ) は駆動電圧 ( $V_{dd}$ ) であり、第 2 スイッチング素子 ( $Q_b$ ) を通じて第 2 画素電極 ( $PE_b$ ) に印加される第 2 電圧 ( $V_{C1}$ ) は基準電圧 ( $V_{ref}$ ) である。

20

【0071】

一方、図 14 及び図 15 を参照すると、正極性のデータ電圧 ( $V_{data}$ ) を利用してブラックを表示する場合、第 1 スイッチング素子 ( $Q_a$ ) を通じて第 1 画素電極 ( $PE_a$ ) に印加されるデータ電圧 ( $V_{data}$ ) と、第 2 スイッチング素子 ( $Q_b$ ) を通じて第 2 画素電極 ( $PE_b$ ) に印加される第 1 電圧 ( $V_{C1}$ ) は、追加電圧 ( $V_N$ ) である。反面、負極性のデータ電圧 ( $V_{data}$ ) を利用してブラックを表示する場合、第 1 スイッチング素子 ( $Q_a$ ) を通じて第 1 画素電極 ( $PE_a$ ) に印加されるデータ電圧 ( $V_{data}$ ) と、第 2 スイッチング素子 ( $Q_b$ ) を通じて第 2 画素電極 ( $PE_b$ ) に印加される第 2 電圧 ( $V_{C2}$ ) は、基準電圧 ( $V_{ref}$ ) である。

30

【0072】

図 14 及び図 15 において、隣接するフレームにおける信号の波形図は、図 3 に示した隣接する画素 ( $PX$ ) に印加される信号の波形図と見ることできる。

【0073】

このように、本実施形態によれば、正極性及び負極性のデータ電圧の全ては、基準電圧 ( $V_{ref}$ ) ほどの幅を有して変化できるので、画素の充電電圧も 0 V から基準電圧 ( $V_{ref}$ ) までの高電圧を有することができて、液晶分子の応答速度を十分に高速化できる。反面、第 1 電源線 ( $V_{CL1}$ ) と第 2 電源線 ( $V_{CL2}$ ) から第 2 画素電極 ( $PE_b$ ) に印加される電圧は、0 V 以上の追加電圧 ( $V_N$ ) と基準電圧 ( $V_{ref}$ ) との間をスイングするので、その変化幅は、第 1 電圧 ( $V_{C1}$ ) が接地電圧 ( $GND$ ) である場合に比べて、そのスイング幅が小さくなる。また、図 15 のように、ブラックを表示する場合、一つの画素 ( $PX$ ) に印加されるデータ電圧 ( $V_{data}$ ) と、これと隣接する画素と接続されたデータ線に印加されるデータ電圧 ( $V_{data}$ ) との間の差は、基準電圧 ( $V_{ref}$ ) から追加電圧 ( $V_N$ ) を引いた値に減少できるので、画素に印加される電圧が周辺の電界から受ける影響を削減でき、これによって当該画素の周辺の光漏れ現象を改善できる。この場合、追加電圧 ( $V_N$ ) は、光漏れが所望する程度まで削減できる値に予め設定されていてよく、入力映像信号 ( $R$ 、 $G$ 、 $B$ ) によって変化する値を有してもよい。

40

【0074】

それでは、図 16 及び図 17 を参照して、本発明の一実施形態に係る液晶表示装置の構造について詳細に説明する。上述した図 1 乃至図 4 に示した実施形態の多くの特徴が図 16 及び図 17 に示した実施形態にも適用できる。

50

## 【 0 0 7 5 】

図 1 6 は、本発明の一実施形態に係る液晶表示装置の配置図であり、図 1 7 は、図 1 6 の液晶表示装置の X V I I - X V I I 線に沿った断面図である。

## 【 0 0 7 6 】

本発明の一実施形態に係る液晶表示装置は、互いに対向する下部表示板 1 0 0 と上部表示板 2 0 0、及びこれら二つの表示板 1 0 0、2 0 0 の間に挿入されている液晶層 3 を含む。

## 【 0 0 7 7 】

まず、下部表示板 1 0 0 について説明する。

## 【 0 0 7 8 】

絶縁基板 1 1 0 の上に、複数のゲート線 1 2 1、複数対の第 1 電源線 1 3 1 a と第 2 電源線 1 3 1 b、及び複数の補助電極線 ( 1 3 3 a、1 3 3 b 1、1 3 3 b 2 ) を含む複数のゲート導電体が形成されている。

## 【 0 0 7 9 】

ゲート線 1 2 1 はゲート信号を伝達し、各ゲート線 1 2 1 は上部に突出した複数対の第 1 及び第 2 ゲート電極 ( 1 2 4 a、1 2 4 b ) を含む。

## 【 0 0 8 0 】

第 1 電源線 1 3 1 a 及び第 2 電源線 1 3 1 b のそれぞれは、第 1 電圧 ( V C 1 ) 及び第 2 電圧 ( V C 2 ) をフレームごとに交互に印加を受け、第 1 電源線 1 3 1 a の電圧と第 2 電源線 1 3 1 b の電圧は 1 フレームごとに互いに異なる。第 1 電源線 1 3 1 a 及び第 2 電源線 1 3 1 b は主に横方向に延びている。

## 【 0 0 8 1 】

補助電極線 ( 1 3 3 a、1 3 3 b 1、1 3 3 b 2 ) は、第 1 電源線 1 3 1 a 及び第 2 電源線 1 3 1 b の上側に形成されており、全体的に数字 “ 8 ” の角のある形状とすることができる。

## 【 0 0 8 2 】

ゲート導電体の上には、窒化ケイ素 ( S i N x ) 又は酸化ケイ素 ( S i O x ) などで作られるゲート絶縁膜 ( g a t e i n s u l a t i n g l a y e r ) 1 4 0 が形成されている。

## 【 0 0 8 3 】

ゲート絶縁膜 1 4 0 の上には、水素化非晶質又は多結晶シリコンなどで作られる複数の線状半導体 1 5 1 及び複数の島型半導体 1 5 4 b が形成されている。線状半導体 1 5 1 は複数の突出部 1 5 4 a を有し、線状半導体の突出部 1 5 4 a 及び島型半導体 1 5 4 b はそれぞれ第 1 及び第 2 ゲート電極 ( 1 2 4 a、1 2 4 b ) の上に位置する。

## 【 0 0 8 4 】

線状半導体 1 5 1 の上には、線状オーミックコンタクト部材の突出部 1 6 3 a を含む線状オーミックコンタクト部材 1 6 1 及び島型オーミックコンタクト部材 1 6 5 a が形成されており、島型半導体 1 5 4 b の上にも一对の島型オーミックコンタクト部材 ( 図示せず ) が形成されている。線状オーミックコンタクト部材の突出部、島型オーミックコンタクト部材 ( 1 6 3 a、1 6 5 a ) は、リンなどの n 型不純物が高濃度にドーピングされている n + 水素化非晶質シリコンなどの物質、又はシリサイド ( s i l i c i d e ) で形成できる。

## 【 0 0 8 5 】

線状オーミックコンタクト部材の突出部、島型オーミックコンタクト部材 ( 1 6 3 a、1 6 5 a ) 及びゲート絶縁膜 1 4 0 の上には、複数のデータ線 1 7 1、複数の第 1 ドレイン電極 1 7 5 a、複数の第 2 ソース電極 1 7 3 b、及び複数の第 2 ドレイン電極 1 7 5 b を含むデータ導電体が形成されている。

## 【 0 0 8 6 】

データ線 1 7 1 はデータ信号を伝達し、主に縦方向に延びてゲート線 1 2 1 と交差する。データ線 1 7 1 は第 1 ゲート電極 1 2 4 a に向かって突出した複数の第 1 ソース電極 1

10

20

30

40

50

73aを含む。

【0087】

第1ドレイン電極175a及び第2ドレイン電極175bの棒状の一端部は、それぞれ第1ゲート電極124a及び第2ゲート電極124bの上で、第1ソース電極173a及び第2ソース電極173bと対向し、第1ソース電極173a及び第2ソース電極173bによって一部が取り囲まれている。

【0088】

第1、第2ゲート電極(124a、124b)、第1、第2ソース電極(173a、173b)、及び第1、第2ドレイン電極(175a、175b)は、線状半導体の突出部、島型半導体(154a、154b)と共に各々第1、第2薄膜トランジスタ(thin film transistor、TFT)(Qa、Qb)を構成し、第1、第2薄膜トランジスタ(Qa、Qb)のチャネルは、第1、第2ソース電極(173a、173b)と第1、第2ドレイン電極(175a、175b)との間の線状半導体の突出部、島型半導体(154a、154b)に形成される。

【0089】

オーミックコンタクト部材(線状オーミックコンタクト部材の突出部163aを含む線状オーミックコンタクト部材161、島型オーミックコンタクト部材165a)は、その下の半導体(線状半導体151、島型半導体154b)と、その上のデータ導電体(第1ソース電極173aを含むデータ線171、第2ソース電極173b、第1ドレイン電極175a、第2ドレイン電極175b)との間にだけ存在して、これらの間の接触抵抗を低減する。

【0090】

データ導電体(第1ソース電極173aを含むデータ線171、第2ソース電極173b、第1ドレイン電極175a、第2ドレイン電極175b)及び露出した半導体(線状半導体151、島型半導体154b)部分の上には保護膜(passivation layer)180が形成されている。

【0091】

保護膜180には、第1ドレイン電極175a及び第2ドレイン電極175bの一部を露出する複数のコンタクトホール(185a、185b)、及び第2ソース電極173bの一部を露出するコンタクトホール(182a、182b)が形成されている。保護膜180及びゲート絶縁膜140には、第1電源線131a及び第2電源線131bの一部を露出するコンタクトホール(181a、181b)、及び補助電極線(133a、133b1、133b2)の一部を露出するコンタクトホール(183a1、183a2、183b1、183b2)が形成されている。

【0092】

保護膜180の上には、ITO(indium tin oxide)又はIZO(indium zinc oxide)などの透明な導電物質や、アルミニウム、銀、クロム又はその合金などの反射性金属で作られる複数対の第1画素電極(pixel electrode)191a及び第2画素電極191bが形成されている。

【0093】

第1及び第2画素電極(191a、191b)の全体的な外郭形状は四角形であり、第1及び第2画素電極(191a、191b)は間隙を間に置いて噛み合っている。第1及び第2画素電極(191a、191b)は、全体的に仮想的な横中央線(図示せず)を基準として上下対称を成し、上下の二つの副領域に分けられる。

【0094】

第1画素電極191aは上下の二つの副領域にそれぞれ分離されて位置する二つの部分(191a1、191a2)を含み、下端の突出部、二つの縦幹部、及び複数の枝部を含む。枝部がゲート線121を中心に傾いた角は約45度である。第1画素電極191aの二つの部分191a1、191a2は補助電極線133aとコンタクトホール(183a1、183a2)を通じて互いに接続されており、縦幹部は補助電極線133aと重畳し

10

20

30

40

50

ていて、光漏れを防止できる。

【0095】

第2画素電極191bは、下端の突出部、二つの縦幹部、一つの横幹部、及び複数の枝部を含む。枝部もゲート線121となす角は約45度でありうる。第2画素電極191bは補助電極線(133b1、133b2)とそれぞれコンタクトホール(183b1、183b2)を通じて接続されており、縦幹部は補助電極線(133b1、133b2)と重畳していて、光漏れを防止できる。

【0096】

第1及び第2画素電極(191a、191b)の枝部は、一定の間隔を置いて互いに噛み合って交互に配置され、櫛目形状をなす。

10

【0097】

しかし、本発明の実施形態に係る液晶表示装置の第1及び第2画素電極(191a、191b)の形態は、これに限定されず、多様な形状を有することができる。

【0098】

第1及び第2画素電極(191a、191b)は、それぞれコンタクトホール(185a、185b)を通じて第1及び第2ドレイン電極(175a、175b)と物理的、電気的に接続されており、第1及び第2ドレイン電極(175a、175b)からデータ電圧の印加を受ける。第2ドレイン電極175bは、第1電源線131a又は第2電源線131bと、コンタクトホール(181a、182a)又はコンタクトホール(181b、182b)を通じて接続して、第1電圧(Vc1)又は第2電圧(Vc2)の印加を受ける。

20

【0099】

第1及び第2画素電極(191a、191b)は液晶層3と共に液晶キャパシタ(C1c)を構成し、第1及び第2薄膜トランジスタ(Qa、Qb)がターンオフされた後にも印加された電圧を維持する。

【0100】

次に、上部表示板200について説明する。

【0101】

絶縁基板210の上に複数のカラーフィルタ230が形成されている。各カラーフィルタ230は赤色、緑色及び青色の三原色などの原色のうちの一つを表示する。カラーフィルタ230の上又は下には遮光部材(図示せず)がさらに設けられてもよい。

30

【0102】

カラーフィルタ230の上には蓋膜(overcoat)250が形成されている。蓋膜250は、(有機)絶縁物から作ることができ、カラーフィルタ230が露出するのを防止し、平坦面を提供する。蓋膜250は省略可能である。

【0103】

本発明の実施形態のように、ブラック又は暗い画面を表示する場合、駆動電圧(Vdd)を低くするか、又は第1電圧と第2電圧との差を減らすことで、一つの画素に印加される電圧とこれと隣接する画素に接続されたデータ線に印加される電圧との差を削減できるので、当該画素の周辺の光漏れ現象を改善できる。

40

【0104】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、次の請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

【符号の説明】

【0105】

3 液晶層

100 下部表示板

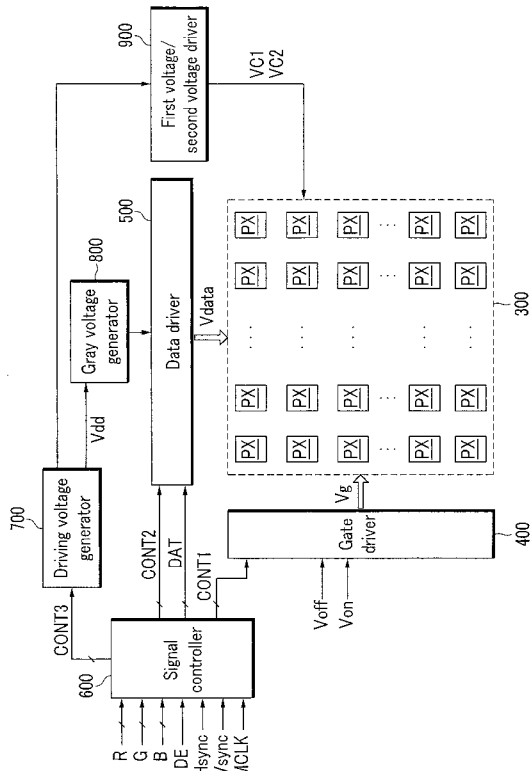
110、210 絶縁基板

121 ゲート線

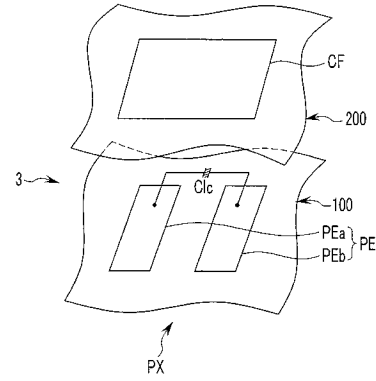
50

|                                                                                         |                    |    |
|-----------------------------------------------------------------------------------------|--------------------|----|
| 1 2 4 a、1 2 4 b                                                                         | 第 1、第 2 ゲート電極      |    |
| 1 3 1 a、1 3 1 b                                                                         | 第 1 電源線、第 2 電源線    |    |
| 1 3 3 a、1 3 3 b 1、1 3 3 b 2                                                             | 補助電極線              |    |
| 1 4 0                                                                                   | ゲート絶縁膜             |    |
| 1 5 1                                                                                   | 線状半導体              |    |
| 1 5 4 a                                                                                 | 線状半導体の突出部          |    |
| 1 5 4 b                                                                                 | 島型半導体              |    |
| 1 6 1                                                                                   | 線状オーミックコンタクト部材     |    |
| 1 6 3 a                                                                                 | 線状オーミックコンタクト部材の突出部 |    |
| 1 6 5 a                                                                                 | 島型オーミックコンタクト部材     | 10 |
| 1 7 1                                                                                   | データ線               |    |
| 1 7 3 a、1 7 3 b                                                                         | 第 1、第 2 ソース電極      |    |
| 1 7 5 a、1 7 5 b                                                                         | 第 1、第 2 ドレイン電極     |    |
| 1 8 0                                                                                   | 保護膜                |    |
| 1 8 1 a、1 8 1 b、1 8 2 a、1 8 2 b、1 8 3 a 1、1 8 3 a 2、1 8 3 b 1、1 8 3 b 2、1 8 5 a、1 8 5 b | コンタクトホール           |    |
| 1 9 1 a、1 9 1 b                                                                         | 第 1、第 2 画素電極       |    |
| 2 0 0                                                                                   | 上部表示板              |    |
| 2 3 0                                                                                   | カラーフィルタ            |    |
| 2 5 0                                                                                   | 蓋膜                 | 20 |
| 3 0 0                                                                                   | 液晶表示板組立体           |    |
| 4 0 0                                                                                   | ゲート駆動部             |    |
| 5 0 0                                                                                   | データ駆動部             |    |
| 6 0 0                                                                                   | 信号制御部              |    |
| 6 1 0                                                                                   | 映像信号分析部            |    |
| 6 2 0                                                                                   | 駆動電圧制御部            |    |
| 6 3 0                                                                                   | 入力映像信号補正部          |    |
| 6 5 0                                                                                   | 信号処理 / 生成部         |    |
| 7 0 0                                                                                   | 駆動電圧生成部            |    |
| 8 0 0                                                                                   | 階調電圧生成部            | 30 |
| 8 1 0                                                                                   | 正極性階調電圧生成部         |    |
| 8 2 0                                                                                   | 負極性階調電圧生成部         |    |
| 9 0 0                                                                                   | 第 1 電圧 / 第 2 電圧駆動部 |    |

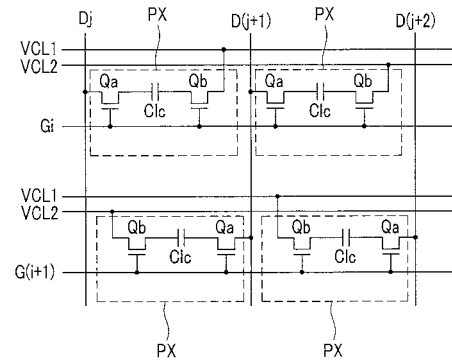
【図 1】



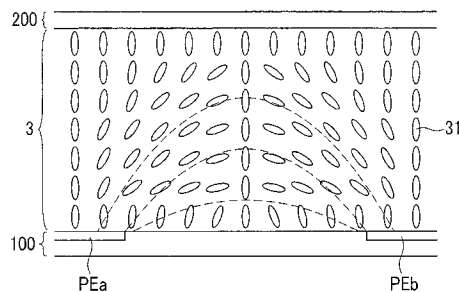
【図 2】



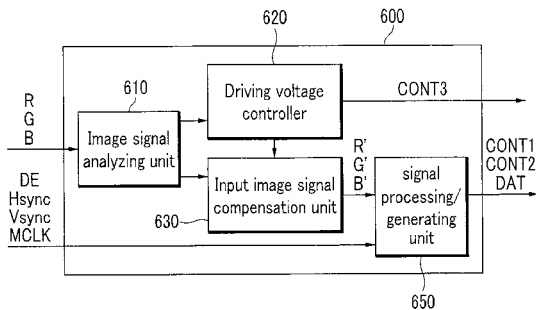
【図 3】



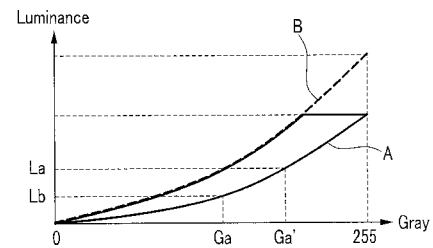
【図 4】



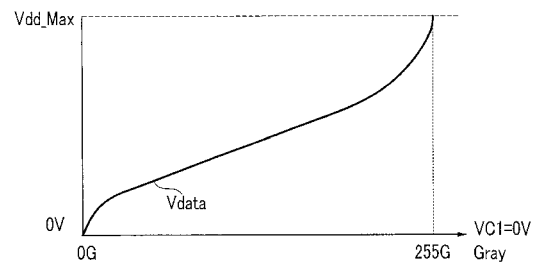
【図 5】



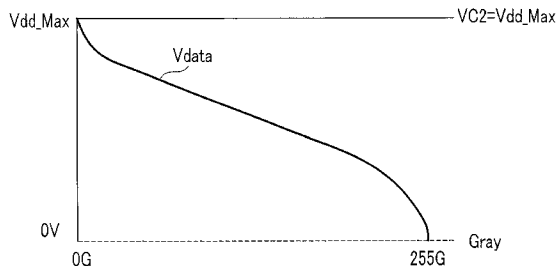
【図 6】



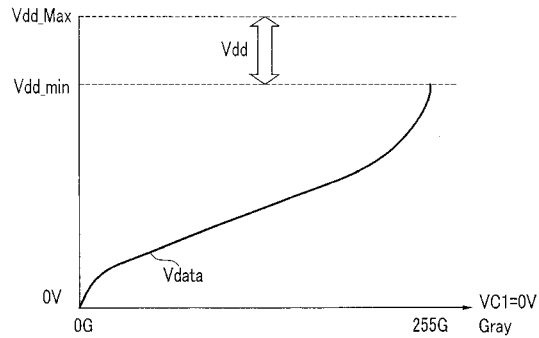
【図 7】



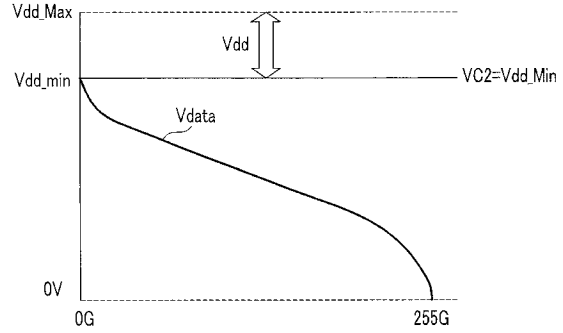
【図 8】



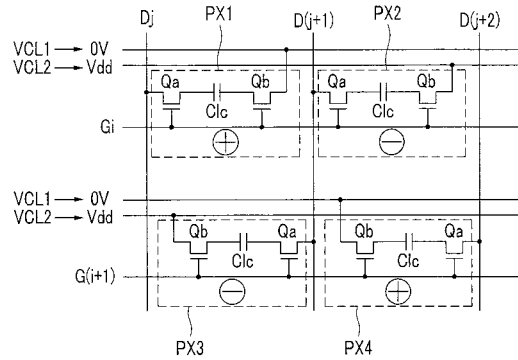
【図 9】



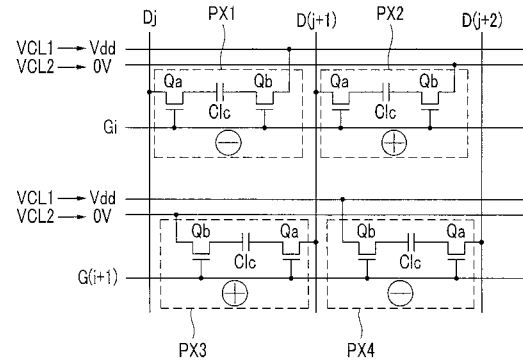
【図 10】



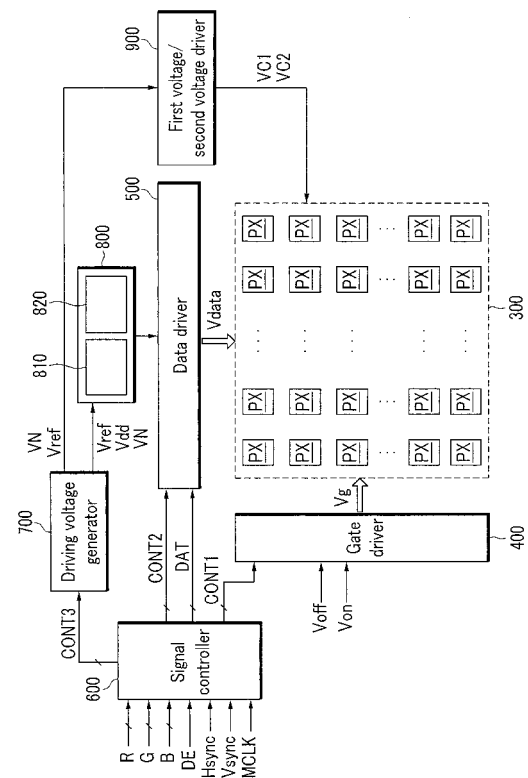
【図 11】



【図 12】



【図 13】





## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 9 G 3/20 6 2 1 B

(72)発明者 朴 熙 範  
大韓民国 京畿道 城南市 盆唐区 蘆内洞 パークタウン ソアン アパート 108棟104号

(72)発明者 白 承 洙  
大韓民国 京畿道 水原市 霊通区 霊通洞 971-1番地 ビョクチョクゴル ロッテ アパート 945棟1702号

(72)発明者 金 東 奎  
大韓民国 京畿道 龍仁市 水枝区 豊徳川2洞 三星7次アパート 705棟903号

(72)発明者 柳 権 憲  
大韓民国 大邱市 達西区 龍山洞 城西6団地住公アパート 602棟1905号

Fターム(参考) 2H092 GA14 GA17 GA29 JA26 JA38 JA46 JA47 JB04 JB42 JB63  
JB69 KA04 KA05 KA07 KA12 KA19 KA24 NA04 QA09  
2H193 ZA04 ZA07 ZA08 ZB08 ZB09 ZB14 ZC04 ZC07 ZC16 ZC25  
ZD01 ZD23 ZD32 ZF03 ZF05 ZF13 ZF34 ZF59 ZH23 ZH53  
ZQ16 ZQ44 ZQ47  
5C006 AA22 AC27 AC28 AF44 BB16 BC06 FA54  
5C080 AA10 BB05 CC03 DD01 JJ02 JJ03 JJ04 JJ05 JJ06

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置及其驱动方法                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 公开(公告)号        | <a href="#">JP2011145651A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 公开(公告)日 | 2011-07-28 |
| 申请号            | JP2010242243                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 申请日     | 2010-10-28 |
| [标]申请(专利权)人(译) | 三星电子株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| 申请(专利权)人(译)    | 三星电子株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| [标]发明人         | 尹ヒョン植<br>朴熙範<br>白承洙<br>金東奎<br>柳權憲                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| 发明人            | 尹 ヒョン 植<br>朴 熙 範<br>白 承 洙<br>金 東 奎<br>柳 權 憲                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| IPC分类号         | G02F1/133 G02F1/1368 G09G3/36 G09G3/20                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| CPC分类号         | G09G3/3614 G09G3/3655 G09G3/3696 G09G2300/0434 G09G2300/0819 G09G2300/0823 G09G2320/0209 G09G2320/0219 G09G2320/0271 G09G2360/16                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| FI分类号          | G02F1/133.505 G02F1/1368 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.621.B G02F1/1343                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| F-TERM分类号      | 2H092/GA14 2H092/GA17 2H092/GA29 2H092/JA26 2H092/JA38 2H092/JA46 2H092/JA47 2H092/JB04 2H092/JB42 2H092/JB63 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA07 2H092/KA12 2H092/KA19 2H092/KA24 2H092/NA04 2H092/QA09 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB08 2H193/ZB09 2H193/ZB14 2H193/ZC04 2H193/ZC07 2H193/ZC16 2H193/ZC25 2H193/ZD01 2H193/ZD23 2H193/ZD32 2H193/ZF03 2H193/ZF05 2H193/ZF13 2H193/ZF34 2H193/ZF59 2H193/ZH23 2H193/ZH53 2H193/ZQ16 2H193/ZQ44 2H193/ZQ47 5C006/AA22 5C006/AC27 5C006/AC28 5C006/AF44 5C006/BB16 5C006/BC06 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H192/AA24 2H192/AA42 2H192/BB03 2H192/BB53 2H192/BB91 2H192/BC31 2H192/CB05 2H192/CB12 2H192/CB61 2H192/CC58 2H192/CC62 2H192/CC64 2H192/DA12 2H192/EA04 2H192/EA22 2H192/EA43 2H192/GD61 2H192/JA34 |         |            |
| 优先权            | 1020100003600 2010-01-14 KR                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| 其他公开文献         | JP5567982B2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |

#### 摘要(译)

要解决的问题：增加液晶显示装置的驱动电压并抑制液晶显示装置的漏光。液晶层，设置在第一基板和第二基板之间并包括液晶分子;液晶层，设置在第一基板和第二基板之间，液晶层包括液晶分子;栅极线，传输数据电压的第一数据线，交替传输大于第一电压的第一电压和第二电压的第一电源线，连接到栅极线和第一数据线的的第一开关，第二开关元件，连接到栅极线和第一电源线，第一像素电极连接到第一开关元件，第二像素电极连接到第二开关元件，第一开关元件连接到第一开关元件像素电极和第二像素电极与液晶层一起形成液晶电容器，并且第一电压和第二电压中的至少一个是可变的。点域1

