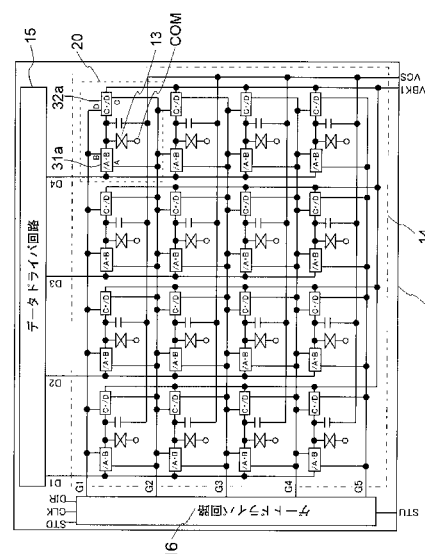




【特許請求の範囲】

【請求項 1】

第 1 の基板と第 2 の基板との間に液晶を挟んだ構成を有し、

前記第 1 の基板には、複数のデータ線と複数のゲート線との各交点に画素がマトリクス状に配置され、

前記画素は、第 1 のトランジスタ及び第 2 のトランジスタを有する第 1 の組のトランジスタと、第 3 のトランジスタ及び第 4 のトランジスタを有する第 2 の組のトランジスタと、画素電極及び蓄積容量とを含み、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、互いに導電型が異なり、隣接する互いに異なる前記ゲート線にそれぞれのゲート電極が接続され、

前記第 1 のトランジスタのソース電極及びドレイン電極の一方が前記データ線の一つに接続され他方が前記第 2 のトランジスタのソース電極及びドレイン電極の一方に接続され、前記第 2 のトランジスタのソース電極及びドレイン電極の他方が前記画素電極及び蓄積容量に接続され、

前記第 3 のトランジスタ及び前記第 4 のトランジスタは、互いに導電型が異なり、隣接する互いに異なる前記ゲート線にそれぞれのゲート電極が接続され、

前記第 3 のトランジスタのソース電極及びドレイン電極の一方が黒信号供給配線に接続され他方が前記第 4 のトランジスタのソース電極及びドレイン電極の一方に接続され、前記第 4 のトランジスタのソース電極及びドレイン電極の他方が前記画素電極及び蓄積容量に接続され、

前記第 1 のトランジスタ及び前記第 4 のトランジスタは互いに導電型が同じであり、

前記第 1 のトランジスタ及び前記第 3 のトランジスタはそれぞれのゲート電極が同じ前記ゲート線に接続された、

ことを特徴とする液晶表示装置。

【請求項 2】

前記黒信号供給配線は全ての前記画素に共通である、

ことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記蓄積容量を形成する二つの電極のうち、一方の電極が前記第 4 のトランジスタのソース電極及びドレイン電極の他方に接続され、他方の電極が全ての前記画素に共通の蓄積容量配線に接続され、

この蓄積容量配線が前記黒信号供給配線を兼ねる、

ことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】

前記液晶の配向状態は、前記画素電極と共通電極との電界により制御され、

前記液晶に電界が印加されていない場合に黒が表示され、

前記蓄積容量配線の電位は前記共通電極とほぼ等しい、

ことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記黒信号供給配線を複数設け、前記データ線に沿った隣接する画素行毎に異なる黒信号供給配線に接続した、

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

第 1 の基板と第 2 の基板との間に液晶を挟んだ構成を有し、前記第 1 の基板には、複数のデータ線と複数のゲート線とで区画された各々の領域に、第 1 のスイッチング手段と、第 2 のスイッチング手段と、画素容量及び蓄積容量とを有する画素が複数配置された液晶表示装置であって、

前記画素容量及び前記蓄積容量は前記第 1 のスイッチング手段を介して前記データ線に接続され、

前記画素容量及び前記蓄積容量は前記第 2 のスイッチング手段を介して黒信号供給配線

10

20

30

40

50

に接続され、

前記第 1 のスイッチング手段は異なる 2 本の前記ゲート線で制御され、

前記第 2 のスイッチング手段は前記異なる 2 本のゲート線で制御され、

前記異なる 2 本のゲート線は、1 フレーム期間内に、互いの電位レベルが一致する 2 つの期間と、互いの電位レベルが一致しない 2 つの期間との 4 つの期間を有し、

前記第 1 のスイッチング手段は、前記 4 つの期間の中の 1 つの期間で導通し、

前記第 2 のスイッチング手段は、前記 4 つの期間の中で、前記第 1 のスイッチング手段が導通する期間とは異なる 1 つの期間で導通する、

ことを特徴とする液晶表示装置。

【請求項 7】

10

請求項 6 記載の液晶表示装置において、

前記第 1 及び第 2 のスイッチング手段はそれぞれ、導電型の異なる 2 つの直列に接続されたトランジスタで構成され、

前記第 1 及び第 2 のスイッチング手段を構成する前記 2 つのトランジスタは、前記異なる 2 本のゲート線のそれぞれ別々のゲート線で制御され、

前記異なる 2 本のゲート線の前記電位レベルが互いに一致しない 2 つの期間のうち、一方の期間で前記第 1 のスイッチング手段が導通し、もう一方の期間で前記第 2 のスイッチング手段が導通する、

ことを特徴とする液晶表示装置。

【請求項 8】

20

請求項 6 記載の液晶表示装置において、

前記第 1 のスイッチング手段は、導電型の等しい 2 つの直列に接続されたトランジスタで構成され、

前記第 2 のスイッチング手段は、前記第 1 のスイッチング手段の前記トランジスタの導電型とは異なる導電型の 2 つの直列に接続されたトランジスタで構成され、

前記第 1 及び第 2 のスイッチング手段を構成する前記 2 つのトランジスタは、前記異なる 2 本のゲート線のそれぞれ別々のゲート線で制御され、

前記異なる 2 本のゲート線の前記電位レベルが互いに一致する 2 つの期間のうち、一方の期間で前記第 1 のスイッチング手段が導通し、もう一方の期間で前記第 2 のスイッチング手段が導通する、

30

ことを特徴とする液晶表示装置。

【請求項 9】

前記黒信号供給配線は全ての前記画素に共通である、

ことを特徴とする請求項 6 乃至 8 のいずれか一項記載の液晶表示装置。

【請求項 10】

前記蓄積容量を形成する二つの電極のうち、一方の電極が前記第 2 のスイッチング手段に接続され、他方の電極が全ての前記画素に共通の蓄積容量配線に接続され、

この蓄積容量配線が前記黒信号供給配線を兼ねる、

ことを特徴とする請求項 9 記載の液晶表示装置。

【請求項 11】

40

前記液晶の配向状態は、前記画素電極と共通電極との電界により制御され、

前記液晶に電界が印加されていない場合に黒が表示され、

前記蓄積容量配線の電位は前記共通電極とほぼ等しい、

ことを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記黒信号供給配線を複数設け、前記データ線に沿った隣接する画素行毎に異なる黒信号供給配線に接続した、

ことを特徴とする請求項 6 乃至 8 のいずれか一項記載の液晶表示装置。

【請求項 13】

複数のゲート線、複数のデータ線、画素電極を有する複数の画素及び黒信号供給配線を

50

備え、前記複数のゲート線と前記複数のデータ線との各交点に前記画素がマトリクス状に配置されて成る液晶表示装置において、

前記複数のゲート線のうち隣接する二本を第 1 及び第 2 のゲート線としたとき前記各画素は、

直列に接続された複数のトランジスタを有するとともに、前記第 1 のゲート線が選択されかつ前記第 2 のゲート線が選択されない時にのみ当該複数のトランジスタの全てがオンとなって、前記複数のデータ線の一本から供給された電圧を前記画素電極に印加する第 1 のスイッチング手段と、

直列に接続された複数のトランジスタを有するとともに、前記第 1 のゲート線が選択されずかつ前記第 2 のゲート線が選択される時にのみ当該複数のトランジスタの全てがオンとなって、前記黒信号供給配線から供給された電圧を前記画素電極に印加する第 2 のスイッチング手段とを備えた、

ことを特徴とする液晶表示装置。

【請求項 1 4】

第 1 の基板と第 2 の基板との間に液晶を挟んだ構成を有し、前記第 1 の基板には、複数のデータ線と複数のゲート線とで区画された各々の領域に、第 1 のスイッチング手段と、第 2 のスイッチング手段と、画素容量及び蓄積容量とを有する画素が複数配置された液晶表示装置であって、

前記画素容量及び前記蓄積容量は前記第 1 のスイッチング手段を介して前記データ線に接続され、

前記画素容量及び前記蓄積容量は前記第 2 のスイッチング手段を介して黒信号供給配線に接続され、

前記第 1 のスイッチング手段は異なる 2 本の前記ゲート線で制御され、

前記第 2 のスイッチング手段は前記異なる 2 本のゲート線で制御される、液晶表示装置

を駆動する方法であって、

前記液晶表示装置に一画面分の映像信号が供給されるフレーム期間において、

前記データ線から前記第 1 のスイッチング手段を介して前記画素のそれぞれに前記映像信号を書き込んだ後、

前記映像信号を書き込む周波数と同じ周波数で、前記黒信号供給配線から前記第 2 のスイッチング手段を介して前記画素のそれぞれに黒信号を書き込む、

ことを特徴とする液晶表示装置の駆動方法。

【請求項 1 5】

前記液晶表示装置は、前記蓄積容量を形成する二つの電極のうち、一方の電極が前記第 4 のトランジスタのソース電極及びドレイン電極の他方に接続され、他方の電極が全ての前記画素に共通の蓄積容量配線に接続され、この蓄積容量配線が前記黒信号供給配線を兼ね、

前記黒信号を書き込むことに代えて、前記蓄積容量配線の電圧を書き込む、

ことを特徴とする請求項 1 4 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、アクティブマトリクス型の液晶表示装置とその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の中で特に各画素にアクティブ素子である T F T (Thin Film Transistor) を設けたアクティブマトリクス型液晶表示装置は、低消費電力で高画質が得られることから携帯電話をはじめとする携帯機器から、薄型テレビに至るまで幅広く用いられるようになった。C R T (Cathode Ray Tube) 方式のテレビと液晶表示装置を用いたテレビとを

10

20

30

40

50

比較した場合、液晶表示装置を用いたテレビは、薄型で大面積を実現できること、高精細であること、消費電力が小さいことなどの多くのメリットを有するが、動画を表示させた場合に、画像の輪郭がぼけて見えるという課題が指摘されている。

【0003】

この動画表示時の輪郭のぼけの原因は幾つかあるが、本質的な問題として液晶表示装置がホールド型の表示装置であるからだといわれている。ホールド型とは、各画素の輝度が次のフレームの信号に書き換えられるまでホールドされる表示方法のことを言う。一方、CRTは、蛍光体面に電子ビームが照射されると、その領域の蛍光体が発光し、その後ある時定数で急激に輝度が下がるという特性であり、ホールド型と対比してインパルス型と呼ばれる。

10

【0004】

ホールド型の表示装置の場合、次のフレームの信号が書き込まれるまでの間、前のフレームの信号が表示し続けられるため、動きのある画像の輪郭部分では、前後のフレームの信号を人間が時間的に積分して認識してしまうため、画像がぼけたように感じるのである。このホールド型の課題に対して、主に二つのアプローチがなされてきた。一つは、フレーム周波数を高くして、前後のフレームの中間に当たる本来は存在しないフレーム画像を生成し表示するというものであり、通常の実速度で表示を行うことから倍速駆動と呼ばれている。これにより連続するフレーム間の画像の変化が小さくなり、輪郭部のぼけを低減することが可能となる。もう一つの方法は、インパルス型に近い表示特性になるように駆動方法を変える方法であり、擬似インパルス駆動と呼ばれる技術である。この両者を比較すると、倍速駆動では、表示する映像信号の分析、中間画像の生成等の高度な信号処理技術が用いられるため、回路部品のコスト増が課題となる。一方の擬似インパルス駆動では、高度な信号処理は不要であるが、液晶表示装置に対して、倍速駆動と同様に映像信号を高速に書き込むことができる特性が要求される。

20

【0005】

このような擬似インパルス駆動を行う液晶表示装置について図面を用いて説明する。図27は、擬似インパルス駆動を行う液晶表示装置の一構成例を示したブロック図及び回路図である。図28は、図27における画素の一個分を拡大して示した回路図である。以下、図27及び図28に基づき説明する。なお、ゲート線G1とゲート線G2との間に配置されデータ線D4に接続された画素に限らず、他の全ての画素も画素910という。

30

【0006】

この液晶表示装置は、画素マトリクス901と、データ線D1～D4を駆動するデータドライバ回路902と、ゲート線G1～G4を駆動するゲートドライバ回路903とで構成されている。画素マトリクス901は、マトリクス状に配置されたデータ線D1～D4とゲート線G1～G4との各交点に、画素スイッチであるTF T911、液晶容量C1c及び蓄積容量Cstからなる画素910が、マトリクス状に配置されている。ここで、液晶容量C1cとは、各画素910に配置された画素電極912及び共通電極913と、その間に配置された液晶物質914とで構成される容量である。蓄積容量Cstとは、一端が画素電極912と電氣的に接続された電極915、他端が配線VCSに接続された電極916の2つの電極で構成される容量である。配線VCSには、定電位電源から電圧が印

40

【0007】

図29のタイミングチャートを用いて、この液晶表示装置で擬似インパルス駆動を行う動作について説明する。液晶表示装置に外部から一画面分の映像信号が入力される周期に対応したフレーム期間Tvを、少なくとも二つの期間Td、Tbに分割する。期間Tdは液晶表示装置に映像信号を書き込む期間であり、期間Tbは液晶表示装置に黒の信号を書き込む期間である。

【0008】

次に、期間Tdの動作について説明する。ゲートドライバ回路903は、期間Tdにおいて、各ゲート線G1～G4を順次選択するという動作を行う。例えば、ゲートドライバ

50

回路 903 によりゲート線 G1 が選択されている期間では、データドライバ回路 902 が各データ線 D1～D4 に映像信号に応じた信号を書き込むことで、ゲート線 G1 に接続された全ての画素 910 に映像信号を書き込むことができる。この動作を全てのゲート線 G1～G4 に対して行うことで、一画面分の映像信号が液晶表示装置に書き込まれる。

【0009】

期間 Tb でも、ゲートドライバ回路 903 は、各ゲート線 G1～G4 を順次選択するという動作を行う。例えば、ゲートドライバ回路 903 によりゲート線 G1 が選択されている期間に、データドライバ回路 902 が各データ線 D1～D4 に黒信号を書き込むことで、ゲート線 G1 に接続された全ての画素 910 に黒信号を書き込むことができる。この動作を全てのゲート線 G1～G4 に対して行うことで、液晶表示装置の全ての画素 910 に黒信号を書き込むことができる。

10

【0010】

なお、図 29 中において、電圧 V1c1, 1 は、ゲート線 G1 とゲート線 G2 との間に配置され、データ線 D1 に接続された画素 910 の電圧を示したものである。電圧 V1c1, 2 も同様に、ゲート線 G2 とゲート線 G3 の間に配置され、データ線 D1 に接続された画素 910 の電圧を示したものである。

【0011】

このような動作により、液晶表示装置は、1 フレーム期間の前半である期間 Td に映像信号を表示して、後半の期間 Tb に黒を表示することになる。液晶表示装置の応答速度が十分である場合、液晶表示装置の各画素 910 は、映像信号が書き込まれるとその信号に応じた輝度に変化し、次に黒信号が書き込まれると映像信号に無関係に輝度が低下して黒が表示される。つまり、CRT のようなインパルス型に近い表示特性となるのである。よって、ホールド型に起因した動画を表示させた際のぼけを低減することが可能となる。

20

【0012】

しかしながら、この擬似インパルス駆動を実現するには、液晶表示装置にフレーム期間よりも短い期間で高速に映像信号を書き込み、さらに残りの期間で黒信号を書き込む必要があるため、ゲートドライバ回路やデータドライバ回路を高速に動作させる必要があった。また、液晶表示装置に入力される映像信号の周波数とは異なる周波数で、映像信号を液晶表示装置に書き込むため、この周波数変換のためのフレームメモリが必要となる。このように、高速に動作できるゲートドライバ回路やデータドライバ回路が必要となること、フレームメモリが必要となることなどから、液晶表示装置の製造コストが高くなるという問題が生じていた。

30

【0013】

上記の問題を解決し、擬似インパルス駆動を実現する液晶表示装置の例が、特許文献 1 に記載されている。特許文献 1 に記載された液晶表示装置は、マトリクス状に配置された信号線（データ線）と走査線（ゲート線）との交点に二つの TFT を有する画素がマトリクス状に配置され、各信号線（データ線）に平行して黒信号供給配線が配置され、各走査線（ゲート線）に平行して黒信号供給指令信号配線が配置され、画素に配置された二つの TFT のうち一方の TFT のゲート端子が走査線（ゲート線）に接続され、そのドレイン端子がデータ線に接続され、もう一方の TFT のゲート端子が黒信号供給指令信号配線に接続され、そのドレイン端子が黒信号供給配線に接続され、二つの TFT のソース端子はともに液晶容量に接続された構成を有している。

40

【0014】

次に動作について説明する。1 フレーム期間において、各走査線がゲートドライバにより順次走査される。これに対応してソースドライバが各信号線に映像信号を供給することで、映像信号が走査に沿った行単位で順次、液晶表示装置に書き込まれる。先述の各走査線が走査されるタイミングとずれた時間に、別のゲートドライバにより黒信号供給指令信号配線が走査される。すると今度は、黒信号供給配線の電位が行単位で順次、液晶表示装置に書き込まれる。

【0015】

50

このように、この液晶表示装置では、映像信号の書き込みと黒信号の書き込みとを異なる二つの制御線（走査線及び黒信号供給指令信号配線）により独立に、異なるタイミングで実行することができる。そのため、液晶表示装置に供給される映像信号と同じ周波数で、映像信号の書き込みと黒信号の書き込みとを行うことが可能となっている。したがって、ゲートドライバ回路やデータドライバ回路は通常で動作すればよく、フレームメモリも不要となり、低コストで擬似インパルス駆動が実現できる。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】特開平9-127917号公報（第3～4頁、図1）

10

【発明の概要】

【発明が解決しようとする課題】

【0017】

しかしながら、特許文献1の液晶表示装置では、下記のような課題が生ずる。一つは液晶表示装置の輝度が低下するという課題であり、もう一つは二つのゲートドライバを設けることにより液晶表示装置のコストが上昇するという課題である。その理由を以下に説明する。

【0018】

輝度が低下する理由は次の通りである。液晶表示装置は、バックライトと呼ばれる光源からの光の透過光量を、液晶表示装置の各画素で制御することにより、表示を行うのが一般的である。そのため、液晶表示装置で表示できる最大輝度は、バックライトの最大輝度と液晶表示装置の画素の最大透過率とで決まる。画素の最大透過率を決定する重要な項目の一つに開口率がある。ここでいう開口率とは、一つの画素を規定する縦横の画素ピッチの積で決まる面積に対する、各画素の光が透過する部分の面積の比率である。当然、開口率が高いほど、画素の最大透過率が高くなり、結果として液晶表示装置の最大輝度も高くなる。

20

【0019】

特許文献1の液晶表示装置では、各画素に映像信号の書き込みに必要なTFT及びそれを制御する配線（走査線及び信号線）の他に、黒書き込み用のTFT及びそれを制御する黒信号供給指令信号配線、黒信号供給配線等が必要となり、開口率が低下する。特に、配線に要する面積は、配線の多層化を行わない限り、劇的に小さくすることはできない。一方、配線の多層化を行うと、液晶表示装置のプロセスコストが上昇するという問題も生ずるため、ここに開示された方法では低コストで輝度を向上させることが困難である。

30

【0020】

液晶表示装置のコストが上昇する理由は次の通りである。液晶表示装置のゲート線等を走査する回路は、ドライバICを液晶表示装置の基板に実装するか、画素TFTと同一のプロセスを用い基板上に同時に作製するのが一般的である。

【0021】

特許文献1の液晶表示装置では、通常映像信号の書き込みに用いる走査回路の他に、黒信号を書き込むための走査回路が必要となる。これら二つの走査回路に別々のドライバICを用いると当然コストが上昇する。一方、TFTで走査回路を基板上に作製した場合でも、走査回路をレイアウトするために余分な基板面積が必要となる。液晶表示装置は通常、大型のマザー基板の上に複数の液晶表示装置を配置して作製される。この作製に必要なプロセスコストは、マザー基板単位で決まっており、個々の液晶表示装置のコストは、一枚のマザー基板のコストを、一枚のマザー基板上に配置できる液晶表示装置の個数で割った値に比例する。したがって、液晶表示装置の面積が大きくなると、一枚のマザー基板上に配置できる個数が減少するため、製造コストが上昇するという問題が生ずる。以上の理由から、二つの走査回路が必要となる方法では、液晶表示装置のコストが上昇するのである。

40

【0022】

50

そこで、本発明の目的は、擬似インパルス駆動を行う液晶表示装置の高輝度化を実現し、低コストで動画特性を改善することが可能な液晶表示装置を提供することである。

【課題を解決するための手段】

【0023】

前記課題を解決するために、本発明に係る液晶表示装置は、第1の基板と第2の基板との間に液晶を挟んだ構成を有し、前記第1の基板には、複数のデータ線と複数のゲート線とで区画された各々の領域に、第1のスイッチング手段と、第2のスイッチング手段と、画素容量及び蓄積容量とを有する画素が複数配置された液晶表示装置であって、前記画素容量及び前記蓄積容量は前記第1のスイッチング手段を介して前記データ線に接続され、前記画素容量及び前記蓄積容量は前記第2のスイッチング手段を介して黒信号供給配線に接続され、前記第1のスイッチング手段は異なる2本の前記ゲート線で制御され、前記第2のスイッチング手段は前記異なる2本のゲート線で制御され、前記異なる2本のゲート線は、1フレーム期間内に、互いの電位レベルが一致する2つの期間と、互いの電位レベルが一致しない2つの期間との4つの期間を有し、前記第1のスイッチング手段は、前記4つの期間の1つの期間で導通し、前記第2のスイッチング手段は、前記4つの期間の中で、前記第1のスイッチング手段が導通する期間とは異なる1つの期間で導通する、ことを特徴とする。

【0024】

本発明に係る液晶表示装置の駆動方法は、本発明に係る液晶表示装置を駆動する方法であって、前記液晶表示装置に一画面分の前記映像信号が供給されるフレーム期間において、前記データ線から前記第1のスイッチング手段を介して前記各画素に前記映像信号を書き込んだ後、前記映像信号を書き込む周波数と同じ周波数で、前記黒信号供給配線から前記第2のスイッチング手段を介して前記各画素に黒信号を書き込む、ことを特徴とする。

【発明の効果】

【0025】

本発明によれば、通常の動作速度かつ通常のゲート線を使って画素に黒信号を書き込むことができることにより、黒信号書き込み用のゲート線やゲートドライバ回路を設ける必要が無いので、次のいずれかの効果を奏する。

(1) 輝度の低下を低減しながら擬似インパルス駆動を実現することで、動画特性を改善することができる。

(2) 液晶表示装置のコスト上昇を招くことなく、擬似インパルス駆動を実現することができる。

(3) 表示画像に応じて輝度を調整することが可能となり、消費電力を低減することができる。

【図面の簡単な説明】

【0026】

【図1】本発明に係る液晶表示装置の構成図である。

【図2】本発明に係る液晶表示装置のブロック図及び回路図である。

【図3】図2における画素の一個分を拡大して示す回路図である。

【図4】本発明に係る液晶表示装置の第一実施形態を示すブロック図及び回路図である。

【図5】図4の液晶表示装置の動作を示すタイミングチャートである。

【図6】本発明に係る液晶表示装置の第一実施形態の詳細なブロック図及び回路図である。

【図7】図6における画素の一個分を拡大して示す回路図である。

【図8】図6におけるゲートドライバ回路の一例を示すブロック図である。

【図9】図8におけるフリップフロップの一例を示す回路図である。

【図10】図6の液晶表示装置の動作を示すタイミングチャートである。

【図11】図6の液晶表示装置の動作を示す別のタイミングチャートである。

【図12】本発明に係る液晶表示装置の第二実施形態を示すブロック図及び回路図である。

。

10

20

30

40

50

【図 1 3】図 1 2 の液晶表示装置の動作を示すタイミングチャートである。

【図 1 4】本発明に係る液晶表示装置の第二実施形態の詳細なブロック図及び回路図である。

【図 1 5】図 1 4 における画素の二個分を拡大して示す回路図である。

【図 1 6】図 1 4 におけるゲートドライバ回路の一例を示すブロック図である。

【図 1 7】図 1 4 の液晶表示装置の動作を示すタイミングチャートである。

【図 1 8】図 1 4 の液晶表示装置の動作を示す別のタイミングチャートである。

【図 1 9】本発明に係る液晶表示装置の第三実施形態を示すブロック図及び回路図である。

【図 2 0】図 1 9 における画素の二個分を拡大して示す回路図である。

10

【図 2 1】本発明に係る液晶表示装置の第三実施形態の詳細なブロック図及び回路図である。

【図 2 2】図 2 1 の液晶表示装置の動作を示すタイミングチャートである。

【図 2 3】本発明に係る液晶表示装置の第四実施形態を示すブロック図及び回路図である。

【図 2 4】図 2 3 における画素の一個分を拡大して示す回路図である。

【図 2 5】本発明に係る液晶表示装置の第四実施形態の詳細なブロック図及び回路図である。

【図 2 6】図 2 5 の液晶表示装置の動作を示すタイミングチャートである。

【図 2 7】擬似インパルス駆動に用いられる液晶表示装置を示すブロック図及び回路図である。

20

【図 2 8】図 2 7 における画素の一個分を拡大して示す回路図である。

【図 2 9】図 2 7 の液晶表示装置の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0027】

次に、本発明の実施形態について図面を参照して詳細に説明する。

【0028】

図 1 は本発明の実施形態に係る液晶表示装置の構成図である。図 2 は、図 1 に示した第 1 の基板 1 1 のブロック図及び回路図である。図 3 は、図 2 における画素の一個分を拡大して示した回路図である。以下、図 1、図 2 及び図 3 に基づき説明する。なお、ゲート線 G 1 とゲート線 G 2 との間に配置されデータ線 D 4 に接続された画素に限らず、他の全ての画素も画素 1 0 という。

30

【0029】

図 1 に示すように、本発明の実施形態に係る液晶表示装置は、第 1 の基板 1 1 と第 2 の基板 1 9 との間に液晶 1 3 (図 2) を挟んだ構成を有している。また図 2 に示すように、第 1 の基板 1 1 には、複数のデータ線 D 1 ~ D 4 と複数のゲート線 G 1 ~ G 5 とが配置され、データ線 D 1, ... とゲート線 G 1, ... とで区画された各々の領域に、画素 1 0 がマトリクス状に配置された画素マトリクス 1 4 が配置されている。画素マトリクス 1 4 の周囲には、それぞれデータ線 D 1, ..., ゲート線 G 1, ... を駆動するデータドライバ回路 1 5、ゲートドライバ回路 1 6 が配置されている。

40

【0030】

図 3 に示すように画素 1 0 は、第 1 のスイッチング手段 3 1、第 2 のスイッチング手段 3 2、画素容量 C 1 c 及び蓄積容量 C s t 等を含んでいる。第 1 のスイッチング手段 3 1 は 2 本の制御端子 A, B を有し、制御端子 A, B は各々隣接する互いに異なるゲート線 G 2, G 1 に接続されている。第 2 のスイッチング手段 3 2 は 2 本の制御端子 C, D を有し、制御端子 C, D は各々隣接する互いに異なるゲート線 G 2, G 1 に接続されている。画素容量 C 1 c 及び蓄積容量 C s t は、第 1 のスイッチング手段 3 1 を介してデータ線 D 4 に接続され、第 2 のスイッチング手段 3 2 を介して黒信号供給配線 V B K 1 に接続されている。画素容量 C 1 c は、第 1 の基板 1 1 (図 2) 上に配置され、第 1 及び第 2 のスイッチング手段 3 1, 3 2 に接続された電極 1 3 1 と、もう一方の電極である共通電極 C O M

50

と、これら2つの電極間に配置された液晶13とで構成される容量である。共通電極COMは、液晶モードにより、第1の基板11(図2)あるいは第2の基板19(図1)の何れかに配置される。蓄積容量Cstの、第1及び第2のスイッチング手段31、32に接続された端子261とは異なる、もう一方の端子262は、配線VCSに接続されている。

【0031】

本発明の実施形態に係る液晶表示装置では、1フレーム期間内において、第1のスイッチング手段と第2のスイッチング手段とに接続される2本のゲート線の互いの電位レベルが一致する2つの期間、互いの電位レベルが一致しない2つの期間がある。そして、第1のスイッチング手段は、前記4つの期間の中の1つの期間で導通し、第2のスイッチング手段は、前記4つの期間の中で第1のスイッチング手段が導通する期間とは異なる1つの期間で導通する機能を有している。そのため、本発明の実施形態に係る液晶表示装置では、前記4つの期間の中の1つの期間において、データ線より供給される映像信号を第1のスイッチング手段により液晶容量C1cに書き込み、黒信号供給配線VBK1より供給される黒信号を、前記4つの期間の中で第1のスイッチング手段が液晶容量に映像信号を書き込む期間とは異なる期間に書き込む動作を行うことができる。

【0032】

本発明の実施形態によれば、コストを上昇や輝度の低下を招くこと無く、液晶表示装置の動画特性を改善させることができる。

【0033】

先に述べたとおり、共通電極COMが配置される基板は液晶モードにより異なるが、通常、TN(Twisted Nematic)モード、VA(Vertical Alignment)モードでは第2の基板上に配置され、IPS(In-plane Switching)モード、FFS(Fringe Field Switching)モードでは第1の基板上に配置され、共通の電圧が供給される。しかしながら、本発明の特徴は、先述したゲート線、データ線、第1及び第2のスイッチング素子、液晶容量、蓄積容量、黒信号供給配線との接続関係、ゲート線の駆動方法並びに、第1及び第2のスイッチング素子の機能に有り、液晶モードや、共通電極COMがどちらの基板に配置されているか、に関して何ら影響を受けるものではない。

【0034】

次に本発明に係る液晶表示装置を、具体例を用いて更に詳細に説明する。なお、特許請求の範囲における「トランジスタ」は、各実施形態における「TFE」に相当する。

【0035】

＜第一実施形態＞

【0036】

第一実施形態は、本発明の最良の形態において、第1のスイッチング手段が、2本のゲート線の電位レベルが互いに異なる2つの期間の一方で導通し、第2のスイッチング手段が、2本のゲート線の電位レベルが互いに異なる2つの期間のもう一方で導通することで、データ線より供給される映像信号を第1のスイッチング手段により液晶容量C1cに書き込み、第2のスイッチング手段により黒信号供給配線VBK1より供給される黒信号を液晶容量に書き込む動作を行う本発明の液晶表示装置の形態を示したものである。以降、第1のスイッチング手段が導通する条件としてAがハイレベル、Bがハイレベルで導通する場合を「A・B」、Aがローレベル、Bがローレベルで導通する場合を「/A・/B」、Aがローレベル、Bがハイレベルで導通する場合を「/A・B」、Aがハイレベル、Bがローレベルで導通する場合を「A・/B」のように表記することにする。同様の手法で第2のスイッチング手段についても表記する。

【0037】

図4は第一実施形態である液晶表示装置のブロック図及び回路図である。この第一実施形態の液晶表示装置では、各画素20を構成する第1のスイッチング手段31aは、制御端子Aがゲート線G2に接続され、制御端子Bがゲート線G1に接続され、制御端子Aがローレベル、制御端子Bがハイレベルの際に導通する。第2のスイッチング手段32aは

、制御端子Cがゲート線G 2に接続され、制御端子Dがゲート線G 1に接続されている。画素容量C 1 c及び蓄積容量C s tは、第1のスイッチング手段3 1 aを介してデータ線(D 1～D 4)に接続され、第2のスイッチング手段3 2 aを介して黒信号供給配線V B K 1に接続されている。この黒信号供給配線V B K 1は全ての画素に共通である。

【0038】

図5は第一実施形態の液晶表示装置の動作を示したタイミングチャートである。図5中の期間T vは、1フレーム分の映像信号が外部から供給されるフレーム期間を示しており、各ゲート線(G 1～G 5)へは、ハイレベルの時間がT d a t、ローレベルの時間がT b 1 kであるパルスが、時間的にずらして出力される。

【0039】

次に、本液晶表示装置への映像信号の書き込み動作について説明する。まずゲート線G 1とG 2の間に配置された1番目の画素行の動作について説明する。期間T d 1において、ゲート線G 1がハイレベル、ゲート線G 2がローレベルである。そのため、1番目の画素行の各画素では、第1のスイッチング手段3 1 aが導通し、第2のスイッチング手段3 2 aがオープン状態となる。この期間に、データ線(D 1～D 4)に1番目の画素行に対応した映像信号を供給することで、1番目の画素行の各画素では、液晶容量C 1 c及び蓄積容量C s tに映像信号が書き込まれる。期間T d 2においては、ゲート線G 1がハイレベル、ゲート線G 2もハイレベルとなる。そのため、1番目の画素行の各画素では、第1、第2のスイッチング手段3 1 a、3 2 aが共にオープン状態となり、期間T d 1において書き込まれた映像信号が保持される。一方、ゲート線G 2とG 3の間に配置された2番目の画素行の各画素では、第1のスイッチング手段3 1 aが導通し、第2のスイッチング手段3 2 aがオープン状態となる。そのため、データ線(D 1～D 4)に供給された映像信号が、2番目の画素行の各画素の液晶容量C 1 c及び蓄積容量C s tに書き込まれる。このような動作を全ての画素行に対して行うことで、1画面分の映像信号を書き込むことができる。

【0040】

次に、本液晶表示装置への黒信号の書き込み動作について説明する。期間T b 1では、ゲート線G 1がローレベル、ゲート線G 2がハイレベルとなる。そのため、1番目の画素行の各画素では、第2のスイッチング手段3 2 aが導通状態となり、黒信号供給配線V B K 1の電圧が液晶容量C 1 c及び蓄積容量C s tに書き込まれる。期間T b 2ではゲート線G 1、G 2共にローレベルとなり、1番目の画素行の各画素の第2のスイッチング手段3 2 aはオープン状態となる。そのため、黒信号が保持される。一方、ゲート線G 3はハイレベルであるため、2番目の画素行では、第2のスイッチング手段3 2 aが導通状態となり、液晶容量C 1 c及び蓄積容量C s tに黒信号が書き込まれる。このような動作を全ての画素行に対して行うことで、全ての画素に黒信号を書き込むことができる。ここで注目すべき点は、期間T b 1と期間T d 4が時間的にオーバーラップしていることである。これは、1番目の画素行への黒信号の書き込みと、4番目の画素行への映像信号への書き込みが同時に行われていることを意味している。

【0041】

本液晶表示装置の動作をまとめると以下のようなになる。

本液晶表示装置では、各画素への映像信号及び黒信号の書き込みが隣接する2本のゲート線により制御されている。1フレーム期間中に、前記2本のゲート線の電圧レベルが異なる2つの期間、同じとなる2つの期間が存在し、映像信号の書き込みは、前記電圧レベルが異なる2つの期間の一方で行われ、黒信号の書き込みは、前記電圧レベルが異なる2つの期間のもう一方の期間で行われる。そして、任意の画素行へ映像信号への書き込みが行われている期間においては、他の画素行への映像信号の書き込みは行われませんが、黒信号の書き込みは行うことが可能である。

【0042】

図6は第一実施形態である液晶表示装置のより具体的な構成を示した図であり、図7は、図6における画素の1個分を拡大して示す回路図である。

10

20

30

40

50

【0043】

本実施形態の液晶表示装置は、第1の基板11と第2の基板12との間に液晶を挟んだ構成を有している。基板11には、画素30がマトリクス状に配置された画素マトリクス14と、D1～D4データ線を駆動するデータドライバ回路15と、ゲート線G1～G5を駆動するゲートドライバ回路16とが配置されている。画素30は、マトリクス状に配置された複数のデータ線D1～D4と複数のゲート線G1～G5との各交点に、複数の画素TFTとしてのTFT21～24と、液晶容量C1c及び蓄積容量Cstとを少なくとも有している。

【0044】

次に、各画素30における接続関係を説明するため、ゲート線G1とG2の間の画素行における画素の接続について説明する。

10

【0045】

第1のスイッチング手段を構成するTFT21, 22は、互いに導電型が異なり、隣接する互いに異なるゲート線G2, G1に、それぞれのゲート電極21g, 22g接続されている。TFT21のソース電極及びドレイン電極の一方の電極がデータ線D4に接続され、他方の電極がTFT22のソース電極及びドレイン電極の一方の電極に接続されている。TFT22のソース電極及びドレイン電極の他方の電極が、液晶容量C1c及び蓄積容量Cstに接続されている。

【0046】

第2のスイッチング手段を構成するTFT23, 24は、互いに導電型が異なり、隣接する互いに異なるゲート線G2, G1に、それぞれのゲート電極23g, 24gが接続されている。TFT23のソース電極及びドレイン電極の一方の電極が黒信号供給配線VBK1に接続され、他方の電極がTFT24のソース電極及びドレイン電極の一方の電極に接続されている。TFT24のソース電極及びドレイン電極の他方の電極が、液晶容量C1c及び蓄積容量Cstに接続されている。TFT21, 24は、互いに導電型が同じである。TFT21, 23はそれぞれのゲート電極21g, 23gが同じゲート線G2に接続されている。

20

【0047】

つまり、第一実施形態である液晶表示装置では、各画素の第1及び第2のスイッチング手段を構成する各々2つのTFTの導電型が互いに異なっていることになる。

30

【0048】

他の画素行における各画素30の構成も、接続されるゲート線G1～G5及びデータ線D1～D4を除き、図5に示す画素20の構成と同じである。なお、図示した構成では、例えばTN (Twisted Nematic) モードやVA (Vertical Alignment) モードなどの場合を示しているので、第1の基板11に共通電極COMが形成されている。

【0049】

ゲートドライバ回路16は、少なくともスタート信号STD及びクロック信号CLKによって制御され、クロック信号に同期してスタート信号STDを順次シフトさせ各ゲート線G1～G5へ出力する機能を有している。また、二つのスタート信号STD, STUとシフト方向制御信号DIRとにより走査方向を可変できる機能を有しているゲートドライバ回路16を用いても良い。図6では、シフト方向を可変できる機能を有したゲートドライバ回路16を用いた例を示す。

40

【0050】

このような機能を有するゲートドライバ回路16の構成例として、図8に示した回路がある。このゲートドライバ回路16は、直列に接続された複数の双方向シフト可能なフリップフロップFFと、各フリップフロップFFの出力側に設けられたバッファ回路33とで構成されている。図8では、バッファ回路33として、二段のインバータINV1, INV2で構成した例を示している。しかし、バッファ回路33は、ゲート線G1, …の負荷に応じて、必ずしも必要としない場合もある。

【0051】

50

双方向シフト可能なフリップフロップ F F の構成例として、図 9 に示した回路を用いることができる。この双方向シフト可能なフリップフロップ F F は、D フリップフロップ D - F F とスイッチ S W 1 ~ S W 4 とインバータ I N V 3 ~ I N V 5 とで構成され、シフト方向制御信号 D I R によりスイッチ S W 1 ~ S W 4 の開閉を制御することで、端子 T m 1 , T m 2 の一方を D フリップフロップ D - F F の入力端子 D に接続し、端子 T m 1 , T m 2 の他方を出力端子 Q に接続する制御をしている。

【0052】

例えば、シフト方向制御信号 D I R がハイレベルの場合、スイッチ S W 1 , S W 4 が導通状態、スイッチ S W 2 , S W 3 が非導通状態になるとすると、端子 T m 1 は D フリップフロップ D - F F の入力端子 D に接続され、端子 T m 2 は D フリップフロップ D - F F の出力端子 Q に接続される。そのため、フリップフロップ F F は、端子 T m 1 の信号をクロック信号 C L K に同期してラッチし、1クロック分遅延させて端子 T m 2 及び端子 O U T に出力するというシフト動作を行う。

【0053】

この規則に従えば、シフト方向制御信号 D I R がローレベルの場合、端子 T m 2 の信号をクロック信号 C L K に同期してラッチし、1クロック分遅延させて端子 T m 1 及び端子 O U T に出力するという動作になるので、シフト方向制御信号 D I R によりシフト方向を可変させることが可能となる。ここで、D フリップフロップ D - F F は、クロック信号 C L K に同期して入力端子 D の信号をラッチし次のクロック信号 C L K で出力端子 Q へ出力する、という動作を行うものとしている。

【0054】

次に、図 10 のタイミングチャートを中心に用い、本実施形態の液晶表示装置の動作すなわち本実施形態の液晶表示装置の駆動方法について説明する。

【0055】

図 10 中の期間 T v は、1 フレーム分の映像信号が外部から供給されるフレーム期間を示している。この期間 T v に同期して、ゲートドライバ回路 16 のスタート信号 S T D をハイレベルにする。すると、スタート信号 S T D がクロック信号 C L K に同期して転送されゲートドライバ回路 16 の各出力端子（ゲート線 G 1 , …）から出力される。

【0056】

図 10 中の期間 T d 1 では、ゲート線 G 1 がハイレベルになり、ゲート線 G 2 がローレベルのままであるので、ゲート線 G 1 とゲート線 G 2 との間の画素行の画素 30 では、T F T 2 1 , 2 2 がともに導通状態となり、データ線 D 1 ~ D 4 に供給された映像信号が液晶容量 C l c 及び蓄積容量 C s t に書き込まれる。このとき、T F T 2 3 , 2 4 はともにオープン状態である。

【0057】

図 10 中の期間 T d 2 では、ゲート線 G 1 はハイレベルのままであるが、ゲート線 G 2 がハイレベルとなる。そのため、T F T 2 2 が導通状態かつ T F T 2 1 が非導通状態となることにより、液晶容量 C l c 及び蓄積容量 C s t はデータ線 D 1 ~ D 4 と電氣的に切断される。このとき、T F T 2 3 は導通状態になるが T F T 2 4 は非導通状態であるため、液晶容量 C l c 及び蓄積容量 C s t は黒信号供給配線 V B K 1 と電氣的に切断されたままであり、期間 T d 1 で書き込まれた映像信号は画素 30 に保持される。

【0058】

この動作を全ての画素行に対して行うことで、画素マトリクス 14 に一画面分の映像信号を書き込むことができる。期間 T v において、スタート信号 S T D は期間 T d a t の時にハイレベルである。そのため、ゲートドライバ回路 16 の各出力も期間 T d a t と同じ時間だけハイレベルとなる。

【0059】

したがって、図 10 中の期間 T b 1 では、ゲート線 G 1 がローレベルに変化する。このとき、ゲート線 G 1 とゲート線 G 2 との間の画素行の画素 30 では、T F T 2 1 , 2 2 とともにオープン状態である。しかし、T F T 2 3 , 2 4 がともに導通状態となることにより

、黒信号供給配線 V B K 1 の電圧が液晶容量 C l c 及び蓄積容量 C s t に書き込まれる。

【0060】

図 10 中の期間 T b 2 では、ゲート線 G 2 もローレベルに変化するため T F T 2 3 が非導通状態に変わり、液晶容量 C l c 及び蓄積容量 C s t は黒信号供給配線 V B K 1 と電氣的に切断される。このとき、T F T 2 1 は導通状態に変わるが、T F T 2 2 がオープン状態のままであるので、液晶容量 C l c 及び蓄積容量 C s t はデータ線 D 1 ～ D 4 に対しても電氣的に切断されたままである。これにより、期間 T b 1 で書き込まれた黒信号は画素 30 に保持される。

【0061】

これら動作を全ての画素行に対して行うことで、全ての画素 30 に行単位で黒信号を順次書き込むことができる。ここで、図 10 中の電圧 V l c 1, 1 はゲート線 G 1 とゲート線 G 2 との間に配置され、データ線 D 1 に接続された画素 30 の電圧を示したものである。電圧 V l c 1, 2 も同様に、ゲート線 G 2 とゲート線 G 3 の間に配置され、データ線 D 1 に接続された画素 30 の電圧を示したものである。

【0062】

図 11 は、映像信号をゲート線 G 5 の画素行から書き込みを開始する動作を示したものである。図 11 中の 1 フレームの期間 T v において、ゲートドライバ回路 16 のスタート信号 S T U をローレベルにする。すると、スタート信号 S T U がクロック信号 C L K に同期して転送されゲートドライバ回路 16 の各出力端子（ゲート線 G 1, …）から出力される。

【0063】

図 11 中の期間 T d 1 では、ゲート線 G 5 がハイレベルからローレベルへと変化し、ゲート線 G 4 はハイレベルのままである。そのため、ゲート線 G 4 とゲート線 G 5 との間の画素行の画素 30 では、T F T 2 1, 2 2 が導通状態となり、T F T 2 3, 2 4 がオープン状態であるため、データ線 D 1 ～ D 4 に書き込まれた映像信号が液晶容量 C l c 及び蓄積容量 C s t に書き込まれる。

【0064】

図 11 中の期間 T d 2 では、ゲート線 G 4 がローレベルに変化するため、T F T 2 1 は導通状態であるが、T F T 2 2 はオープン状態に変わる。そのため、液晶容量 C l c 及び蓄積容量 C s t は、データ線 D 1 ～ D 4 と電氣的に切断される。また、T F T 2 3 は非導通状態かつ T F T 2 4 は導通状態であるため、液晶容量 C l c 及び蓄積容量 C s t は黒信号供給配線 V B K 1 に対しても電氣的に切断されたままである。これにより、期間 T d 1 に書き込まれた映像信号は画素 20 に保持される。

【0065】

この動作を全ての画素行に対して行うことで、画素マトリクス 14 に一画面分の映像信号を書き込むことができる。期間 T v において、スタート信号 S T U は期間 T d a t の時にローレベルである。そのため、ゲートドライバ回路 16 の各出力も期間 T d a t と同じ時間だけローレベルとなる。

【0066】

したがって、図 11 中の期間 T b 1 では、ゲート線 G 5 がハイレベルに変化する。このときゲート線 G 4 とゲート線 G 5 との間の画素行の画素 30 では、T F T 2 1, 2 2 はともにオープン状態であるが、T F T 2 3, 2 4 がともに導通状態となることにより、黒信号供給配線 V B K 1 の電圧が液晶容量 C l c 及び蓄積容量 C s t に書き込まれる。

【0067】

図 11 中の期間 T b 2 では、ゲート線 G 4 もハイレベルに変化するため T F T 2 4 がオープン状態に変わり、液晶容量 C l c 及び蓄積容量 C s t は黒信号供給配線 V B K 1 と電氣的に切断される。このとき、T F T 2 2 は導通状態に変わるが、T F T 2 1 は非導通状態のままであるので、液晶容量 C l c 及び蓄積容量 C s t はデータ線 D 1 ～ D 4 に対しても電氣的に切断されたままである。これにより、期間 T b 1 に書き込まれた黒信号は画素 30 に保持される。

10

20

30

40

50

【0068】

これら動作を全ての画素行に対して行うことで、全ての画素30に行単位で黒信号を順次書き込むことができる。図11においても、電圧V1c1, 4はゲート線G5とゲート線G4との間に配置され、データ線D1に接続された画素30の電圧を示したものである。電圧V1c1, 3も同様に、ゲート線G4とゲート線G3との間に配置され、データ線D1に接続された画素30の電圧を示したものである。

【0069】

上記で説明したように、本実施形態の液晶表示装置では、1フレーム期間において全ての画素30に映像信号を行単位で書き込み、期間Tdatの長さだけ映像信号を表示した後、全ての画素30に黒信号を行単位で書き込み、期間Tblkの長さだけ黒を表示するという動作を行うことになる。

10

【0070】

また、映像信号を表示させる期間及び黒信号を表示させる期間は、ゲートドライバ回路16のスタート信号STD, STUをハイレベル又はローレベルにする時間で可変できる。また、ゲートドライバ回路16の走査方向を変えることで、液晶表示装置に表示させる画像を上下反転することもできる。

【0071】

また、黒信号供給配線VBK1は全ての画素30に共通であるため、各画素30に書き込まれる黒信号の、液晶容量C1cを構成するもう一方の電極である共通電極COMに対する極性を、画素行毎に等しくし、上下に隣接する画素行で異ならせる方法や、1フレーム期間において、全ての画素30に書き込まれる黒信号の共通電極COMに対する極性を等しくする方法を使用できる。図10及び図11では、画素行毎に黒信号の共通電極COMに対する極性が等しくなる方法の例を示している。

20

【0072】

このように、本実施形態の液晶表示装置の駆動方法は、本実施形態の液晶表示装置に一画面分の映像信号が供給されるフレーム期間において、データ線D1～D4から前記第1のスイッチング手段を構成するTF21、22を介して各画素30に映像信号を書き込んだ後、映像信号を書き込む周波数と同じ周波数で、黒信号供給配線VBK1から第2のスイッチング手段を構成するTF23、24を介して各画素30に黒信号を書き込む、ことを特徴とする。換言すると、本実施形態の液晶表示装置の駆動方法は、本実施形態の液晶表示装置に一画面分の映像信号が供給されるフレーム期間において、データ線D1～D4から第1のスイッチング手段を介して各画素30に映像信号を書き込み、黒信号供給配線VBK1から第2のスイッチング手段を介して各画素30に黒信号を書き込み、映像信号を書き込む周波数と黒信号を書き込む周波数が等しく、映像信号を書き込むタイミングと黒信号を書き込むタイミングが異なる、ことを特徴とする。

30

【0073】

なお、上記の説明では、画素30が縦横にそれぞれ四つずつ配置された例で示したが、画素30の数は本発明の本質には何ら影響を与えるものではない。また、TF21～24の導電型についても、TF21, 24をnチャネル型にし、TF22, 23をpチャネル型にすることも可能である。その際は、ゲートドライバ回路16の論理を反転させればよい。ゲートドライバ回路16の構成についても、スタート信号STD, STUをクロック信号CLKに同期して順次転送できる機能を有していれば、先に説明した構成に限定されるものではない。

40

【0074】

次に、本実施形態の液晶表示装置の効果について詳しく説明する。

【0075】

本実施形態の液晶表示装置では、輝度を低下させること無く擬似インパルス駆動を実現することで、動画特性を改善することができる。その理由は、各画素30の液晶容量C1c及び蓄積容量Cstに黒信号を書き込むために、特許文献1と異なり黒信号の専用のゲート線を設ける必要が無く、そのため、画素30の開口率を高くすることが可能となり、

50

輝度の低下を防ぐことが可能となるからである。

【0076】

また、本実施形態の液晶表示装置では、従来の液晶表示装置に比較してコスト上昇を招くことなく、擬似インパルス駆動を実現することができる。その理由は下記の通りである。第一に、黒信号書き込み用のゲートドライバを必要とせず、各画素30の液晶容量C_lc及び蓄積容量C_stに黒信号を書き込むことができるためにコスト上昇が無い。基板11上に画素TF_T(TF_T21～24)と同様のプロセスでゲートドライバ回路16を構成した場合でも、黒信号書き込み用のゲートドライバ回路を基板上にレイアウトする必要が無い。そのため、液晶表示装置の外形寸法を小さくすることができる。よって、本発明の機能のために一枚のマザー基板に配置できる液晶表示装置の数を減らす必要も無い。そのためコスト10
上昇が無い。第二に、液晶表示装置の動作周波数を高くすることなく、1フレーム期間に映像信号と黒信号を表示させることができるため、データドライバ回路15やゲートドライバ回路16に高速動作可能なものを用いる必要が無く、また映像信号を周波数変換するためのフレームメモリも不要である。そのため、コスト上昇が無い。

【0077】

更に、本実施形態の液晶表示装置では、表示画像に応じて輝度を調整することが可能となり、消費電力を低減させることができる。その理由は、1フレーム期間内において映像信号を表示させる期間と黒信号を表示させる期間の割合を、スタート信号S_TD、S_TUにおける期間T_da_t及び期間T_bl_kの長さを変えることで調整できる。例えば、静止画を主に表示させる場合には、期間T_da_tを長く設定することで、輝度を高くするか、20
液晶表示装置の輝度を変えずにバックライトの輝度を低下させることで消費電力を低減することが可能となる。

【0078】

<第二実施形態>

【0079】

図12は第二実施形態である液晶表示装置のブロック図及び回路図である。この第二実施形態の液晶表示装置では、各画素40を構成する第1のスイッチング手段31bは、制御端子Aがゲート線G₂に接続され、制御端子Bがゲート線G₁に接続される。ゲート線G₁とG₂に挟まれた画素行を1番目の画素行とした場合、奇数番目の画素行では、第1のスイッチング手段31bは、制御端子A、Bが共にハイレベルの際に導通し、第2のスイッチング手段32bは、制御端子C、Dが共にローレベルの際に導通する。偶数番目の画素行では、第1のスイッチング手段31cは、制御端子A、Bが共にローレベルの際に導通し、第2のスイッチング手段32cは、制御端子C、Dが共にハイレベルの際に導通する。画素容量C_lc及び蓄積容量C_stは、第1のスイッチング手段31b、31cを介してデータ線(D₁～D₄)に接続され、第2のスイッチング手段32b、32cを介して黒信号供給配線V_BK₁に接続されている。この黒信号供給配線V_BK₁は全ての画素に共通である。30

【0080】

図13は第一実施形態の液晶表示装置の動作を示したタイミングチャートである。図13中の期間T_vは、1フレーム分の映像信号が外部から供給されるフレーム期間を示しており、奇数番目のゲート線(G₁、G₃、G₅)では、ハイレベルの時間がT_da_t、ローレベルの時間がT_bl_kであるパルスが、時間的にずらして出力され、偶数番目のゲート線(G₂、G₄)では、ローレベルの時間がT_da_t、ハイレベルの時間がT_bl_kであるパルスが時間的にずらして出力される。40

【0081】

次に、本液晶表示装置への映像信号の書き込み動作について説明する。まずゲート線G₁とG₂の間に配置された1番目の画素行の動作について説明する。期間T_d1において、ゲート線G₁、G₂が共にハイレベルである。そのため、1番目の画素行の各画素では、第1のスイッチング手段31bが導通し、第2のスイッチング手段32bがオープンの状態となる。この期間に、データ線(D₁～D₄)に1番目の画素行に対応した映像信号50

を供給することで、1番目の画素行の各画素では、液晶容量 C_{1c} 及び蓄積容量 C_{st} に映像信号が書き込まれる。期間 T_{d2} においては、ゲート線 G_1 がハイレベル、 G_2 がローレベルとなる。そのため、1番目の画素行の各画素では、第1、第2のスイッチング手段 $31b$ 、 $32b$ が共にオープン状態となり、期間 T_{d1} において書き込まれた映像信号が保持される。一方、ゲート線 G_2 と G_3 の間に配置された2番目の画素行の各画素では、ゲート線 G_3 がローレベルであるため、第1のスイッチング手段 $31c$ が導通し、第2のスイッチング手段 $32c$ がオープンの状態となる。そのため、データ線($D_1 \sim D_4$)に供給された映像信号が、2番目の画素行の各画素の液晶容量 C_{1c} 及び蓄積容量 C_{st} に書き込まれる。このような動作を全ての画素行に対して行うことで、1画面分の映像信号を書き込むことができる。

10

【0082】

次に、本液晶表示装置への黒信号の書き込み動作について説明する。期間 T_{b1} では、ゲート線 G_1 、 G_2 が共にローレベルとなる。そのため、1番目の画素行の各画素では、第2のスイッチング手段 $32b$ が導通状態となり、黒信号供給配線 V_{BK1} の電圧が液晶容量 C_{1c} 及び蓄積容量 C_{st} に書き込まれる。期間 T_{b2} ではゲート線 G_1 がローレベル、 G_2 がハイレベルとなり、1番目の画素行の各画素の第2のスイッチング手段 $32b$ はオープン状態となる。そのため、黒信号が保持される。一方、ゲート線 G_3 はハイレベルであるため、2番目の画素行では、第2のスイッチング手段 $32c$ が導通状態となり、液晶容量 C_{1c} 及び蓄積容量 C_{st} に黒信号が書き込まれる。このような動作を全ての画素行に対して行うことで、全ての画素に黒信号を書き込むことができる。ここで注目すべき点は、期間 T_{b1} と期間 T_{d4} が時間的にオーバーラップしていることである。これは、1番目の画素行への黒信号の書き込みと、4番目の画素行への映像信号への書き込みが同時に行われていることを意味している。

20

【0083】

本液晶表示装置の動作をまとめると以下ようになる。

本液晶表示装置では、各画素への映像信号及び黒信号の書き込みが隣接する2本のゲート線により制御されている。1フレーム期間中に、前記2本のゲート線の電圧レベルが異なる2つの期間、同じとなる2つの期間が存在し、映像信号の書き込みは、前記電圧レベルが同じとなる2つの期間の一方で行われ、黒信号の書き込みは、前記電圧レベルが同じとなる2つの期間のもう一方の期間で行われる。そして、任意の画素行へ映像信号への書き込みが行われている期間においては、他の画素行への映像信号の書き込みは行われませんが、黒信号の書き込みは行うことが可能である。

30

【0084】

図14は第二実施形態である液晶表示装置のより具体的な構成を示した図であり、図15は、図14における画素の上下に隣接した2個分を拡大して示す回路図である。

【0085】

本実施形態の液晶表示装置は、第1の基板11と第2の基板12との間に液晶を挟んだ構成を有している。基板11には、画素40がマトリクス状に配置された画素マトリクス14と、 $D_1 \sim D_4$ データ線を駆動するデータドライバ回路15と、ゲート線 $G_1 \sim G_5$ を駆動するゲートドライバ回路16とが配置されている。画素50は、マトリクス状に配置された複数のデータ線 $D_1 \sim D_4$ と複数のゲート線 $G_1 \sim G_5$ との各交点に、複数の画素 TFT としての $TFT_{21} \sim 24$ と、液晶容量 C_{1c} 及び蓄積容量 C_{st} とを少なくとも有している。

40

【0086】

次に、各画素50における接続関係を説明するため、奇数画素行と偶数画素行の各画素の接続関係について説明する。ここで、奇数画素行、偶数画素行とは、ゲート線に平行に配置された画素行で、ゲート線 G_1 と G_2 との間の画素行を1として順番を付けた場合に、奇数番目の画素行、偶数番目の画素行のことである。

【0087】

奇数画素行である第1の画素行の各画素では、第1のスイッチング手段を構成する T_F

50

T 2 1 A, 2 2 Aは、互いに導電型が等しく、隣接する互いに異なるゲート線G 2, G 1に、それぞれのゲート電極2 1 A g, 2 2 A g接続されている。T F T 2 1 Aのソース電極及びドレイン電極の一方の電極がデータ線D 1～D 4の何れかに接続され、他方の電極がT F T 2 2 Aのソース電極及びドレイン電極の一方の電極に接続されている。T F T 2 2 Aのソース電極及びドレイン電極の他方の電極が、液晶容量C l c及び蓄積容量C s tに接続されている。

【0088】

奇数画素行の第2のスイッチング手段を構成するT F T 2 3 A, 2 4 Aは、互いに導電型が等しく、隣接する互いに異なるゲート線G 2, G 1に、それぞれのゲート電極2 3 A g, 2 4 A gが接続されている。T F T 2 3 Aのソース電極及びドレイン電極の一方の電極が黒信号供給配線V B K 1に接続され、他方の電極がT F T 2 4 Aのソース電極及びドレイン電極の一方の電極に接続されている。T F T 2 4 Aのソース電極及びドレイン電極の他方の電極が、液晶容量C l c及び蓄積容量C s tに接続されている。第1のスイッチング手段を構成するT F T 2 1 A, 2 2 Aと第2のスイッチング手段を構成するT F T 2 3 A, 2 4 Aは、互いに導電型が異なり、T F T 2 1 A, 2 3 Aはそれぞれのゲート電極2 1 A g, 2 3 A gが同じゲート線G 2に接続されている。

【0089】

偶数画素行である第2の画素行の各画素でも、第1のスイッチング手段を構成するT F T 2 1 B, 2 2 Bは、互いに導電型が等しく、隣接する互いに異なるゲート線G 3, G 2に、それぞれのゲート電極2 1 B g, 2 2 B g接続されている。T F T 2 1 Bのソース電極及びドレイン電極の一方の電極がデータ線D 1～D 4に接続され、他方の電極がT F T 2 2 Bのソース電極及びドレイン電極の一方の電極に接続されている。T F T 2 2 Bのソース電極及びドレイン電極の他方の電極が、液晶容量C l c及び蓄積容量C s tに接続されている。

【0090】

偶数画素行の各画素の第2のスイッチング手段を構成するT F T 2 3 B, 2 4 Bは、互いに導電型が等しく、隣接する互いに異なるゲート線G 3, G 2に、それぞれのゲート電極2 3 B g, 2 4 B gが接続されている。T F T 2 3 Bのソース電極及びドレイン電極の一方の電極が黒信号供給配線V B K 1に接続され、他方の電極がT F T 2 4 Bのソース電極及びドレイン電極の一方の電極に接続されている。T F T 2 4 Bのソース電極及びドレイン電極の他方の電極が、液晶容量C l c及び蓄積容量C s tに接続されている。第1のスイッチング手段を構成するT F T 2 1 B, 2 2 Bと第2のスイッチング手段を構成するT F T 2 3 B, 2 4 Bは、互いに導電型が異なり、T F T 2 1 B, 2 3 Bはそれぞれのゲート電極2 1 B g, 2 3 B gが同じゲート線G 2に接続されている。

【0091】

奇数画素行、偶数画素行の各画素とも、第1及び第2のスイッチング手段を構成する2つのT F Tの導電型は互いに等しく、第1のスイッチング手段を構成するT F Tと第2のスイッチング手段を構成するT F Tの導電型は異なっており、さらに、第1のスイッチング手段及び第2のスイッチング手段を構成するT F Tの導電型が、奇数画素行の画素と偶数画素行の画素とでは異なっている。

【0092】

他の画素行における各画素50の構成も、接続されるゲート線G 1～G 5及びデータ線D 1～D 4を除き、図15に示す画素50の構成と同じである。なお、図示した構成では、第一実施形態と同様に、T N (Twisted Nematic) モードやV A (Vertical Alignment) モードなどの場合を示しているので、第1の基板11に共通電極C O Mが形成されている。

【0093】

ゲートドライバ回路46は、少なくともスタート信号S T D及びクロック信号C L Kによって制御され、クロック信号に同期してスタート信号S T Dを順次シフトさせ各ゲート線G 1～G 5へ出力する機能を有している。また、二つのスタート信号S T D, S T Uと

10

20

30

40

50

シフト方向制御信号 D I R とにより走査方向を可変できる機能を有しているゲートドライバ回路 4 6 を用いても良い。ただし、奇数番目の出力と偶数番目の出力の論理が反転している。図 1 4 では、シフト方向を可変できる機能を有したゲートドライバ回路 4 6 を用いた例を示す。

【0094】

このような機能を有するゲートドライバ回路 4 6 の構成例として、図 1 6 に示した回路がある。このゲートドライバ回路 4 6 は、基本的に図 8 で示したゲートドライバ回路と同じ構成である。ただし、偶数番目のゲート線を駆動するフリップフロップ F F とバッファ回路 3 3 との間に、インバータ I N V 1 0 が挿入されている点が異なっている。このインバータ I N V 1 0 により、偶数番目と奇数番目の論理が反転する。図 1 6 に示した回路においても、バッファ回路 3 3 は、ゲート線 G 1 , … の負荷に応じて、必ずしも必要としない場合もある。

【0095】

次に、図 1 7 のタイミングチャートを中心に用い、本実施形態の液晶表示装置の動作すなわち本実施形態の液晶表示装置の駆動方法について説明する。

【0096】

図 1 7 中の期間 T v は、1 フレーム分の映像信号が外部から供給されるフレーム期間を示している。この期間 T v に同期して、ゲートドライバ回路 4 6 のスタート信号 S T D をハイレベルにする。すると、スタート信号 S T D がクロック信号 C L K に同期して転送されゲートドライバ回路 4 6 の各出力端子（ゲート線 G 1 , …）から出力される。ただし、偶数番目のゲート線（G 2 , G 4）の電位レベルは論理が反転している。

【0097】

まず、奇数画素行の動作について説明する。図 1 7 中の期間 T d 1 では、ゲート線 G 1 がハイレベルになり、ゲート線 G 2 がハイレベルのままであるので、ゲート線 G 1 とゲート線 G 2 との間の画素行の画素 4 0 では、T F T 2 1 A , 2 2 A がともに導通状態となり、データ線 D 1 ~ D 4 に供給された映像信号が液晶容量 C l c 及び蓄積容量 C s t に書き込まれる。このとき、T F T 2 3 A , 2 4 A はともにオープン状態である。

【0098】

図 1 7 中の期間 T d 2 では、ゲート線 G 1 はハイレベルのままであるが、ゲート線 G 2 がローレベルとなる。そのため、T F T 2 2 A が導通状態かつ T F T 2 1 A がオープン状態となることにより、液晶容量 C l c 及び蓄積容量 C s t はデータ線 D 1 ~ D 4 と電氣的に切断される。このとき、T F T 2 3 A は導通状態になるが T F T 2 4 A はオープン状態であるため、液晶容量 C l c 及び蓄積容量 C s t は黒信号供給配線 V B K 1 と電氣的に切断されたままであり、期間 T d 1 で書き込まれた映像信号は画素 5 0 に保持される。

【0099】

期間 T v において、スタート信号 S T D は期間 T d a t の時にハイレベルである。そのため、ゲートドライバ回路 4 6 の奇数番目の各出力も期間 T d a t と同じ時間だけハイレベルとなり、偶数番目の各出力は期間 T d a t と同じ時間だけローレベルとなる。

【0100】

したがって、図 1 7 中の期間 T b 1 では、ゲート線 G 1 がローレベルに変化する。このとき、ゲート線 G 1 とゲート線 G 2 との間の画素行の画素 5 0 では、T F T 2 1 A , 2 2 A とともにオープン状態である。しかし、T F T 2 3 A , 2 4 A がともに導通状態となることにより、黒信号供給配線 V B K 1 の電圧が液晶容量 C l c 及び蓄積容量 C s t に書き込まれる。

【0101】

図 1 7 中の期間 T b 2 では、ゲート線 G 2 がハイレベルに変化するため T F T 2 3 A がオープン状態に変わり、液晶容量 C l c 及び蓄積容量 C s t は黒信号供給配線 V B K 1 と電氣的に切断される。このとき、T F T 2 1 A は導通状態に変わるが、T F T 2 2 A がオープン状態のままであるので、液晶容量 C l c 及び蓄積容量 C s t はデータ線 D 1 ~ D 4 に対しても電氣的に切断されたままである。これにより、期間 T b 1 で書き込まれた黒信

号は画素 50 に保持される。

【0102】

次に偶数画素行の動作について説明する。期間 T d 2 ではゲート線 G 2 がローレベルに変わり、ゲート線 G 3 がローレベルのままである。そのため、T F T 2 1 B, 2 2 B が共に導通し、データ線 D 1 ~ D 4 に供給された映像信号が液晶容量 C l c 及び蓄積容量 C s t に書き込まれる。このとき、T F T 2 3 B, 2 4 B は共にオープン状態のままである。次の期間 T d 3 では、ゲート線 G 3 がハイレベルに変わるため、T F T 2 1 B がオープン状態となり、液晶容量 C l c 及び蓄積容量 C s t はデータ線 D 1 ~ D 4 と電氣的に切断される。このとき、T F T 2 3 B は導通状態になるが T F T 2 4 B はオープン状態であるため、液晶容量 C l c 及び蓄積容量 C s t は黒信号供給配線 V B K 1 と電氣的に切断されたままであり、期間 T d 2 で書き込まれた映像信号は画素 50 に保持される。

10

【0103】

期間 T b 2 では、ゲート線 G 2 がハイレベルに変わり、ゲート線 G 3 がハイレベルであるため、T F T 2 3 B, 2 4 B が共に導通し、黒信号供給配線 V B K 1 の電圧が液晶容量 C l c 及び蓄積容量 C s t に書き込まれる。次の期間 T b 3 では、ゲート線 G 3 がローレベルに変わるため、T F T 2 3 B がオープン状態となり、液晶容量 C l c 及び蓄積容量 C s t は黒信号供給配線 V B K 1 と電氣的に切断される。このとき、T F T 2 1 B は導通状態に変わるが、T F T 2 2 B がオープン状態のままであるので、液晶容量 C l c 及び蓄積容量 C s t はデータ線 D 1 ~ D 4 に対しても電氣的に切断されたままである。これにより、期間 T b 2 で書き込まれた黒信号は画素 50 に保持される。

20

【0104】

この動作を全ての画素行に対して行うことで、画素マトリクス 1 4 に一画面分の映像信号と黒信号とを、全ての画素 50 に対して画素行毎に順次書き込むことができる。ここで、図 1 7 中の電圧 V l c 1, 1 はゲート線 G 1 とゲート線 G 2 との間に配置され、データ線 D 1 に接続された画素 50 の電圧を示したものである。電圧 V l c 1, 2 も同様に、ゲート線 G 2 とゲート線 G 3 の間に配置され、データ線 D 1 に接続された画素 50 の電圧を示したものである。

【0105】

図 1 8 は、映像信号をゲート線 G 5 の画素行から書き込みを開始する動作を示したものである。図 1 8 中の 1 フレームの期間 T v において、ゲートドライバ回路 4 6 のスタート信号 S T U をローレベルにする。すると、スタート信号 S T U がクロック信号 C L K に同期して転送されゲートドライバ回路 4 6 の各出力端子（ゲート線 G 1, …）から出力される。ただし、偶数番目のゲート線（G 2, G 4）の電位レベルは論理が反転している。各画素に映像信号及び黒信号を書き込む動作については、映像信号をゲート線 G 1 の画素行から書き込んだ場合と同様であるため、詳細な動作については説明を省略する。

30

【0106】

上記で説明したように、本実施形態の液晶表示装置では、1 フレーム期間において全ての画素 50 に映像信号を行単位で書き込み、期間 T d a t の長さだけ映像信号を表示した後、全ての画素 50 に黒信号を行単位で書き込み、期間 T b l k の長さだけ黒を表示するという動作を行うことになる。

40

【0107】

また、映像信号を表示させる期間及び黒信号を表示させる期間は、ゲートドライバ回路 4 6 のスタート信号 S T D, S T U をハイレベル又はローレベルにする時間で可変できる。また、ゲートドライバ回路 4 6 の走査方向を変えることで、液晶表示装置に表示させる画像を上下反転することもできる。

【0108】

また、黒信号供給配線 V B K 1 は全ての画素 50 に共通であるため、各画素 50 に書き込まれる黒信号の、液晶容量 C l c を構成するもう一方の電極である共通電極 C O M に対する極性を、画素行毎に等しくし、上下に隣接する画素行で異ならせる方法や、1 フレーム期間において、全ての画素 50 に書き込まれる黒信号の共通電極 C O M に対する極性を

50

等しくする方法を使用できる。図 17 及び図 18 では、画素行毎に黒信号の共通電極 COM に対する極性が等しくなる方法の例を示している。

【0109】

なお、上記の説明では、画素 50 が縦横にそれぞれ四つずつ配置された例で示したが、画素 50 の数は本発明の本質には何ら影響を与えるものではない。また、TF T 21 A ~ 24 A, 21 B ~ 24 B の導電型についても、TF T 21 A, 22 A, 23 B, 24 B を p チャンネル型にし、TF T 23 A, 24 A, 21 B, 22 B を n チャンネル型にすることも可能である。その際は、ゲートドライバ回路 46 の論理を反転させればよい。ゲートドライバ回路 46 の構成についても、スタート信号 STD, STU をクロック信号 CLK に同期して順次転送でき、奇数番目の出力と偶数番目の論理レベルが反転する機能を有していれば、先に説明した構成に限定されるものではない。

10

【0110】

本実施形態の液晶表示装置では、液晶表示装置のコスト上昇を招くことなく、擬似インパルス駆動を実現することができる。その理由は、第一実施形態で説明したことと同様である。

【0111】

<第三実施形態>

図 19 は、本発明に係る液晶表示装置の第三実施形態を示すブロック図及び回路図である。図 20 は、図 19 における画素 60 の 2 個分を拡大して示す回路図である。以下、図 19 及び図 20 に基づき説明する。なお、図 4 と同じ部分は同じ符号を付すことにより詳しい説明を省略する。また、ゲート線 G1 とゲート線 G2 との間に配置されデータ線 D3 及び D4 に接続された画素に限らず、他の全ての画素も画素 60 という。

20

【0112】

本実施形態と図 4 で示した形態と異なる点は、画素マトリクス 14 に二本の黒信号供給配線 VBK1, VBK2 が設けられていること、及び、各画素 60 が黒信号供給配線 VBK1 に接続されたものと黒信号供給配線 VBK2 に接続されたものとに分けられることである。すなわち、黒信号供給配線 VBK1, VBK2 は、データ線 D1 ~ D4 に沿った隣接する画素行毎に異なる。

【0113】

本実施形態のより具体的な構成を図 21 に示す。これは図 20 で示した各画素を構成する第 1 のスイッチング手段 31C, 31D 及び第 2 のスイッチング手段 32C, 32D をそれぞれ、導通型が異なる 2 つの TFT で構成した例である。

30

【0114】

以下に、本実施形態の液晶表示装置について、更に詳しく説明する。本実施形態の液晶表示装置の構成は、二本の黒信号供給配線 VBK1, VBK2 が設けられている点を除き、図 4 で示した第一実施形態の液晶表示装置の構成とほぼ同じである。二つの黒信号供給配線 VBK1, VBK2 は、データ線 D1 ~ D4 に平行な画素列毎に共通になっており、隣接する画素列間で異なるように配置されている。

【0115】

図 22 は本実施形態の液晶表示装置の動作を示したタイミングチャートである。基本的な動作は第一実施形態の液晶表示装置の動作と同じである。異なる点は、画素列毎に映像信号及び黒信号の共通電極 COM に対する極性が異なっている点である。そのため、1 フレームの特定期間では、データ線 D1, D3 の映像信号の共通電極 COM に対する極性が等しく、データ線 D2, D4 の映像信号の共通電極 COM に対する極性が等しく、データ線 D1 とデータ線 D2 とでは映像信号の共通電極 COM に対する極性が異なっている。また、同様に黒信号供給配線 VBK1 と黒信号供給配線 VBK2 とでは黒信号の共通電極 COM に対する極性が異なっている。そのため、液晶表示装置の上下左右に隣接する画素 40 間で、映像信号及び黒信号の共通電極 COM に対する極性が異なっている。ここで、図 22 中、電圧 V1c1, 1 はゲート線 G1 とゲート線 G2 との間に配置され、データ線 D1 接続された画素 70 の電圧を示したものである。電圧 V1c1, 2 も同様に、ゲート線

40

50

G 2 とゲート線 G 3 との間に配置され、データ線 D 1 に接続された画素 7 0 の電圧を示したものである。

【0116】

ここに示した例は、液晶表示装置に映像信号及び黒信号をゲート線 G 1 に接続された画素行から順次書き込む際の動作を示している。しかし、第一実施形態の液晶表示装置の動作の説明の際に用いた図 1 0 及び図 1 1 の関係と同様に、スタート信号 S T D、S T U 及びシフト方向制御信号 D I R を変えることで、ゲート線 G 5 に接続された画素行から映像信号及び黒信号を書き込む動作も実現できる。

【0117】

さらに、ここで示した例以外にも第二実施形態で示したように、第 1 のスイッチング手段と第 2 のスイッチング手段を構成する 2 つの T F T を、同じ導通型で構成することも可能である。その場合は、ゲートドライバ回路 1 6 を図 1 6 で示した回路に変更する必要がある。動作については、図 1 7、図 1 8 で説明した動作と同様に行えばよい。

【0118】

次に、本実施形態の液晶表示装置の効果について詳しく説明する。

【0119】

本実施形態の液晶表示装置では、輝度を低下させることなく擬似インパルス駆動を実現することで、動画特性を改善することができる。その理由は、第一実施形態で説明したことと同様である。

【0120】

また、本実施形態の液晶表示装置では、液晶表示装置のコスト上昇を招くことなく、擬似インパルス駆動を実現することができる。その理由は、第一実施形態で説明したことと同様である。

【0121】

本実施形態の液晶表示装置では、表示画像に応じて輝度を調整することが可能となり、消費電力を低減させることができる。その理由は、第一実施形態で説明したことと同様である。

【0122】

更に、本実施形態の液晶表示装置では、フリッカを低減することが可能である。その理由は、液晶表示装置では、上下左右に隣接する画素 7 0 間で、映像信号の共通電極 C O M に対する極性が異なるからである。液晶表示装置では、液晶に D C (direct current) 電界が印加され続けられないようにする目的で、各画素 7 0 に書き込まれる映像信号の共通電極 C O M に対する極性を 1 フレーム期間毎に変えるのが一般的である。しかしながら、共通電極 C O M に対する極性により、画素 7 0 に書き込まれる映像信号の電圧誤差が、画素 T F T のフィードスルーの差、画素 T F T のリーク電流の差などにより、変わってしまう場合がある。その場合、映像信号の極性が共通電極 C O M に対して正の場合と負の場合とで、輝度差が生じてしまいフリッカが発生する。しかしながら、隣接する画素 7 0 間で映像信号の極性が異なっていると、電圧誤差に伴う輝度差を平準化することができフリッカを低減することが可能となる。本実施形態の液晶表示装置では、上下左右に隣接する画素 7 0 間で映像信号の共通電極 C O M に対する極性が異なるため、よりフリッカを低減できる。

【0123】

< 第四実施形態 >

図 2 3 は、本発明に係る液晶表示装置の第四実施形態を示すブロック図及び回路図である。図 2 4 は、図 2 3 における画素の一個分を拡大して示す回路図である。以下、図 2 3 及び図 2 4 に基づき説明する。なお、図 4 と同じ部分は同じ符号を付すことにより詳しい説明を省略する。また、ゲート線 G 1 とゲート線 G 2 との間に配置されデータ線 D 4 に接続された画素に限らず、他の全ての画素も画素 8 0 という。

【0124】

本実施形態の第一実施形態と異なる点は、画素マトリクス 1 4 に黒信号供給配線 V B K

1（図4）が設けられていないこと、及び、蓄積容量配線VCSが黒信号供給配線VBK1（図4）を兼ねていることである。すなわち、蓄積容量Cstを形成する二つの電極のうち、一つが第1のスイッチング手段31及び第2のスイッチング手段32に接続され、もう一方の電極が全ての画素80に共通の蓄積容量配線VCSに接続されている。本実施形態の液晶の配向状態は画素容量C1cを構成する2つの電極間に発生する電界により制御され、画素容量C1cに電圧が印加されていない場合に黒が表示される。蓄積容量配線VCSの電位は、共通電極COMの電位とほぼ等しい。

【0125】

本実施形態のより具体的な構成を図25に示す。これは図24で示した各画素を構成する第1のスイッチング手段31、第2のスイッチング手段32を、導通型が異なる2つのTF Tで構成した例である。

【0126】

以下に、本実施形態の液晶表示装置について、更に詳しく説明する。本実施形態の液晶表示装置の構成は、黒信号供給配線VBK1（図4）が設けられておらず、その代りに各画素90の第2のスイッチング手段を構成するTF Tが蓄積容量配線VCSに接続されている点を除き、第一実施形態の液晶表示装置の構成とほぼ同じである。また、本発明の液晶表示装置では、液晶に電圧が印加されていない場合に黒を表示するVAモード、あるいはIPSモードなどの方式を用いる。ここで、蓄積容量配線VCSには共通電極COMとほぼ等しい電圧を印加する。

【0127】

図26は、本実施形態の液晶表示装置の動作を示したタイミングチャートである。本実施形態の液晶表示装置の基本的な動作は、第一実施形態の液晶表示装置の動作と同じである。しかし、画素列毎に映像信号の共通電極COMに対する極性が異なっている点と、黒信号の代わりに蓄積容量配線VCSの電圧が画素90に順次書き込まれる点とが、第一実施形態の液晶表示装置の動作と異なっている。

【0128】

図26中の電圧V1c1, 1はゲート線G1とゲート線G2との間に配置され、データ線D1接続された画素90の電圧を示したものである。電圧V1c1, 2はゲート線G2とゲート線G3との間に配置され、データ線D1に接続された画素90の電圧を示したものである。これからも明らかなように、電圧V1c1, 1は、期間Td1において映像信号が書き込まれ、その後、書き込まれた信号を保持し続け、期間Tb1において蓄積容量配線VCSの電圧が書き込まれ保持される。

【0129】

このように、本実施形態の液晶表示装置の駆動方法は、本実施形態の液晶表示装置に一画面分の映像信号が供給されるフレーム期間において、データ線D1～D4から第1のスイッチング手段を構成する2つのTF Tを介して各画素90に映像信号を書き込んだ後、映像信号を書き込む周波数と同じ周波数で、蓄積容量配線VCSから第2のスイッチング手段を構成する2つのTF Tを介して各画素90に電圧を書き込む、ことを特徴とする。

【0130】

図26では、隣接する上下左右の画素90に書き込まれる映像信号の共通電極COMに対する極性が異なる駆動方法の例を示している。しかし、これに限らず、上下の画素90で極性が異なり左右の画素90の極性が等しい駆動方法、上下の画素90で極性が等しく左右の画素90の極性が異なる駆動方法、及び、隣接する全ての画素90で極性が等しくなる駆動方法の何れにも対応することができる。その際には、データ線D1～D4へ供給する映像信号の極性を駆動方法に応じて変えればよい。

【0131】

また、図26に示した例は、液晶表示装置に映像信号及び黒信号をゲート線G1に接続された画素行から順次書き込む際の動作を示している。しかし、第一実施形態の液晶表示装置の動作の説明で用いた図10及び図11の関係と同様に、スタート信号STD, STU及びシフト方向制御信号DIRを変えることで、ゲート線G5に接続された画素行から

10

20

30

40

50

映像信号及び黒信号を書き込む動作も同様に実現できる。

【0132】

さらに、ここで示した例以外にも第二実施形態で示したように、第1のスイッチング手段と第2のスイッチング手段を構成する2つのTF Tを、同じ導通型で構成することも可能である。その場合は、ゲートドライバ回路16を図16で示した回路に変更する必要がある。動作については、図17、図18で説明した動作と同様に行えばよい。

【0133】

次に、本実施形態の液晶表示装置の効果について詳しく説明する。

【0134】

本実施形態の液晶表示装置では、輝度の低下を更に低減しながら擬似インパルス駆動を実現することで、動画特性を改善することができる。その理由は、本実施形態の液晶表示装置では、第一及び第二実施形態の液晶表示装置よりも開口率を高くすることが可能となるからである。それは、各画素90に黒信号を供給する専用の配線(VBK1及びVBK2)を設ける必要が無いためである。既に説明したとおり、VAモードや、IPSモードではノーマリーブラックモード(液晶への印加電圧が無い場合に黒を表示するモード)で使用する場合はほとんどである。本実施形態の液晶表示装置では、蓄積容量配線VCSの電位を共通電極COMと等しくすることで、画素90に蓄積容量配線VCSの電位を書き込むと黒を表示するようにすることができる。そのため、一つの画素TF Tの接続先を蓄積容量配線VCSにすることで、専用の黒信号供給配線を設ける必要が無くなる。したがって開口率を高くすることが可能となるのである。

【0135】

また、本実施形態の液晶表示装置では、液晶表示装置のコスト上昇を招くことなく、擬似インパルス駆動を実現することができる。その理由は、第一実施形態で説明したことと同様である。

【0136】

また、本実施形態の液晶表示装置では、表示画像に応じて輝度を調整することが可能となり、消費電力を低減させることができる。その理由は、第一実施形態で説明したことと同様である。

【0137】

更に、本実施形態の液晶表示装置では、フリッカを低減することが可能である。その理由は、第二実施形態で説明したことと同様である。

【0138】

<その他>

以上、上記各実施形態を参照して本発明を説明したが、本発明は上記各実施形態に限定されるものではない。本発明の構成や詳細については、当業者が理解し得るさまざまな変更を加えることができる。また、本発明には、上記各実施形態の構成の一部又は全部を相互に適宜組み合わせたものも含まれる。

【産業上の利用可能性】

【0139】

以上に述べたように、本発明によると、動画を表示させた場合でも画像の輪郭部分のぼけが生じない、明るい液晶表示装置を低コストで実現できるので、TV、ビデオ、携帯端末、プロジェクタなどをはじめとして液晶表示装置を用いる広範な産業分野に広く用いることができ、利用の可能性が高い。

【符号の説明】

【0140】

- 11 第1の基板
- 13 液晶
- 14 画素マトリクス
- 15 データドライバ回路
- 16 ゲートドライバ回路

10

20

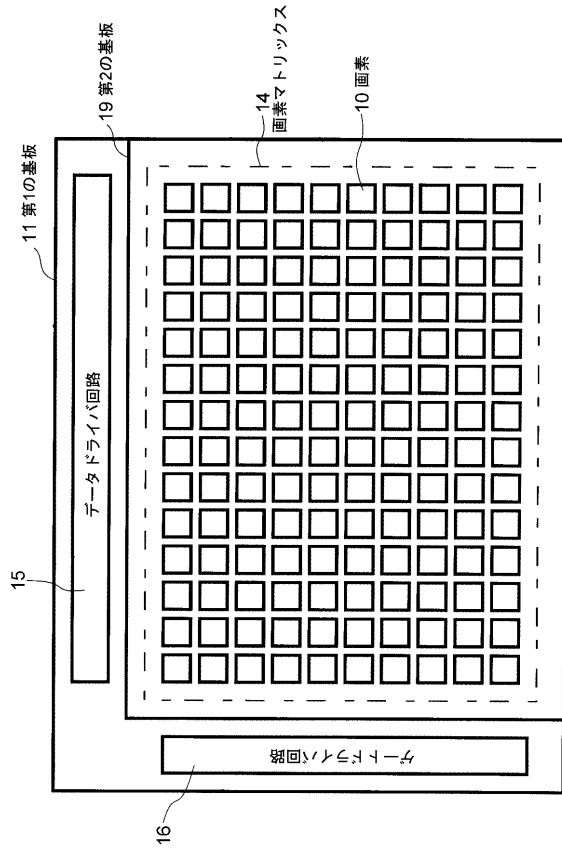
30

40

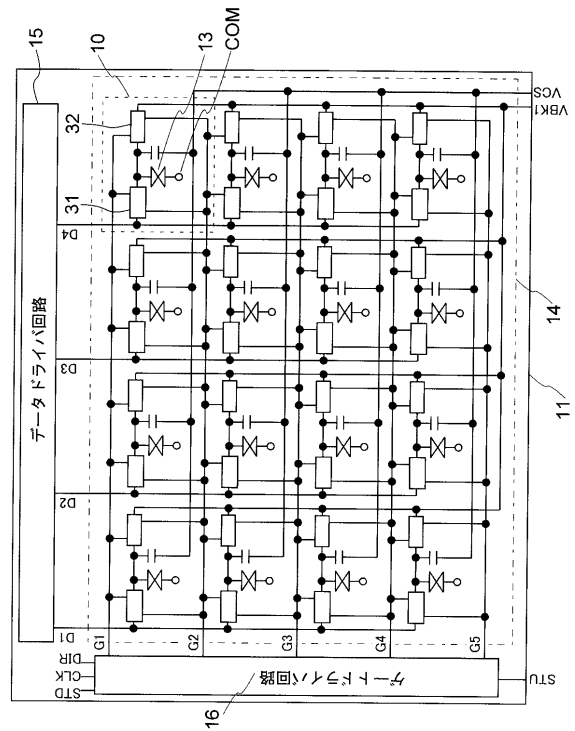
50

1 9	第 2 の基板	
2 0	画素	
2 1	T F T	
2 2	T F T	
2 3	T F T	
2 4	T F T	
2 5	画素電極	
3 0	画素	
3 1	第 1 のスイッチング手段	
3 2	第 2 のスイッチング手段	10
3 1 a	第 1 のスイッチング手段	
3 2 a	第 2 のスイッチング手段	
3 1 b	第 1 のスイッチング手段	
3 2 b	第 2 のスイッチング手段	
3 1 c	第 1 のスイッチング手段	
3 2 c	第 2 のスイッチング手段	
3 1 C	第 1 のスイッチング手段	
3 2 C	第 2 のスイッチング手段	
3 1 D	第 1 のスイッチング手段	
3 2 D	第 2 のスイッチング手段	20
4 0	画素	
4 6	ゲートドライバ回路	
5 0	画素	
6 0	画素	
7 0	画素	
8 0	画素	
9 0	画素	
C 1 c	液晶容量	
C s t	蓄積容量	
C O M	共通電極	30
D 1 , D 2 , D 3 , D 4	データ線	
G 1 , G 2 , G 3 , G 4 , G 5	ゲート線	
V B K 1 , V B K 2	黒信号供給配線	
V C S	蓄積容量配線	

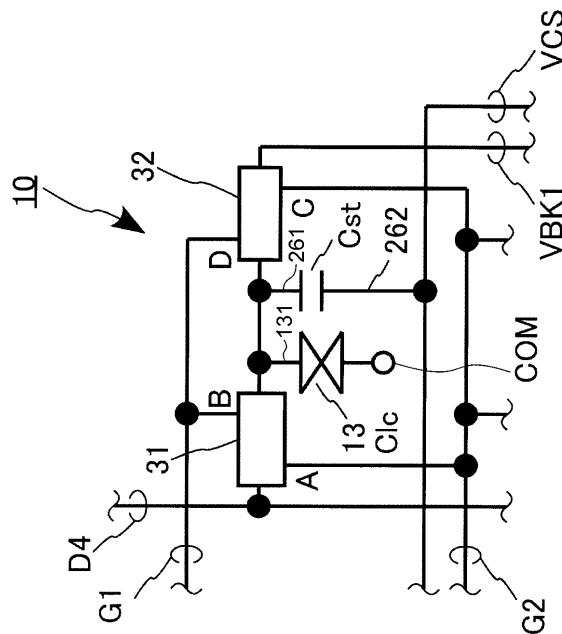
【図 1】



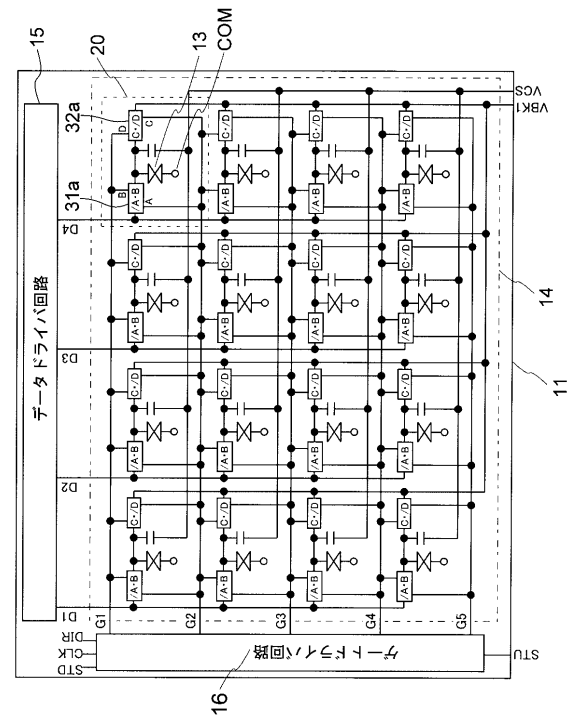
【図 2】



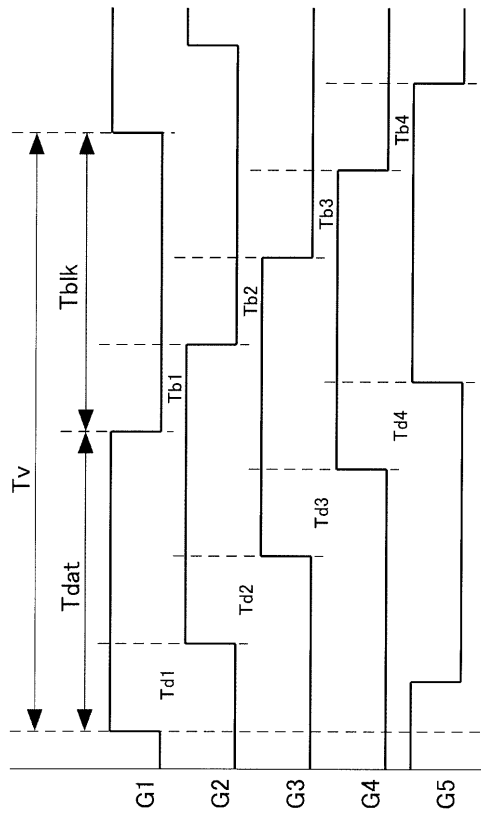
【図 3】



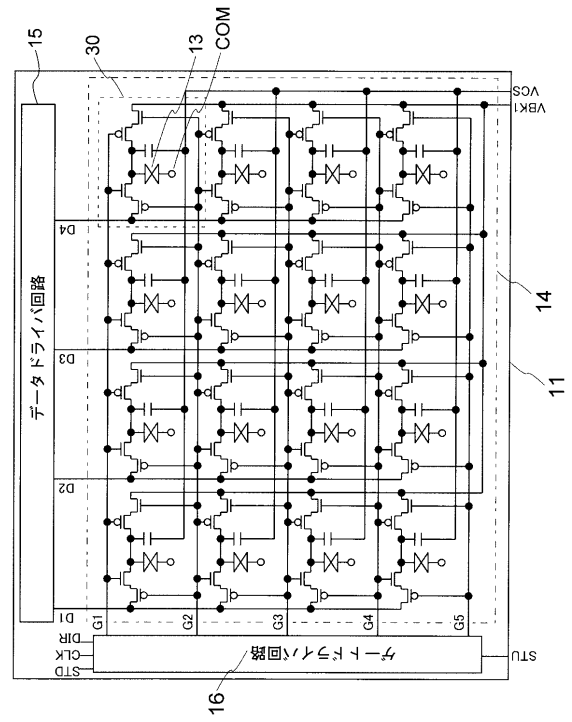
【図 4】



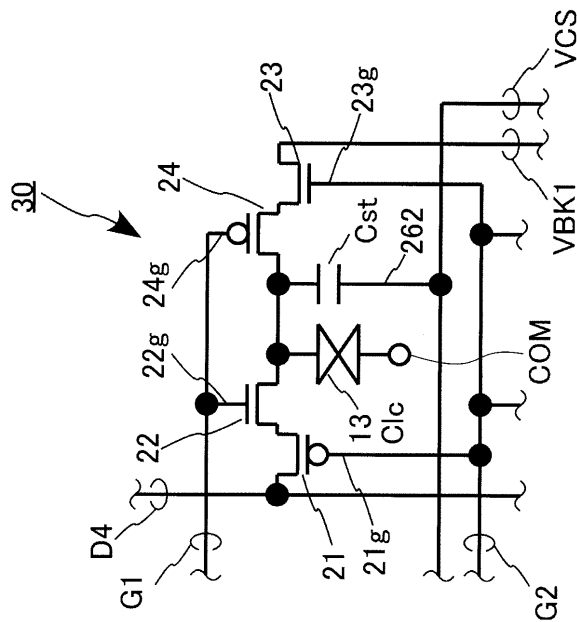
【図 5】



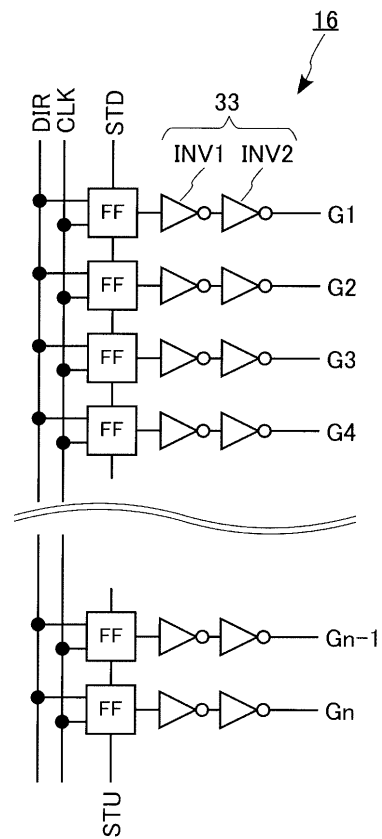
【図 6】



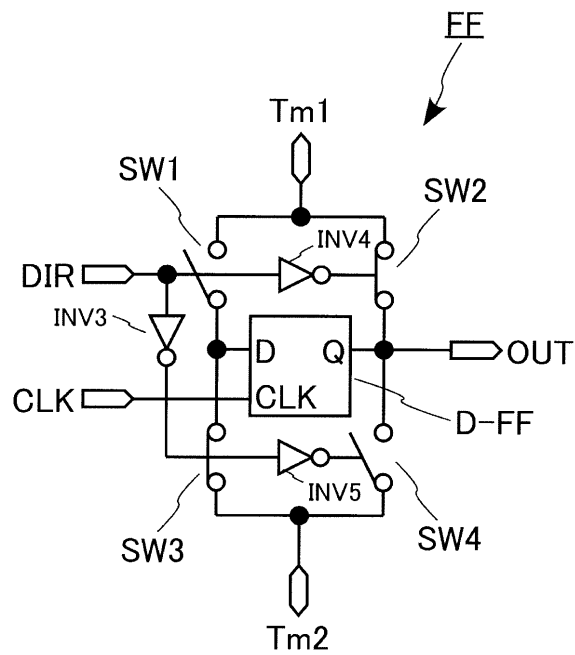
【図 7】



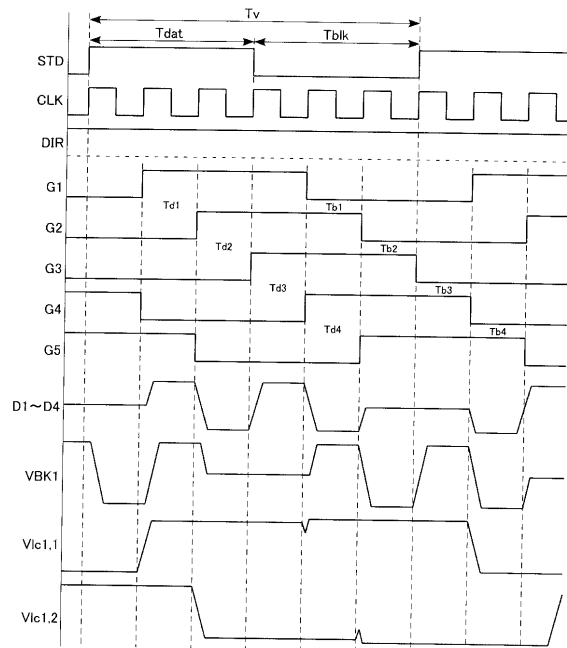
【図 8】



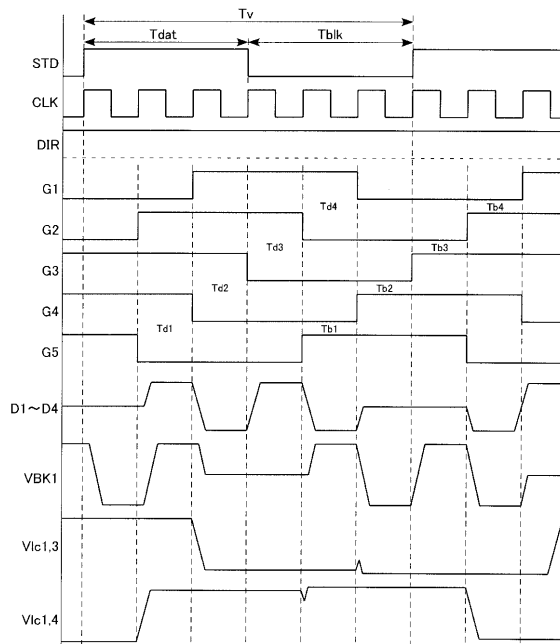
【図 9】



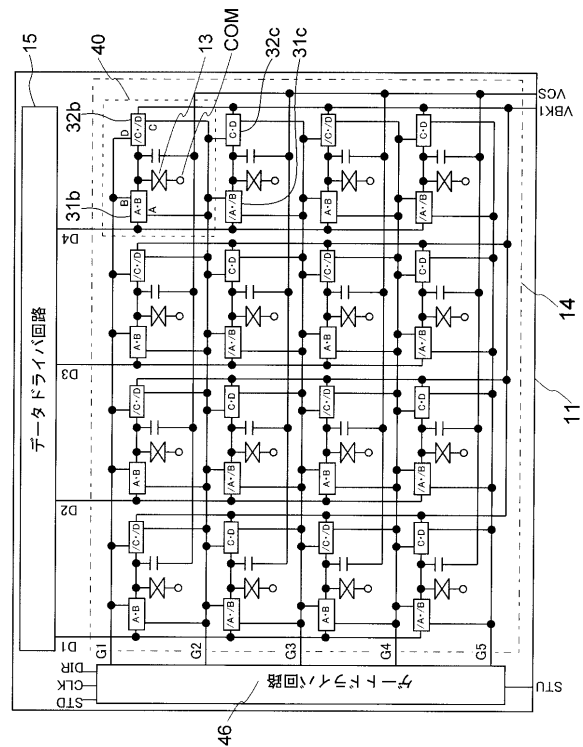
【図 10】



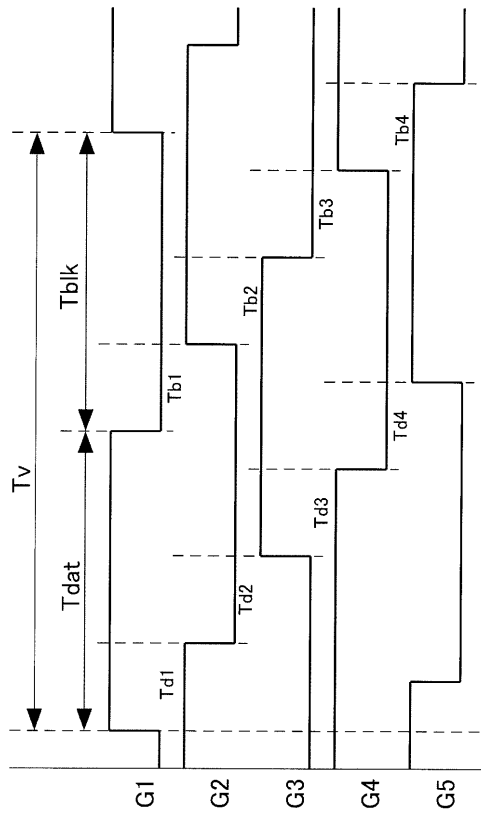
【図 11】



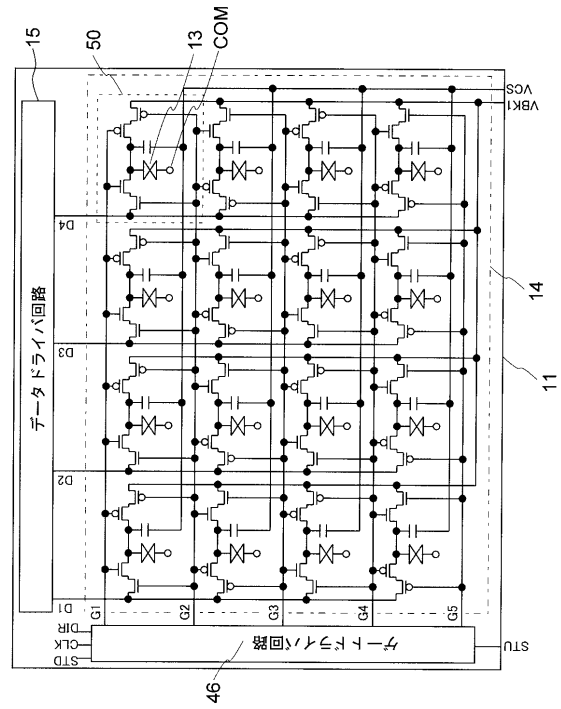
【図 12】



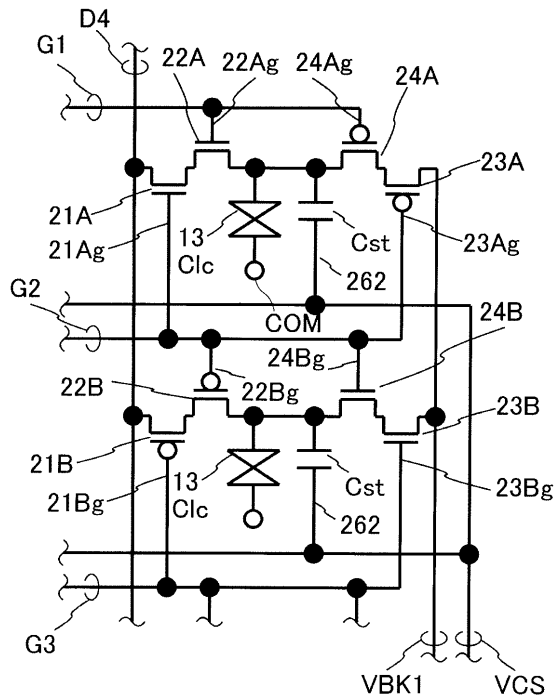
【図 13】



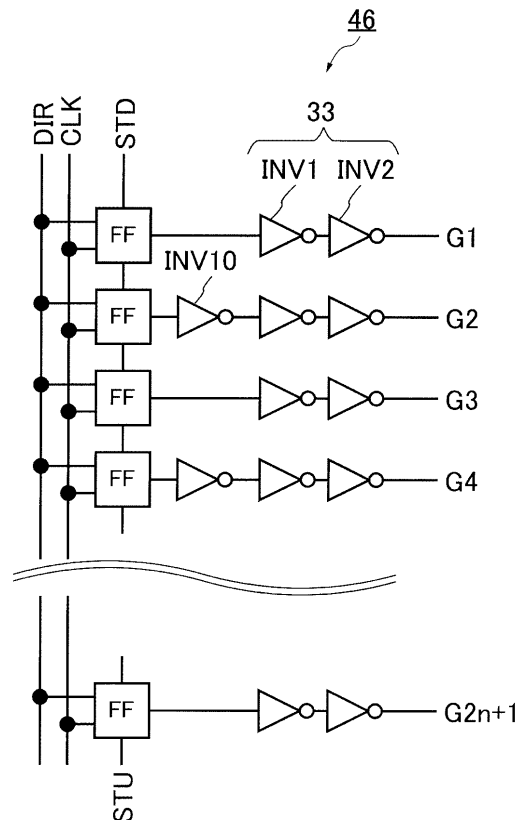
【図 14】



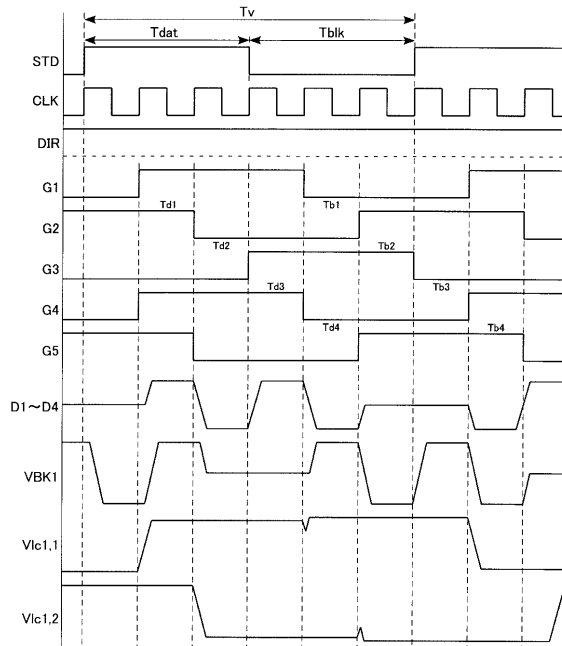
【図 15】



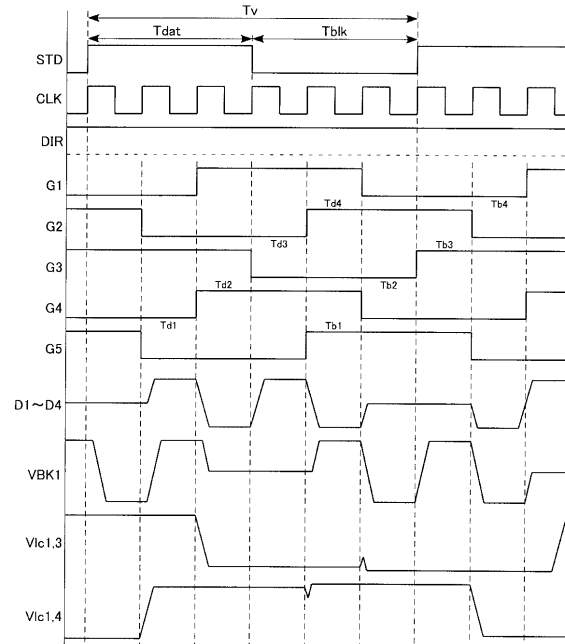
【図 16】



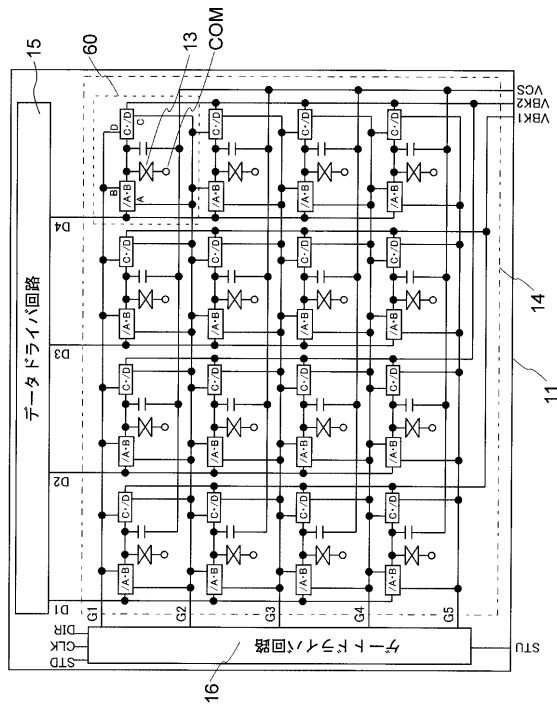
【図 17】



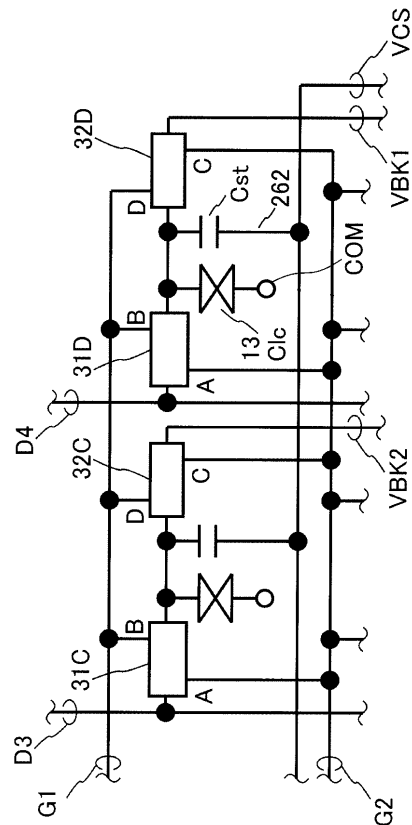
【図 18】



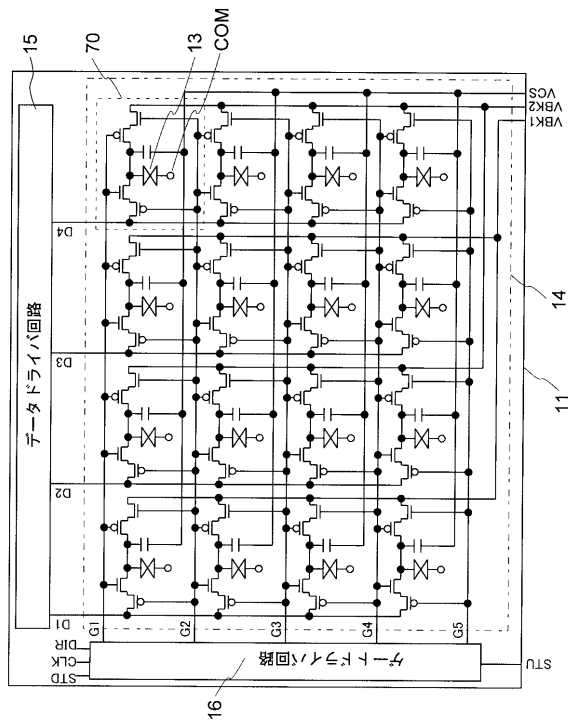
【図 19】



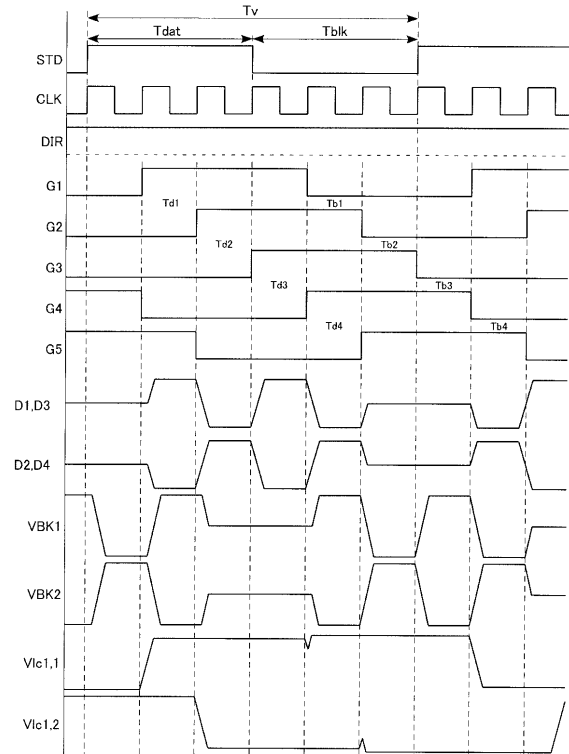
【図 20】



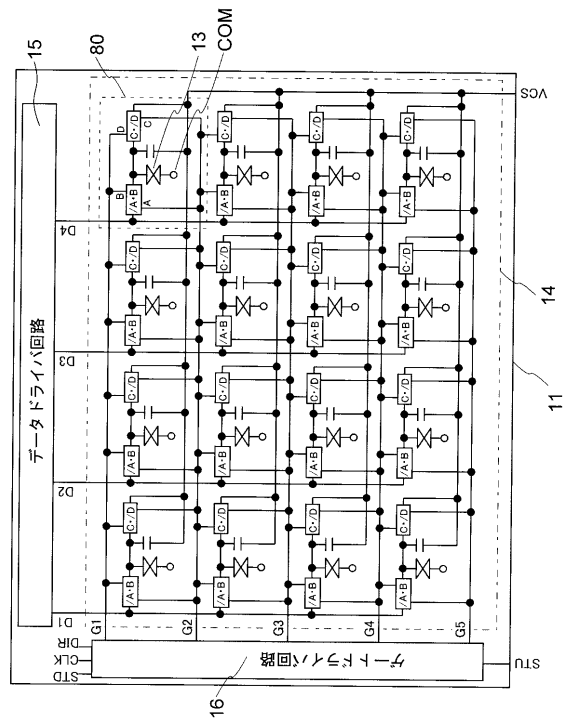
【図 2 1】



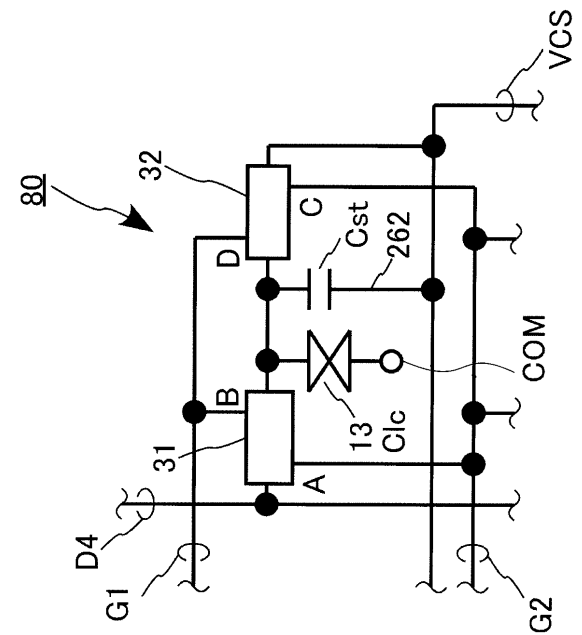
【図 2 2】



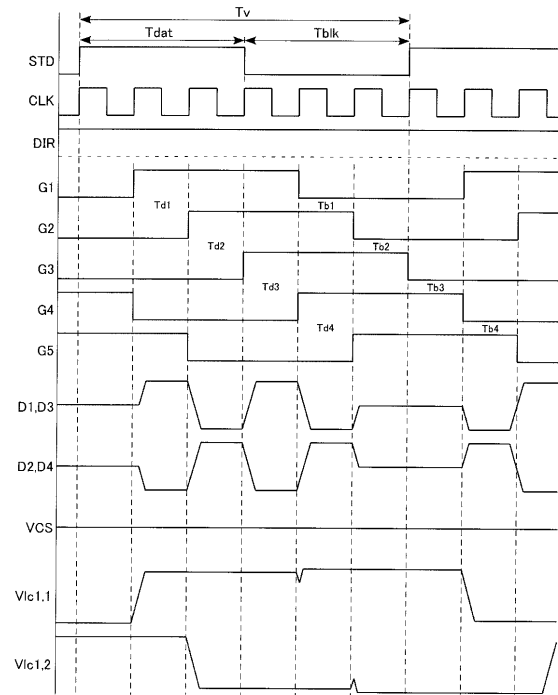
【図 2 3】



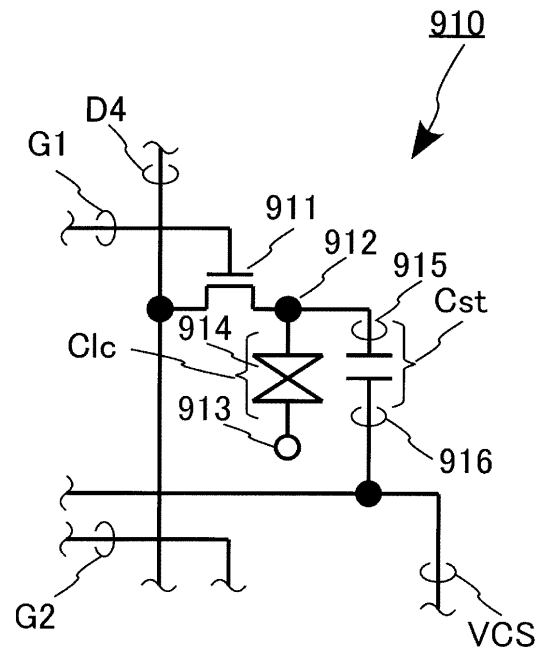
【図 2 4】



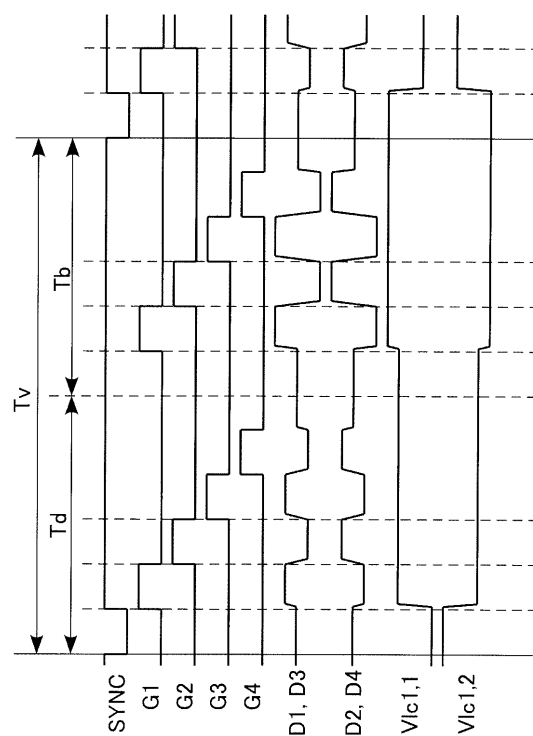
【 図 2 6 】



【图 28】



【図 29】



(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 1 R

G 0 9 G 3/20 6 4 2 D

G 0 9 G 3/20 6 4 2 E

G 0 9 G 3/20 6 1 1 A

Fターム(参考)	5C006	AA01	AA02	AA16	AC11	AC23	AC26	AC28	AF42	AF44	AF45
		AF51	AF52	AF69	AF72	BB16	BC03	BC06	BC11	BC20	BC22
		BC23	BF03	BF06	BF25	BF27	EA01	FA03	FA12	FA23	FA29
		FA37	FA44	FA47	FA51	FA54					
	5C080	AA10	BB05	DD02	DD03	DD06	DD08	DD22	DD26	DD27	EE01
		EE19	EE25	EE26	EE28	EE29	FF11	GG08	JJ02	JJ03	JJ04
		KK07	KK43								

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2010277056A	公开(公告)日	2010-12-09
申请号	JP2009134289	申请日	2009-06-03
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC LCD科技有限公司		
[标]发明人	関根裕之		
发明人	関根 裕之		
IPC分类号	G02F1/1368 G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3659 G09G2300/0814 G09G2300/0842 G09G2310/0251 G09G2310/0283 G09G2310/061 G09G2320/0247 G09G2320/0261 G09G2330/021		
FI分类号	G02F1/1368 G09G3/36 G02F1/133.550 G09G3/20.624.B G09G3/20.624.D G09G3/20.641.R G09G3/20.642.D G09G3/20.642.E G09G3/20.611.A G02F1/1343		
F-TERM分类号	2H092/JA24 2H092/JB22 2H092/JB42 2H092/JB63 2H092/JB69 2H092/NA05 2H092/NA07 2H092/PA06 2H092/PA11 2H092/PA13 2H092/QA09 2H193/ZA04 2H193/ZA05 2H193/ZB02 2H193/ZB06 2H193/ZB14 2H193/ZB16 2H193/ZC16 2H193/ZC24 2H193/ZD23 2H193/ZE02 2H193/ZF21 2H193/ZF31 2H193/ZG02 2H193/ZP03 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 2H193/ZQ48 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AC11 5C006/AC23 5C006/AC26 5C006/AC28 5C006/AF42 5C006/AF44 5C006/AF45 5C006/AF51 5C006/AF52 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF06 5C006/BF25 5C006/BF27 5C006/EA01 5C006/FA03 5C006/FA12 5C006/FA23 5C006/FA29 5C006/FA37 5C006/FA44 5C006/FA47 5C006/FA51 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD03 5C080/DD06 5C080/DD08 5C080/DD22 5C080/DD26 5C080/DD27 5C080/EE01 5C080/EE19 5C080/EE25 5C080/EE26 5C080/EE28 5C080/EE29 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 5C080/KK43 2H192/AA24 2H192/CB13 2H192/CB24 2H192/CC22 2H192/DA12 2H192/FB02 2H192/JA06 2H192/JA13 2H192/JA32 2H193/ZA19		
代理人(译)	高桥 勇		
优先权	2008174283 2008-07-03 JP 2009110162 2009-04-28 JP		
其他公开文献	JP5299775B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够实现执行伪脉冲驱动的液晶显示装置的高亮度并且能够以低成本改善运动图像特性的液晶显示装置。在本发明的液晶显示装置中，构成每个像素20的第一开关装置31a具有连接到栅极线G2的控制端子A，连接到栅极线G1的控制端子B，控制端子A处于低电平时导通，控制端子B处于高电平。在第二开关装置32a中，控制端子C连接到栅极线G2，控制端子D连接到栅极线G1。像素电容器C_{lc}和存储电容器C_{st}通过第一开关装置31a连接到数据线（D1到D4），并且经由第二开关装置32a连接到黑信号供应布线VBK1。该黑色信号供给线VBK1对于所有像素是共用的。 点域4

