

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-230152

(P2009-230152A)

(43) 公開日 平成21年10月8日(2009.10.8)

(51) Int.Cl.

G02F 1/1339 (2006.01)

F I

G02F 1/1339 500

テーマコード (参考)

2H189

審査請求 有 請求項の数 16 O L (全 19 頁)

(21) 出願番号 特願2009-135133 (P2009-135133)
 (22) 出願日 平成21年6月4日(2009.6.4)
 (62) 分割の表示 特願2008-289356 (P2008-289356)
 の分割
 原出願日 平成9年5月26日(1997.5.26)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 平形 吉晴
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 西 毅
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H189 DA07 DA19 DA28 DA31 DA48
 DA49 EA04X FA16 HA14 JA10
 LA05 LA08 LA10 LA14 LA15

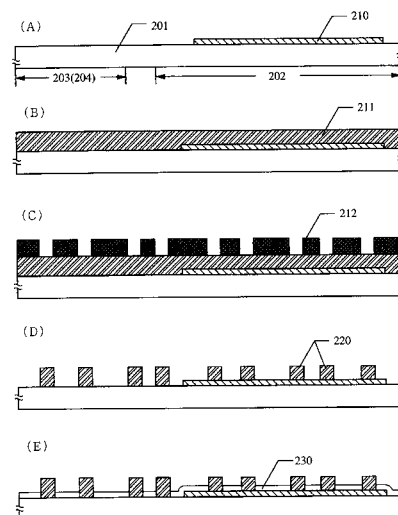
(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【要約】 (修正有)

【課題】球状のスペーサを用いずに、セルギャップを保持する。

【解決手段】第1の基板と、第1の基板に対向する第2の基板とを有し、第1の基板は、画素電極と、薄膜トランジスタと、画素電極の上方に設けられた第1の配向膜と、を有し、第2の基板は、選択的に設けられたカラーフィルタと、複数のギャップ保持部材と、複数のギャップ保持部材を覆って設けられた第2の配向膜と、を有し、ギャップ保持部材の材料は感光性樹脂であり、ギャップ保持部材は、カラーフィルタが設けられた領域及びカラーフィルタが設けられていない領域にそれぞれ設けられ、かつカラーフィルタが設けられていない領域に設けられたギャップ保持部材は、カラーフィルタが設けられた領域に設けられたギャップ保持部材よりも高い。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

第 1 の基板と、前記第 1 の基板に対向する第 2 の基板とを有し、前記第 1 の基板には、薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続された画素電極と、前記画素電極の上に第 1 の配向膜が設けられた液晶表示装置の作製方法であって、

前記第 2 の基板上に選択的にカラーフィルタを形成し、

前記カラーフィルタの上に対向電極を形成し、

前記カラーフィルタと前記対向電極を覆って前記第 2 の基板上に感光性樹脂膜を形成し

、
光を照射することにより前記感光性樹脂膜を感光させ、前記感光性樹脂膜から複数の柱状のギャップ保持部材を、前記第 2 の基板上の前記カラーフィルタが形成された領域及び前記カラーフィルタが形成されていない領域にそれぞれ形成し、

前記カラーフィルタが形成された領域において、前記複数の柱状のギャップ保持部材は前記対向電極の上に形成されており、

前記カラーフィルタが形成されていない領域に形成された前記複数の柱状のギャップ保持部材の前記第 2 の基板からの高さは、前記カラーフィルタが形成された領域に形成された前記複数の柱状のギャップ保持部材の前記対向電極からの高さよりも大きいことを特徴とする液晶表示装置の作製方法。

【請求項 2】

第 1 の基板と、前記第 1 の基板に対向する第 2 の基板とを有し、前記第 1 の基板には、薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続された画素電極と、前記画素電極の上に設けられた第 1 の配向膜とを有する画素領域と、前記画素領域の前記薄膜トランジスタを駆動するための駆動回路を有する駆動回路領域が設けられた液晶表示装置の作製方法であって、

前記第 2 の基板上に選択的にカラーフィルタを形成し、

前記カラーフィルタの上に対向電極を形成し、

前記カラーフィルタと前記対向電極を覆って前記第 2 の基板上に感光性樹脂膜を形成し、

光を照射することにより前記感光性樹脂膜を感光させ、前記感光性樹脂膜から複数の柱状のギャップ保持部材を、前記画素領域に対向する領域及び前記駆動回路領域に対向する領域にそれぞれ形成し、

前記複数の柱状のギャップ保持部材を形成した後、前記第 2 の基板上に第 2 の配向膜を形成し、

前記画素領域に対向する領域において、前記複数の柱状のギャップ保持部材は前記対向電極の上に形成されており、

前記駆動回路領域に対向する領域に形成された前記複数の柱状のギャップ保持部材の前記第 2 の基板からの高さは、前記画素領域に対向する領域に形成された前記複数の柱状のギャップ保持部材の前記対向電極からの高さよりも大きいことを特徴とする液晶表示装置の作製方法。

【請求項 3】

請求項 1 又は請求項 2 において、前記第 1 の配向膜は、フレキシ印刷法、スピンコート法又はスクリーン印刷法によって形成することを特徴とする液晶表示装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、前記第 2 の配向膜は、フレキシ印刷法、スピンコート法又はスクリーン印刷法によって形成することを特徴とする液晶表示装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、前記第 1 の配向膜の材料は、ポリイミド、アクリル、ポリアミド、又はポリイミドアミドから選ばれた材料であることを特徴とする液晶表示装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、前記第 2 の配向膜の材料は、ポリイミド、アクリル、ポリアミド、又はポリイミドアミドから選ばれた材料であることを特徴とする液晶表示装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、前記第 2 の基板上にブラックマトリクスを形成することを特徴とする液晶表示装置の作製方法。

【請求項 8】

請求項 7 において、前記複数の柱状のギャップ保持部材が前記ブラックマトリクスに重なって配置されるように、前記複数の柱状のギャップ保持部材を形成することを特徴とする液晶表示装置の作製方法。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーにおいて、前記感光性樹脂膜は、ポリイミド、アクリル、ポリアミド、又はポリイミドアミドから選ばれた材料であることを特徴とする液晶表示装置の作製方法。

【請求項 10】

請求項 1 乃至請求項 9 のいずれかーにおいて、前記複数の柱状のギャップ保持部材の高さは $2.0 \sim 5.0 \mu\text{m}$ であることを特徴とする液晶表示装置の作製方法。

【請求項 11】

請求項 1 乃至請求項 10 のいずれかーにおいて、前記複数の柱状のギャップ保持部材は $40 \sim 160 \text{ 個} / \text{mm}^2$ の密度で形成されることを特徴とする液晶表示装置の作製方法。

【請求項 12】

請求項 1 乃至請求項 11 のいずれかーにおいて、前記感光性樹脂膜はスピンコート法を用いて形成することを特徴とする液晶表示装置の作製方法。

【請求項 13】

請求項 1 乃至請求項 12 のいずれかーにおいて、前記薄膜トランジスタは逆スタガ型薄膜トランジスタ、又はマルチゲイト型薄膜トランジスタであることを特徴とする液晶表示装置の作製方法。

【請求項 14】

請求項 1 乃至請求項 13 のいずれかーにおいて、前記第 1 の配向膜及び前記第 2 の配向膜は垂直配向膜であることを特徴とする液晶表示装置の作製方法。

【請求項 15】

請求項 1 乃至請求項 14 のいずれかーにおいて、前記薄膜トランジスタの上に有機樹脂膜が形成され、前記有機樹脂膜の上に前記画素電極が形成されることを特徴とする液晶表示装置の作製方法。

【請求項 16】

請求項 1 乃至請求項 15 のいずれかーにおいて、前記複数の柱状のギャップ保持部材の形状は、円柱状、楕円柱状、矩形柱状、又は多角柱状であることを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する発明は、一対の対向する基板を有する表示装置に関するものであり、対向する基板間隔の維持手段に関するものである。

【背景技術】

【0002】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ (TFT) を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0003】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個も

10

20

30

40

50

の画素領域にそれぞれＴＦＴが配置され、各画素電極に出入りする電荷をＴＦＴのスイッチング機能により制御するものである。

【０００４】

アクティブマトリクス型液晶表示装置の基本的な構成は、２つの対向する基板からなり、一方は画素領域を有するＴＦＴ基板と呼ばれ、他方は対向基板と呼ばれている。ＴＦＴ基板は数十～数百万個の画素スイッチングＴＦＴ（画素ＴＦＴと呼ぶ）を含む画素領域と、それらを駆動する複数のＴＦＴを含む周辺駆動回路領域とによって構成される。

【０００５】

他方、対向基板はＴＦＴ基板の画素領域と対向する透明導電性膜から成る対向電極と、配向膜とが形成された透明基板で構成されている。

10

【０００６】

ＴＦＴ基板および対向基板には、液晶材料の配向性を整えるためのラビングなどの配向処理が行われる。その後、ＴＦＴ基板と対向基板との基板間隔（セルギャップ）を維持するために、ＴＦＴ基板又は対向基板のいずれか一方に粒形のスペーサが均一に散布される。次に、シール剤によって２つの基板が貼り合され、ＴＦＴ基板と対向基板との間に液晶材料が充填され、液晶注入口が封止材で封止される。こうしてアクティブマトリクス型液晶表示装置が作製される。

【０００７】

しかし、上記のような構成を有する液晶表示装置や反強誘電性液晶表示には以下のような問題点がある。

20

【０００８】

最近注目されてきている強誘電性液晶を用いた液晶表示装置や、反射型液晶表示装置には、その特性上、小さいセルギャップが求められている。しかし、従来のような粒形のスペーサを用いて小さく均一なセルギャップを有するセルを作製することは、一般的に困難である。

【０００９】

更に、従来の粒形のスペーサは、液晶材料注入時に、液晶材料の流動によって粒状のスペーサ自体も流れてしまい、結果として均一なスペーサ散布密度を得ることができず、セル厚ムラの原因となっている。また、粒状のスペーサは流動して複数個凝集すると、スペーサが点欠陥として視認されてしまう。

30

【００１０】

また、一般的に製造または試作されている液晶表示装置は画素ピッチに関係なく、透過型であれば４～６μｍ程度、反射型であれば２～３μｍのセルギャップを確保しているようであるが、今後は、液晶パネルの高精細化が求められ、画素ピッチを更に微細化する傾向が強まってきている。

【００１１】

例えば、投射型液晶表示装置（プロジェクション）は、画像をスクリーンに拡大投射することを考えて可能な限り高精細な画像を表示できることが望ましい。またコストの面からも光学系を小型化する必要があり、パネルサイズを小さくすることが必要である。このため、今後は画素ピッチが４０μｍ以下、好ましくは３０μｍ以下の液晶表示装置を作製する必要がある。

40

【００１２】

画素ピッチが微細化するに従って、１つの画素面積に対してスペーサの占有面積との相対比が大きくなるため、スペーサが点欠陥となってしまうおそれが生ずる。

【００１３】

更に、高精細な画像を必要とする液晶表示装置において、粒形のスペーサが画素領域に存在する場合、スペーサの近傍は液晶材料の配向性が乱れるため、画像表示の乱れ（ディスプレイネーション）が観測される場合がある。

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 1 4 】

上述したように、従来の粒形のスペーサを用いてセルギャップを制御する場合は、さまざまな要因により良好な表示を得ることができないことがある。

【 0 0 1 5 】

本発明は、従来使用された粒状のスペーサを用いなくて、セルギャップが保持された表示装置を提供することを課題とする。

【 0 0 1 6 】

更に、本発明は、TFT基板のTFTにダメージを与えないように、セルギャップを保持する手段を提供することを課題とする。

【課題を解決するための手段】

【 0 0 1 7 】

上記の課題を解決するために、本発明に係る液晶表示装置の作製方法の第1の構成は、第1の基板と、前記第1の基板に対向する第2の基板とを有し、前記第1の基板には、薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とが設けられた液晶表示装置の作製方法であって、前記第1の基板上に第1の配向膜を形成し、前記第2の基板に感光性樹脂膜を形成し、光を照射することにより前記感光性樹脂膜を感光させ、前記感光性樹脂膜から複数のギャップ保持部材を形成し、前記複数のギャップ保持部材を形成した後、前記第2の基板上に第2の配向膜を形成し、前記第1の配向膜と前記第2の配向膜にはラビング処理を行わないことを特徴とする。

【 0 0 1 8 】

また、本発明に係る液晶表示装置の作製方法の第2の構成は、第1の基板と、前記第1の基板に対向する第2の基板とを有し、前記第1の基板には、薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とが設けられた液晶表示装置の作製方法であって、前記第1の基板上に第1の垂直配向膜を形成し、前記第2の基板に感光性樹脂膜を形成し、光を照射することにより前記感光性樹脂膜を感光させ、前記感光性樹脂膜から複数のギャップ保持部材を形成し、前記複数のギャップ保持部材を形成した後、前記第2の基板上に第2の垂直配向膜を形成し、前記第1の垂直配向膜と前記第2の垂直配向膜にはラビング処理を行わないことを特徴とする。

【 0 0 1 9 】

上記の第1又は第2の構成において、ギャップ保持部材を設けたため、第1に、スペーサが不要になる。第2に、ギャップ保持部材の高さを任意に設定できるので、基板間距離を任意に決定することができる。第3に、ギャップ保持部材が固定されているので、従来のスペーサのようにダマ状に凝集することが無く、点欠陥となることがない。

【 0 0 2 0 】

また、上記第1の発明および第2の発明では、ギャップ保持部材の位置を適宜に設定できる。例えば、ギャップ保持部材が、前記画素領域と概略対向する領域に設けることができる。この場合には、ギャップ保持部材をカラーフィルタのブラックマトリクス上や、画素領域のバスライン上等の表示に使用されない箇所に設けると良い。あるいは、ギャップ保持部材を画素領域と対向しない領域に設けることによって、表示に影響を与えないで基板間隔を保持することができる。

【 0 0 2 1 】

また、本発明を、第1の基板(TFT基板)に、画素領域と、画素領域に配置されたスイッチング素子を駆動する駆動回路が配置された駆動回路領域と、を設けた表示装置に適用した場合、ギャップ保持部材を第2の基板(対向基板)のうち、第1の基板に設けられた駆動回路領域と対向しない領域に設けるとよい。この場合、ギャップ保持部材による応力によって、駆動回路を損傷・破壊することを回避できる。

【 0 0 2 2 】

更に本発明では、ギャップ保持部材を第2の基板に設けたため、ギャップ保持部材の形成工程によって生ずる影響(溶剤やエッチェントによる影響、機械的な衝撃等)を第1の基板に与えずに済む。第1の基板には画素領域や駆動回路が配置されるため、第2の基板

10

20

30

40

50

と比較して非常に集積度が高い。そのため、本発明では、第 1 の基板に対する処理をできるだけ少なくするために、第 2 の基板にギャップ保持部材を設けるようにしたものである。

【 0 0 2 3 】

更に、本発明のギャップ保持部材は第 2 の基板に設けることによって、材料を選択する際の条件が、第 1 の基板に設けた場合よりも緩やかになる。例えば、本発明を、TFT を有する液晶表示装置に用いた場合、第 1 の基板 (TFT 基板) には画素 TFT や駆動回路 TFT が形成されているため、ギャップ保持部材の材料としては、これら TFT を構成する材料に対して、エッチング選択比をとれるような材料を選択しなければならない。

【 0 0 2 4 】

他方、第 2 の基板 (対向基板) には、対向電極、カラーフィルタが形成される程度であり、TFT 基板と比較して使用される材料は少ないので、対向基板にギャップ保持部材を形成する場合には、材料を選択する条件が少なくなる。更に、ギャップ保持部材の作製に必要なエッチング液やエッチングガス等の材料や、作製手段の選択幅も広がる。

【 0 0 2 5 】

また、基板の隙間を均一に維持できるようにするため、本発明のギャップ保持部材は下地の凹凸を相殺できる平坦化材料で形成するのが好ましい。例えば、ポリイミド、アクリル、ポリアミド、またはポリイミドアミドから選ばれた樹脂材料や、紫外線硬化性樹脂、エポキシ樹脂を代表とする熱硬化性樹脂を用いることができる。

【 0 0 2 6 】

上記の樹脂材料は TFT 基板 (第 1 の基板) の層間絶縁膜として使用されることが多く、このような場合、TFT 基板に、樹脂材料でなるギャップ保持部材を設けると、エッチングの選択比をとることが困難である。そこで、本発明では、ギャップ保持部材を対向基板 (第 2 の基板) に形成するようにしたものである。

【発明の効果】

【 0 0 2 7 】

本発明では、ギャップ保持部材を設けたため、スペーサが不要になる。また、ギャップ保持部材の高さを任意に設定できるので、基板間距離を任意に決定することができる。そのため、特に、基板間隔が $2 \sim 3 \mu\text{m}$ 程度の反射型の液晶表示装置や、 $2 \mu\text{m}$ 以下とする強誘電性液晶表示装置のような、狭い基板間隔を保持する表示装置に本発明は特に好適である。また、微細な画素配置を有する投射型液晶パネルにも好適である。

【 0 0 2 8 】

また、ギャップ保持部材は第 2 の基板 (対向基板) に固定されており、ギャップ保持部材が凝集することによる点欠陥の発生を防止することができる。

【 0 0 2 9 】

また、ギャップ保持部材の形成位置を制御できるため、その形成位置を画素領域外部や、バスライン上やブラックマトリクス上等の表示に寄与しない箇所に設けることで、表示不良の原因を減らすことができる。

【 0 0 3 0 】

また、本発明では、ギャップ保持部材を第 2 の基板に設けたため、ギャップ保持部材の形成工程によって生ずる影響 (エッチェントによる影響、機械的な衝撃等) を第 1 の基板に形成された素子に与えずに済むため、歩留まりを向上させることができる。

【 0 0 3 1 】

また、ギャップ保持部材を第 2 の基板に設けたことにより、TFT 等のスイッチング素子が設けられた第 1 の基板 (TFT 基板) に設けるよりも、ギャップ保持部材に使用できる材料の選択が容易になる。また、ギャップ保持部材の作製に必要なエッチング材等の材料や、手段の選択幅も広い。

【図面の簡単な説明】

【 0 0 3 2 】

【図 1】実施例 1 の液晶表示装置の断面構成の概略図である。

10

20

30

40

50

【図 2】実施例 1 の T F T 基板、対向基板の正面図である。

【図 3】実施例 1 の T F T 基板の作製工程を示す図である。

【図 4】実施例 1 の T F T 基板の作製工程を示す図である。

【図 5】実施例 1 の対向基板の作製工程を示す図である。

【図 6】実施例 1 の対向基板の正面図および斜視図である。

【図 7】実施例 5 の対向基板の正面図である。

【図 8】実施例 4 の対向基板の正面図である。

【図 9】実施例 6 の対向基板の正面図である。

【図 10】実施例 7 の対向基板の正面図である。

【図 11】実施例 7 の対向基板の正面図である。

【図 12】実施例 8 の対向基板の正面図である。

【実施例 1】

【0033】

図 1 ~ 図 6 を用いて本実施例を説明する。本実施例は、本発明をアクティブマトリクス型液晶表示装置へ応用した例を説明する。図 1 は液晶表示装置の断面構成の概略図であり、図 2 (A) は T F T 基板の正面図であり、図 2 (B) は対向基板の正面図である。

【0034】

図 2 (A) に示すように、T F T 基板 1 0 0 は、基板 1 0 1 上に、画素電極や画素電極に接続された T F T 等が配置された画素領域 1 0 2 と、画素領域 1 0 2 の T F T を駆動するための駆動回路が配置された駆動回路領域 1 0 3、1 0 4 からなる。

【0035】

また、図 2 (B) に示すように、対向基板 2 0 0 は、基板 2 0 1 と、2 0 2 で示される T F T 基板 1 0 0 の画素領域 1 0 2 と対向する領域と、2 0 3、2 0 4 で示される駆動回路領域 1 0 3、1 0 4 と対向する領域とでなる。図 1 に示すように、基板 2 0 1 周辺に設けられたシール材 2 0 5 により、T F T 基板 1 0 0 と対向基板 2 0 0 が貼り合わされる。

【0036】

更に、図 1 に示すように、対向基板 2 0 0 には、画素領域 1 0 2 に対向する対向電極 2 1 0 と、T F T 基板 1 0 0 と対向基板 2 0 0 との隙間を保持するためのギャップ保持部材 2 2 0 が設けられている。

【0037】

T F T 基板 1 0 0 と対向基板 2 0 0 の隙間には、液晶注入口 2 0 6 から液晶 3 0 0 が注入され、シール材 2 0 5 により液晶 3 0 0 が封止される。また、T F T 基板 1 0 0、対向基板 2 0 0 には、それぞれ液晶 3 0 0 を配向するための配向膜 1 1 0、2 3 0 を有する。

【0038】

次に、図 3、4 を用いて T F T 基板 1 0 0 の作製方法について説明する。図 3、4 の右側に画素領域 1 0 2 に配置される T F T の作製工程を示し、左側に駆動回路領域 1 0 3、1 0 4 に配置される T F T の作製工程を示す。

【0039】

まず、図 3 (A) を参照する。ガラス基板 1 0 1 上に、ガラス基板からの不純物拡散防止用の下地絶縁膜 1 2 1 として酸化珪素膜を 1 0 0 ~ 3 0 0 n m の厚さに形成する。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマ C V D 法を用いればよい。本実施例では、T E O S ガスを原料にしてプラズマ C V D 法によって、酸化珪素膜を 2 0 0 n m の厚さに形成した。なお、基板 1 0 1 に石英基板を用いた場合には、下地絶縁膜 1 2 1 は不要である。

【0040】

次に、プラズマ C V D 法や L P C V D 法によってアモルファスもしくは多結晶のシリコン膜を 3 0 ~ 1 5 0 n m、好ましくは 5 0 ~ 1 0 0 n m の厚さに形成する。そして、熱アニールを行い、シリコン膜を結晶化させる。熱アニールは 5 0 0 以上、好ましくは 8 0 0 ~ 9 0 0 の温度で行う。熱アニールによってシリコン膜を結晶化させた後、光アニールを行うことによって更に結晶性を高めてもよい。また、熱アニールによってシリコン膜

10

20

30

40

50

を結晶化させる際に、特開平 6 - 2 4 4 1 0 4 号公報に開示されているように、ニッケル等の元素（触媒元素）を添加することによって、シリコンの結晶化を促進させてもよい。

【 0 0 4 1 】

本実施例では、プラズマ C V D 法によって、アモルファスシリコン膜を 5 0 n m の厚さに形成した後、4 5 0 ° で 1 時間加熱して水素出しを行い、エキシマレーザ光を照射し多結晶化した。そして、多結晶化したシリコン膜をパターニングして、島状の周辺駆動回路 T F T の活性層（P チャネル型 T F T 活性層 1 2 2、N チャネル型 T F T 活性層 1 2 3）、および画素 T F T の活性層 1 2 4 を形成する。図 3 では便宜上、3 つの T F T だけを図示したが、実際は、数百万個の T F T を同時に形成する。

【 0 0 4 2 】

次にゲイト絶縁膜 1 2 5 を形成する。本実施例では、プラズマ C V D 法によって、一酸化二窒素（ N_2O ）とモノシラン（ SiH_4 ）との混合ガスを原料ガスにして、厚さ 1 2 0 n m の絶縁膜を形成した。

【 0 0 4 3 】

その後、スパッタ法でアルミニウム膜を 3 0 0 n m の厚さに形成し、パターニングして、ゲイト電極 1 2 6、1 2 7、1 2 8 をそれぞれ形成する。

【 0 0 4 4 】

次に、図 3（B）に示すように、イオンドーピング法によって全ての島状活性層 1 2 2 ~ 1 2 4 にゲイト電極 1 2 6 ~ 1 2 8 をマスクにして、リンイオンを自己整合的にドーピングをする。ドーピングガスはフォスフィン（ PH_3 ）を用いる。この時の、ドーズ量は $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子 / cm^2 とする。この結果、弱い N 型領域（ N^- 領域）1 2 9、1 3 0、1 3 1 が形成される。

【 0 0 4 5 】

次に、図 3（C）に示すように、P チャネル型 T F T の活性層 1 2 2 全てを覆うフォトレジストのマスク 1 3 2 と、画素 T F T の活性層 1 2 4 の一部を覆うフォトレジストのマスク 1 3 4 を形成する。マスク 1 3 4 は、ゲイト電極 1 2 8 と平行に、ゲイト電極 1 2 8 の端から 3 μm 離れた部分までを覆う。

【 0 0 4 6 】

そして、再びイオンドーピング法によって燐イオンを注入する。ドーピングガスは、フォスフィンを用いる。ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子 / cm^2 とする。この結果、強い N 型領域（ N^+ 領域）のソース / ドレイン 1 3 5、1 3 6 が形成される。画素 T F T の活性層 1 2 4 の弱い N 型領域（ N^- 領域）1 3 1 のうちマスク 1 3 4 で覆われていた領域 1 3 7 は、今回のドーピングでは燐イオンは注入されない。したがって、領域 1 3 7 は弱い N 型領域のままである。なお、低濃度不純物領域 1 3 7 の幅 x は約 3 μm とした。

【 0 0 4 7 】

次に、図 3（D）に示すように、N チャネル型 T F T の活性層 1 2 3、1 2 4 をフォトレジストのマスク 1 3 8 で覆う。そして、ジボラン（ B_2H_6 ）をドーピングガスとしてイオンドーピングを行い、島状領域 1 2 2 に硼素を注入する。ドーズ量は $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子 / cm^2 とする。今回のドーピングでは、硼素のドーズ量が前述の図 3（C）で示される工程においてドーピングされた燐のドーズ量を上回るため、先に形成されていた弱い N 型領域 1 2 9 は、強い P 型領域 1 3 9 に反転する。

【 0 0 4 8 】

その後、4 5 0 ~ 8 5 0 ° で、0 . 5 ~ 3 時間熱アニールを施すことにより、ドーピング不純物を活性化させ、かつシリコンの結晶性を回復させる。この熱アニール処理により、ドーピングによるシリコン膜のダメージを回復する。

【 0 0 4 9 】

以上のドーピングにより、駆動回路領域 1 0 3（1 0 4）には、強い N 型領域 1 3 5 となるソース / ドレインを有する N 型 T F T と、強い P 型領域 1 3 9 となるソース / ドレインを有する P 型 T F T が形成される。また、画素領域 1 0 2 には、強い N 型領域 1 3 6 で

10

20

30

40

50

なるソース/ドレインと、弱いN型領域でなる低濃度不純物領域137を有するN型TF Tが形成される(図3(D))。

【0050】

次に、図3(E)示すように第1層間絶縁膜140を形成する。本実施例では、プラズマCVD法によって窒化珪素膜を500nmの厚さに形成した。第1層間絶縁膜140は酸化珪素膜や酸化窒化珪素膜の単層膜、あるいは窒化珪素膜と酸化珪素膜との多層膜や、窒化珪素膜と酸化窒化珪素膜の多層膜であってもよい。次に、第1層間絶縁膜140をエッチングしてコンタクトホールを形成する。

【0051】

その後、スパッタ法によって、チタン/アルミニウム/チタンでなる多層膜を形成し、これをエッチングして駆動回路の電極・配線141、142、143、および画素TF Tの電極・配線144、145を形成する。本実施例では、チタンの膜厚をそれぞれ100nmとし、アルミニウムの膜厚を300nmとした。

【0052】

次に、図4(A)に示すように、厚さ1.0~2.0μmの厚さに有機樹脂膜でなる第2層間絶縁膜146を形成する。有機樹脂膜として、ポリイミド、ポリアミド、ポリイミドアミド、ポリアクリル等を用いることができる。本実施例では、第2層間絶縁膜146としてポリイミド膜を1.5μmの厚さに形成した。

【0053】

そして、フォトリソグラフィー法によって画素TF Tの電極145に達するコンタクトホールを形成する。そして、1wt%のチタンを添加したアルミニウム膜を300nmの厚さに形成しパターンニングして、図4(B)に示すように、画素電極147を形成した。

【0054】

図1(A)に示すTF T基板100の画素領域102においては、それぞれの画素電極に少なくとも1つ以上のTF Tが配置され、電気的に接続されている。駆動回路領域103、104には駆動回路としては、シフトレジスタやアドレスデコーダなどが用いられる。また、その他の回路が必要に応じて構成される。

【0055】

このようにして、複数の駆動回路TF T(駆動回路領域103、104)と複数の画素TF T(画素領域102)とが同一基板101上に一体形成されたTF T基板100が作製される。なお本実施例では、画素数は、縦1024×横768とした。なお、本明細書では、最端部の画素TF Tを含む画素TF Tが存在する領域を画素領域と呼び、最端部の駆動回路TF Tを含む駆動回路TF Tが存在する領域を駆動回路領域と呼ぶことにする。

【0056】

そして、図4(C)に示すように、TF T基板100を良く洗浄し、TF T形成時の表面処理に用いられたエッチング液、レジスト剥離液等の各種薬品を十分に洗浄した後、配向膜110をTF T基板100上に形成する。配向膜110の形成方法は後述する。

【0057】

次に、対向基板200の作製工程を、図5を用いて説明する。先ず図5(A)を参照する。基板201として、透光性を有するガラス基板や石英基板を用いる。本実施例では、ガラス基板を用いた。ガラス基板201上に、透明導電膜を形成しパターンニングして、画素領域102に対向する領域202に対向電極210を形成した。本実施例では、透明導電膜として、ITO膜を150nmの厚さに形成した(図5(A))。

【0058】

なお、必要であれば、対向電極210を形成する前に、カラーフィルタ、ブラックマトリクスを、染色法や印刷法等の公知の方法で作製する。カラーフィルタには、厚さが均一で平坦であること、耐熱性および耐薬品性に優れていること等が要求される。

【0059】

次に、ギャップ保持部材220の形成工程を説明する。本実施例では、ギャップ保持部材220を感光性の樹脂材料の1つであるポリイミドで形成する。

10

20

30

40

50

【0060】

まず、図5(B)に示すように、スピンコート法によって感光性ポリイミド膜211を厚さ3.2 μm に形成した。その後、感光性ポリイミド膜211の表面を対向基板200全面に渡って平坦にするために、30分間、常温で放置した(レベリング)。そして、上面に感光性ポリイミド膜211が形成された対向基板200を120℃で3分間プリベークした。

【0061】

なお、感光性ポリイミド膜211の膜厚で、セルギャップ(基板間隔)が決定されるので、セルギャップに合わせて感光性ポリイミド膜211の膜厚を適宜に設定すればよい。例えば、透過型液晶表示装置であればセルギャップが4~6 μm 程度、反射型液晶表示装置であればセルギャップが2~3 μm 程度、強誘電性液晶表示装置であれば2 μm 以下となるように、感光性ポリイミド膜211の膜厚を決めればよい。本実施例の液晶表示装置は反射型であるので、感光性ポリイミド膜211の膜厚を3.2 μm となるように形成した。

【0062】

次に、感光性ポリイミド膜211をパターンニングする。図5(C)に示すように、感光性ポリイミド膜211をフォトリソマスク212で覆い、マスク212側から紫外線を照射した。その後、現像処理を行い、280℃で1時間ポストベークを施した。こうして、図5(D)に示すように、パターンニングされたセルギャップ保持部材220が形成された。

【0063】

図6(A)は、図5(D)に示す状態の対向基板200の正面図であり、図6(B)は対向基板200の斜視図を示す。図6(A)および(B)に示されるようにギャップ保持部材220は円柱形状であり、従来用いられた球状のスペーサに代わるものである。そのため、ギャップ保持部材220の円柱の直径は1.5~2.5 μm 、高さは2.0~5.0 μm とすればよい。本実施例では、円柱の直径を3.0 μm とし、セルギャップを3.0 μm とするため、画素対向領域202においてその高さを3.2 μm とした。駆動回路対向領域203、204でのギャップ保持部材220の高さは対向電極210、カラーフィルタ等の厚さ分高くなっている。

【0064】

また、本実施例では、複数のギャップ保持部材220をランダムに配置して、従来の球状スペーサと同様の機能を奏するようにした。このため、ギャップ保持部材220の密度は、従来の球状スペーサと同程度の40~160個/ mm^2 程度の密度に形成すればよい。本実施例では、50個/ mm^2 の密度で、ギャップ保持部材220をランダムに形成した。ギャップ保持部材220を対向基板200全体にランダムに配置するため、ギャップ保持部材220の位置の精度はそれほど重要ではない。よって、製造マージンを大きくすることができる。

【0065】

その次に、配向膜110、230をTFT基板100上および対向基板200上に形成する(図4(C)、図5(E)参照)。配向膜110、230の材料には、垂直配向型のポリイミド膜を用いた。配向膜110、230の膜厚は、60nm~100nm程度とすればよい。

【0066】

まず、TFT基板100、対向基板200をそれぞれ洗浄した後、ポリイミド系の垂直配向膜をスピンコート法、フレキソ印刷法、あるいはスクリーン印刷法のいずれかによってTFT基板100上および対向基板200上にコートする。本実施例では、スピンコート法によってポリイミド膜を塗布した。その後、80℃で5分間仮焼成し、180℃の熱風を送り込むことによって加熱(本焼成)し、ポリイミドを硬化させて、配向膜110、230をそれぞれ形成した。配向膜110、230の厚さは80nmとした。

【0067】

なお、図5(E)では、配向膜230は、ギャップ保持部材220の側面や表面を覆っ

10

20

30

40

50

ていないが、本実施例では、ポリイミド被膜をスピンコート法で形成したため、ギャップ保持部材 220 の側面や表面をこのポリイミド被膜が若干覆っている場合もあるが、ギャップ保持部材 220 の高さが数 μm であるのに対し、ポリイミド被膜の厚さは数十～百 nm と極薄いため、また側面のような直立した部分では完全な膜を成していない場合もあるので、図 5 (E) では、基板 201 の水平面に形成された配向膜 230 のみを図示した。

【0068】

配向膜 110、230 にはポリイミドを用いたが、アクリル、ポリアミド、またはポリイミドアミド等の樹脂を用いてもよい。また、ギャップ保持部材に熱硬化樹脂を用いてもよい。

【0069】

次に、TFT 基板 100 の配向膜 110 の表面、と対向基板 200 の配向膜 230 の表面双方を、毛足の長さ 2～3 mm のパフ布（レイヨン、ナイロン等の繊維）で一定方向に擦るラビング処理を行った。なお、TFT 基板 100 と対向基板 200 のラビング向きは互いに直交するように行って、TN モード型の配向処理を行った。

【0070】

TFT 基板 100 をラビング処理する際は、イオンブロー装置や加湿装置を用いて静電気防止処置を施して、TFT 基板 100 上に形成された TFT の静電気破壊を防止した。

【0071】

他方、対向基板 200 をラビング処理する際は、ギャップ保持部材 220 を破壊しないように、パフ布の種類、植毛密度あるいは、ローラーの回転数等のラビング条件を設定した。

【0072】

次に、対向基板 200 の周辺部に、液晶注入口 206 を残して、紫外線硬化型樹脂でなるシール材 205 を塗布した（図 2 (B) 参照）。そして、TFT 基板 100 と対向基板 200 とを対向し、画素領域 102 のセルギャップがギャップ保持部材 220 の高さとなるようにプレスし、この状態でシール材 205 を硬化させた。なおシール材は TFT 基板 100 に塗布しても良い。

【0073】

次に、表示媒体としての液晶材料を液晶注入口より注入し、TFT 基板 100 と対向基板 200 との間に液晶 300 が挟持された状態となる。液晶材料注入口 206 に封止剤を塗布し、紫外線を照射することによって封止剤を硬化させ、液晶 300 をセル内に完全に封止した。以上の工程を経て、図 1 に示す構成を得る。

【0074】

本実施例では、ギャップ保持部材の形状は、円柱状としたが、ギャップ保持部材の形状は、楕円形、流線形、あるいは、三角形、四角形などの多角形状であってもよく、TFT 基板（第 1 の基板）と対向基板（第 2 の基板）とのギャップを制御できる形状であれば、いかなる形状を有することも許される。

【0075】

本実施例では、画素電極を金属材料で形成し、反射型の液晶表示装置としたが、TN モード型の配向処理を行いるため、透過型の液晶表示装置としてもよい。この場合、画素電極を、ITO や、 SnO_2 等の透明導電膜で形成すればよい。また、本実施例では TN モード型としたが、他のモードでも良く、モードに合わせてラビング処理を行えばよい。

【0076】

実施例 1 ではプレーナ型 TFT を例にとって説明してきたが、本発明は当然の如く TFT の構造には何ら影響されない、したがって、画素領域および駆動回路領域の個々の TFT が逆スタガ型 TFT であっても、あるいはマルチゲイト型 TFT であってもよい。また、対向電極も TFT 基板に形成される IPS 型の液晶パネルにも応用できる。

【0077】

本実施例では、ギャップ保持部材を感光性樹脂材料で形成したため、その高さを任意に設定することが可能であり、例えば 2 μm 以下とすることも可能であるため、液晶表示装

10

20

30

40

50

置のセルギャップを $2\mu\text{m}$ 以下とすることも可能である。よって、本実施例のギャップ保持部材は強誘電性液晶表示装置の液晶パネルや、投射型液晶表示装置の液晶パネルに好適である。

【0078】

また、本実施例では、対向基板200にギャップ保持部材が固定したため、従来のスペーサのように液晶の流入によって、凝集されることがないので、スペーサの凝集による点欠陥をなくすることができる。

【実施例2】

【0079】

実施例1では、TFT基板100、対向基板200双方にラビング処理を施したが、本実施例では、TFT基板100の配向膜110のみにラビング処理を施す。ラビング処理以外の作製工程は実施例1と同様である。

10

【0080】

ラビング工程で使用されるパフ布は静電気や塵の発生源であるので、ラビング処理は液晶表示装置の歩留まりを大きく左右する。本実施例では、できるだけラビング処理を少なくするため、TFT基板100一方にラビング処理を施す。

【0081】

対向基板200には、ギャップ保持部材220の高さは数 μm 程度であり、配向膜230の厚さは数十～百nm程度であり、ギャップ保持部材220は液晶側に突出して形成されているので、パフ布によってギャップ保持部材220が損傷したり、剥離するおそれがある。このため、ギャップ保持部材220の高さがばらついて、セルギャップを基板全体、あるいは基板毎で均一に保つことが困難となる。また、ギャップ保持部材220の損傷・剥離は新たな塵の発生源となってしまう。

20

【0082】

また、ギャップ保持部材220が液晶側に突出していることで、配向膜230に十分に溝を形成することが困難であり、液晶を配向させることができないおそれが生ずる。液晶を配向できないと表示できないため、液晶を配向させることは製造歩留まりを上げるための重要な要素である。

【0083】

このような問題点を回避するため、本実施例では、TFT基板100の配向膜110のみにラビング処理を施すようにする。

30

【0084】

本実施例でも、実施例1と同様に、配向膜110、230を垂直配向性を有するポリイミド膜で形成する。そして、TFT基板100の配向膜110の表面を、毛足の長さ2～3mmのパフ布（レイヨン、ナイロン等の繊維）で所定方向に擦るラビング処理を行う。この場合、TFT基板100の製造歩留まりを下げないようにするため、TFT基板100のラビング処理では静電気防止対策を行うことが重要である。

【実施例3】

【0085】

実施例2ではTFT基板100に一方にラビング処理を施したが、本実施例では、対向基板200の配向膜230のみにラビング処理を施す。ラビング処理以外の作製工程は実施例1と同様である（図1～6参照）。

40

【0086】

ラビング工程で使用されるパフ布は、静電気や塵の発生源となっており、ラビング処理は液晶表示装置の歩留まりを左右する。このため、できるだけラビング処理を少なくするため、本実施例では、対向基板200一方にラビング処理を施す。

【0087】

ラビング工程で使用されるパフ布は、静電気や塵の発生源となるものであり、これらはすべてTFT基板100に形成されるTFTの破壊の原因となるものである。そして、TFT基板100は対向基板200に比べて多くの工程が必要である。TFT基板100の

50

不良は液晶表示装置の製造コストを上げてしまう。そこで本実施例では、TFT基板100にラビング処理を施さないようにすることで、TFT基板の製造歩留まりを向上させることを目的とする。

【0088】

本実施例でも、実施例1と同様に、配向膜110、230を垂直配向性を有するポリイミド膜で形成する。そして、対向基板200の配向膜230の表面を、毛足の長さ2~3mmのパフ布(レイヨン、ナイロン等の繊維)で一定方向に擦るラビング処理を行う。この際に、対向基板200に形成されたギャップ保持部材220を損傷・剥離しないように、ラビング条件を設定した。

【0089】

実施例2、3では、ラビング処理を一方の基板に施すことを説明したが、それぞれ異なる効果を奏する実施例であり、ラビング処理を施す基板の選択は、製造コスト、歩留まり等を考慮して実施者が適宜に選択すればよい。

【0090】

また、本実施例2、3のように、片方の配向膜をラビング処理する場合には、液晶の駆動モードは限定されてしまうが、複屈折(ECB)モードが使用できることを確認している。

【0091】

他方、実施例1のように両方の配向膜をラビング処理する場合は、ラビング処理が1回多いが、液晶の駆動モードが限定されない、また液晶を確実に配向できるという効果を奏する。また、本発明を高分子分散型の液晶表示装置に用いた場合には、配向膜のラビング工程は不要である。

【実施例4】

【0092】

本実施例では、セルギャップ保持部材の配置の変形例であり、他は、実施例1と同じである。本実施例の対向基板の正面図を図8に示す。なお、図8において図6と同じ符号は同じ部材を示す。

【0093】

図6に示すように実施例1ではギャップ保持部材220を対向基板200全体にランダムに配置したが、本実施例では、図8に示すようにギャップ保持部材410をマトリクス状規則的に配置した。ギャップ保持部材410の形状は実施例1と同様とし、直径2.0 μ m、高さ3.2 μ mの円柱形とした。また、ギャップ保持部材410は、実施例1と同じく50個/mm²の密度に形成した。

【0094】

本実施例のギャップ保持部材410も、実施例1のギャップ保持部材220と同様の効果を得ることができる。

【実施例5】

【0095】

本実施例では、セルギャップ保持部材の配置の変形例であり、他は、実施例1と同じである。本実施例の対向基板の正面図を図7に示す。なお、図7において、図6と同じ符号は、同じ部材を示す。

【0096】

図6に示すように実施例1ではギャップ保持部材220を対向基板200全体にランダムに配置したが、本実施例では、図7に示すようにギャップ保持部材400を駆動回路対向領域203、204に形成しないようにし、画素対向領域202内にランダムに設けた。ギャップ保持部材400の形状は実施例1と同様とし、直径2.0 μ m、高さ3.2 μ mの円柱形とした。また、ギャップ保持部材400は60個/mm²の密度に形成した。

【0097】

駆動回路のTFTの集積度は、画素領域の集積度よりも大きいので、スペーサによる応力によって破壊されやすい。そこで、本実施例では、駆動回路対向領域203、204に

10

20

30

40

50

形成しないようにすることにより、基板を貼り合わせた際に、ギャップ保持部材 400 が T F T 基板 100 に形成された駆動回路に応力を与えないため、駆動回路の歩留まりを向上できる。

【0098】

なお、図 7 では、ギャップ保持部材 400 は画素対向領域 202 の外側にはみ出ているが、本実施例ではギャップ保持部材 400 によって、画素領域でセルギャップを保持できれば良く、かつギャップ保持部材 400 が駆動回路対向領域 203、204 に形成されていなければ良い。

【0099】

上記の実施例 1、4 では、画素対向領域 202 にギャップ保持部材 220、410 を形成しているが、ギャップ保持部材 220、410 の周囲はディスクリネーションが発生しやすい。そこで、画素対向領域 202 にギャップ保持部材 220、410 を形成する場合には、表示不良を防止するために、ギャップ保持部材 220、410 をブラックマトリクスや、T F T 基板 100 のバス配線等の表示に寄与しない箇所に重なるように設けるとよい。

【実施例 6】

【0100】

本実施例では、セルギャップ保持部材の配置の変形例であり、他は、実施例 1 と同じである。本実施例の対向基板の正面図を図 9 に示す。なお、図 9 において図 6 と同じ符号は同じ部材を示す。

【0101】

実施例 5 では、セルギャップ保持部材を駆動回路対向領域 203、204 に形成しないようにしたが、本実施例ではセルギャップ保持部材を駆動回路対向領域 203、204 および画素対向領域 202 双方に形成しないようにしたものである。

【0102】

T F T 基板 100 の画素領域 102 と駆動回路領域 103、104 には、高低差があり、一般に、画素領域 102 の方が高くなる。しかしながら、実施例 1 のギャップ保持部材 220 は、基板 201 からギャップ保持部材 220 の上底までの高さは、基板全体で均一としたため、画素領域 102 と駆動回路領域 103、104 の高低差が大きくなると、この高低差を補償することが困難となり、基板を貼り合わせた際に、セルギャップのムラが生ずるおそれがある。

【0103】

また、実施例 1、実施例 4 では、対向基板 200 全体にギャップ保持部材を形成したため、このギャップ保持部材によって、画素領域 102 や、駆動回路領域 103、104 に配置された T F T にダメージを与えるおそれがある。

【0104】

本実施例は、上記の問題点を解消し、セルギャップを無くし、かつ T F T 基板に形成される T F T に損傷を与えないような、ギャップ保持部材の配置方法に関する。

【0105】

本実施例の対向基板の正面図を図 9 に示す。なお、図 9 において、図 6 と同じ符号は、同じ部材を示す。また、対向基板 200 の作製方法は、実施例 1 と同じである。

【0106】

本実施例では、図 9 (A) に示すように、円柱状のギャップ保持部材 420 を画素対向領域 202 を取り囲むように配置した。ギャップ保持部材 420 のサイズは、直径 10 μ m、高さ 3.2 μ m の円柱状とした。また、ギャップ保持部材 420 の位置は、基板を貼り合わせた状態で、T F T 基板 100 の画素領域 102 の端部から 70 μ m 離れるように形成し、ギャップ保持部材 420 の間隔は 30 μ m とした。なお、液晶注入口 206 付近のギャップ保持部材 420 の密度は他の部分より小さくし、液晶を流動しやすくする。

【0107】

画素対向領域 202 と駆動回路対向領域 203、204 との間隔は数百 μ m 程度あり、

10

20

30

40

50

ギャップ保持部材 420 の直径と比較して十分大きいので、ギャップ保持部材 420 の位置に対する製造マージンは $\pm 10 \mu\text{m}$ 程度と大きなものとなる。他方、ギャップ保持部材 420 の高さの精度は、セルギャップを決定するため重要であり、本実施例では、 $\pm 0.1 \mu\text{m}$ 程度とした。

【0108】

また、図 9 (A) では、画素対向領域 202 の周囲にのみ、ギャップ保持部材 420 を形成したが、図 9 (B) に示すように、駆動回路対向領域 203、204 の周囲にも、ギャップ保持部材 420 と同様に、ギャップ保持部材 421、422 を形成してもよい。

【0109】

本実施例では、ギャップ保持部材 420 は、基板を貼り合わせた際に、画素領域 102、駆動回路領域 103、104 に重ならない場所に形成した。このため、セルギャップはギャップ保持部材 420、および 421、422 の高さだけで決定することができるため、画素領域 102、駆動回路領域 103、104 の高さに差が生じて、そのセルギャップを基板全体、あるいは他の基板同士でも均一にすることができる。

【0110】

さらに、ギャップ保持部材 420 によって、TFT 基板 100 に形成された画素 TFT や駆動回路 TFT を押圧することが無いため、歩留まりを向上させることができる。

【0111】

本実施例では、ギャップ保持部材を、画素対向領域 202、駆動回路対向領域 203、204 の周囲に形成したが、ギャップ保持部材に位置は、図 9 に限定されるものではなく、セルギャップを維持でき、かつ画素対向領域 202、駆動回路対向領域 203、204 以外なら任意に設定できる。

【実施例 7】

【0112】

本実施例は実施例 6 の変形例であり、図 10 (A) は対向基板の正面図であり、図 10 (B) は対向基板の斜視図である。対向基板の作製方法は、実施例 1 と同様であり、図 10 において図 6 と同じ符号は同じ部材を示す。

【0113】

本実施例では、ギャップ保持部材 430 を基板 201 に対して概略直立した壁状に形成した。ギャップ保持部材 430 は、画素対向領域 202 を取り囲んで形成し、かつ液晶注入口 206 に連結される。ギャップ保持部材 430 は幅 $20 \mu\text{m}$ とし、その高さを $3.2 \mu\text{m}$ とし、画素対向領域 202 の端部から $50 \mu\text{m}$ 離間した。

【0114】

本実施例では、ギャップ保持部材 430 は、基板を貼り合わせた際に、画素領域 102、駆動回路領域 103、104 に重ならない場所に形成した。このため、セルギャップはギャップ保持部材 430 の高さだけで決定することができるため、画素領域 102、駆動回路領域 103、104 の高さに差が生じて、そのセルギャップを基板全体、あるいは他の基板同士でも均一にすることができる。

【0115】

さらに、ギャップ保持部材 430 によって、TFT 基板 100 に形成された TFT を押圧することが無いため、歩留まりを向上させることができる。

【0116】

さらに図 10 (A) に示すように、本実施例のギャップ保持部材 430 は画素領域に液晶を封止できる構造であることを特徴する。ギャップ保持部材 430 によって、液晶は画素領域のみに注入され、駆動回路領域 103、104 には、液晶 300 が注入されないため、駆動回路の負荷容量を小さくすることができ、クロストークの発生を抑制することができる。

【0117】

なお、図 10 (A) では、画素対向領域 202 の周囲にのみギャップ保持部材 430 を形成したが、図 11 に示すように、駆動回路対向領域 203、204 の周囲にも、ギャッ

ブ保持部材 4 3 0 と同様な、壁状のギャップ保持部材 4 3 1、4 3 2 をそれぞれ形成してもよい。

【 0 1 1 8 】

また、本実施例ではギャップ保持部材 4 3 0 によって画素領域に液晶を封止できる構造であればよく、他のギャップ保持部材 4 3 1、4 3 2 の形状は、壁状に限定されず、円柱状、楕円柱状、矩形柱状、多角柱状としてもよい。また形成される位置は、駆動回路対向領域 2 0 3、2 0 4 の周囲に限定されるものではなく、セルギャップを維持でき、かつ画素対向領域 2 0 2、駆動回路対向領域 2 0 3、2 0 4 以外なら任意に設定できる。

【 実施例 8 】

【 0 1 1 9 】

10

本実施例は実施例 7 の変形例であり、ギャップ保持部材 4 4 0 によって、液晶は画素領域のみに注入され、駆動回路領域 1 0 3、1 0 4 には、液晶 3 0 0 が注入されないことを特徴とする。図 1 2 に本実施例の対向基板の正面図を示す。図 1 2 において、図 6 を同じ符号は同じ部材を示し、また T F T 基板の作製工程は、実施例 1 と同様である。

【 0 1 2 0 】

図 1 2 に示すように、本実施例では、駆動回路対向領域 2 0 3 と 2 0 4 を壁状のギャップ保持部材 4 4 1 で取り囲み、基板を貼り合わせた状態で駆動回路領域 1 0 3、1 0 4 に液晶 3 0 0 が侵入しないようにした。

【 0 1 2 1 】

本実施例では、ギャップ保持部材 4 4 1 を基板 2 0 1 に対して概略直立した壁状に形成した。その幅 2 0 μm とし、その高さを 3 . 2 μm とし、駆動回路対向領域 2 0 3 と 2 0 4 の端部から 5 0 μm 離間した。

20

【 0 1 2 2 】

他方、画素対向領域の周囲には、矩形柱状のギャップ保持部材 4 4 0 を画素対向領域 2 0 2 を取り囲むように配置し、液晶が画素領域に流入するようにした。ギャップ保持部材 4 4 0 のサイズは長辺 3 0 μm 、短辺 1 5 μm 、高さ、3 . 2 μm の矩形柱とした。また、ギャップ保持部材 4 4 0 の位置は、画素対向領域 2 0 2 の端部から 7 0 μm 離れるように形成し、ギャップ保持部材 4 4 0 の間隔は 3 0 μm とした。なお、液晶注入口 2 0 6 付近のギャップ保持部材 4 4 0 の密度は他の部分より小さくし、液晶を注入しやすくした。

【 0 1 2 3 】

30

なお、上記実施例 1 ~ 8 では、表示媒体として液晶材料を用いる場合について説明してきたが、本発明は、液晶材料と高分子との混合層、いわゆる高分子分散型液晶表示装置にも用いることができる。

【 0 1 2 4 】

また、本発明の表示装置の表示媒体は、対向する基板を有する表示装置に応用可能である。例えば、エレクトロルミネッセンス表示装置に適用することができる。

【 符号の説明 】

【 0 1 2 5 】

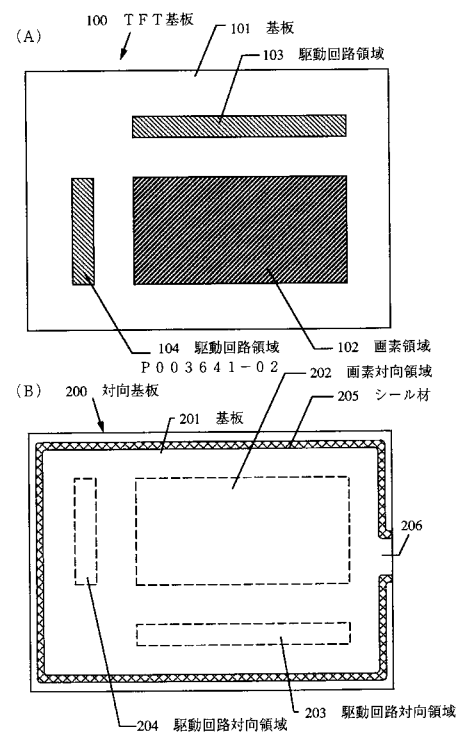
1 0 0 T F T 基板
 1 0 1 基板
 1 0 2 画素領域
 1 0 3、1 0 4 駆動回路領域
 1 1 0 配向膜
 2 0 0 対向基板
 2 0 1 基板
 2 0 2 画素対向領域
 2 0 3、2 0 4 駆動回路対向領域
 2 0 5 シール材
 2 0 6 液晶注入口
 2 1 0 対向電極

40

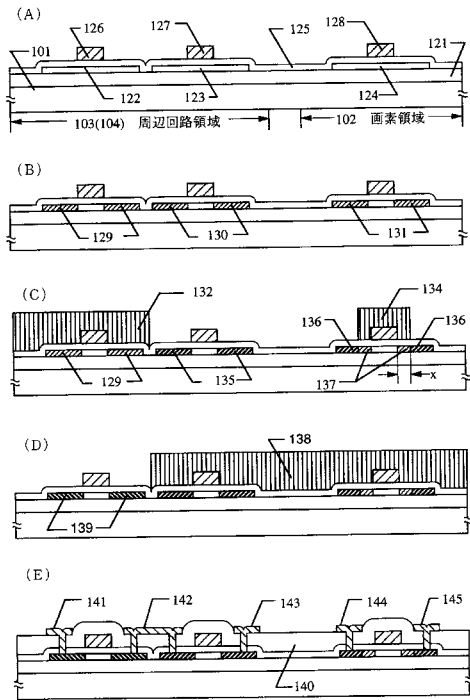
50

2 3 0 配向膜

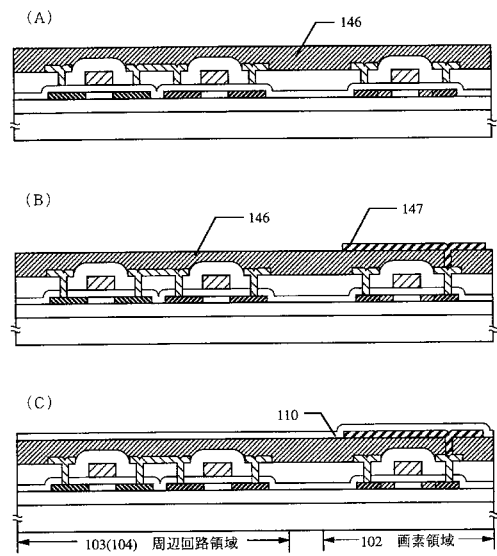
【 図 2 】



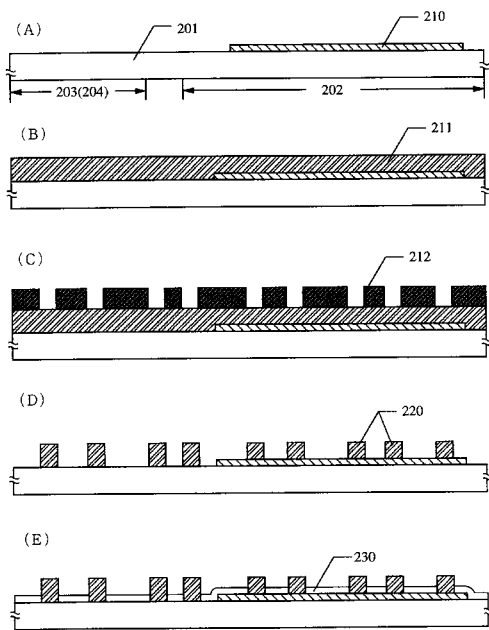
【図 3】



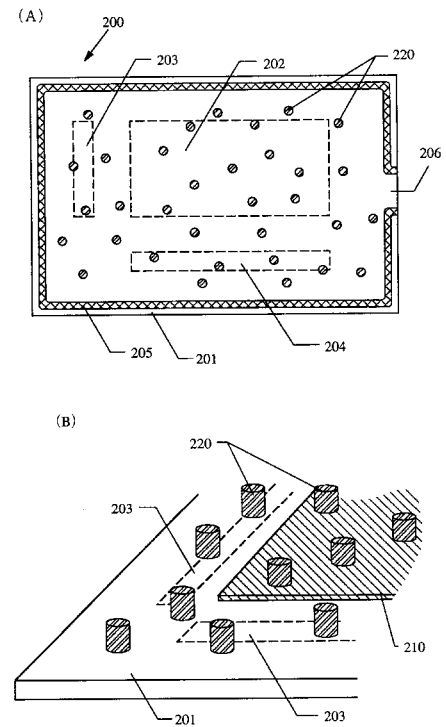
【図 4】



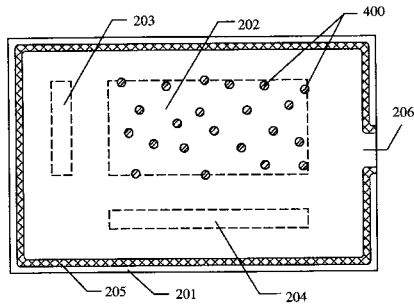
【図 5】



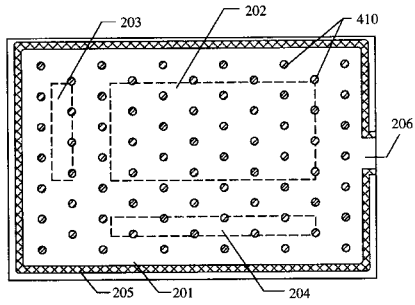
【図 6】



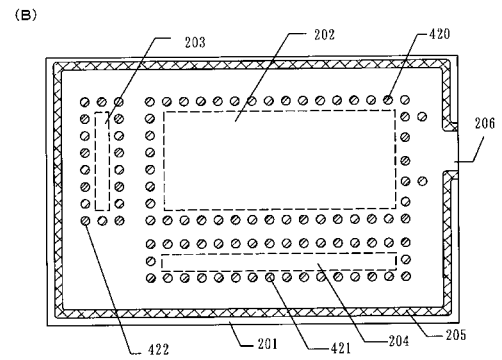
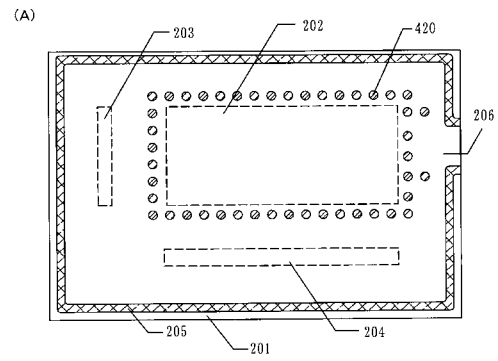
【図 7】



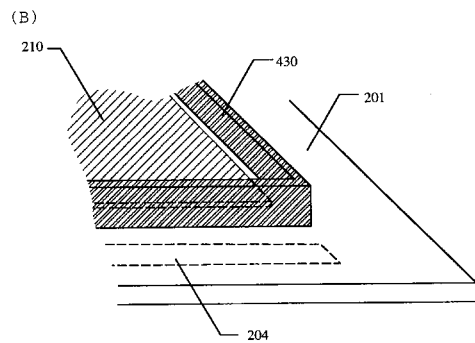
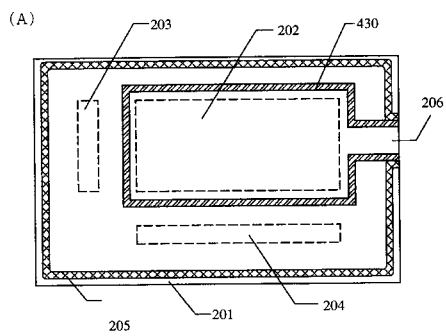
【図 8】



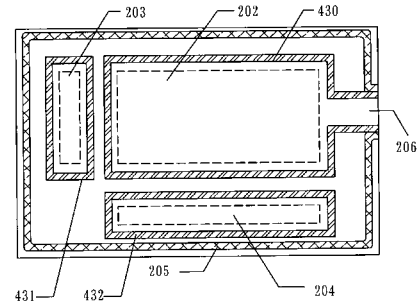
【図 9】



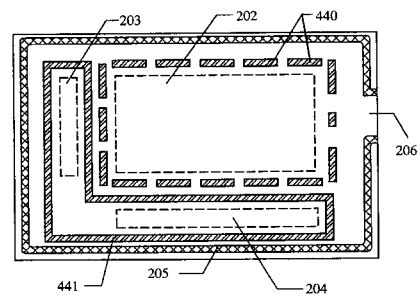
【図 10】



【図 11】



【図 12】



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP2009230152A	公开(公告)日	2009-10-08
申请号	JP2009135133	申请日	2009-06-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	平形吉晴 西毅 山崎舜平		
发明人	平形 吉晴 西 毅 山崎 舜平		
IPC分类号	G02F1/1339		
FI分类号	G02F1/1339.500		
F-TERM分类号	2H189/DA07 2H189/DA19 2H189/DA28 2H189/DA31 2H189/DA48 2H189/DA49 2H189/EA04X 2H189/FA16 2H189/HA14 2H189/JA10 2H189/LA05 2H189/LA08 2H189/LA10 2H189/LA14 2H189/LA15		
外部链接	Espacenet		

摘要(译)

解决的问题：在不使用球形垫片的情况下保持单元间隙。提供第一基板和与第一基板相对的第二基板，该第一基板具有像素电极，薄膜晶体管 and 设置在像素电极上方的第一基板。取向膜和第二基板具有：选择性地设置的彩色滤光片；多个间隙保持构件；和第二取向膜，其设置为覆盖多个间隙保持构件，间隙保持构件的材料是感光性树脂，并且在设置有彩色滤光片的区域和未设置彩色滤光片的区域以及未设置彩色滤光片的区域中的每一个中设置有间隙保持构件。设置在其中的间隙保持构件比设置在设置滤色器的区域中的间隙保持构件高。[选择图]图5

