

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/088779

発行日 平成27年4月27日(2015.4.27)

(43) 国際公開日 平成25年6月20日(2013.6.20)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622E	5C006
G02F 1/133 (2006.01)	G09G 3/20 612K	5C080
	G09G 3/20 622C	
	G09G 3/20 670D	
審査請求 有 予備審査請求 未請求 (全 47 頁) 最終頁に続く		

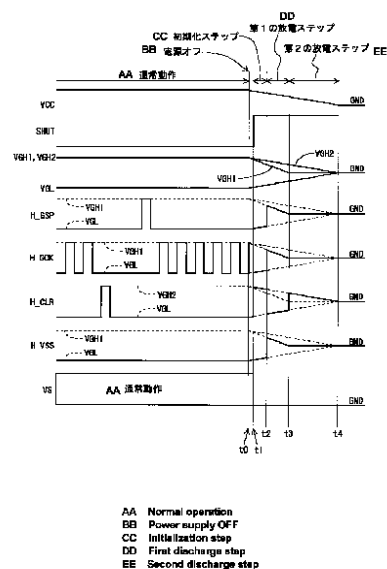
出願番号	特願2013-549137 (P2013-549137)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2012/070341		シャープ株式会社
(22) 国際出願日	平成24年8月9日(2012.8.9)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2011-274283 (P2011-274283)	(74) 代理人	100104695
(32) 優先日	平成23年12月15日(2011.12.15)		弁理士 島田 明宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(74) 代理人	100114247
			弁理士 奥田 邦廣
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	岩本 明久
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、特にIGZO-GDMを採用している場合に最適な液晶表示装置およびその駆動方法を提供する。

液晶表示装置において、電源のオフ状態が検出されると、初期化ステップ、第1の放電ステップ、および第2の放電ステップからなる電源オフシーケンスが実行される。初期化ステップでは、GDM信号のうちクリア信号(H_{CLR})のみをハイレベルとし、シフトレジスタを構成する双安定回路の状態を初期化する。第1の放電ステップでは、GDM信号のうちクリア信号(H_{CLR})のみをローレベルとし、全ゲートバスラインを選択状態にして画素形成部内の電荷を放電させる。第2の放電ステップでは、クリア信号(H_{CLR})をハイレベルとし、双安定回路内の浮遊ノードの電荷を放電させる。



【特許請求の範囲】

【請求項 1】

表示パネルを構成する基板と、
映像信号を伝達する複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルス
を出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力
されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と

10

外部から与えられる電源に基づいて、前記走査信号線を選択状態にするための電位であ
る走査信号線選択電位と、前記走査信号線を非選択状態にするための電位である走査信号
線非選択電位とを生成する電源回路と、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、
前記複数の双安定回路の動作の基準となる電位である基準電位とを生成し、前記走査信号
線駆動回路の動作を制御する駆動制御部と、

前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与える電源
状態検出部と

を備え、

20

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号
線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第 2 電極に前記クロック信号が与えられ、第 3 電極が前記出力ノードに接続された出
力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第 1 電極に接続された第 1 ノードと、

第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 1 ノードに接続され、第 3
電極に前記基準電位が与えられる第 1 の第 1 ノード制御用スイッチング素子と

を有し、

30

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの
電位レベルの変化状態が互いに異なる第 1 の走査信号線選択電位と第 2 の走査信号線選択
電位とを生成し、

前記駆動制御部は、

前記クロック信号の電位を前記第 1 の走査信号線選択電位または前記走査信号線非選
択電位に設定し、

前記クリア信号の電位を前記第 2 の走査信号線選択電位または前記走査信号線非選択
電位に設定し、

前記基準電位を前記第 1 の走査信号線選択電位または前記走査信号線非選択電位に設
定し、

40

前記電源オフ信号を受け取ると、前記クロック信号の電位と前記基準電位とを前記第
1 の走査信号線選択電位に設定する第 1 の放電処理と、前記クリア信号の電位を前記第 2
の走査信号線選択電位に設定する第 2 の放電処理とを順次に行い、

前記第 2 の放電処理が開始される時点には、前記第 1 の走査信号線選択電位はグラウン
ド電位に等しくなっていて、前記第 2 の走査信号線選択電位は各双安定回路に含まれるス
イッチング素子をオン状態にする電位レベルで維持されていることを特徴とする、液晶表
示装置。

【請求項 2】

各双安定回路は、

第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の

50

第 1 ノード制御用スイッチング素子と、

前記第 2 の第 1 ノード制御用スイッチング素子の第 1 電極に接続された第 2 ノードと

、
第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 ノード制御用スイッチング素子と
を更に有することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記電源がオフ状態になると、前記第 1 の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする、請求項 1 に記載の液晶表示装置。

10

【請求項 4】

前記電源回路は、第 1 のコンデンサと第 1 の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第 1 の走査信号線選択電位を生成するための第 1 の走査信号線選択電位生成ラインと、第 2 のコンデンサと第 2 の抵抗器とに接続され、前記所定電位に基づいて前記第 2 の走査信号線選択電位を生成するための第 2 の走査信号線選択電位生成ラインとを有し、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2 のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする、請求項 3 に記載の液晶表示装置。

20

【請求項 5】

前記駆動制御部は、前記第 1 の放電処理の際には前記クリア信号の電位を前記走査信号線非選択電位に設定することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記駆動制御部は、前記電源オフ信号を受け取ると、前記第 1 の放電処理の前に、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化処理を行うことを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 7】

前記駆動制御部は、前記初期化処理の際には前記クロック信号の電位を前記走査信号線非選択電位に設定することを特徴とする、請求項 6 に記載の液晶表示装置。

30

【請求項 8】

各双安定回路は、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 9】

各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする、請求項 1 から 8 までのいずれか 1 項に記載の液晶表示装置。

【請求項 10】

前記酸化物半導体は、酸化インジウムガリウム亜鉛 (IGZO) であることを特徴とする、請求項 9 に記載の液晶表示装置。

40

【請求項 11】

表示パネルを構成する基板と、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線を選択状態にするための電位である走査信号線選択電位と前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを外部から与えられる電源に基づいて生成する電源回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを備える液晶表示装置の駆動方法であって、

外部から与えられる電源のオン/オフ状態を検出する電源状態検出ステップと、

前記電源状態検出ステップで前記電源のオフ状態が検出されたときに実行される、前記

50

表示パネル内の電荷を放電させる電荷放電ステップとを含み、

前記走査信号線駆動回路は、前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる電位である基準電位とを生成し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子とを有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第1の走査信号線選択電位と第2の走査信号線選択電位とを生成し、

前記電荷放電ステップは、

前記クロック信号の電位と前記基準電位とを前記第1の走査信号線選択電位に設定する第1の放電ステップと、

前記クリア信号の電位を前記第2の走査信号線選択電位に設定する第2の放電ステップとからなり、

前記第2の放電ステップが開始される時点には、前記第1の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第2の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする、駆動方法。

【請求項12】

各双安定回路は、

第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用スイッチング素子と、

前記第2の第1ノード制御用スイッチング素子の第1電極に接続された第2ノードと、

第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2ノード制御用スイッチング素子とを更に有することを特徴とする、請求項11に記載の駆動方法。

【請求項13】

前記電源がオフ状態になると、前記第1の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする、請求項11に記載の駆動方法。

【請求項14】

前記電源回路は、第1のコンデンサと第1の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第1の走査信号線選択電位を生成するための第1の走査信号線選択電位生成ラインと、第2のコンデンサと第2の抵抗器とに接続され、前記所定電位に基づいて前記第2の走査信号線選択電位を生成するための第2の走査信号線選択電位生成ラインとを有し、

前記第1のコンデンサと前記第1の抵抗器とによって定まる放電時定数よりも前記第2のコンデンサと前記第2の抵抗器とによって定まる放電時定数の方が大きいことを特徴と

10

20

30

40

50

する、請求項 13 に記載の駆動方法。

【請求項 15】

前記第 1 の放電ステップでは、前記クリア信号の電位が前記走査信号線非選択電位に設定されることを特徴とする、請求項 11 に記載の駆動方法。

【請求項 16】

前記電荷放電ステップは、前記第 1 の放電ステップの前に行われるステップとして、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化ステップを更に含むことを特徴とする、請求項 11 に記載の駆動方法。

【請求項 17】

前記初期化ステップでは、前記クロック信号の電位が前記走査信号線非選択電位に設定されることを特徴とする、請求項 16 に記載の駆動方法。

【請求項 18】

各双安定回路は、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする、請求項 11 に記載の駆動方法。

【請求項 19】

各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする、請求項 11 から 18 までのいずれか 1 項に記載の駆動方法。

【請求項 20】

前記酸化物半導体は、酸化インジウムガリウム亜鉛 (IGZO) であることを特徴とする、請求項 19 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置およびその駆動方法に関し、特に、半導体層に酸化物半導体 (IGZO) を用いた薄膜トランジスタを有するモノリシックゲートドライバを採用する場合に好適な液晶表示装置およびその駆動方法に関する。

【背景技術】

【0002】

一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する 2 枚の基板からなる液晶パネルを備えており、当該 2 枚の基板のうち一方の基板には、複数本のゲートバスライン (走査信号線) と複数本のソースバスライン (映像信号線) とが格子状に配置され、それら複数本のゲートバスラインと複数本のソースバスラインとの交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ (TFT) や、画素値を保持するための画素容量などを含んでいる。また、上記 2 枚の基板のうち他方の基板には、上記複数の画素形成部に共通的に設けられた対向電極である共通電極が設けられる場合もある。アクティブマトリクス型の液晶表示装置には、さらに、上記複数本のゲートバスラインを駆動するゲートドライバ (走査信号線駆動回路) と上記複数本のソースバスラインを駆動するソースドライバ (映像信号線駆動回路) とが設けられている。

【0003】

画素値を示す映像信号はソースバスラインによって伝達されるが、各ソースバスラインは複数行分の画素値を示す映像信号を一時 (同時) に伝達することができない。このため、上述のマトリクス状に配置された画素形成部内の画素容量への映像信号の書き込みは 1 行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。

【0004】

10

20

30

40

50

このような液晶表示装置において、利用者によって電源がオフされたにもかかわらず、直ちに表示がクリアされず、残像のような画像が残ることがある。この理由は、装置の電源がオフされると画素容量に保持された電荷の放電経路が遮断され、画素形成部内に残留電荷が蓄積されるからである。また、画素形成部内に残留電荷が蓄積された状態で装置の電源がオンされると、その残留電荷に基づく不純物の偏りに起因するフリッカの発生など表示品位の低下が生じる。そこで、電源オフの際に、例えば、全てのゲートバスラインを選択状態（オン状態）にしてソースバスラインに黒電圧を印加することによって、パネル上の電荷を放電することがなされている。

【0005】

また、液晶表示装置に関し、近年、ゲートドライバのモノリシック化が進んでいる。従来、ゲートドライバは液晶パネルを構成する基板の周辺部にIC（Integrated Circuit）チップとして搭載されることが多かったが、近年、基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」などと呼ばれている。また、モノリシックゲートドライバを備えたパネルは「ゲートドライバモノリシックパネル」などと呼ばれている。

【0006】

ゲートドライバモノリシックパネルにおいては、パネル上の電荷の放電に関し、上述した手法を採用することができない。そこで、国際公開2011/055584号パンフレットには、次のような液晶表示装置の発明が開示されている。ゲートドライバ内のシフトレジスタを構成する双安定回路に、ゲートバスラインに接続されたドレイン端子、基準電位を伝達する基準電位配線に接続されたソース端子、およびシフトレジスタを動作させるクロック信号が与えられるゲート端子を有するTFTが設けられる。このような構成において、外部からの電源の供給が遮断されると、クロック信号をハイレベルにして上記TFTをオン状態にするとともに、基準電位のレベルがゲートオフ電位からゲートオン電位にまで高められる。これにより、各ゲートバスラインの電位がゲートオン電位にまで高められ、全ての画素形成部内の残留電荷が放電される。また、国際公開2010/050262号パンフレットには、ゲートドライバモノリシックパネルに関する発明として、TFTでのリークに起因する誤動作を防止する技術が開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】国際公開2011/055584号パンフレット

【特許文献2】国際公開2010/050262号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、近年、IGZO-TFT液晶パネル（薄膜トランジスタの半導体層に酸化物質半導体の一種であるIGZO（酸化インジウムガリウム亜鉛）を用いた液晶パネル）の開発が進んでいる。IGZO-TFT液晶パネルにおいても、モノリシック化されたゲートドライバの開発が進められている。なお、以下においては、IGZO-TFT液晶パネルに設けられているモノリシックゲートドライバのことを「IGZO-GDM」という。a-SiTFTはオフ特性が良好ではないため、a-SiTFT液晶パネルでは、画素形成部以外の部分の浮遊電荷については数秒で放電される。従って、a-SiTFT液晶パネルにおいては、画素形成部以外の部分の浮遊電荷については特に問題とはならない。ところが、IGZO-TFTは、オン特性のみならずオフ特性も優れている。特にゲートへのバイアス電圧が0V（すなわちバイアス無し）のときのオフ特性がa-SiTFTと比較して顕著に優れているため、TFTと接続されているノードの浮遊電荷がゲートオフ時に当該TFTを介して放電することがない。その結果、回路内に電荷が長時間残ることとなる。或る試算によると、後述する図10に示すような構成を採用するIGZO-GDMにおいて、net A上の浮遊電荷の放電に要する時間は数時間（数千秒～数万秒）となって

いる。また、IGZO-GDMのBT(Bias Temperature)ストレス試験によれば、IGZO-TFTの閾値シフトの大きさは1時間で数Vとなっている。このことから、IGZO-GDMにおいては残留電荷の存在がIGZO-TFTの閾値シフトの大きな要因となることが把握される。以上より、IGZO-GDMのシフトレジスタにおいてシフト動作が途中で停止すると、或る1つの段においてのみTFTの閾値シフトが生じるおそれがある。その結果、シフトレジスタが正常に動作しなくなり、画面への画像表示が行われなくなる。

【0009】

また、ゲートドライバがICチップである場合には、パネル内のTFTは画素形成部内のTFTだけである。従って、電源オフの際には画素形成部内の電荷およびゲートバスライン上の電荷を放電すれば足りる。しかしながら、モノリシックゲートドライバの場合には、パネル内のTFTとしてゲートドライバ内にもTFTが存在している。そして、例えば図10に示す構成においては、符号net Aおよび符号net Bで示す2つの浮遊ノードが存在する。従って、IGZO-GDMにおいては、電源オフの際、画素形成部内の電荷、ゲートバスライン上の電荷、net A上の電荷、およびnet B上の電荷を放電する必要がある。

10

【0010】

そこで、本発明は、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、特にIGZO-GDMを採用している場合に好適な液晶表示装置およびその駆動方法を提供することを目的とする。

20

【課題を解決するための手段】

【0011】

本発明の第1の局面は、表示パネルを構成する基板と、
映像信号を伝達する複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルス
を出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力
されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と

30

外部から与えられる電源に基づいて、前記走査信号線を選択状態にするための電位である走査信号線選択電位と、前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを生成する電源回路と、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、
前記複数の双安定回路の動作の基準となる電位である基準電位とを生成し、前記走査信号線駆動回路の動作を制御する駆動制御部と、

前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与える電源状態検出部と

を備え、

40

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子と

を有し、

50

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第１の走査信号線選択電位と第２の走査信号線選択電位とを生成し、

前記駆動制御部は、

前記クロック信号の電位を前記第１の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記クリア信号の電位を前記第２の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記基準電位を前記第１の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記電源オフ信号を受け取ると、前記クロック信号の電位と前記基準電位とを前記第１の走査信号線選択電位に設定する第１の放電処理と、前記クリア信号の電位を前記第２の走査信号線選択電位に設定する第２の放電処理とを順次に行い、

前記第２の放電処理が開始される時点には、前記第１の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第２の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする。

【００１２】

本発明の第２の局面は、本発明の第１の局面において、

各双安定回路は、

第２電極が前記第１ノードに接続され、第３電極に前記基準電位が与えられる第２の第１ノード制御用スイッチング素子と、

前記第２の第１ノード制御用スイッチング素子の第１電極に接続された第２ノードと、

第１電極に前記クリア信号が与えられ、第２電極が前記第２ノードに接続され、第３電極に前記基準電位が与えられる第２ノード制御用スイッチング素子とを更に有することを特徴とする。

【００１３】

本発明の第３の局面は、本発明の第１の局面において、

前記電源がオフ状態になると、前記第１の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする。

【００１４】

本発明の第４の局面は、本発明の第３の局面において、

前記電源回路は、第１のコンデンサと第１の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第１の走査信号線選択電位を生成するための第１の走査信号線選択電位生成ラインと、第２のコンデンサと第２の抵抗器とに接続され、前記所定電位に基づいて前記第２の走査信号線選択電位を生成するための第２の走査信号線選択電位生成ラインとを有し、

前記第１のコンデンサと前記第１の抵抗器とによって定まる放電時定数よりも前記第２のコンデンサと前記第２の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする。

【００１５】

本発明の第５の局面は、本発明の第１の局面において、

前記駆動制御部は、前記第１の放電処理の際には前記クリア信号の電位を前記走査信号線非選択電位に設定することを特徴とする。

【００１６】

本発明の第６の局面は、本発明の第１の局面において、

前記駆動制御部は、前記電源オフ信号を受け取ると、前記第１の放電処理の前に、前記クリア信号の電位を前記第２の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化処理を行うことを特徴とする。

10

20

30

40

50

【 0 0 1 7 】

本発明の第 7 の局面は、本発明の第 6 の局面において、
前記駆動制御部は、前記初期化処理の際には前記クロック信号の電位を前記走査信号線非選択電位に設定することを特徴とする。

【 0 0 1 8 】

本発明の第 8 の局面は、本発明の第 1 の局面において、
各双安定回路は、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする。

【 0 0 1 9 】

本発明の第 9 の局面は、本発明の第 1 から第 8 までのいずれかの局面において、
各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする。

【 0 0 2 0 】

本発明の第 1 0 の局面は、本発明の第 9 の局面において、
前記酸化物半導体は、酸化インジウムガリウム亜鉛（ I G Z O ）であることを特徴とする。

【 0 0 2 1 】

本発明の第 1 1 の局面は、表示パネルを構成する基板と、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線を選択状態にするための電位である走査信号線選択電位と前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを外部から与えられる電源に基づいて生成する電源回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを備える液晶表示装置の駆動方法であって、

外部から与えられる電源のオン / オフ状態を検出する電源状態検出ステップと、
前記電源状態検出ステップで前記電源のオフ状態が検出されたときに実行される、前記表示パネル内の電荷を放電させる電荷放電ステップと
を含み、

前記走査信号線駆動回路は、前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる電位である基準電位とを生成し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第 2 電極に前記クロック信号が与えられ、第 3 電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第 1 電極に接続された第 1 ノードと、

第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 1 の第 1 ノード制御用スイッチング素子と
を有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第 1 の走査信号線選択電位と第 2 の走査信号線選択電位とを生成し、

前記電荷放電ステップは、

前記クロック信号の電位と前記基準電位とを前記第 1 の走査信号線選択電位に設定する第 1 の放電ステップと、

10

20

30

40

50

前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定する第 2 の放電ステップと
からなり、

前記第 2 の放電ステップが開始される時点には、前記第 1 の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第 2 の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする。

【0022】

本発明の第 1 2 の局面は、本発明の第 1 1 の局面において、
各双安定回路は、

第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の
第 1 ノード制御用スイッチング素子と、

前記第 2 の第 1 ノード制御用スイッチング素子の第 1 電極に接続された第 2 ノードと
、

第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3
電極に前記基準電位が与えられる第 2 ノード制御用スイッチング素子と
を更に有することを特徴とする。

【0023】

本発明の第 1 3 の局面は、本発明の第 1 1 の局面において、

前記電源がオフ状態になると、前記第 1 の走査信号線選択電位は、前記電源がオフ状態
になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴と
する。

【0024】

本発明の第 1 4 の局面は、本発明の第 1 3 の局面において、

前記電源回路は、第 1 のコンデンサと第 1 の抵抗器とに接続され、前記電源より生成し
た所定電位に基づいて前記第 1 の走査信号線選択電位を生成するための第 1 の走査信号線
選択電位生成ラインと、第 2 のコンデンサと第 2 の抵抗器とに接続され、前記所定電位に
基づいて前記第 2 の走査信号線選択電位を生成するための第 2 の走査信号線選択電位生成
ラインとを有し、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2
のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴と
する。

【0025】

本発明の第 1 5 の局面は、本発明の第 1 1 の局面において、

前記第 1 の放電ステップでは、前記クリア信号の電位が前記走査信号線非選択電位に設
定されることを特徴とする。

【0026】

本発明の第 1 6 の局面は、本発明の第 1 1 の局面において、

前記電荷放電ステップは、前記第 1 の放電ステップの前に行われるステップとして、前
記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を
前記走査信号線非選択電位に設定する初期化ステップを更に含むことを特徴とする。

【0027】

本発明の第 1 7 の局面は、本発明の第 1 6 の局面において、

前記初期化ステップでは、前記クロック信号の電位が前記走査信号線非選択電位に設
定されることを特徴とする。

【0028】

本発明の第 1 8 の局面は、本発明の第 1 1 の局面において、

各双安定回路は、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノード
に接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を
更に有することを特徴とする。

【0029】

10

20

30

40

50

本発明の第１９の局面は、本発明の第１１から第１８までのいずれかの局面において、各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする。

【００３０】

本発明の第２０の局面は、本発明の第１９の局面において、前記酸化物半導体は、酸化インジウムガリウム亜鉛（ＩＧＺＯ）であることを特徴とする。

【発明の効果】

【００３１】

本発明の第１の局面によれば、液晶表示装置において電源の供給が遮断されると、表示パネル内の電荷を放電するための２つの処理（第１の放電処理および第２の放電処理）が順次に行われる。第１の放電処理では、クロック信号の電位と基準電位が第１の走査信号線選択電位に設定される。これにより、ハイレベルとなったクロック信号の電位が出力制御用スイッチング素子を介して出力ノードに与えられるので、各走査信号線が選択状態となる。このとき、映像信号電位をグラウンド電位に設定しておくことによって、各画素形成部内の電荷が放電される。また、第２の放電処理が開始されるまでに第１の走査信号線選択電位はグラウンド電位にまで低下する。このため、第１の放電処理の際に、クロック信号の電位および基準電位は徐々に低下し、走査信号線上の電荷も放電される。第２の放電処理では、クリア信号の電位が第２の走査信号線選択電位に設定される。第２の放電処理が開始される時点には、第２の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されているので、第２の放電処理によって各双安定回路内の浮遊ノード（第１ノードおよび第２ノード）上の電荷が放電される。以上のようにして、電源がオフされたときに表示パネル内の残留電荷が速やかに除去され、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。

【００３２】

本発明の第２の局面によれば、通常動作中に第１ノードの電位を随時基準電位へと引き込むことが可能となり、動作不良の発生が抑制される。

【００３３】

本発明の第３の局面によれば、第１の放電処理の際に出力ノードの電位が徐々に低下する。このため、各画素の電位の電位に関し、キックバック電圧による電位変動を問題ないレベルに少なくすることができる。

【００３４】

本発明の第４の局面によれば、電源の供給が遮断された際の電位レベルの変化状態が互いに異なる２種類の走査信号線選択電位を比較的簡易な構成で生成することが可能となる。また、第１の放電処理の際の走査信号線上の電荷の放電と第２の放電処理の際の双安定回路内の浮遊ノード（第１ノードおよび第２ノード）上の電荷の放電とが、より確実に行われる。

【００３５】

本発明の第５の局面によれば、第１の放電処理の際に、より確実に走査信号線上の電荷の放電が行われる。

【００３６】

本発明の第６の局面によれば、第１の放電処理が行われる前にシフトレジスタ内の各双安定回路が初期化される。このため、電源がオフされたときに、より確実に表示パネル内の残留電荷が除去され、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が効果的に抑制される。

【００３７】

本発明の第７の局面によれば、初期化処理の際に、より確実にシフトレジスタ内の各双安定回路が初期化される。

【００３８】

本発明の第８の局面によれば、第１の放電処理の際に、基準電位がハイレベルとなった

状態で出力ノード制御用スイッチング素子がオン状態となる。このため、第１の放電処理の際に、確実に各走査信号線を選択状態にして各画素形成部内の電荷を放電させることができる。

【００３９】

本発明の第９の局面によれば、薄膜トランジスタの半導体層に酸化物半導体を用いた表示パネルを備えた液晶表示装置において、本発明の第１の局面と同様の効果が得られる。従来、そのような液晶表示装置では回路内の残留電荷の存在に起因する動作不良が生じやすかったので、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生を抑制する効果がより大きく得られる。

【００４０】

本発明の第１０の局面によれば、ＩＧＺＯ－ＧＤＭを備えた液晶表示装置において、本発明の第１の局面と同様の効果が得られる。従来、ＩＧＺＯ－ＧＤＭを備えた液晶表示装置では回路内の残留電荷の存在に起因する動作不良が生じやすかったので、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生を抑制する効果がより大きく得られる。

【００４１】

本発明の第１１の局面によれば、本発明の第１の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００４２】

本発明の第１２の局面によれば、本発明の第２の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００４３】

本発明の第１３の局面によれば、本発明の第３の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００４４】

本発明の第１４の局面によれば、本発明の第４の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００４５】

本発明の第１５の局面によれば、本発明の第５の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００４６】

本発明の第１６の局面によれば、本発明の第６の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００４７】

本発明の第１７の局面によれば、本発明の第７の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００４８】

本発明の第１８の局面によれば、本発明の第８の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００４９】

本発明の第１９の局面によれば、本発明の第９の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【００５０】

本発明の第２０の局面によれば、本発明の第１０の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【図面の簡単な説明】

【００５１】

【図１】本発明の一実施形態に係るアクティブマトリクス型の液晶表示装置における電源遮断時の動作について説明するための信号波形図である。

【図２】上記実施形態において、液晶表示装置の全体構成を示すブロック図である。

10

20

30

40

50

【図 3】上記実施形態において、画素形成部の構成を示す回路図である。

【図 4】上記実施形態において、レベルシフト回路の構成を示すブロック図である。

【図 5】上記実施形態において、電源回路の構成のうち第 1 のゲートオン電位および第 2 のゲートオン電位の生成に関する回路構成の一例を示す回路図である。

【図 6】上記実施形態において、電源遮断時の第 1 のゲートオン電位および第 2 のゲートオン電位の変化を示す波形図である。

【図 7】上記実施形態において、ゲートドライバの構成を説明するためのブロック図である。

【図 8】上記実施形態において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。

【図 9】上記実施形態において、ゲートドライバの動作について説明するための信号波形図である。

【図 10】上記実施形態において、シフトレジスタに含まれている双安定回路の構成を示す回路図である。

【図 11】上記実施形態において、双安定回路の動作を説明するための信号波形図である。

【図 12】上記実施形態において、通常動作時および電源遮断時において各信号が取る電位について説明するための図である。

【図 13】上記実施形態の変形例における電源遮断時の動作について説明するための信号波形図である。

【図 14】上記実施形態の別の変形例における電源遮断時の動作について説明するための信号波形図である。

【発明を実施するための形態】

【0052】

以下、添付図面を参照しつつ、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は第 1 電極に相当し、ドレイン端子（ドレイン電極）は第 2 電極に相当し、ソース端子（ソース電極）は第 3 電極に相当する。また、双安定回路内に設けられている薄膜トランジスタはすべて n チャネル型であるものとして説明する。

【0053】

< 1. 全体構成および動作 >

図 2 は、本発明の一実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図 2 に示すように、この液晶表示装置は、液晶パネル（表示パネル）20、PCB（プリント回路基板）10、および液晶パネル 20 と PCB 10 とに接続された TAB（Tape Automated Bonding）30 によって構成されている。なお、液晶パネル 20 は、IGZO-TFT 液晶パネルである。また、TAB 30 は主に中型用から大型用の液晶パネルで採用される実装形態であり、小型用から中型用の液晶パネルではソースドライバの実装形態として COG 実装が採用される場合もある。さらにまた、昨今では、ソースドライバ 32、タイミングコントローラ 11、電源回路 15、電源 OFF 検出部 17、およびレベルシフト回路 13 が 1 チップ化されたシステムドライバ構成も徐々に採用されてきている。

【0054】

この液晶表示装置は、外部から電源の供給を受けて動作する。この液晶表示装置に電源が正常に供給されている時には、例えば +5V の電位がこの液晶表示装置に与えられる。以下においては、この液晶表示装置に電源から与えられる電位のことを「入力電源電位」という。なお、電源の供給が遮断されると、入力電源電位はグラウンド電位（0V）にまで徐々に低下する。

【0055】

液晶パネル 20 は対向する 2 枚の基板（典型的にはガラス基板であるが、ガラス基板には限定されない）からなり、基板上の所定の領域に、画像を表示するための表示部 22 が

10

20

30

40

50

形成されている。表示部 22 には、複数本 (j 本) のソースバスライン (映像信号線) $S L 1 \sim S L j$ と、複数本 (i 本) のゲートバスライン (走査信号線) $G L 1 \sim G L i$ と、それらソースバスライン $S L 1 \sim S L j$ とゲートバスライン $G L 1 \sim G L i$ との交差点にそれぞれ対応して設けられた複数個 ($i \times j$ 個) の画素形成部とが含まれている。図 3 は、画素形成部の構成を示す回路図である。図 3 に示すように、各画素形成部には、対応する交差点を通過するゲートバスライン $G L$ にゲート端子が接続されるとともに当該交差点を通過するソースバスライン $S L$ にソース端子が接続された薄膜トランジスタ (TFT) 220 と、その薄膜トランジスタ 220 のドレイン端子に接続された画素電極 221 と、上記複数個の画素形成部に共通的に設けられた共通電極 222 および補助容量電極 223 と、画素電極 221 と共通電極 222 とによって形成される液晶容量 224 と、画素電極 221 と補助容量電極 223 とによって形成される補助容量 225 とが含まれている。また、液晶容量 224 と補助容量 225 とによって画素容量 $C P$ が形成されている。そして、各薄膜トランジスタ 220 のゲート端子がゲートバスライン $G L$ からアクティブな走査信号を受けたときに当該薄膜トランジスタ 220 のソース端子がソースバスライン $S L$ から受ける映像信号に基づいて、画素容量 $C P$ に画素値を示す電圧が保持される。なお、画素形成部内の薄膜トランジスタについては、IGZO-TFT (半導体層に酸化物半導体の一種である IGZO (酸化インジウムガリウム亜鉛) を用いた薄膜トランジスタ) が採用されていても良いし、それ以外の TFT (a-SiTFT など) が採用されていても良い。

10

20

【0056】

液晶パネル 20 には、また、図 2 に示すように、ゲートバスライン $G L 1 \sim G L i$ を駆動するためのゲートドライバ 24 が形成されている。このゲートドライバ 24 は、上述した IGZO-GDM であり、液晶パネル 20 を構成する基板上にモノリシックに形成されている。TAB30 には、ソースバスライン $S L 1 \sim S L j$ を駆動するためのソースドライバ 32 が IC チップの状態を搭載されている。PCB10 には、タイミングコントローラ 11, レベルシフト回路 13, 電源回路 15, および電源 OFF 検出部 17 が設けられている。なお、図 2 ではゲートドライバ 24 は表示部 22 の片側のみに配置されているが、表示部 22 の左右両側にゲートドライバ 24 が配置されることもある。

【0057】

以上のように、本実施形態においては、複数本 (j 本) のソースバスライン $S L 1 \sim S L j$, 複数本 (i 本) のゲートバスライン (走査信号線) $G L 1 \sim G L i$, 複数個 ($i \times j$ 個) の画素形成部, およびゲートドライバ 24 が、液晶パネル 20 を構成する 1 枚の基板上に形成されている。

30

【0058】

この液晶表示装置には、水平同期信号 $H s y n c$, 垂直同期信号 $V s y n c$, データイネーブル信号 $D E$ などのタイミング信号と画像信号 $D A T$ と入力電源電位 $V C C$ とが外部から与えられる。入力電源電位 $V C C$ は、タイミングコントローラ 11 と電源回路 15 と電源 OFF 検出部 17 とに与えられる。通常動作中の入力電源電位 $V C C$ は例えば +5V とされるが、この入力電源電位 $V C C$ は +5V に限定されるものではない。また、入力信号についても上記構成には限定されず、タイミング信号や映像データは $L V D S$ や $m i p i$, $D P$ 信号, $e D P$ などの差動インターフェースを利用して転送されることもある。

40

【0059】

電源回路 15 は、入力電源電位 $V C C$ に基づいて、通常動作時にはゲートバスラインを選択状態にする電位レベルで維持されるゲートオン電位 (走査信号線選択電位) $V G H$ と、通常動作時にはゲートバスラインを非選択状態にする電位レベルで維持されるゲートオフ電位 (走査信号線非選択電位) $V G L$ とを生成する。なお、この電源回路 15 で生成されるゲートオン電位およびゲートオフ電位については、通常動作時には電位レベルは一定で維持されるが、外部からの電源の供給が遮断された時には電位レベルは変化する。本実施形態においては、電源回路 15 は、ゲートオン電位 $V G H$ として 2 種類の電位 (第 1 のゲートオン電位 $V G H 1$ および第 2 のゲートオン電位 $V G H 2$) を生成する。これら 2 種

50

類のゲートオン電位を生成するための構成についての詳しい説明は後述する。なお、通常動作時におけるゲートオン電位 V_{GH} は例えば +20V に設定され、通常動作時におけるゲートオフ電位 V_{GL} は例えば -10V に設定される。電源回路 15 で生成された第 1 のゲートオン電位 V_{GH1} , 第 2 のゲートオン電位 V_{GH2} , およびゲートオフ電位 V_{GL} は、レベルシフト回路 13 に与えられる。電源 OFF 検出部 17 は、電源の供給状態（電源のオン / オフ状態）を示す電源状態信号 $SHUT$ を出力する。電源状態信号 $SHUT$ は、レベルシフト回路 13 に与えられる。なお、本実施形態においては、ハイレベルにされた電源状態信号 $SHUT$ によって電源オフ信号が実現される。

【0060】

タイミングコントローラ 11 は、水平同期信号 $Hsync$, 垂直同期信号 $Vsync$, データネーブル信号 DE などのタイミング信号と画像信号 DAT と入力電源電位 VCC とを受け取り、デジタル映像信号 DV , ソーススタートパルス信号 SSP , ソースクロック信号 SCK , ゲートスタートパルス信号 L_GSP , およびゲートクロック信号 L_GCK を生成する。デジタル映像信号 DV , ソーススタートパルス信号 SSP , およびソースクロック信号 SCK についてはソースドライバ 32 に与えられ、ゲートスタートパルス信号 L_GSP およびゲートクロック信号 L_GCK についてはレベルシフト回路 13 に与えられる。なお、ゲートスタートパルス信号 L_GSP およびゲートクロック信号 L_GCK に関し、ハイレベル側の電位は入力電源電位 VCC に設定され、ローレベル側の電位はグラウンド電位 GND (0V) に設定される。

【0061】

レベルシフト回路 13 は、グラウンド電位 GND と、電源回路 15 から与えられる第 1 のゲートオン電位 V_{GH1} , 第 2 のゲートオン電位 V_{GH2} , およびゲートオフ電位 V_{GL} とを用いて、タイミングコントローラ 11 から出力されたゲートスタートパルス信号 L_GSP を $IGZO - GDM$ 駆動に最適化されたタイミング信号に変換した信号のレベル変換後の信号 H_GSP の生成と、タイミングコントローラ 11 から出力されたゲートクロック信号 L_GCK に基づく第 1 のゲートクロック信号 H_GCK1 および第 2 のゲートクロック信号 H_GCK2 の生成と、内部信号に基づく基準電位 H_VSS およびクリア信号 H_CLR の生成とを行う。なお、以下においては、第 1 のゲートクロック信号 H_GCK1 と第 2 のゲートクロック信号 H_GCK2 とをまとめて「ゲートクロック信号 H_GCK 」ともいう。

【0062】

レベルシフト回路 13 で生成されたゲートスタートパルス信号 H_GSP , 第 1 のゲートクロック信号 H_GCK1 , 第 2 のゲートクロック信号 H_GCK2 , クリア信号 H_CLR , および基準電位 H_VSS は、ゲートドライバ 24 に与えられる。以下、レベルシフト回路 13 で生成されゲートドライバ 24 に与えられるこれらの信号のことを便宜上「 GDM 信号」という。なお、通常動作時には、ゲートスタートパルス信号 H_GSP , 第 1 のゲートクロック信号 H_GCK1 , および第 2 のゲートクロック信号 H_GCK2 の電位は第 1 のゲートオン電位 V_{GH1} またはゲートオフ電位 V_{GL} に設定され、クリア信号 H_CLR の電位は第 2 のゲートオン電位 V_{GH2} またはゲートオフ電位 V_{GL} に設定され、基準電位 H_VSS はゲートオフ電位 V_{GL} に設定される。ところで、本実施形態においては、図 4 に示すように、レベルシフト回路 13 にはタイミング生成ロジック部 131 とオシレータ 132 とが含まれていて、電源 OFF 検出部 17 から出力される電源状態信号 $SHUT$ がレベルシフト回路 13 に与えられるように構成されている。このような構成により、レベルシフト回路 13 は所定のタイミング（後述する図 1 における時点 $t_1 \sim t_3$ ）に従って上記 GDM 信号の電位を変化させることが可能となっている。所定のタイミングについては、例えば、レベルシフト回路 13 を構成する IC 内部の不揮発性メモリ及び不揮発性メモリからデータをロードしたレジスタ値に基づいて生成される。なお、このレベルシフト回路 13 についての更に詳しい説明は後述する。

【0063】

ソースドライバ 32 は、タイミングコントローラ 11 から出力されるデジタル映像信号

D V , ソーススタートパルス信号 S S P , およびソースクロック信号 S C K を受け取り、各ソースバスライン S L 1 ~ S L j に駆動用の映像信号を印加する。

【 0 0 6 4 】

ゲートドライバ 2 4 は、レベルシフタ回路 1 3 から出力されるゲートスタートパルス信号 H _ G S P , 第 1 のゲートクロック信号 H _ G C K 1 , 第 2 のゲートクロック信号 H _ G C K 2 , クリア信号 H _ C L R , および基準電位 H _ V S S に基づいて、アクティブな走査信号の各ゲートバスライン G L 1 ~ G L i への印加を 1 垂直走査期間を周期として繰り返す。なお、このゲートドライバ 2 4 についての詳しい説明は後述する。

【 0 0 6 5 】

以上のようにして、各ソースバスライン S L 1 ~ S L j に駆動用の映像信号が印加され、各ゲートバスライン G L 1 ~ G L i に走査信号が印加されることにより、外部から送られた画像信号 D A T に基づく画像が表示部 2 2 に表示される。

10

【 0 0 6 6 】

なお、本実施形態においては、電源 O F F 検出部 1 7 によって電源状態検出部が実現され、タイミングコントローラ 1 1 とレベルシフタ回路 1 3 とによって駆動制御部が実現されている。

【 0 0 6 7 】

< 2 . 2 種類のゲートオン電位の生成 >

次に、図 5 を参照しつつ、上述した 2 種類のゲートオン電位 (第 1 のゲートオン電位 V G H 1 および第 2 のゲートオン電位 V G H 2) を生成するための構成について説明する。なお、本説明における電圧の値は一例であって、それらの値に限定されるものではない。図 5 は、電源回路 1 5 の構成のうち第 1 のゲートオン電位 V G H 1 および第 2 のゲートオン電位 V G H 2 の生成に関する回路構成の一例を示す回路図である。図 5 に示すように、この電源回路 1 5 には、2 種類のゲートオン電位を生成するための構成要素として、P M I C (電源管理集積回路) 1 5 0 と、1 個のコイル L 1 と、6 個のダイオード D 1 ~ D 6 と、6 個のコンデンサ C 1 ~ C 6 と、2 個の抵抗器 R 1 , R 2 とが含まれている。なお、ダイオード D 1 ~ D 6 における順方向電圧降下を「 V f 」とする。

20

【 0 0 6 8 】

この電源回路 1 5 では、まず、P M I C 1 5 0 を用いて生成された 5 V の振幅の信号が節点 P 1 に現れる。節点 P 2 には、ダイオード D 1 とコンデンサ C 1 とを用いた平滑化により、 $(5 - V f) V$ の電圧が現れる。節点 P 3 には、コンデンサ C 2 によるカップリングおよびダイオード D 2 での順方向電圧降下によって、 $(5 - 2 V f) V \sim (1 0 - 2 V f) V$ の信号が現れる。同様にして、節点 P 4 には $(1 0 - 3 V f) V$ の電圧が現れ、節点 P 5 には $(1 0 - 4 V f) V \sim (1 5 - 4 V f) V$ の信号が現れる。

30

【 0 0 6 9 】

節点 P 5 よりも出力側では、図 5 に示すように、電源ラインが第 1 のゲートオン電位用のラインと第 2 のゲートオン電位用のラインとに分岐している。第 1 のゲートオン電位用のラインでは、ダイオード D 5 とコンデンサ C 5 とを用いた平滑化により、 $(1 5 - 5 V f) V$ の電圧が生成される。第 2 のゲートオン電位用のラインでは、ダイオード D 6 とコンデンサ C 6 とを用いた平滑化により、 $(1 5 - 5 V f) V$ の電圧が生成される。このようにして、通常動作時には、第 1 のゲートオン電位 V G H 1 と第 2 のゲートオン電位 V G H 2 とは等しい電位レベルとなる。

40

【 0 0 7 0 】

ところで、電源の供給が遮断されると、第 1 のゲートオン電位 V G H 1 および第 2 のゲートオン電位 V G H 2 の電位レベルはそれぞれのラインに接続されたコンデンサおよび抵抗器の定数 (容量値および抵抗値) に応じて低下する。本実施形態においては、第 1 のゲートオン電位用のラインと第 2 のゲートオン電位用のラインとには、異なる定数のコンデンサおよび抵抗器が接続されている。更に詳しくは、コンデンサ C 5 および抵抗器 R 1 によって定まる第 1 のゲートオン電位用のラインにおける放電時定数よりもコンデンサ C 6 および抵抗器 R 2 によって定まる第 2 のゲートオン電位用のラインにおける放電時定数の

50

方が大きくされている。従って、電源の供給が遮断されたとき、図 6 に示すように、電位レベルについては第 1 のゲートオン電位 V_{GH1} よりも第 2 のゲートオン電位 V_{GH2} の方が緩やかに低下する。

【0071】

< 3 . ゲートドライバの構成および動作 >

次に、本実施形態におけるゲートドライバ 24 の構成および動作について説明する。図 7 に示すように、ゲートドライバ 24 は複数段からなるシフトレジスタ 240 によって構成されている。表示部 22 には i 行 $\times$ j 列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と 1 対 1 で対応するようにシフトレジスタ 240 の各段が設けられている。また、シフトレジスタ 240 の各段は、各時点において 2 つの状態のうちのいずれか一方の状態となっていて当該状態を示す信号（以下「状態信号」という。）を出力する双安定回路となっている。なお、シフトレジスタ 240 の各段から出力される状態信号は、対応するゲートバスラインに走査信号として与えられる。

10

【0072】

図 8 は、ゲートドライバ 24 内のシフトレジスタ 240 の構成を示すブロック図である。各双安定回路には、第 1 クロック CKA 、第 2 クロック CKB 、クリア信号 CLR 、基準電位 V_{SS} 、セット信号 S 、およびリセット信号 R を受け取るための入力端子と、状態信号 Q を出力するための出力端子とが設けられている。本実施形態においては、レベルシフト回路 13 から出力された基準電位 H_V_{SS} が基準電位 V_{SS} として与えられ、レベルシフト回路 13 から出力されたクリア信号 H_CLR がクリア信号 CLR として与えられる。また、レベルシフト回路 13 から出力された第 1 のゲートクロック信号 H_GCK1 および第 2 のゲートクロック信号 H_GCK2 の一方が第 1 クロック CKA として与えられ、それらの他方が第 2 クロック CKB として与えられる。さらに、前段から出力された状態信号 Q がセット信号 S として与えられ、次段から出力された状態信号 Q がリセット信号 R として与えられる。すなわち、 n 段目に着目すると、 $(n-1)$ 行目のゲートバスラインに与えられる走査信号 $GOUT_{n-1}$ がセット信号 S として与えられ、 $(n+1)$ 行目のゲートバスラインに与えられる走査信号 $GOUT_{n+1}$ がリセット信号 R として与えられる。なお、レベルシフト回路 13 から出力されたゲートスタートパルス信号 H_GSP は、シフトレジスタ 240 の 1 段目の双安定回路 $SR1$ にセット信号 S として与えられる。また、レベルシフト回路 13 から出力されたクリア信号 H_CLR は、シフトレジスタ 240 の最終段目 (i 段目) の双安定回路 SR_i にリセット信号 R としても与えられる。

20

30

【0073】

以上のような構成において、シフトレジスタ 240 の 1 段目にセット信号 S としてのゲートスタートパルス信号 H_GSP のパルスが与えられると、オンデューティが 50 パーセント前後の値にされた第 1 のゲートクロック信号 H_GCK1 および第 2 のゲートクロック信号 H_GCK2 (図 9 参照) に基づいて、ゲートスタートパルス信号 H_GSP に含まれるパルス（このパルスは各段から出力される状態信号 Q に含まれる）が 1 段目から i 段目へと順次に転送される。そして、このパルスの転送に応じて、各段から出力される状態信号 Q が順次にハイレベルとなる。そして、それら各段から出力される状態信号 Q は、走査信号 $GOUT_1 \sim GOUT_i$ として各ゲートバスライン $GL_1 \sim GL_i$ に与えられる。これにより、図 9 に示すように所定期間ずつ順次にハイレベルとなる走査信号 $GOUT_1 \sim GOUT_i$ が、表示部 22 内のゲートバスライン $GL_1 \sim GL_i$ に与えられる。

40

【0074】

なお、本実施形態においては、画素マトリクスの各行と 1 対 1 で対応するようにシフトレジスタ 240 の各段が設けられているが、本発明はこれに限定されない。例えば「ダブルゲート駆動」と呼ばれる駆動方式が採用される場合など、複数本のゲートバスラインを同時に駆動する場合には、1 つのパルスが複数本のゲートバスラインで共用されることがある。このような場合には、画素マトリクスの複数行と対応するようにシフトレジスタ 240 の各段が設けられる。すなわち、シフトレジスタ 240 の段数とゲートバスラインの

50

本数との比は、１対１であっても１対多であっても良い。

【００７５】

< ４．双安定回路の構成および動作 >

図１０は、シフトレジスタ２４０に含まれている双安定回路の構成（シフトレジスタ２４０のｎ段目の構成）を示す回路図である。図１０に示すように、この双安定回路ＳＲｎは、１０個の薄膜トランジスタＴ１～Ｔ１０と、１個のキャパシタＣＡＰ１とを備えている。なお、図１０では、第１クロックＣＫＡを受け取るための入力端子には符号４１を付し、第２クロックＣＫＢを受け取るための入力端子には符号４２を付し、セット信号Ｓを受け取るための入力端子には符号４３を付し、リセット信号Ｒを受け取るための入力端子には符号４４を付し、クリア信号ＣＬＲを受け取るための入力端子には符号４５を付し、状態信号Ｑを出力するための出力端子には符号４９を付している。

10

【００７６】

薄膜トランジスタＴ１のソース端子と薄膜トランジスタＴ２のドレイン端子と薄膜トランジスタＴ５のドレイン端子と薄膜トランジスタＴ８のドレイン端子と薄膜トランジスタＴ１０のゲート端子とキャパシタＣＡＰ１の一端とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「ｎｅｔＡ」という。薄膜トランジスタＴ３のソース端子と薄膜トランジスタＴ４のドレイン端子と薄膜トランジスタＴ５のゲート端子と薄膜トランジスタＴ６のドレイン端子とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「ｎｅｔＢ」という。

20

【００７７】

薄膜トランジスタＴ１については、ゲート端子およびドレイン端子は入力端子４３に接続され（すなわち、ダイオード接続となっている）、ソース端子はｎｅｔＡに接続されている。薄膜トランジスタＴ２については、ゲート端子は入力端子４５に接続され、ドレイン端子はｎｅｔＡに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタＴ３については、ゲート端子およびドレイン端子は入力端子４２に接続され（すなわち、ダイオード接続となっている）、ソース端子はｎｅｔＢに接続されている。薄膜トランジスタＴ４については、ゲート端子はｎｅｔＡに接続され、ドレイン端子はｎｅｔＢに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタＴ５については、ゲート端子はｎｅｔＢに接続され、ドレイン端子はｎｅｔＡに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタＴ６については、ゲート端子は入力端子４５に接続され、ドレイン端子はｎｅｔＢに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタＴ７については、ゲート端子は入力端子４２に接続され、ドレイン端子は出力端子４９に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタＴ８については、ゲート端子は入力端子４４に接続され、ドレイン端子はｎｅｔＡに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタＴ９については、ゲート端子は入力端子４４に接続され、ドレイン端子は出力端子４９に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタＴ１０については、ゲート端子はｎｅｔＡに接続され、ドレイン端子は入力端子４１に接続され、ソース端子は出力端子４９に接続されている。キャパシタＣＡＰ１については、一端はｎｅｔＡに接続され、他端は出力端子４９に接続されている。

30

40

【００７８】

なお、本実施形態においては、ｎｅｔＡによって第１ノードが実現され、ｎｅｔＢによって第２ノードが実現され、出力端子４９によって出力ノードが実現されている。また、薄膜トランジスタＴ７によって出力ノード制御用スイッチング素子を実現され、薄膜トランジスタＴ１０によって出力制御用スイッチング素子を実現され、薄膜トランジスタＴ２によって第１の第１ノード制御用スイッチング素子を実現され、薄膜トランジスタＴ５によって第２の第１ノード制御用スイッチング素子を実現され、薄膜トランジスタＴ６によって第２ノード制御用スイッチング素子を実現されている。

【００７９】

次に、電源が外部から正常に供給されているときの双安定回路ＳＲｎの動作について、

50

図 10 および図 11 を参照しつつ説明する。この液晶表示装置が動作している期間中、双安定回路 S R n には、オンデューティが 50 パーセント前後の値にされた第 1 クロック C K A および第 2 クロック C K B が与えられる。なお、第 1 クロック C K A および第 2 クロック C K B に関し、ハイレベル側の電位は第 1 のゲートオン電位 V G H 1 に設定されており、ローレベル側の電位はゲートオフ電位 V G L に設定されている。なお、クリア信号 C L R については、図 11 で示す期間中ローレベルで維持されるので、図 11 では省略している。

【0080】

時点 t 10 になり第 2 クロック C K B がローレベルからハイレベルに変化すると、薄膜トランジスタ T 3 は、図 10 に示すようにダイオード接続となっているので、オン状態となる。この時、n e t A の電位およびクリア信号 C L R はローレベルとなっているので、薄膜トランジスタ T 4 , T 6 はオフ状態となっている。これにより、時点 t 10 には n e t B の電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタ T 5 がオン状態となり、n e t A の電位は基準電位 V S S へと引き込まれる。また、時点 t 10 には、薄膜トランジスタ T 7 もオン状態となる。これにより、状態信号 Q の電位（出力端子 49 の電位）が基準電位 V S S へと引き込まれる。

10

【0081】

時点 t 11 になると、第 1 クロック C K A がローレベルからハイレベルに変化する。このとき、n e t A の電位はローレベルになっていて薄膜トランジスタ T 10 はオフ状態となっているので、状態信号 Q の電位はローレベルのまま維持される。また、時点 t 11 には、第 2 クロック C K B がハイレベルからローレベルに変化することに伴い、n e t B の電位がハイレベルからローレベルへと変化する。

20

【0082】

時点 t 12 になると、セット信号 S がローレベルからハイレベルに変化する。薄膜トランジスタ T 1 は図 10 に示すようにダイオード接続となっているので、セット信号 S がハイレベルになることによって薄膜トランジスタ T 1 はオン状態となる。これにより、キャパシタ C A P 1 は充電され、n e t A の電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタ T 10 はオン状態となる。ここで、時点 t 12 ~ 時点 t 13 の期間中、第 1 クロック C K A はローレベルとなっている。このため、この期間中、状態信号 Q はローレベルで維持される。また、この期間中、リセット信号 R はローレベルとなっているので薄膜トランジスタ T 8 はオフ状態で維持され、かつ、n e t B の電位はローレベルとなっているので薄膜トランジスタ T 5 はオフ状態で維持される。このため、この期間中に n e t A の電位が低下することはない。

30

【0083】

時点 t 13 になると、第 1 クロック C K A がローレベルからハイレベルに変化する。このとき、薄膜トランジスタ T 10 はオン状態となっているので、入力端子 41 の電位の上昇とともに出力端子 49 の電位（状態信号 Q の電位）は上昇する。ここで、図 10 に示すように n e t A - 出力端子 49 間にはキャパシタ C A P 1 が設けられているので、出力端子 49 の電位の上昇とともに n e t A の電位も上昇する（n e t A がブートストラップされる）。n e t A の電位は、理想的には第 1 クロック C K A のハイレベル側の電位である第 1 のゲートオン電位 V G H 1 の 2 倍の電位にまで上昇する。その結果、薄膜トランジスタ T 10 のゲート端子には大きな電圧が印加され、状態信号 Q の電位は、第 1 クロック C K A のハイレベル側の電位すなわち第 1 のゲートオン電位 V G H 1 の電位レベルにまで上昇する。これにより、この双安定回路 S R n の出力端子 49 に接続されているゲートバスラインが選択状態となる。なお、時点 t 13 ~ 時点 t 14 の期間中、第 2 クロック C K B はローレベルとなっているので薄膜トランジスタ T 7 はオフ状態で維持され、かつ、リセット信号 R はローレベルとなっているので薄膜トランジスタ T 9 はオフ状態で維持される。従って、この期間中に状態信号 Q の電位が低下することはない。また、時点 t 13 ~ 時点 t 14 の期間中、リセット信号 R はローレベルとなっているので薄膜トランジスタ T 8 はオフ状態で維持され、かつ、n e t B の電位はローレベルとなっているので薄膜トラン

40

50

ジスタ T 5 はオフ状態で維持される。このため、この期間中に n e t A の電位が低下することはない。

【 0 0 8 4 】

時点 t 1 4 になると、第 1 クロック C K A がハイレベルからローレベルに変化する。これにより、入力端子 4 1 の電位の低下とともに出力端子 4 9 の電位すなわち状態信号 Q の電位は低下する。このため、キャパシタ C A P 1 を介して n e t A の電位も低下する。また、時点 t 1 4 には、第 2 クロック C K B がローレベルからハイレベルに変化することによって薄膜トランジスタ T 3 , T 7 がオン状態となり、リセット信号 R がローレベルからハイレベルに変化することによって薄膜トランジスタ T 8 , T 9 がオン状態となる。さらに、薄膜トランジスタ T 3 がオン状態となることにより、n e t B の電位がローレベルからハイレベルに変化して薄膜トランジスタ T 5 がオン状態となる。以上のようにして、時点 t 1 4 には、薄膜トランジスタ T 5 , T 8 がオン状態となることによって n e t A の電位がローレベルとなり、薄膜トランジスタ T 7 , T 9 がオン状態となることによって状態信号 Q の電位がローレベルとなる。

10

【 0 0 8 5 】

以上のような動作がシフトレジスタ 2 4 0 内の各双安定回路で行われることにより、図 9 に示したように所定期間ずつ順次にハイレベルとなる走査信号 G O U T 1 ~ G O U T i が表示部 2 2 内のゲートバスライン G L 1 ~ G L i に与えられる。

【 0 0 8 6 】

< 5 . 電源遮断時の動作 >

20

次に、図 1 , 図 2 , 図 1 0 , および図 1 2 を参照しつつ、外部からの電源の供給が遮断されたときの液晶表示装置の動作について説明する。なお、この一連の処理のことを以下「電源オフシーケンス」という。図 1 には、入力電源電位 V C C , 電源状態信号 S H U T , ゲートオン電位 (第 1 のゲートオン電位 V G H 1 , 第 2 のゲートオン電位 V G H 2) , ゲートオフ電位 V G L , ゲートスタートパルス信号 H _ G S P , ゲートクロック信号 H _ G C K , クリア信号 H _ C L R , 基準電位 H _ V S S , および映像信号電位 (ソースバスライン S L の電位) V S の波形が示されている。図 1 2 には、通常動作時および電源遮断時において各信号の取る電位が示されている。なお、第 1 のゲートクロック信号 H _ G C K 1 と第 2 のゲートクロック信号 H _ G C K 2 とは、通常動作中の位相が異なるだけであって、電源オフ後の時点 t 1 以降の波形変化は同じである。従って、図 1 では、ゲートクロック信号 H _ G C K として 1 つの波形のみを示している。

30

【 0 0 8 7 】

上述したように、ゲートスタートパルス信号 H _ G S P はシフトレジスタ 2 4 0 の 1 段目の双安定回路にセット信号 S として与えられ、ゲートクロック信号 H _ G C K (第 1 のゲートクロック信号 H _ G C K 1 , 第 2 のゲートクロック信号 H _ G C K 2) は各双安定回路に第 1 クロック C K A , 第 2 クロック C K B として与えられ、クリア信号 H _ C L R は各双安定回路にクリア信号 C L R として与えられるとともにシフトレジスタ 2 4 0 の最終段目の双安定回路にリセット信号 R として与えられ、規準電位 H _ V S S は各双安定回路に基準電位 V S S として与えられる。

【 0 0 8 8 】

40

図 1 に示すように、電源オフシーケンスは初期化ステップ, 第 1 の放電ステップ, および第 2 の放電ステップからなる。初期化ステップはシフトレジスタ 2 4 0 を構成する全ての双安定回路の状態をリセット (クリア) するためのステップであり、第 1 の放電ステップは画素形成部内で電荷を放電させるためのステップであり、第 2 の放電ステップはゲートドライバ 2 4 内で電荷を放電させるためのステップである。なお、本説明においては、時点 t 0 以前には電源が正常に供給されていて時点 t 0 に電源の供給が遮断されたものと仮定する。

【 0 0 8 9 】

電源が正常に供給されている期間 (時点 t 0 以前の期間) には、電源状態信号 S H U T はローレベルで維持される。この期間中、ゲートスタートパルス信号 H _ G S P の電位お

50

よびゲートクロック信号（第1のゲートクロック信号H__GCK1，第2のゲートクロック信号H__GCK2）の電位は第1のゲートオン電位VGH1またはゲートオフ電位VGLに設定され、クリア信号H__CLRの電位は第2のゲートオン電位VGH2またはゲートオフ電位VGLに設定され、基準電位H__VSSはゲートオフ電位VGLに設定される（図1および図12を参照）。なお、通常動作期間中には、第1のゲートオン電位VGH1と第2のゲートオン電位VGH2とは同じ電位レベル（例えば+20V）になっている。

【0090】

時点t0に電源の供給が遮断されると、入力電源電位VCCはグラウンド電位GNDへと徐々に低下する。これにより、時点t0以降には、第1のゲートオン電位VGH1および第2のゲートオン電位VGH2はグラウンド電位GNDへと徐々に低下し、ゲートオフ電位VGLはグラウンド電位GNDへと徐々に上昇する。

10

【0091】

時点t0に電源の供給が遮断された後の時点t1に、電源OFF検出部17は電源状態信号SHUTをローレベルからハイレベルに変化させる。レベルシフト回路13は、電源状態信号SHUTがローレベルからハイレベルに変化すると、GDM信号のうちクリア信号H__CLRのみをハイレベル側の電位に設定し、クリア信号H__CLR以外の信号をローレベル側の電位に設定する。すなわち、時点t1～時点t2の期間には、クリア信号H__CLRの電位は第2のゲートオン電位VGH2に設定され、ゲートスタートパルス信号H__GSPの電位、ゲートクロック信号H__GCKの電位、および基準電位H__VSSはゲートオフ電位VGLに設定される（図1および図12を参照）。図10から把握されるように、クリア信号H__CLRがハイレベルになると、各双安定回路において薄膜トランジスタT2，T6がオン状態となる。これにより、netAの電位およびnetBの電位がローレベルとなる。このようにして、初期化ステップ（時点t1～時点t2）では、各双安定回路の状態がリセット（クリア）される。なお、映像信号電位VSについては、時点t1以降の期間を通じて、グラウンド電位GND（0V）に等しくされる。

20

【0092】

時点t2になると、レベルシフト回路13は、GDM信号のうちクリア信号H__CLRのみをローレベル側の電位に設定し、クリア信号H__CLR以外の信号をハイレベル側の電位に設定する。すなわち、時点t2～時点t3の期間には、クリア信号H__CLRの電位はゲートオフ電位VGLに設定され、ゲートスタートパルス信号H__GSPの電位、ゲートクロック信号H__GCKの電位、および基準電位H__VSSは第1のゲートオン電位VGH1に設定される（図1および図12を参照）。ところで、時点t2においては、第1のゲートオン電位VGH1の電位レベルは充分には低下していない。従って、時点t2には、ゲートスタートパルス信号H__GSP，ゲートクロック信号H__GCK，および基準電位H__VSSはハイレベルとなる。このとき、各双安定回路において、基準電位VSがハイレベルとなった状態で薄膜トランジスタT7がオン状態となるので、状態信号Qの電位がハイレベルとなる。これにより、全てのゲートバスラインGL1～GLiが選択状態となる。ここで、図1に示すように時点t1以降の期間には映像信号電位VSはグラウンド電位GNDとなっているので、全てのゲートバスラインGL1～GLiが選択状態となることによって、各画素形成部内の画素容量に蓄積されている電荷が放電される。また、時点t2～時点t3の期間には、ゲートクロック信号H__GCKの電位および基準電位H__VSSはグラウンド電位GNDへと徐々に低下する。これにより、各双安定回路の出力端子49の電位（状態信号Qの電位）が徐々に低下する。すなわち、各ゲートバスライン上の電荷が放電される。また、出力端子49の電位が徐々に低下するため、各画素の電位に関し、キックバック電圧による電位変動を問題ないレベルに少なくすることができる。以上のようにして、第1の放電ステップ（時点t2～時点t3）では、表示部22内の全ての画素形成部および全てのゲートバスラインGL1～GLiにおいて電荷の放電が行われる。

30

40

【0093】

50

図 6 に示したように、電源の供給が遮断された後、第 2 のゲートオン電位 V_{GH2} の電位レベルと比較して、第 1 のゲートオン電位 V_{GH1} の電位レベルは速やかにグラウンド電位 GND にまで低下する。このため、時点 t_3 には、第 2 のゲートオン電位 V_{GH2} の電位レベルは充分には低下していないが、第 1 のゲートオン電位 V_{GH1} の電位レベルはグラウンド電位 GND にまで低下している。従って、時点 t_2 にハイレベル側の電位に設定されたゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK , および規準電位 H_VSS については、時点 t_3 にはグラウンド電位 GND にまで低下する。

【0094】

時点 t_3 には、レベルシフト回路 13 は、クリア信号 H_CLR をハイレベル側の電位に設定する。上述したように時点 t_3 においては第 2 のゲートオン電位 V_{GH2} の電位レベルは充分には低下していないので、時点 t_3 には、クリア信号 H_CLR はハイレベルとなる。これにより、各双安定回路において薄膜トランジスタ T_2 , T_6 がオン状態となる。その結果、 $net A$ の電位および $net B$ の電位がローレベルとなる。このようにして、第 2 の放電ステップ (時点 $t_3 \sim$ 時点 t_4) では、ゲートドライバ 24 を構成するシフトレジスタ 240 内の浮遊ノード (各双安定回路内の $net A$ および $net B$) 上の電荷の放電が行われる。

【0095】

その後、時点 t_4 には、第 2 のゲートオン電位 V_{GH2} の電位レベルがグラウンド電位 GND にまで低下する。これにより、時点 t_4 には、クリア信号 H_CLR についてもグラウンド電位 GND にまで低下する。以上より、電源オフシーケンスは終了する。

【0096】

ところで、電源オフシーケンスにおいて GDM 信号の電位を図 1 に示すように複数のステップで変化させることができるように、レベルシフト回路 13 には図 4 に示すようにタイミング生成ロジック部 131 とオシレータ 132 とが含まれている。このような構成において、電源 OFF 検出部 17 からレベルシフト回路 13 に与えられる電源状態信号 $SHUT$ がローレベルからハイレベルに変化すると、タイミング生成ロジック部 131 は、オシレータ 132 によって生成される基本クロックをカウンタでカウントすることによって、各ステップの開始タイミングを取得する。そして、タイミング生成ロジック部 131 は、そのタイミングに従って、 GDM 信号の電位を予め定められた電位に変化させる。このようにして、図 1 に示すような波形のゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK (第 1 のゲートクロック信号 H_GCK1 , 第 2 のゲートクロック信号 H_GCK2) , クリア信号 H_CLR , および基準電位 H_VSS が生成される。なお、レベルシフト回路 13 と電源 OFF 検出部 17 とが図 4 で符号 60 で示すように 1 つの LSI 内に格納されていても良い。

【0097】

< 6 . 効果 >

本実施形態によれば、 $IGZO - GDM$ を備えた液晶表示装置において、電源の供給が遮断されると、3 つのステップからなる電源オフシーケンスが行われる。初期化ステップでは、 GDM 信号のうちクリア信号 H_CLR のみがハイレベル側の電位に設定される。これにより、各双安定回路の状態がリセット (クリア) される。第 1 の放電ステップでは、 GDM 信号のうちクリア信号 H_CLR のみがローレベル側の電位に設定される。すなわち、第 1 の放電ステップでは、ゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK , および規準電位 H_VSS はハイレベルとなる。これにより、基準電位 VSS がハイレベルとなった状態で薄膜トランジスタ T_7 がオン状態となるので、状態信号 Q の電位がハイレベルとなって各ゲートバスラインが選択状態となる。このとき、映像信号電位 VS はグラウンド電位 GND となっているので、各画素形成部内の画素容量に蓄積されている電荷が放電される。また、ゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK , および規準電位 H_VSS は徐々に低下するので、各ゲートバスライン上の電荷も放電される。また電位が徐々に低下するため、各画素の電位に関し、キックバック電圧による電位変動を問題ないレベルに少なくすることができる。第 2 の放電

ステップでは、クリア信号 H_CLR がハイレベル側の電位に設定される。これにより、各双安定回路内の浮遊ノード ($net A$ および $net B$) 上の電荷が放電される。ところで、本実施形態においては、ゲートオン電位として電源遮断時に比較的速やかに電位レベルが低下する第 1 のゲートオン電位 $VGH1$ と電源遮断時に比較的緩やかに電位レベルが低下する第 2 のゲートオン電位 $VGH2$ とが生成される。そして、第 1 のゲートオン電位 $VGH1$ は GDM 信号のうちのゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK , および規準電位 H_VSS のハイレベル側の電位として使用され、第 2 のゲートオン電位 $VGH2$ は GDM 信号のうちのクリア信号 H_CLR のハイレベル側の電位として使用されている。このため、第 2 の放電ステップが開始されるまでに各ゲートバスライン上の電荷が十分に放電され、また、第 2 の放電ステップにおいて GDM 信号のうちのクリア信号 H_CLR のみがハイレベルで維持されているようにすることが可能となっている。以上の動作により、 $IGZO - GDM$ を備えた液晶表示装置において、電源の供給が遮断された際、画素形成部内の電荷、ゲートバスライン上の電荷、シフトレジスタ 240 内の浮遊ノード (各双安定回路内の $net A$ および $net B$) 上の電荷が順次に放電される。このように、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、 $IGZO - GDM$ を備えた液晶表示装置が実現される。その結果、 $IGZO - GDM$ を備えた液晶表示装置において、パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。

10

【0098】

< 7 . 変形例など >

20

上記実施形態においては、初期化ステップの際にゲートクロック信号 H_GCK はローレベル側の電位に設定されていたが、本発明はこれに限定されず、初期化ステップの際にゲートクロック信号 H_GCK がハイレベル側の電位に設定されても良い (図 13 参照)。この場合においても、初期化ステップでは、クリア信号 H_CLR がハイレベルになることによって各双安定回路において薄膜トランジスタ $T2$, $T6$ がオン状態となるので、 $net A$ の電位および $net B$ の電位がローレベルとなる。また、上記実施形態においては、第 1 の放電ステップの際にクリア信号 H_CLR はローレベル側の電位に設定されていたが、本発明はこれに限定されず、第 1 の放電ステップの際にクリア信号 H_CLR がハイレベル側の電位に設定されても良い (図 14 参照)。この場合においても、第 1 の放電ステップでは、各双安定回路において基準電位 VSS がハイレベルとなった状態で薄膜トランジスタ $T7$ がオン状態となるので、状態信号 Q の電位がハイレベルとなり、各ゲートバスラインが選択状態となる。

30

【0099】

さらに、上記実施形態においては、電源オフシーケンスは初期化ステップ、第 1 の放電ステップ、および第 2 の放電ステップによって構成されていたが、本発明はこれに限定されず、第 1 の放電ステップと第 2 の放電ステップとによって電源オフシーケンスが構成されていても良い。但し、初期化ステップを含む構成の方が、より確実にパネル内の残留電荷を除去することができる。

【0100】

また、上記実施形態では $IGZO - GDM$ を備えた液晶表示装置を例に挙げて説明したが、本発明はこれに限定されず、 $IGZO - GDM$ 以外のモノリシックゲートドライバ (例えば、薄膜トランジスタの半導体層に $a - SiTF$ T を採用したもの) を備えた液晶表示装置においても本発明を適用することができる。

40

【0101】

さらに、上記実施形態においては、電源オフシーケンスを外部からの電源の供給が遮断されたときのシーケンスとして説明しているが、例えば、表示装置のモードが移行する時 (表示モード - スリープモード間の移行時) の放電のシーケンスとして、あるいは、コマンド入力による放電のシーケンスとして、上述のような電源オフシーケンスが適宜実施されるようにすることも可能である。

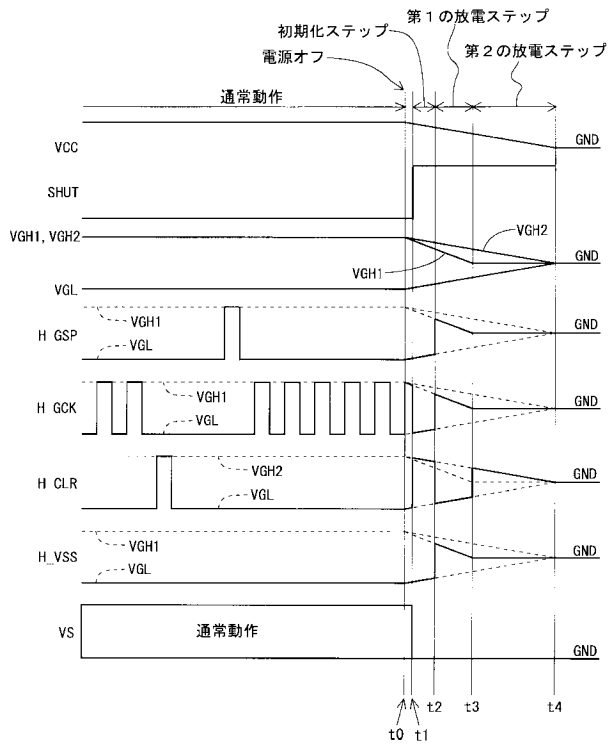
【符号の説明】

50

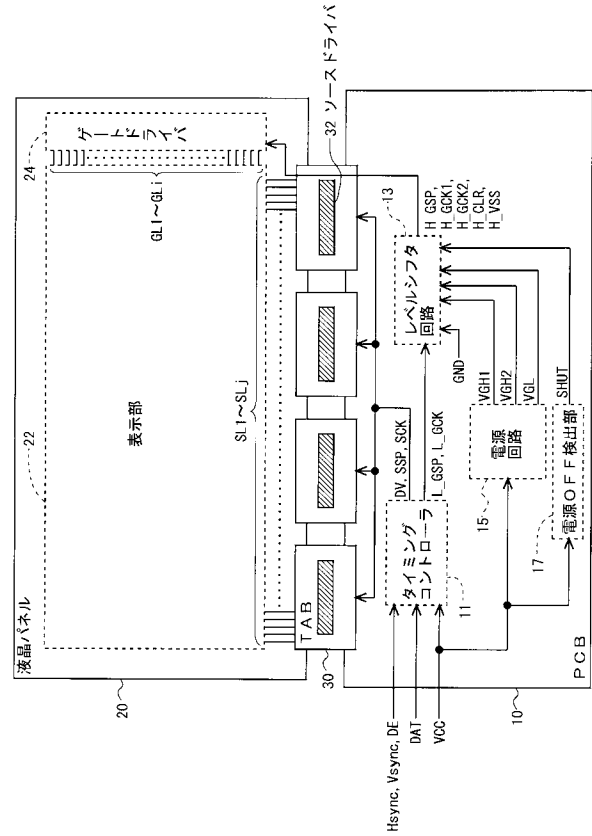
【 0 1 0 2 】

1 1 ... タイミングコントローラ	
1 3 ... レベルシフト回路	
1 5 ... 電源回路	
1 7 ... 電源 O F F 検出部	
2 0 ... 液晶パネル	
2 2 ... 表示部	
2 4 ... ゲートドライバ (走査信号線駆動回路)	
3 2 ... ソースドライバ (映像信号線駆動回路)	
2 2 0 ... (画素形成部内の) 薄膜トランジスタ	10
2 4 0 ... シフトレジスタ	
V C C ... 入力電源電位	
S H U T ... 電源状態信号	
V G H ... ゲートオン電位	
V G H 1 ... 第 1 のゲートオン電位	
V G H 2 ... 第 2 のゲートオン電位	
V G L ... ゲートオフ電位	
L _ G C K ... ゲートクロック信号	
H _ G C K 1 ... 第 1 のゲートクロック信号	
H _ G C K 2 ... 第 2 のゲートクロック信号	20
L _ G S P , H _ G S P ... ゲートスタートパルス信号	
L _ C L R , H _ C L R , C L R ... クリア信号	
L _ V S S , H _ V S S , V S S ... 基準電位	
T 1 ~ T 1 0 ... (双安定回路内の) 薄膜トランジスタ	
C K A ... 第 1 クロック	
C K B ... 第 2 クロック	
S ... セット信号	
R ... リセット信号	
Q ... 状態信号	
G O U T 1 ~ G O U T i ... 走査信号	30

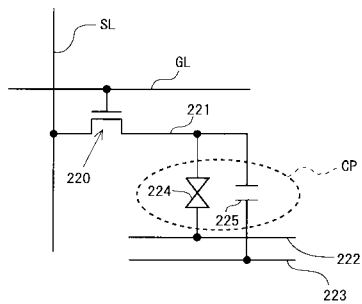
【図 1】



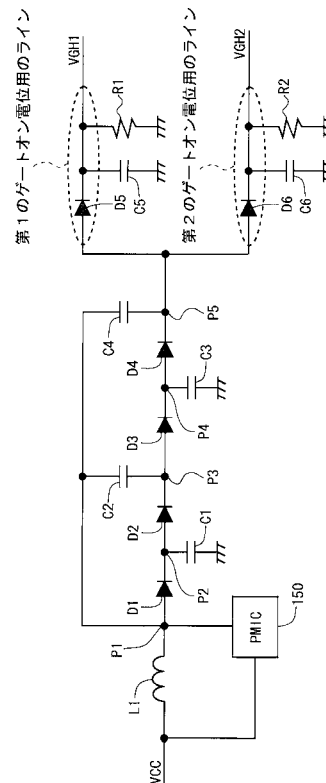
【図 2】



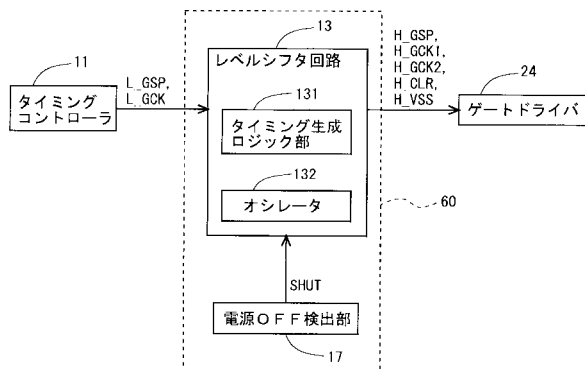
【図 3】



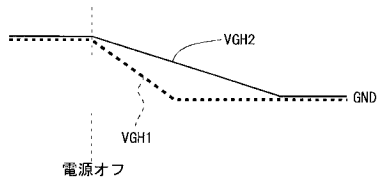
【図 5】



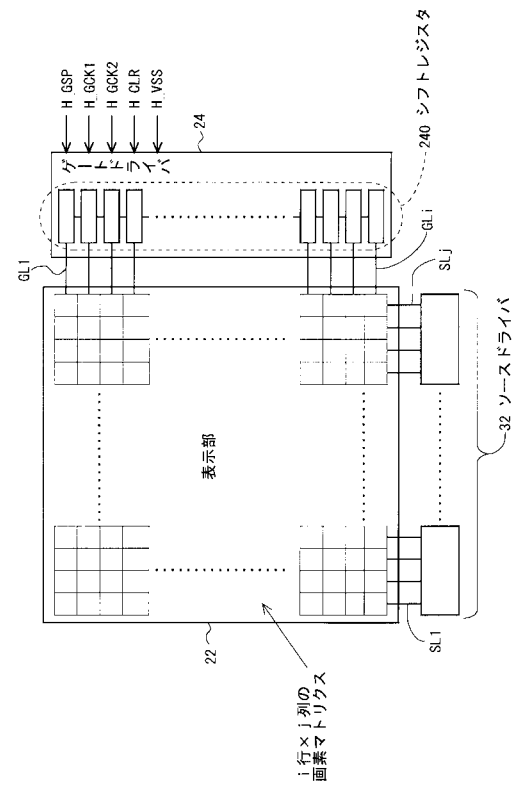
【図 4】



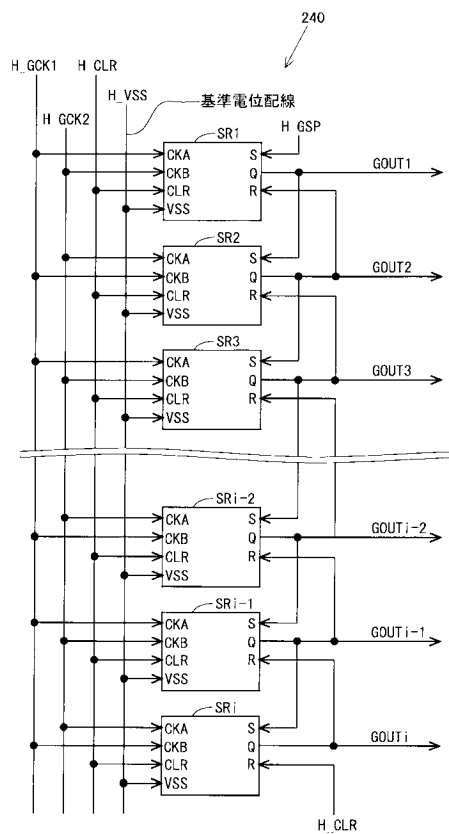
【図 6】



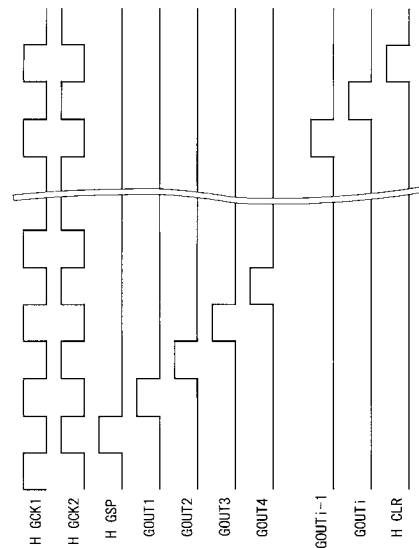
【図 7】



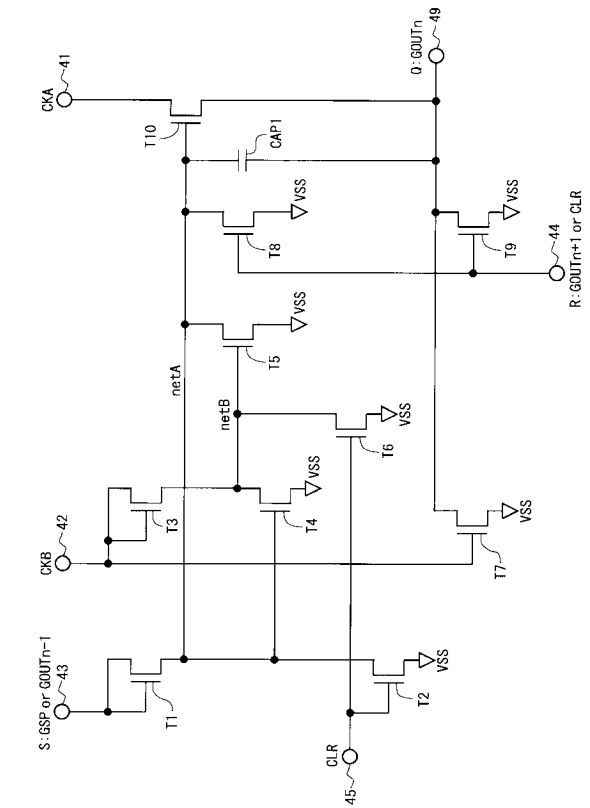
【図 8】



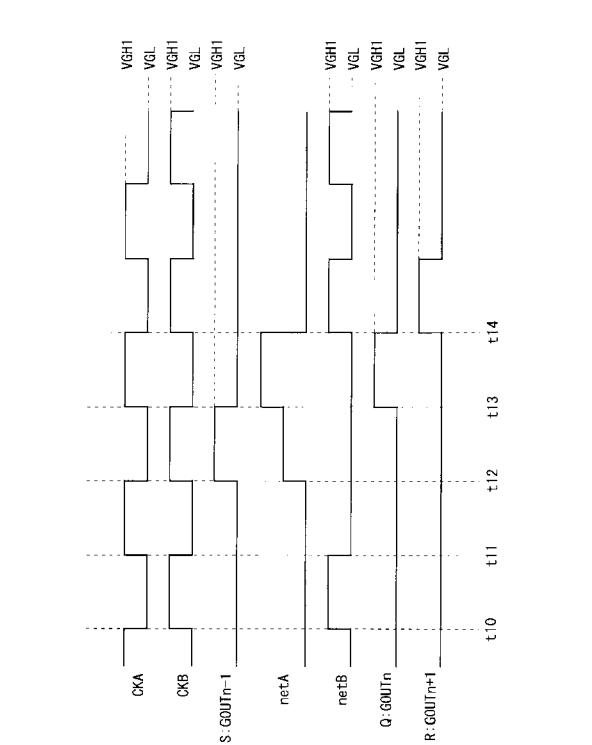
【図 9】



【図 1 0】



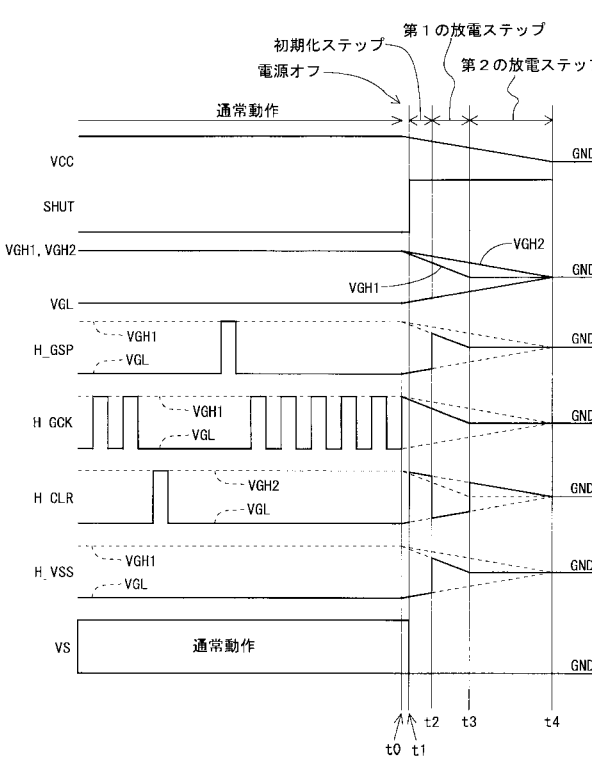
【図 1 1】



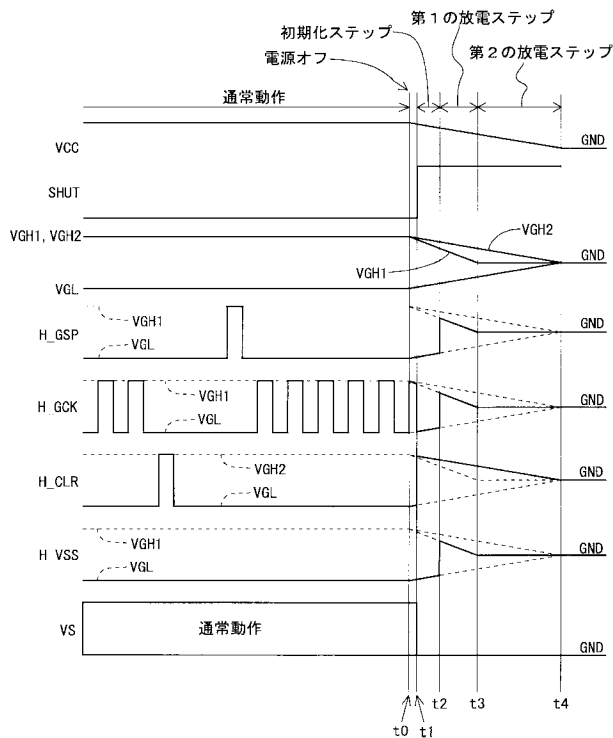
【図 1 2】

	通常動作 (~t0)	初期化ステップ (t1~t2)	第1の放電ステップ (t2~t3)	第2の放電ステップ (t3~t4)
H GSP	VGH1, VGL	VGL	VGH1	VGH1 (GND)
H GCK	VGH1, VGL	VGL	VGH1	VGH1 (GND)
H CLR	VGH2, VGL	VGH2	VGL	VGH2
H VSS	VGL	VGL	VGH1	VGH1 (GND)

【図 1 3】



【図 14】



【手続補正書】

【提出日】平成27年1月14日(2015.1.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

表示パネルを構成する基板と、
 映像信号を伝達する複数の映像信号線と、
 前記複数の映像信号線と交差する複数の走査信号線と、
 前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルス
 を出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力
 されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と

、

外部から与えられる電源に基づいて、前記走査信号線を選択状態にするための電位であ
 る走査信号線選択電位と、前記走査信号線を非選択状態にするための電位である走査信号
 線非選択電位とを生成する電源回路と、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、
 前記複数の双安定回路の動作の基準となる電位であって通常動作時には各走査信号線を非
 選択状態にする電位レベルで維持される基準電位とを生成し、前記走査信号線駆動回路の
 動作を制御する駆動制御部と、

前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与える電源状態検出部と
を備え、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用スイッチング素子と、

前記第2の第1ノード制御用スイッチング素子の第1電極に接続された第2ノードと

—

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2ノード制御用スイッチング素子と、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

前記クロック信号に基づいて前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と

を有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第1の走査信号線選択電位と第2の走査信号線選択電位とを生成し、

前記駆動制御部は、

前記クロック信号の電位を前記第1の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記クリア信号の電位を前記第2の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記基準電位を前記第1の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記電源オフ信号を受け取ると、前記クロック信号の電位と前記基準電位とを前記第1の走査信号線選択電位に設定することによって前記複数の画素形成部内の電荷および前記複数の走査信号線上の電荷を放電する第1の放電処理と、前記クリア信号の電位を前記第2の走査信号線選択電位に設定することによって各双安定回路内の第1ノードおよび第2ノード上の電荷を放電する第2の放電処理とを順次に行い、

前記第2の放電処理が開始される時点には、前記第1の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第2の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする、液晶表示装置。

【請求項 2】

前記電源がオフ状態になると、前記第 1 の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記電源回路は、第 1 のコンデンサと第 1 の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第 1 の走査信号線選択電位を生成するための第 1 の走査信号線選択電位生成ラインと、第 2 のコンデンサと第 2 の抵抗器とに接続され、前記所定電位に基づいて前記第 2 の走査信号線選択電位を生成するための第 2 の走査信号線選択電位生成ラインとを有し、

前記第 1 のコンデンサと前記第 1 の抵抗器とは、前記第 1 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 2 のコンデンサと前記第 2 の抵抗器とは、前記第 2 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 1 の走査信号線選択電位生成ラインおよび前記第 2 の走査信号線選択電位生成ラインは、前記駆動制御部に接続され、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2 のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記駆動制御部は、前記第 1 の放電処理の際には前記クリア信号の電位を前記走査信号線非選択電位に設定することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記駆動制御部は、前記電源オフ信号を受け取ると、前記第 1 の放電処理の前に、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化処理を行うことを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記駆動制御部は、前記初期化処理の際には前記クロック信号の電位を前記走査信号線非選択電位に設定することを特徴とする、請求項 5 に記載の液晶表示装置。

【請求項 7】

各双安定回路は、第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 8】

各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の液晶表示装置。

【請求項 9】

前記酸化物半導体は、酸化インジウムガリウム亜鉛 (I G Z O) であることを特徴とする、請求項 8 に記載の液晶表示装置。

【請求項 10】

表示パネルを構成する基板と、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線を選択状態にするための電位である走査信号線選択電位と前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを外部から与えられる電源に基づいて生成する電源回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを備える液晶表示装置の駆動方法であって、

外部から与えられる電源のオン/オフ状態を検出する電源状態検出ステップと、
前記電源状態検出ステップで前記電源のオフ状態が検出されたときに実行される、前記表示パネル内の電荷を放電させる電荷放電ステップと
を含み、

前記走査信号線駆動回路は、前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる電位であって通常動作時には各走査信号線を非選択状態にする電位レベルで維持される基準電位とを生成し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用スイッチング素子と、

前記第2の第1ノード制御用スイッチング素子の第1電極に接続された第2ノードと

、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2ノード制御用スイッチング素子と、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

前記クロック信号に基づいて前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と

を有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第1の走査信号線選択電位と第2の走査信号線選択電位とを生成し、

前記電荷放電ステップは、

前記クロック信号の電位と前記基準電位とを前記第1の走査信号線選択電位に設定することによって前記複数の画素形成部内の電荷および前記複数の走査信号線上の電荷を放電する第1の放電ステップと、

前記クリア信号の電位を前記第2の走査信号線選択電位に設定することによって各双安定回路内の第1ノードおよび第2ノード上の電荷を放電する第2の放電ステップと
からなり、

前記第2の放電ステップが開始される時点には、前記第1の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第2の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする、駆動方法。

【請求項 1 1】

前記電源がオフ状態になると、前記第 1 の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする、請求項 1 0 に記載の駆動方法。

【請求項 1 2】

前記電源回路は、第 1 のコンデンサと第 1 の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第 1 の走査信号線選択電位を生成するための第 1 の走査信号線選択電位生成ラインと、第 2 のコンデンサと第 2 の抵抗器とに接続され、前記所定電位に基づいて前記第 2 の走査信号線選択電位を生成するための第 2 の走査信号線選択電位生成ラインとを有し、

前記第 1 のコンデンサと前記第 1 の抵抗器とは、前記第 1 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 2 のコンデンサと前記第 2 の抵抗器とは、前記第 2 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 1 の走査信号線選択電位生成ラインおよび前記第 2 の走査信号線選択電位生成ラインは、前記駆動制御部に接続され、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2 のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする、請求項 1 1 に記載の駆動方法。

【請求項 1 3】

前記第 1 の放電ステップでは、前記クリア信号の電位が前記走査信号線非選択電位に設定されることを特徴とする、請求項 1 0 に記載の駆動方法。

【請求項 1 4】

前記電荷放電ステップは、前記第 1 の放電ステップの前に行われるステップとして、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化ステップを更に含むことを特徴とする、請求項 1 0 に記載の駆動方法。

【請求項 1 5】

前記初期化ステップでは、前記クロック信号の電位が前記走査信号線非選択電位に設定されることを特徴とする、請求項 1 4 に記載の駆動方法。

【請求項 1 6】

各双安定回路は、第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする、請求項 1 0 に記載の駆動方法。

【請求項 1 7】

各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする、請求項 1 0 から 1 6 までのいずれか 1 項に記載の駆動方法。

【請求項 1 8】

前記酸化物半導体は、酸化インジウムガリウム亜鉛 (I G Z O) であることを特徴とする、請求項 1 7 に記載の駆動方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

本発明の第 1 の局面は、表示パネルを構成する基板と、
映像信号を伝達する複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と

、
外部から与えられる電源に基づいて、前記走査信号線を選択状態にするための電位である走査信号線選択電位と、前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを生成する電源回路と、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、
前記複数の双安定回路の動作の基準となる電位であって通常動作時には各走査信号線を非選択状態にする電位レベルで維持される基準電位とを生成し、前記走査信号線駆動回路の動作を制御する駆動制御部と、

前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与える電源状態検出部と

を備え、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用スイッチング素子と、

前記第2の第1ノード制御用スイッチング素子の第1電極に接続された第2ノードと

、
第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2ノード制御用スイッチング素子と、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

前記クロック信号に基づいて前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と

を有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第1の走査信号線選択電位と第2の走査信号線選択電位とを生成し、

前記駆動制御部は、

前記クロック信号の電位を前記第1の走査信号線選択電位または前記走査信号線非選

択電位に設定し、

前記クリア信号の電位を前記第 2 の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記基準電位を前記第 1 の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記電源オフ信号を受け取ると、前記クロック信号の電位と前記基準電位とを前記第 1 の走査信号線選択電位に設定することによって前記複数の画素形成部内の電荷および前記複数の走査信号線上の電荷を放電する第 1 の放電処理と、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定することによって各双安定回路内の第 1 ノードおよび第 2 ノード上の電荷を放電する第 2 の放電処理とを順次に行い、

前記第 2 の放電処理が開始される時点には、前記第 1 の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第 2 の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

【補正の内容】

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記電源がオフ状態になると、前記第 1 の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明の第 3 の局面は、本発明の第 2 の局面において、

前記電源回路は、第 1 のコンデンサと第 1 の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第 1 の走査信号線選択電位を生成するための第 1 の走査信号線選択電位生成ラインと、第 2 のコンデンサと第 2 の抵抗器とに接続され、前記所定電位に基づいて前記第 2 の走査信号線選択電位を生成するための第 2 の走査信号線選択電位生成ラインとを有し、

前記第 1 のコンデンサと前記第 1 の抵抗器とは、前記第 1 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 2 のコンデンサと前記第 2 の抵抗器とは、前記第 2 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 1 の走査信号線選択電位生成ラインおよび前記第 2 の走査信号線選択電位生成ラインは、前記駆動制御部に接続され、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2 のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本発明の第4の局面は、本発明の第1の局面において、
前記駆動制御部は、前記第1の放電処理の際には前記クリア信号の電位を前記走査信号線非選択電位に設定することを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本発明の第5の局面は、本発明の第1の局面において、
前記駆動制御部は、前記電源オフ信号を受け取ると、前記第1の放電処理の前に、前記クリア信号の電位を前記第2の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化処理を行うことを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

本発明の第6の局面は、本発明の第5の局面において、
前記駆動制御部は、前記初期化処理の際には前記クロック信号の電位を前記走査信号線非選択電位に設定することを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本発明の第7の局面は、本発明の第1の局面において、
各双安定回路は、第1電極，第2電極，および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クロック信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本発明の第8の局面は、本発明の第1から第7までのいずれかの局面において、
各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 0

【補正方法】 変更

【補正の内容】

【 0 0 2 0 】

本発明の第 9 の局面は、本発明の第 8 の局面において、
前記酸化物半導体は、酸化インジウムガリウム亜鉛（ I G Z O ）であることを特徴とする。

【手続補正 1 2 】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 1

【補正方法】 変更

【補正の内容】

【 0 0 2 1 】

本発明の第 1 0 の局面は、表示パネルを構成する基板と、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線を選択状態にするための電位である走査信号線選択電位と前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを外部から与えられる電源に基づいて生成する電源回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを備える液晶表示装置の駆動方法であって、

外部から与えられる電源のオン / オフ状態を検出する電源状態検出ステップと、

前記電源状態検出ステップで前記電源のオフ状態が検出されたときに実行される、前記表示パネル内の電荷を放電させる電荷放電ステップと
を含み、

前記走査信号線駆動回路は、前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる電位であって通常動作時には各走査信号線を非選択状態にする電位レベルで維持される基準電位とを生成し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第 1 電極，第 2 電極，および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 2 電極に前記クロック信号が与えられ、第 3 電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第 1 電極に接続された第 1 ノードと、

第 1 電極，第 2 電極，および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 1 の第 1 ノード制御用スイッチング素子と、

第 1 電極，第 2 電極，および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の第 1 ノード制御用スイッチング素子と、

前記第 2 の第 1 ノード制御用スイッチング素子の第 1 電極に接続された第 2 ノードと

—

第 1 電極，第 2 電極，および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前

記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2ノード制御用スイッチング素子と、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

前記クロック信号に基づいて前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と

を有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第1の走査信号線選択電位と第2の走査信号線選択電位とを生成し、

前記電荷放電ステップは、

前記クロック信号の電位と前記基準電位とを前記第1の走査信号線選択電位に設定することによって前記複数の画素形成部内の電荷および前記複数の走査信号線上の電荷を放電する第1の放電ステップと、

前記クリア信号の電位を前記第2の走査信号線選択電位に設定することによって各双安定回路内の第1ノードおよび第2ノード上の電荷を放電する第2の放電ステップとからなり、

前記第2の放電ステップが開始される時点には、前記第1の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第2の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】削除

【補正の内容】

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本発明の第11の局面は、本発明の第10の局面において、

前記電源がオフ状態になると、前記第1の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の第12の局面は、本発明の第11の局面において、

前記電源回路は、第1のコンデンサと第1の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第1の走査信号線選択電位を生成するための第1の走査信号線選択電位生成ラインと、第2のコンデンサと第2の抵抗器とに接続され、前記所定電位に基づいて前記第2の走査信号線選択電位を生成するための第2の走査信号線選択電位生成ラインとを有し、

前記第1のコンデンサと前記第1の抵抗器とは、前記第1の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第2のコンデンサと前記第2の抵抗器とは、前記第2の走査信号線選択電位生成ラ

インと接地ラインとの間に並列に接続され、

前記第 1 の走査信号線選択電位生成ラインおよび前記第 2 の走査信号線選択電位生成ラインは、前記駆動制御部に接続され、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2 のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の第 13 の局面は、本発明の第 10 の局面において、

前記第 1 の放電ステップでは、前記クリア信号の電位が前記走査信号線非選択電位に設定されることを特徴とする。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の第 14 の局面は、本発明の第 10 の局面において、

前記電荷放電ステップは、前記第 1 の放電ステップの前に行われるステップとして、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化ステップを更に含むことを特徴とする。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の第 15 の局面は、本発明の第 14 の局面において、

前記初期化ステップでは、前記クロック信号の電位が前記走査信号線非選択電位に設定されることを特徴とする。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

本発明の第 16 の局面は、本発明の第 10 の局面において、

各双安定回路は、第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする。

【手続補正 20】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

本発明の第17の局面は、本発明の第10から第16までのいずれかの局面において、各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

本発明の第18の局面は、本発明の第17の局面において、前記酸化物半導体は、酸化インジウムガリウム亜鉛（IGZO）であることを特徴とする。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

本発明の第1の局面によれば、液晶表示装置において電源の供給が遮断されると、表示パネル内の電荷を放電するための2つの処理（第1の放電処理および第2の放電処理）が順次に行われる。第1の放電処理では、クロック信号の電位と基準電位が第1の走査信号線選択電位に設定される。これにより、ハイレベルとなったクロック信号の電位が出力制御用スイッチング素子を介して出力ノードに与えられるので、各走査信号線が選択状態となる。このとき、映像信号電位をグラウンド電位に設定しておくことによって、各画素形成部内の電荷が放電される。また、第2の放電処理が開始されるまでに第1の走査信号線選択電位はグラウンド電位にまで低下する。このため、第1の放電処理の際に、クロック信号の電位および基準電位は徐々に低下し、走査信号線上の電荷も放電される。第2の放電処理では、クリア信号の電位が第2の走査信号線選択電位に設定される。第2の放電処理が開始される時点には、第2の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されているので、第2の放電処理によって各双安定回路内の浮遊ノード（第1ノードおよび第2ノード）上の電荷が放電される。以上のようにして、電源がオフされたときに表示パネル内の残留電荷が速やかに除去され、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。また、通常動作中に第1ノードの電位を随時基準電位へと引き込むことが可能となり、動作不良の発生が抑制される。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】削除

【補正の内容】

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

本発明の第2の局面によれば、第1の放電処理の際に出力ノードの電位が徐々に低下する。このため、各画素の電位の電位に関し、キックバック電圧による電位変動を問題ない

レベルに少なくすることができる。

【手続補正 25】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

本発明の第3の局面によれば、電源の供給が遮断された際の電位レベルの変化状態が互いに異なる2種類の走査信号線選択電位を比較的簡易な構成で生成することが可能となる。また、第1の放電処理の際の走査信号線上の電荷の放電と第2の放電処理の際の双安定回路内の浮遊ノード（第1ノードおよび第2ノード）上の電荷の放電とが、より確実に行われる。

【手続補正 26】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

本発明の第4の局面によれば、第1の放電処理の際に、より確実に走査信号線上の電荷の放電が行われる。

【手続補正 27】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

本発明の第5の局面によれば、第1の放電処理が行われる前にシフトレジスタ内の各双安定回路が初期化される。このため、電源がオフされたときに、より確実に表示パネル内の残留電荷が除去され、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が効果的に抑制される。

【手続補正 28】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

本発明の第6の局面によれば、初期化処理の際に、より確実にシフトレジスタ内の各双安定回路が初期化される。

【手続補正 29】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

本発明の第7の局面によれば、第1の放電処理の際に、基準電位がハイレベルとなった状態で出力ノード制御用スイッチング素子がオン状態となる。このため、第1の放電処理の際に、確実に各走査信号線を選択状態にして各画素形成部内の電荷を放電させることができる。

【手続補正 30】

【補正対象書類名】明細書

【補正対象項目名】 0 0 3 9

【補正方法】 変更

【補正の内容】

【 0 0 3 9 】

本発明の第8の局面によれば、薄膜トランジスタの半導体層に酸化物半導体を用いた表示パネルを備えた液晶表示装置において、本発明の第1の局面と同様の効果が得られる。従来、そのような液晶表示装置では回路内の残留電荷の存在に起因する動作不良が生じやすかったので、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生を抑制する効果がより大きく得られる。

【手続補正 3 1】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 4 0

【補正方法】 変更

【補正の内容】

【 0 0 4 0 】

本発明の第9の局面によれば、IGZO-GDMを備えた液晶表示装置において、本発明の第1の局面と同様の効果が得られる。従来、IGZO-GDMを備えた液晶表示装置では回路内の残留電荷の存在に起因する動作不良が生じやすかったので、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生を抑制する効果がより大きく得られる。

【手続補正 3 2】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 4 1

【補正方法】 変更

【補正の内容】

【 0 0 4 1 】

本発明の第10の局面によれば、本発明の第1の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【手続補正 3 3】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 4 2

【補正方法】 削除

【補正の内容】

【手続補正 3 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 4 3

【補正方法】 変更

【補正の内容】

【 0 0 4 3 】

本発明の第11の局面によれば、本発明の第2の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【手続補正 3 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 4 4

【補正方法】 変更

【補正の内容】

【 0 0 4 4 】

本発明の第12の局面によれば、本発明の第3の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【手続補正 3 6】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

本発明の第13の局面によれば、本発明の第4の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【手続補正37】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

本発明の第14の局面によれば、本発明の第5の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【手続補正38】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

本発明の第15の局面によれば、本発明の第6の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【手続補正39】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

本発明の第16の局面によれば、本発明の第7の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【手続補正40】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

本発明の第17の局面によれば、本発明の第8の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【手続補正41】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

本発明の第18の局面によれば、本発明の第9の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/070341

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G02F1/1368, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/055584 A1 (Sharp Corp.), 12 May 2011 (12.05.2011), entire text; all drawings & CN 102598105 A & KR 10-2012-0064127 A	1-20
A	WO 2011/114562 A1 (Sharp Corp.), 22 September 2011 (22.09.2011), paragraphs [0139] to [0149]; fig. 37 to 45 (Family: none)	1-20
A	JP 2007-286266 A (Toshiba Matsushita Display Technology Co., Ltd.), 01 November 2007 (01.11.2007), entire text; all drawings (Family: none)	1-20

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 November, 2012 (05.11.12)Date of mailing of the international search report
13 November, 2012 (13.11.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/070341

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-3207 A (Sharp Corp.), 08 January 2009 (08.01.2009), entire text; all drawings (Family: none)	1-20

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 7 0 3 4 1									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G02F1/1368, G09G3/20											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2012年										
日本国実用新案登録公報	1996-2012年										
日本国登録実用新案公報	1994-2012年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2011/055584 A1（シャープ株式会社）2011.05.12, 全文, 全図 & CN 102598105 A & KR 10-2012-0064127 A	1-20									
A	WO 2011/114562 A1（シャープ株式会社）2011.09.22, 段落[0139]-[0149], 図 37-45（ファミリーなし）	1-20									
A	JP 2007-286266 A（東芝松下ディスプレイテクノロジー株式会社） 2007.11.01, 全文, 全図（ファミリーなし）	1-20									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 05.11.2012		国際調査報告の発送日 13.11.2012									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 武田 悟	2G 9307 電話番号 03-3581-1101 内線 3226								

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 7 0 3 4 1
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-3207 A (シャープ株式会社) 2009.01.08, 全文, 全図 (ファミリーなし)	1-20

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 7 0 E
	G 0 2 F 1/133	5 2 0
	G 0 2 F 1/133	5 5 0

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(72) 発明者 森井 秀樹
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72) 発明者 水永 隆行
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72) 発明者 中南 和也
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72) 発明者 堀内 智
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

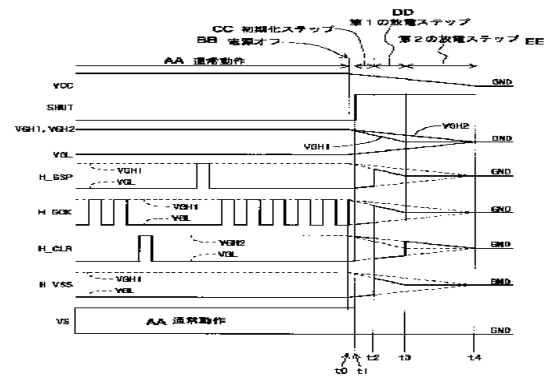
F ターム (参考) 2H193 ZA04 ZA07 ZB02 ZC25 ZE38 ZF03 ZF22 ZF23
5C006 AC22 AF13 AF64 AF67 BB16 BC03 BC06 BC20 BF03 BF08
BF16 BF34 BF37 BF38 BF42 BF46 EB05
5C080 AA10 BB05 DD09 DD25 FF11 FF12 JJ02 JJ03 JJ04

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JPWO2013088779A1	公开(公告)日	2015-04-27
申请号	JP2013549137	申请日	2012-08-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	岩本明久 森井秀樹 水永隆行 中南和也 堀内智		
发明人	岩本 明久 森井 秀樹 水永 隆行 中南 和也 堀内 智		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G3/3648 G09G3/3696 G09G2310/0286 G09G2330/02 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.K G09G3/20.622.C G09G3/20.670.D G09G3/20.670.E G02F1/133.520 G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZC25 2H193/ZE38 2H193/ZF03 2H193/ZF22 2H193/ZF23 5C006/AC22 5C006/AF13 5C006/AF64 5C006/AF67 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF08 5C006/BF16 5C006/BF34 5C006/BF37 5C006/BF38 5C006/BF42 5C006/BF46 5C006/EB05 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD25 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2011274283 2011-12-15 JP		
其他公开文献	JP5784148B2		
外部链接	Espacenet		

摘要(译)

(EN) 提供一种液晶显示装置及其驱动方法，该液晶显示装置能够在电源断开时迅速去除面板中的残留电荷，特别适用于采用 IGZO-GDM 的情况。在液晶显示装置中，当检测到电源断开状态时，执行包括初始化步骤，第一放电步骤和第二放电步骤的电源断开序列。在初始化步骤中，仅将 GDM 信号的清除信号 (H_CLR) 设置为高电平，以初始化形成移位寄存器的双稳态电路的状态。在第一放电步骤中，仅 GDM 信号的清除信号 (H_CLR) 被设置为低电平，所有栅极总线被设置为选择状态，并且像素形成部分中的电荷被放电。在第二放电步骤中，将清除信号 (H_CLR) 设置为高电平，以释放双稳态电路中的浮置节点的电荷。



AA Normal operation
BB Power supply OFF
CC Initialization step
DD First discharge step
EE Second discharge step