

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6193969号  
(P6193969)

(45) 発行日 平成29年9月6日(2017.9.6)

(24) 登録日 平成29年8月18日(2017.8.18)

(51) Int.Cl.		F I	
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G 3/36
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G 3/20 621M
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G09G 3/20 622E
			G09G 3/20 680G
			G02F 1/133 505

請求項の数 6 (全 10 頁)

(21) 出願番号 特願2015-502060 (P2015-502060)  
 (86) (22) 出願日 平成24年11月23日(2012.11.23)  
 (65) 公表番号 特表2015-516591 (P2015-516591A)  
 (43) 公表日 平成27年6月11日(2015.6.11)  
 (86) 国際出願番号 PCT/CN2012/085194  
 (87) 国際公開番号 W02013/143307  
 (87) 国際公開日 平成25年10月3日(2013.10.3)  
 審査請求日 平成27年11月13日(2015.11.13)  
 (31) 優先権主張番号 201210089393.9  
 (32) 優先日 平成24年3月29日(2012.3.29)  
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 507134301  
 北京京東方光電科技有限公司  
 中華人民共和国北京経済技術開発区西環中路8號  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 ▲陳▼ 希  
 中華人民共和国100176北京市▲經▼  
 ▲濟▼技▲術▼▲開▼▲發▼区地▲澤▼路  
 9号

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路、ゲート駆動方法及び液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項1】

ゲート駆動回路であって、複数段のシフトレジスタを有し、各段のシフトレジスタはプルアップ駆動ユニットと、プルアップユニットと、リセットユニットと、プルダウンユニットとを有し、前記シフトレジスタは更に補充ユニットを有し、

前記プルアップユニットは、オンのときに第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、第3のTF Tスイッチング素子と、電圧ブースティング素子とを有し、前記第3のTF Tスイッチング素子のドレイン電極は第1のクロック端に接続され、前記第3のTF Tスイッチング素子のソース電極は本段のシフトレジスタの出力端に接続され、前記第3のTF Tスイッチング素子のゲート電極は前記プルアップ駆動ユニットに接続されて、前記第3のTF Tスイッチング素子は前記プルアップ駆動ユニットの制御によってオンとオフされ、前記電圧ブースティング素子の第1端は前記第3のTF Tスイッチング素子のゲートに接続され、前記電圧ブースティング素子の第2端は前記第3のTF Tスイッチング素子のソース電極に接続され、

前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、前記補充ユニットは、第5のTF Tスイッチング素子と、第6のTF Tスイッチング素子とを有し、第5のTF Tスイッチング素子のドレイン電極とゲート電極は第2のクロック端に接続され、前記第6のTF Tスイッチング素子のドレイン電極は前記第5のTF Tスイッチング素子のソース電極に接続され、第6のTF Tスイッチング素子のソース電極は前記プルアップユニットの

10

20

出力端に接続され、同時に本段のシフトレジスタの出力端に接続され、前記第6のTFTスイッチング素子のゲート電極は前記プルアップ駆動ユニットに接続されて、前記第6のTFTスイッチング素子は前記プルアップ駆動ユニットの制御によってオンとオフされ、  
前記第2のクロック端のクロック信号は第1のクロック端のクロック信号が低レベルに変わった瞬間に高レベルにジャンプし、前記第2のクロック端のクロック信号の高レベルは前記第1のクロック端のクロック信号の高レベルより小さいゲート駆動回路。

【請求項2】

前記プルアップ駆動ユニットは第1のTFTスイッチング素子と第2のTFTスイッチング素子とを有し、

第1のTFTスイッチング素子のドレイン電極とゲート電極は上段のシフトレジスタの出力端に接続され、

前記第2のTFTスイッチング素子のドレイン電極は前記第1のTFTスイッチング素子のソース電極に接続され、

前記第2のTFTスイッチング素子のゲート電極は下段のシフトレジスタの出力端に接続され、

前記第2のTFTスイッチング素子のソース電極は低レベルに接続される請求項1に記載のゲート駆動回路。

【請求項3】

前記リセットユニットは第4のTFTスイッチング素子を有し、前記第4のTFTスイッチング素子のドレイン電極は第3のTFTスイッチング素子のソース電極に接続され、

前記第4のTFTスイッチング素子のゲート電極は下段のシフトレジスタの出力端に接続され、

前記第4のTFTスイッチング素子のソース電極は低レベルに接続される請求項1に記載のゲート駆動回路。

【請求項4】

前記第5のTFTスイッチング素子と第6のTFTスイッチング素子は金属酸化物半導体型電界効果トランジスタである請求項1に記載のゲート駆動回路。

【請求項5】

液晶ディスプレイであって、前記液晶ディスプレイは請求項1ないし4のいずれか一項に記載するゲート駆動回路を有する液晶ディスプレイ。

【請求項6】

請求項1に記載のゲート駆動回路のゲート駆動方法であって、

上段のシフトレジスタの出力端が出力する信号が高レベルであるとき、プルアップ駆動ユニットはオンになり、本段のシフトレジスタは充電を開始し、

第1のクロック端のクロック信号が高レベルであり、且つ第2のクロック端のクロック信号が低レベルであるとき、プルアップユニットはオンになり、前記第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし

前記第1のクロック端のクロック信号は低レベルにジャンプし、前記第2のクロック端のクロック信号は高レベルにジャンプし、補充ユニットはオンになり、前記第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とするゲート駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はゲート駆動技術に関し、特にゲート駆動回路、ゲート駆動方法及び液晶ディスプレイに関する。

【背景技術】

【0002】

液晶ディスプレイは現在において常用されているディスプレイであり、薄膜電界効果トランジスタ液晶ディスプレイ(Thin Film Transistor Liquid Crystal Display: TFT-LCD)は現在の液晶ディスプレイの主

10

20

30

40

50

流製品である。TFT-LCD製品の競争が激しくなるにつれて、各メーカーは新しい技術を採用することにより製品のコストを削減し、製品の市場競争力を高めている。そして、GOA(Gate on Array)技術はTFT-LCDのゲートドライバ(Gate Driver)をレイ基板上に集積し、パネルに対するスキャンを駆動するものである。従来のチップオンフィルム(Chip On Flex/Film:COF)とチップオンガラス(Chip On Glass:COG)の技術と比べ、当該技術はコストを節約できるだけでなく、パネルが左右対称である美しいデザインに仕上げることができ、ゲートIC(Gate IC)におけるエリアのボンディング(Bonding)及びレイアウトスペースのファンアウト(Fan-out)を省略でき、細枠のデザインを実現し、同時に、ゲート(Gate)方向のボンディング(Bonding)のプロセスを省略できるため、生産能力と良品率を向上させるのに適している。

10

【発明の概要】

【発明が解決しようとする課題】

【0003】

しかしながら、COFやCOG技術に比べ、GOA技術も一定の問題があり、従来のゲート駆動回路は複数段のシフトレジスタを有し、図1は従来のゲート駆動回路における各段のシフトレジスタの構造図であり、図1に示すように、前記各段のシフトレジスタは具体的に第1のTFTスイッチング素子M1と、第2のTFTスイッチング素子M2と、第3のTFTスイッチング素子M3と、第4のTFTスイッチング素子M4と、プルダウンユニットPDと、電圧ブースティング素子C1とを有し、M1のドレイン電極とゲート電極は入力端(INPUT)に接続され、且つ上段のシフトレジスタの出力信号を受信し、M2のドレイン電極はM1のソース電極に接続され、M2のゲート電極はリセット端(RESET)に接続され、且つ下段のシフトレジスタの出力信号を受信し、M2のソース電極は低電圧信号端(VSS)に接続され、且つ低電圧信号を受信し、M3のドレイン電極はクロック信号端に接続され、M3のゲート電極はM1のソース電極に接続され、M3のソース電極は本段のシフトレジスタの信号出力端(OUTPUT)に接続され、M3のドレイン電極はM3のソース電極に接続され、M4のゲート電極はリセット(RESET)に接続され、M4のドレイン電極は低電圧信号端(VSS)に接続され、C1の一端はM1のソース電極とM3のゲート電極にそれぞれ接続され、他端はM3のソース電極に接続され、プルダウンユニットPDはC1と並列接続するだけでなく、同時に一端は低電圧信号端(VSS)に接続され、他端はM3のドレイン電極に接続される。

20

30

【0004】

上記ゲート駆動回路の動作原理は、以下のとおりであり、即ちINPUTの入力信号が高レベルであるとき、M1はオンになり、PUノードに充電し、クロック信号が高レベルであるとき、M3はオンになり、OUTPUTはクロック信号のパルスを出力し、同時にC1のブートストラップ(Bootstrapping)ファンクションは、PUノードを更にプルアップし、その後RESETのリセット信号はM2とM4をオンにし、PUノードとOUTPUTを放電し、そして、クロック信号の制御によりプルダウンユニットPDの回路素子はPUノードとOUTPUTを更に放電し、当該段のシフトレジスタが対応する行が非動作時間内にノイズを発生させないことを保証し、具体的な各信号のシーケンスは図2のとおりであり、通常の場合、図1に示すシフトレジスタを応用するとき、TFTがオフになる瞬間にOUTPUTが高レベルから低レベルにジャンプし、画素ジャンプ電圧が比較的大きく、液晶ディスプレイの画面品質に影響する。

40

【0005】

通常の場合、マルチレベルゲート(Multi-Level Gate:MLG)の機能は、ジャンプ電圧を減少させ、画面品質を向上させるためにゲート駆動回路に付加され、MLGの発生原理は、出力端からフィードバック信号をDC/DC ICに引き出し、これに伴って一つの電圧を発生させて出力する。

【0006】

しかしながら、従来のゲート駆動回路は通常 Si の技術を採用し、低温の条件では

50

、 Siは高温TFTに比べて移動度が約半分ほど低下するため、ゲート駆動回路が比較的低温の状況で失効することを防ぐため、通常はゲート駆動回路の外部に温度補償回路を追加する解決策を採用するが、具体的には、ゲート電極の高レベルV<sub>gh</sub>を発生させるフィードバック回路にサーミスタ素子を並列接続し、V<sub>gh</sub>が温度の低下につれて上昇するようにする。

【0007】

ところが、温度補償でゲート駆動回路の有効性を保証する方法を使用した以上、V<sub>gh</sub>の電圧は30V以上に上昇することがあり、DC/DC ICはこれほど高い電圧に耐えられず、このときMLGの機能は失効する。そしてMLG機能が失効すると、TFTがオフになる瞬間に、比較的大きなジャンプ電圧が存在し、TFTパネルの画面品質に影響する。

10

【課題を解決するための手段】

【0008】

以上に鑑みて、本発明は、ゲート駆動回路、ゲート駆動方法及びディスプレイ、MLG機能を有するゲート駆動回路を提供することを目的とする。

【0009】

本発明の実施例は、ゲート駆動回路であって、複数段のシフトレジスタを有し、各段のシフトレジスタはプルアップ駆動ユニットと、プルアップユニットと、リセットユニットと、プルダウンユニットとを有し、前記シフトレジスタは更に補充ユニットとを有し、前記プルアップユニットは、オンのときに第1のクロック端のクロック信号を本段のシフト

20

レジスタの出力信号とし、前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とするゲート駆動回路を提供する。

【0010】

一つの例示において、前記プルアップ駆動ユニットはプルアップユニットの入力ノードに接続され、プルアップユニットのオンとオフを制御する。

【0011】

一つの例示において、前記プルアップ駆動ユニットは第1のTFTスイッチング素子と第2のTFTスイッチング素子とを有し、第1のTFTスイッチング素子のドレイン電極とゲート電極は上段のシフトレジスタの出力端に接続され、前記第2のTFTスイッチング素子のドレイン電極は前記第1のTFTスイッチング素子のソース電極に接続され、前記第2のTFTスイッチング素子のゲート電極は下段のシフトレジスタの出力端に接続され、前記第2のTFTスイッチング素子のソース電極は低レベルに接続される。

30

【0012】

一つの例示において、前記プルアップユニットは第3のTFTスイッチング素子と、電圧ブースティング素子とを有し、前記第3のTFTスイッチング素子のドレイン電極は第1のクロック端に接続され、前記第3のTFTスイッチング素子のゲート電極は第1のTFTスイッチング素子のソース電極に接続され、前記第3のTFTスイッチング素子のソース電極は本段のシフトレジスタの出力端に接続され、前記電圧ブースティング素子は、第1端は前記第1のTFTスイッチング素子のソース電極と前記第3のTFTスイッチング素子のゲート電極にそれぞれ接続され、第2端は前記第3のTFTスイッチング素子のソース電極に接続される。

40

【0013】

一つの例示において、前記リセットユニットは第4のTFTスイッチング素子を有し、前記第4のTFTスイッチング素子のドレイン電極は第3のTFTスイッチング素子のソース電極に接続され、前記第4のTFTスイッチング素子のゲート電極は下段のシフトレジスタの出力端に接続され、前記第4のTFTスイッチング素子のソース電極は低レベルに接続される。

【0014】

一つの例示において、前記補充ユニットは、第5のTFTスイッチング素子と、第6の

50

T F Tスイッチング素子とを有し、第5のT F Tスイッチング素子のドレイン電極とゲート電極は第2のクロック端に接続され、第6のT F Tスイッチング素子のドレイン電極は第5のT F Tスイッチング素子のソース電極に接続され、第6のT F Tスイッチング素子のゲート電極は前記プルアップ駆動ユニットの第1のT F Tスイッチング素子のソース電極に接続され、第6のT F Tスイッチング素子のソース電極は前記プルアップユニットの出力端に接続され、同時に本段のシフトレジスタの出力端に接続される。

【0015】

一つの例示において、前記第5のT F Tスイッチング素子と第6のT F Tスイッチング素子は金属酸化物半導体型電界効果トランジスタである。

【0016】

一つの例示において、前記第2のクロック端のクロック信号は第1のクロック端のクロック信号が低レベルに変わった瞬間に高レベルにジャンプする。

【0017】

本発明の実施例は、液晶ディスプレイであって、前記液晶ディスプレイは以上に記載するゲート駆動回路を有する液晶ディスプレイを提供する。

【0018】

本発明は、更に、ゲート駆動方法であって、前記方法は、上段のシフトレジスタの出力端が出力する信号が高レベルであるとき、プルアップ駆動ユニットはオンになり、本段のシフトレジスタは充電を開始し、第1のクロック端のクロック信号が高レベルであり、且つ第2のクロック端のクロック信号が低レベルであるとき、プルアップユニットはオンになり、前記第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし前記第1のクロック端のクロック信号は低レベルにジャンプし、前記第2のクロック端のクロック信号は高レベルにジャンプし、補充ユニットはオンになり、前記第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とするゲート駆動方法を提供する。

【0019】

一つの例示において、前記第2のクロック端のクロック信号の高レベルは前記第1のクロック端のクロック信号の高レベルより小さい。

【0020】

本発明は、ゲート駆動回路の各段のシフトレジスタの補充ユニットにより、T F Tがオフになった瞬間に補充ユニットがオンになり動作し、シフトレジスタの出力を制御し、画素のジャンプ電圧を低下させることができ、M L G機能を実現し、液晶ディスプレイの画面品質を向上させる。

【図面の簡単な説明】

【0021】

【図1】従来のゲート駆動回路における各段のシフトレジスタの構造模式図である。

【図2】図1に示す従来のゲート駆動回路のシフトレジスタの入力・出力信号のシーケンス図である。

【図3】本発明の実施例のゲート駆動回路におけるシフトレジスタの機能構造模式図である。

【図4】本発明の実施例のゲート駆動回路のシフトレジスタの具体的な実現構造図である。

【図5】本発明の実施例のゲート駆動回路のシフトレジスタの入力・出力信号のシーケンス図である。

【図6】本発明の実施例のゲート駆動回路が実現するM L G機能の原理模式図である。

【図7】本発明の実施例のゲート駆動方法の実現フロー模式図である。

【発明を実施するための形態】

【0022】

当業者に本発明の技術方案を更によく理解してもらうため、以下に図面を用いて、本発明に係るゲート駆動回路、ゲート駆動方法及び液晶ディスプレイを詳しく説明する。当然ながら、説明する実施例は本発明の一部の実施例に過ぎず、すべての実施例ではない。当

10

20

30

40

50

業者が本発明における実施例に基づいて創造的労働を行わずに得られる他のすべての実施例は、本発明の保護の範囲に属する。

【0023】

本発明の実施例の基本的な考え方は、前記ゲート駆動回路は複数段のシフトレジスタを有し、各段のシフトレジスタはプルアップ駆動ユニットと、プルアップユニットと、リセットユニットと、プルダウンユニットとを有し、前記シフトレジスタは更に補充ユニットを有し、前記プルアップユニットは、オンのときに第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とする。

10

【0024】

本発明の目的、技術方案とメリットを更に明確にするため、以下の実施例を用いて図面を参照して本発明を更に詳しく説明する。

【0025】

図3は本発明のゲート駆動回路における各段のシフトレジスタの機能構造を示しており、図3に示すように、前記シフトレジスタはGOA回路ユニット31と補充ユニット32を有し、前記GOA回路ユニット31は入力端(INPUT)、リセット端(RESET)、第1のクロック端(CLK1)と低電圧信号端(VSS)に接続され、前記入力端(INPUT)は上段シフトレジスタの出力信号を受信し、前記リセット端(RESET)は下段シフトレジスタの出力信号を受信し、前記低電圧信号端(VSS)は低電圧信号を受信し、通常の場合において、前記VSSの電圧レベルはCLK1のクロック信号の低レベルと同じであり、補充ユニット32はそれぞれ第2のクロック端(CLK2)とGOA回路ユニット31の出力端(OUTPUT)に接続され、前記GOA回路ユニット31の出力を制御する。

20

【0026】

上記のシフトレジスタの動作プロセスは、具体的に以下のようなものである。CLK1のクロック信号が高レベルであるとき、CLK2のクロック信号は低レベルであり、OUTPUTの出力信号はCLK1のパルス信号となり、このときの電圧値をVgh1とし、CLK1のクロック信号が低レベルに変わったとき、補充ユニット32のCLK2のクロック信号は高レベルに変わり、このとき補充ユニット32はオンになり、OUTPUTの出力信号はCLK2のパルス信号となり、このときの電圧値をVgh2とし、全体的にみて、OUTPUTが出力する電圧はVgh1からVgh2にジャンプしたことになり、従来のゲート駆動回路のシフトレジスタがVgh1から0にジャンプするのとは比べ、画素のジャンプ電圧を大きく減少させることを実現し、よってMLGの機能を実現し、画面品質を向上させる。

30

【0027】

図4は本発明の実施例におけるゲート駆動回路のシフトレジスタの具体的な実現構造を示しており、図4に示すように、上記GOA回路ユニット31はプルアップ駆動ユニットとプルアップユニットと、リセットユニットと、プルダウンユニットと、補充ユニットとを有し、前記プルアップユニットは、オンのときに第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とする。

40

【0028】

前記プルアップ駆動ユニットはプルアップユニットの入力ノードに接続され、プルアップユニットのオンとオフを制御する。

【0029】

一つの例示において、更に、上記プルアップ駆動ユニットは第1のTF Tスイッチング素子M1と第2のTF Tスイッチング素子M2とを有し、前記プルアップユニットは第3のTF Tスイッチング素子M3と電圧ブースティング素子C1とを有し、前記M1のドレ

50

イン電極とゲート電極はINPUTに接続され、前記M2のドレイン電極は前記M1のソース電極に接続され、前記M2のゲート電極はRESETに接続され、前記M2のソース電極はVSSに接続され、前記M3のドレイン電極はCLK1に接続され、前記M3のゲート電極はM1のソース電極に接続され、前記M3のソース電極は前記GOA回路ユニット31の出力端に接続され、同時に本段のシフトレジスタの出力端に接続され、前記C1は第1端がそれぞれ前記M1のソース電極とM3のゲート電極に接続され、第2端がM3のソース電極に接続される。

【0030】

一つの例示において、更に、前記リセットユニットは具体的に第4のTFTスイッチング素子M4を有し、前記M4のドレイン電極はM3のソース電極に接続され、前記M4のゲート電極はRESETに接続され、前記M4のソース電極はVSSに接続される。

10

【0031】

一つの例示において、更に、前記GOA回路ユニット31は前記C1に並列接続され、且つ第1端がVSSに接続され、第2端が前記M3のドレイン電極に接続されるプルダウンユニットPDを更に有する。

【0032】

一つの例示において、上記補充ユニット32には具体的に第5のTFTスイッチング素子M5と、第6のTFTスイッチング素子M6とを有し、M5のドレイン電極とゲート電極はCLK2に接続され、M6のドレイン電極はM5のソース電極に接続され、M6のゲート電極はGOA回路ユニット31のプルアップ駆動ユニットのC1の第1端に接続され、M6のソース電極は前記プルアップユニットの出力端即ちM3のソース電極に接続され、同時に本段のシフトレジスタの出力端に接続される。

20

【0033】

上記M1、M2、M3、M4、M5、M6は具体的には金属酸化物半導体型電界効果(Metal-Oxide-Semiconductor: MOS)トランジスタであってもよい。

【0034】

上記のゲート駆動回路の具体的な動作プロセスは、INPUTの入力信号が高レベルであるとき、M1はオンになり、PUノードに充電し、CLK1のクロック信号が高レベルであり、CLK2のクロック信号が低レベルであるとき、M3はオンになり、このときOUTPUTが出力する信号はCLK1のパルス信号となり、このときの電圧値をVgh1とし、同時にC1の1回目のブートストラップ(Boostrapping)ファンクションはPUノードを一回目のプルアップをし、その後CLK1のクロック信号が低レベルに変わったとき、補充ユニット32のCLK2のクロック信号は高レベルに変わり、且つ比較的短時間継続し、このときM5、M6はオンになり、OUTPUTが出力する信号はCLK2のパルス信号となり、このときの電圧値をVgh2とし、同時にC1の二回目のブートストラップファンクションはPUノードを再びプルアップし、全体的に見て、OUTPUTが出力する電圧はVgh1からVgh2にジャンプしたことになり、従来のゲート駆動回路のシフトレジスタがVgh1から0にジャンプするのと比べ、画素のジャンプ電圧を大きく減少させることを実現し、よってMLGの機能を実現し、画面品質を向上させる。そして、CLK1の制御により、プルダウンユニットPDはPUノードとOUTPUTを放電し、ゲート駆動回路のシフトレジスタが非動作時間にノイズを発生させないことを保証する。

30

40

【0035】

具体的には、上記プロセスにおいて、各入力・出力信号のシーケンスは図5を参照でき、図5から分かるように、CLK2の電圧値Vgh2はCLK1の電圧値Vgh1より小さい。理解すべきなのは、図5におけるINPUTの入力信号は、従来のゲート駆動回路の上段シフトレジスタの出力信号をもとに例示しており、本発明の実施例に係るゲート駆動回路を具体的に利用するときは、そのときのINPUTの入力信号のシーケンス図は本発明の実施例におけるゲート駆動回路の上段シフトレジスタの出力信号であるということ

50

である。

【0036】

図6は本発明の実施例のゲート駆動回路が実現するMLG機能の原理を示すものであり、図6に示すように、CLK1が低レベルに変わった瞬間、即ちTFTがオフになった瞬間に、OUTPUTも低レベルになり、そしてCLK2の入力により、このときのOUTPUTの出力電圧値はVgh2となり、このときに再充電(Recharging)が発生し、画素ジャンプ電圧Vpを減少させる効果を果たし、画面品質を向上させることができる。図6におけるVpは画素(Pixel)の電圧波形であり、Vcomは共通電極の電圧であり、Vdはデータライン(Data)の電圧波形であり、Vglはゲート電極低レベルである。

10

【0037】

本発明の実施例は、更に、液晶ディスプレイであって、前記液晶ディスプレイは上記のゲート駆動回路を有する液晶ディスプレイを提供する。

【0038】

本発明は、更に、上記のゲート駆動回路を用いて実現するゲート駆動方法を提供し、前記方法の実現フローは図7を参照されたい。前記方法は、上段のシフトレジスタの出力端が出力した信号が高レベルであるとき、プルアップ駆動ユニットはオンになり、本段のシフトレジスタは充電を開始するステップ701と、第1のクロック端のクロック信号が高レベルであり、且つ第2のクロック端のクロック信号が低レベルであるとき、プルアップユニットはオンになり、前記第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とするステップ702と、前記第1のクロック端のクロック信号が低レベルにジャンプし、前記第2のクロック端のクロック信号が高レベルにジャンプし、補充ユニットはオンになり、前記第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とするステップ703と、を有する。

20

【0039】

前記第2のクロック端のクロック信号の高レベルは前記第1のクロック端のクロック信号の高レベルより小さい。前記第2のクロック端のクロック信号の高レベルと第1のクロック端のクロック信号の高レベルの差は実際に応用する時の具体的な状況により確定される。

【0040】

以上は本発明の比較的好ましい実施例に過ぎず、本発明の保護範囲を限定するものではない。当業者にとって、本発明の精神と趣旨を逸脱しない限り、あらゆる変形と改良を行うことができ、これらの変形と改良も本発明の保護範囲とみなされる。

30

【符号の説明】

【0041】

- M1... TFTスイッチング素子1
- M2... TFTスイッチング素子2
- M3... TFTスイッチング素子3
- M4... TFTスイッチング素子4
- M5... TFTスイッチング素子5
- M6... TFTスイッチング素子6
- PD... プルダウンユニット
- C1... 電圧ブースティング素子
- 31... GOA回路ユニット
- 32... 補充ユニット

40



---

フロントページの続き

(72)発明者 崔 文海

中華人民共和国100176北京市 經濟技術開發区地澤路9号

審査官 武田 悟

(56)参考文献 特開2011-181122(JP, A)

中国特許出願公開第101976581(CN, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G02F 1/133

