

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5865088号
(P5865088)

(45) 発行日 平成28年2月17日 (2016. 2. 17)

(24) 登録日 平成28年1月8日 (2016. 1. 8)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

請求項の数 13 (全 15 頁)

(21) 出願番号	特願2012-8974 (P2012-8974)	(73) 特許権者	502356528
(22) 出願日	平成24年1月19日 (2012. 1. 19)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-148711 (P2013-148711A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年8月1日 (2013. 8. 1)	(74) 代理人	110000350
審査請求日	平成26年7月7日 (2014. 7. 7)		ポレール特許業務法人
		(72) 発明者	伊東 理
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	平塚 崇人
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	山本 昌直
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
最終頁に続く			

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に複数の画素が配置され、各画素は、画素境界に形成された絶縁体の壁構造と、前記画素境界の壁構造の側面に形成した壁電極、および当該壁電極と連続し、壁電極が基板に接する位置から平面方向に伸びる平面電極から成るソース電極と、画素の両側に形成された壁電極と壁電極の間に設けられ、絶縁層を介して前記平面電極と一部が重畳することにより保持容量を形成する第一のコモン電極と、前記画素の両側に形成されたソース電極とソース電極の間に設けられた第二のコモン電極とを有する液晶表示装置において、

前記ソース電極には信号電圧が印加され、前記第1のコモン電極と前記第二のコモン電極にはコモン電圧が印加され、

10

隣接する二つの画素の壁電極の境界となるスリットを前記壁構造の頂部に選択的に配置したことを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、
前記壁電極は、前記画素境界の壁構造の上面まで形成されていることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 に記載の液晶表示装置において、
前記壁電極は、前記画素境界の壁構造の側面のみに形成されていることを特徴とする液

20

晶表示装置。

【請求項 4】

請求項 1～3 の何れか一つに記載の液晶表示装置において、

前記壁構造は、画素の長手方向の端部で寸断されており、前記ソース電極の壁電極は、前記壁構造の端部より内側に形成されていることを特徴とする液晶表示装置。

【請求項 5】

請求項 1～3 の何れか一つに記載の液晶表示装置において、

前記壁構造は、画素の長手方向の端部で連続していることを特徴とする液晶表示装置。

【請求項 6】

請求項 1～5 の何れか一つに記載の液晶表示装置において、

カラーフィルタ側基板上であって、前記画素の両側のソース電極間に、第三のコモン電極を備え、前記第三のコモン電極にはコモン電圧が印加されることを特徴とする液晶表示装置。

10

【請求項 7】

請求項 1～6 の何れか一つに記載の液晶表示装置において、

前記画素は V 字型の形状で、前記液晶配向方向は前記画素内で一定であり、前記画素内の一方と他方とで前記壁構造の伸張方向が前記液晶配向方向となす角は等しく、前記画素内の一方と他方とで前記壁構造の伸張方向が前記液晶方向に対して互いに反対方向に傾いていることを特徴とする液晶表示装置。

【請求項 8】

20

マトリクス状に複数の画素が配置され、各画素は、画素境界に形成された絶縁体の壁構造と、前記画素境界の壁構造の側面から上面にかけて形成した壁電極、および当該壁電極と連続し、壁電極が基板に接する位置から平面方向に伸びる平面電極から成るソース電極と、画素の両側に形成された壁電極と壁電極の間に設けられ、絶縁層を介して前記平面電極と一部が重畳することにより保持容量を形成する第一のコモン電極と、前記画素の両側に形成されたソース電極とソース電極の間に設けられた第二のコモン電極とを有し、

前記ソース電極には信号電圧が印加され、前記第 1 のコモン電極と前記第二のコモン電極にはコモン電圧が印加される液晶表示装置の製造方法であって、

前記壁構造上であって、T F T 側の基板上の全面に、透明電極を形成するステップと、前記透明電極上にレジストを塗布するステップと、

30

前記壁構造の頂部に、隣接する二つの画素の壁電極の境界となるスリットを、選択的に配置するようなマスクを用いて、前記レジストを露光し、前記壁構造上の透明電極を露出するステップと、

前記露出した壁構造上の透明電極を除去することにより、前記壁構造の頂部に隣接する二つの画素の壁電極の境界となるスリットを配置する壁電極を形成するステップと

を含むことを特徴とする液晶表示装置の製造方法。

【請求項 9】

請求項 8 に記載の液晶表示装置の製造方法において、

前記壁構造は、画素の長手方向の端部で寸断されており、前記ソース電極の壁電極は、前記壁構造の端部より内側に形成されていることを特徴とする液晶表示装置の製造方法。

40

【請求項 10】

請求項 8 に記載の液晶表示装置の製造方法において、

前記壁構造は、画素の長手方向の端部で連続していることを特徴とする液晶表示装置の製造方法。

【請求項 11】

マトリクス状に複数の画素が配置され、各画素は、画素境界に形成された絶縁体の壁構造と、前記画素境界の壁構造の側面に形成した壁電極、および当該壁電極と連続し、壁電極が基板に接する位置から平面方向に伸びる平面電極から成るソース電極と、画素の両側に形成された壁電極と壁電極の間に設けられ、絶縁層を介して前記平面電極と一部が重畳することにより保持容量を形成する第一のコモン電極と、前記画素の両側に形成されたソ

50

ース電極とソース電極の間に設けられた第二のコモン電極とを有し、

前記ソース電極には信号電圧が印加され、前記第1のコモン電極と前記第二のコモン電極にはコモン電圧が印加される液晶表示装置の製造方法であって、

前記壁構造上であって、T F T側の基板上の全面に、透明電極を形成するステップと、前記透明電極上にレジストを塗布するステップと、

前記レジストをアッシングすることにより、前記壁構造上の透明電極を露出するステップと、

前記露出した壁構造上の透明電極を除去することにより、前記壁構造の側面に壁電極を形成するステップと

を含むことを特徴とする液晶表示装置の製造方法。

10

【請求項12】

請求項11に記載の液晶表示装置の製造方法において、

前記壁構造は、画素の長手方向の端部で寸断されており、前記ソース電極の壁電極は、前記壁構造の端部より内側に形成されていることを特徴とする液晶表示装置の製造方法。

【請求項13】

請求項11に記載の液晶表示装置の製造方法において、

前記壁構造は、画素の長手方向の端部で連続していることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、壁電極方式の液晶表示装置に関し、特に、壁構造と電極の平面分布を最適化した液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、表示品質が高く、かつ薄型軽量、低消費電力などの特徴を備えていることから、小型の携帯端末から大型テレビに至るまで広く用いられている。

【0003】

一方、液晶表示装置においては、視野角特性が問題であり、広視野角を実現するために、I P S (In-Plane Switching)方式の液晶表示装置が提案されている。I P S方式では、ホモジニアス配向とした液晶層において、基板と平行な方向の電界を印加して液晶ダイレクタを液晶層平面内で回転させることで、バックライトの光量を制御して画像を表示する。

30

【0004】

特許文献1には、 $m \times n$ 個のマトリクス状の画素と、画素内のアクティブ素子と、所定電圧波形を印加する駆動手段と、画素内に上下基板間のギャップを一定に保つ電極対を有し、かつ前記電極対間に基板面に平行な電界を印加することにより液晶分子の配向状態を制御し光を変調し得る所定構造を有する液晶表示装置、が開示されている（要約参照）。

【0005】

また、特許文献2には、少なくとも一方が透明な一対の基板と、前記一対の基板間に配置される液晶層を有し、前記一対の基板のうちいずれか一方の基板上には基板面に平行方向に主成分を有する電界を形成し得る画素電極及びコモン電極が設けられ、前記画素電極及びコモン電極は所定の高さを有する壁上に設けられ、前記壁は補助容量電極及び前記補助容量電極を被覆する絶縁体よりなる横方向電界駆動方式の液晶電気光学装置、が開示されている（要約参照）。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平6-214244号公報

【特許文献2】特開平9-211477号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0007】

液晶層に理想的な横電界を印加して、現状のIPS方式を上回る透過率を実現する壁電極方式のIPSを検討した。壁電極方式IPSの壁構造の高さは液晶層厚と同等で、例えば4 μ m程度である。その作成において、透明電極(ITO電極)のフォトリソ工程が問題となった。2つの透明電極の境界となるスリットが壁構造頂部と平坦部上の両方に分布していれば、これを一括加工する際に壁構造頂部と平坦部でレジストの膜厚や露光機の焦点の合い方が異なる。そのため、壁構造頂部ではオーバーエッチになり易く、平坦部ではアンダーエッチになり易い。これに対処するには、例えばマスク上のスリット幅を壁構造頂部では完成寸法よりも狭くし、平坦部では広くすることが考えられる。しかし、スリットが壁構造を乗り越えていれば乗り越え部近傍のスリット幅をどう決めるかが課題になる。仮に、乗り越え部近傍まで含めてマスクを完璧に描画しても、壁構造と電極に位置合わせずれが生じれば効果が得られない。このように、壁電極方式のIPSには、壁構造と電極の平面分布の最適化という課題がある。

10

【0008】

特許文献1および特許文献2には、壁構造の両壁面に独立して制御される電極を有する液晶表示装置が記載されているが、壁構造と電極の平面分布の最適化については記載されていない。

【0009】

20

本発明は、壁電極方式のIPSにおいて、壁構造と電極の平面分布を最適化し、歩留まりを向上することを目的とする。

【課題を解決するための手段】

【0010】

上記の課題を解決するために、例えば特許請求の範囲に記載の構成を採用する。

【0011】

本発明の液晶表示装置の一例を挙げるならば、マトリクス状に複数の画素が配置され、各画素は、画素境界に形成された絶縁体の壁構造と、前記画素境界の壁構造の側面に形成した壁電極、および当該壁電極と連続し、壁電極が基板に接する位置から平面方向に伸びる平面電極から成るソース電極と、画素の両側のソース電極間に設けられ、絶縁層を介して前記平面電極と一部が重畳することにより保持容量を形成する第一のコモン電極と、前記画素の両側の壁電極間に設けられた第二のコモン電極とを有する液晶表示装置において、隣接する二つの画素の壁電極の境界となるスリットを前記壁構造の頂部に選択的に配置したものである。

30

【0012】

また、本発明の液晶表示装置の製造方法の一例を挙げるならば、マトリクス状に複数の画素が配置され、各画素は、画素境界に形成された絶縁体の壁構造と、前記画素境界の壁構造の側面から上面にかけて形成した壁電極、および当該壁電極と連続し、壁電極が基板に接する位置から平面方向に伸びる平面電極から成るソース電極と、画素の両側のソース電極間に設けられ、絶縁層を介して前記平面電極と一部が重畳することにより保持容量を形成する第一のコモン電極と、前記画素の両側の壁電極間に設けられた第二のコモン電極とを有する液晶表示装置の製造方法であって、前記壁構造上であって、TFT側の基板上の全面に、透明電極を形成するステップと、前記透明電極上にレジストを塗布するステップと、前記壁構造の頂部に隣接する二つの画素の壁電極の境界となるスリットを配置するようなマスクを用いて、前記レジストを露光し、前記壁構造上の透明電極を露出するステップと、前記露出した壁構造上の透明電極を除去することにより、前記壁構造の頂部に隣接する二つの画素の壁電極の境界となるスリットを配置する壁電極を形成するステップとを含むものである。

40

【0013】

また、本発明の液晶表示装置の製造方法の他の一例を挙げるならば、マトリクス状に複

50

数の画素が配置され、各画素は、画素境界に形成された絶縁体の壁構造と、前記画素境界の壁構造の側面に形成した壁電極、および当該壁電極と連続し、壁電極が基板に接する位置から平面方向に伸びる平面電極から成るソース電極と、画素の両側のソース電極間に設けられ、絶縁層を介して前記平面電極と一部が重畳することにより保持容量を形成する第一のコモン電極と、前記画素の両側の壁電極間に設けられた第二のコモン電極とを有する液晶表示装置の製造方法であって、前記壁構造上であって、T F T側の基板上の全面に、透明電極を形成するステップと、前記透明電極上にレジストを塗布するステップと、前記レジストをアッシングすることにより、前記壁構造上の透明電極を露出するステップと、前記露出した壁構造上の透明電極を除去することにより、前記壁構造の側面に壁電極を形成するステップとを含むものである。

10

【発明の効果】

【0014】

本発明によれば、隣接する二つの画素の透明電極の境界となるスリットが存在する部分の高さが一定となるため、その加工条件も一義的に定まり、壁電極方式I P Sの歩留まりが向上する。そして、現状のI P S方式を上回る透過率の壁電極方式I P Sを安定的に供給することができる。

【図面の簡単な説明】

【0015】

【図1】本発明の実施例1の液晶表示装置の画素の平面構造を示す図である。

【図2】本発明の実施例1の液晶表示装置の画素の断面構造を示す図である。

20

【図3】本発明の実施例1のコモン電極とソース電極の間に形成される等電位面を示す図である。

【図4】壁構造頂部のソース電極をパターニングする方法を説明する図である。

【図5】本発明の実施例2の液晶表示装置の画素の平面構造を示す図である。

【図6】本発明の実施例3の液晶表示装置の画素の平面構造を示す図である。

【図7】本発明の実施例3の液晶表示装置の画素の断面構造を示す図である。

【図8】本発明の実施例3のマスク露光によるパターニングを説明する図である。

【図9】比較例1の液晶表示装置の画素の平面構造を示す図である。

【図10】スリットが壁構造頂部と平坦部間で連続して分布する場合を説明する図である。

30

【図11】比較例1のマスク露光によるパターニングを説明する図である。

【図12】比較例2のマスク露光によるパターニングを説明する図である。

【図13】比較例2のマスク露光によるパターニングを説明する図である。

【図14】本発明が適用される液晶表示装置の等化回路の一例を示す図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【実施例1】

40

【0017】

先ず、図14に、本発明が適用される液晶表示装置の等価回路の一例を示す。基板102上に走査線104と信号線103がマトリクス状に配線され、走査線104と信号線103の各交点にはT F T(Thin Film Transistor)素子110を介して画素106が接続されている。走査線104と信号線103には、それぞれ走査駆動回路108および信号駆動回路107が接続され、走査線104および信号線103に電圧を印加する。基板102上には信号線103に平行にコモン線105を配設し、全ての画素にコモン電圧発生回路109からコモン電圧を印加できるようになっている。基板102と基板101の間には液晶組成物が封入されており、全体として液晶表示装置を構成している。

【0018】

50

図 1 に本発明の実施例 1 に係わる一つの画素の平面構造を示し、図 2 に一つの画素の断面構造を示す。図 1 は、一つの画素の全体とこれに隣接する画素の一部を含んでいる。また、図 2 は、図 1 の A-A' 面の断面構造を示すものである。

【0019】

図 2 において第一の基板 20 上には、第一の絶縁層 21 を介して、信号配線 15 および第一のコモン電極 12 を配置し、その上に第二の絶縁層 22 を形成する。そして、画素の両側の画素境界には絶縁体の壁構造 10 を設ける。壁構造は、例えば有機膜で形成される。画素両側に配置した壁構造 10 には、その側面に壁電極 111 を形成するとともに、壁電極に連続して、壁電極が基板に接する位置から平面方向に伸びる平面電極 112 を形成する。本実施例では、この壁電極 111 と平面電極 112 とが一つのソース電極 11 となる。第一のコモン電極 12 とソース電極 11 の平面電極 112 とは、第二の絶縁層 22 を介して、一部が重畳しており、重畳部分が保持容量を形成する。ソース電極 11 の上層には第三の絶縁層 23 が設けられ、第三の絶縁層 23 上であって、壁構造 10 に設けた両ソース電極 11 の壁電極 111 の間に、第二のコモン電極 13 が配置される。第二のコモン電極 13 や壁構造 10 を覆って、第一の配向膜 24 が形成される。また、第一の基板 20 の反対側には第一の偏光板 25 が形成される。そして、これらにより TFT 側基板が構成される。

10

【0020】

もう一方で、第二の基板 30 上に、ブラックマトリクス (BM: Black Matrix) 31、カラーフィルタ (CF) 32、保護膜 (OC: Over Coat) 33 を形成する。そして、保護膜 33 上であって、壁構造に設けた両ソース電極 11 の間に第三のコモン電極 14 を配置し、第二の配向膜 34 を形成することにより、CF 側基板が構成される。

20

そして、TFT 側基板と CF 側基板とが貼り合わせられ、両基板間に液晶分子 29 を含む液晶層 28 が封入される。

【0021】

図 1 において、壁構造 10 は、一点鎖線で示すように、画素の両側で長手方向に配置している。そして、壁構造 10 に沿うように信号配線 15 が配置され、これと交差するようにゲート配線 16 が配置されている。壁構造 10 の側面などにはソース電極 11 が配置されるとともに、両ソース電極の間には第一のコモン電極 12、第二のコモン電極 13、第三のコモン電極 14 が配置されている。第一のコモン電極 12 とソース電極 11 の重畳部を斜線で示す。第一のコモン電極 12 とソース電極 11 の重畳部は、保持容量として機能する。ゲート配線 16 上にはポリシリコン層 17 が配置され、TFT を構成している。符号 17 は第一のコンタクトホールを、符号 18 は第二のコンタクトホールを示す。

30

【0022】

本実施例において、図 2 に示したように壁構造 10 は画素境界をなす BM 31 の下に分布しており、壁構造 10 の両壁面にソース電極 11 を有する。壁構造頂部のスリット 26 で両壁面のソース電極 11 は分離されており、両壁面のソース電極 11 はそれぞれ別の画素に属する。図 1 に示すように壁構造 10 はソース電極 11 を隔てるスリットと重畳し、なおかつスリットよりも長く分布させている。その結果、スリットは壁構造頂部にのみ配置される。

40

【0023】

図 3 は、図 2 においてコモン電極とソース電極の間に形成される等電位面 36 を破線で併記した模式図である。第三のコモン電極 14 と第二のコモン電極 13 を画素中央の上下基板に対向して配置しており、更にその下方に第一のコモン電極 12 を配置している。図 3 に破線で示したように、等電位面 36 の一部は第三のコモン電極 14 と第二のコモン電極 13 を囲うように形成されるため、第三のコモン電極 14 と第二のコモン電極 13 は壁電極のような性質を示す。画素両側の壁構造頂部にソース電極 11 を配置し、画素中央に一对のコモン電極 13、14 を配置したことにより壁電極間の実効的な距離は画素幅の半分になり、例えば画素幅が 30 μm の場合でも従来の IPS-Pro 方式と同等の電圧で駆動することが可能になる。

50

【0024】

画素の平面形状は図1に示したように開いたV字状であり、壁構造10は画素の上半分では左側に傾いており、画素の下半分では右側に傾いている。液晶配向方向ADは縦方向としており、画素の上半分では液晶ダイレクタが電圧印加時に時計回りに回転し、下半分では反時計回りに回転する。また、画素の上半分と下半分のいずれにおいても壁構造10の伸長方向と液晶配向方向ADの成す角は5度である。一画素内に液晶配向の異なる2つの部分が形成されるマルチドメイン構造であり、個々のドメインの有する着色の視角依存性が相殺されるため、より無着色な視角特性が得られる。壁構造10の壁面は約85度の傾斜角を有し、このような急峻な傾斜角を有する壁面に配向処理を施すには光配向法が好適である。なお、ここで液晶ダイレクタとは、液晶層内の微小な領域における液晶分子の平均配向方向である。

10

【0025】

また、図1に示したように、壁構造10は画素端部において寸断した平面分布とした。例えば液晶層を真空封入法で形成する場合、液晶は主に壁構造10に沿って流動する。壁構造の寸断部では隣の壁構造に移動することも出来るので、真空封入法による液晶層の形成が容易になる。

【0026】

図4(a)は、壁構造10頂部のソース電極11をパターンニングする際にレジスト41を塗布した状態の断面図であり、レジスト41は壁構造頂部でより薄く、平坦部でより厚くなっている。このようなレジスト厚の分布は、液晶層厚と同等以上の高さの壁構造上に塗布した後に、レジストが壁構造頂部から壁構造間に流動することにより生じる。レジストはスピコートや印刷等の手段で容易に成膜を可能にするため、一般的にこのような流動性を有する。

20

【0027】

ソース電極11はスリット26以外にも境界を有するが、スリット以外の境界では隣接画素の電極が近接しないため、フォトリソの精度が厳しく要求されることはない。近接する電極との短絡など致命的な欠陥が生じるのはスリットなので、ソース電極のフォトリソではスリットの加工が特に重要である。本実施例の場合、スリットの分布を壁構造頂部に限定しているため、薄いレジストに合わせてスリットの加工条件を最適化すれば高い歩留まりでスリットの加工が可能である。また、スリットの厚さ方向の分布についても壁構造頂部に限定されるため、焦点深度の浅い露光機を用いた場合でも壁構造頂部に焦点を合わせれば高い歩留まりでスリットの加工ができる。

30

【実施例2】

【0028】

図5に、本発明の実施例2に係わる一つの画素の平面構造を示す。実施例1では図1に示したように壁構造10は画素端部で寸断されているが、本実施例では図5に示したように画素端部で連続している。そのため、一画素内に分布する壁構造10は実施例1よりも長くなっている。これにより、ソース電極11も画素長辺方向に対してより長く形成することが可能になる。画素内の透明な部分を増大して開口率を増大すれば、より高い透過率が得られる。

40

【0029】

本実施例では壁構造が画素端部で連続しているので、ソース電極を画素長辺方向に対してより長く形成してもスリットは壁構造頂部にのみ分布することになる。そのため、実施例1と同様にして高い歩留まりでスリットの加工が可能である。

【実施例3】

【0030】

図6に本発明の実施例3に係わる一つの画素の平面構造を示し、図7に一つの画素の断面構造を示す。図6に示したように壁構造10の幅は図1に比較して狭く、なお且つ、ソース電極11と壁構造10の境界は一致している。図7に示したようにソース電極11が壁構造10の壁面上にのみ分布しており、壁構造10の頂部には分布していない。図6と

50

図7に示したような壁電極構造は、以下に説明するセルフアラインプロセスで壁構造頂部のスリットを形成することにより実現できる。

【0031】

図4(a)に示したように、レジスト41は壁構造10頂部で薄くなり、平坦部で厚くなる傾向にある。これにプラズマアッシャーを用いてアッシングすれば、図4(b)に示したようにレジスト41は時間に比例して表面から均等に除去されていく。図4(b)の破線は塗布時のレジスト表面である。従って、壁構造頂部の厚さを若干超える分だけレジストを除去すれば、図4(c)に示したように壁構造頂部の電極11が選択的に露出する。この状態でエッチングすれば図4(d)に示したように壁電極上の電極を選択的に除去でき、図4(e)は図4(d)からレジスト41を除去した完成状態を示す。このように、壁構造上に塗布したレジストの膜厚分布を利用すればセルフアラインで壁構造上の電極を除去できる。

10

【0032】

壁電極上以外の部分については別途マスク露光でパターンニングする必要がある、これには壁構造とマスクの合わせ精度が影響する。しかし、スリットが壁構造頂部だけに分布していれば、以下に説明するように短絡が生じない。図8は、1つの壁構造とこれに重畳する電極に着目した平面図であり、壁構造はその境界を太線で示しており、電極は斜線でハッチングして示してある。図8(a)は全面に電極を形成した状態であり、次に図8(b)に示したように前述のセルフアライメントプロセスで壁構造頂部の電極を除去する。その次に図8(c)、図8(d)に示したようにマスク露光を用いて壁構造頂部以外の部分の電極をパターンニングする。図8(c)は図8(b)にマスクを重畳した状態を示し、図8(c)中の破線はマスクの遮光部境界である。図8(d)は図8(c)のマスク配置で最終的に形成された壁電極構造であり、壁電極は図8(c)中に示したマスクの遮光部境界と同様の平面分布となっている。なおこの時マスクの位置合わせずれが生じる可能性があるが、壁構造がスリットから突出した部分の長さをマスクの合わせ精度以上にするにより、マスクの位置合わせずれが生じても短絡が生じることはない。

20

【0033】

また、セルフアライメントプロセスを適用することにより、スリット部分でマスクの合わせ精度を考慮した尤度設計が必要なくなり、壁構造の幅をその加工精度で決定される幅まで狭くすることが出来る。例えば、マスクの合わせ精度が基準層に対して $1.5\mu\text{m}$ で、スリットの幅を $3.0\mu\text{m}$ とするならば、壁構造の両壁面上に電極を安定して形成するためには壁構造の幅を $9.0\mu\text{m}$ にしなければならない。一方で壁構造の加工精度は例えば $4.0\mu\text{m}$ なので、セルフアライメントプロセスを用いることにより壁構造の幅を半分以下にすることができる。その結果として開口率を増大でき、より高い透過率を実現することができる。

30

【比較例1】

【0034】

図9に、比較例1の画素の平面構造を示す。実施例1においてはスリットは壁構造頂部にのみ分布していたが、図9に示したように、スリット26が壁構造10頂部と平坦部の両方に分布するものである。図9においてスリットは壁構造頂部と平坦部間で連続して分布しているので、スリット26は壁構造の境界を乗り越えて分布することになる。ソース電極11にスリットを形成する際にレジスト41を塗布した状態の断面を、図10(a)、(b)に示す。図10(a)、(b)は、それぞれ壁構造頂部と平坦部における断面図であり、図9に示した平面図の一転鎖線A-A'、B-B'に対応する。また、図10(a)、(b)ではスリット形成において実効的なレジスト膜厚を矢印で示してある。図4と同様に壁構造頂部に相当する図10(a)でレジスト41は薄くなっており、平坦部に相当する図10(b)でレジスト41は厚くなっている。そのため壁構造頂部ではオーバーエッチに、平坦部ではアンダーエッチになる傾向にある。

40

【0035】

壁構造頂部と平坦部のスリットを同じ幅で一括加工するには、図11に示したようにマ

50

スク上のスリット幅を変えることが考えられる。図11(a)はマスク上のスリット幅と壁構造の関係を示しており、マスクの合わせずれはないものとしている。図11(b)は図11(a)に対応する完成状態である。図11(a)に示したようにマスク上のスリット幅を壁構造頂部では完成寸法よりも狭くし、平坦部では広くすれば良い。ここで、乗り越え部のスリット幅をどう決めるかが課題になるが、これには乗り越え部近傍におけるレジスト厚分布が参考になる。図10(c)は乗り越え部近傍を含む断面図であり、図9の一転鎖線C-C'に対応している。図10(d)は図10(c)よりレジスト厚の分布を求めた図であり、レジスト厚は乗り越え部に近接する平坦部で最大になる。例えば乗り越え部の前後でレジスト厚分布に対応するようにスリット幅を連続的に変えても良く、具体的には図11(a)に示したように乗り越え部に近接する平坦部でスリット幅を最大にし、壁構造のある方向に向けて連続的にスリット幅を低減する。これにより、図11(b)に示したように壁構造頂部と平坦部の両方にスリットを一括形成でき、なお且つ乗り越え部にもスリットを形成できるはずである。

10

【0036】

ところが、実際には完成時のスリット形状が図11(b)に比べて大きく異なる例が見出された。これらの一例を図11(d)に示す。図11(d)中のオーバーエッチ部43では乗り越え部近傍でスリット幅が大幅に増大しており、図11(d)中のアンダーエッチ部44では乗り越え部近傍でスリットが消失している。特にアンダーエッチ部44では隣接する2画素のソース電極が短絡するので点欠陥となる。図11(d)に示したスリット形状は、壁構造に対してスリット加工のためのマスクが図11(c)に示したように下方方向にずれることによって生じる。図11(c)ではマスク遮光部の境界を破線で示している。図11(d)中のオーバーエッチ部43はマスク上でスリット幅が最も広い部分がレジスト膜厚の薄い壁電極上部に位置したことによりオーバーエッチになって生じたものである。図11(d)中のアンダーエッチ部44はマスク上でスリット幅が狭い部分がレジスト膜厚の厚い乗り越え部に近接する平坦部に位置したことによりアンダーエッチになって生じたものである。

20

【0037】

このように、液晶層厚と同等の高さの壁構造が存在する場合、マスクの位置合わせ精度を考慮すれば壁構造を乗り越えて分布するスリットを高い歩留まりで一括加工することは出来ない。レジスト厚分布に対応するようにマスク上のスリット幅を変えても、マスクの合わせずれはスリット幅が変動する範囲よりも大きいと、レジスト膜厚変化を設計で想定した通りに補正できなくなるからである。

30

【0038】

本発明の実施例1の液晶表示装置では、壁構造10の頂部にのみ隣接する二つの画素の壁電極111の境界となるスリット26が分布するようなマスクを用いて、レジストを露光し、壁構造上の透明電極を露出し、露出した壁構造上の透明電極を除去することにより、壁構造10の頂部にのみ隣接する二つの画素の壁電極111の境界となるスリット26が分布する壁電極を形成することができる。

【比較例2】

【0039】

壁構造頂部と平坦部の両方にスリットが分布する構造において、実施例3のセルフアライメントプロセスを適用したものである。実施例3で述べたように、セルフアライメントプロセスの利点は壁構造の幅を壁構造の加工精度まで低減して開口率を増大できることである。この場合平坦部のスリットはマスク露光で形成するが、マスクの合わせ精度により短絡が生じる場合がある。図12は1つの壁構造とこれに重畳する電極に着目した平面図であり、図12(a)は壁構造上を含む全面に電極を成膜した状態で、図12(b)はセルフアライメントプロセスで壁構造頂部を選択的にエッチングした状態である。図12(c)は図12(b)にマスクを重畳した状態であり、図12(c)のように合わせずれがない場合には図12(d)に示したように短絡せずに平坦部のスリットを形成できる。しかし、図12(e)に示したように上下方向で合わせずれが生じると、図12(f)に示

40

50

したように壁構造の上下いずれか一方の平坦部においてスリットが消失し、隣接する２画素のソース電極が短絡する。

【００４０】

合わせずれの対策として、マスク露光で形成するスリットを平坦部から壁構造頂部の一部にまで延長することも考えられる。図１３（ａ）はこのようなマスクを図１２（ｂ）に重畳した状態であり、図１３（ｂ）に示したように合わせずれが無ければこの場合でもオーバーエッチやアンダーエッチを生じずにソース電極を形成することが出来る。しかし、図１３（ｃ）に示したようにマスクの合わせずれが上下方向に生じた場合には、図１３（ｄ）に示したように壁構造の上下端でオーバーエッチ部４３が発生し、壁面から電極が消失する。壁面から電極が消失した部分では、液晶層に印加する電界強度が低下するため透過率が低下する。セルフアライメントプロセスの利点は壁構造の幅を壁構造の加工精度まで低減できることであるが、この場合壁構造の幅はレジスト膜厚の厚い平坦部にスリットを形成するためのマスク幅とほぼ同等になる。そのため、マスクの合わせずれが生じると壁面上のＩＴＯ膜をエッチングすることとなり、壁面から電極が消失する。

10

【００４１】

このように、液晶層厚と同等の高さの壁構造が存在する場合、マスクの位置合わせ精度を考慮すればセルフアライメントプロセスを用いても壁構造を乗り越えて分布するスリットを高い歩留まりで加工することは出来ない。

【符号の説明】

【００４２】

20

- １０ 壁構造
- １１ ソース電極
- １２ 第一のコモン電極
- １３ 第二のコモン電極
- １４ 第三のコモン電極
- １５ 信号配線
- １６ ゲート配線
- １７ ポリシリコン層
- １８ 第一のコンタクトホール
- １９ 第二のコンタクトホール
- ２０ 第一の基板
- ２１ 第一の絶縁層
- ２２ 第二の絶縁層
- ２３ 第三の絶縁層
- ２４ 第一の配向膜
- ２５ 第一の偏光板
- ２６ スリット
- ２８ 液晶層
- ２９ 液晶分子
- ３０ 第二の基板
- ３１ ブラックマトリクスＢＭ
- ３２ カラーフィルタＣＦ
- ３３ オーバーコート層
- ３４ 第二の配向膜
- ３５ 第二の偏光板
- ３６ 等電位面
- ４１ レジスト
- ４３ オーバーエッチ部
- ４４ アンダーエッチ部
- １０１ 基板

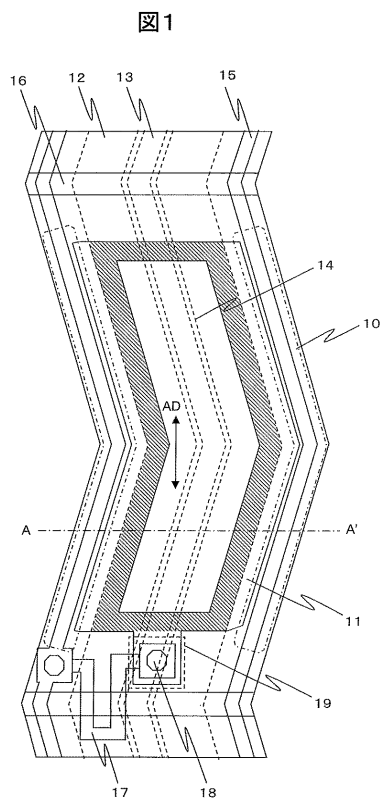
30

40

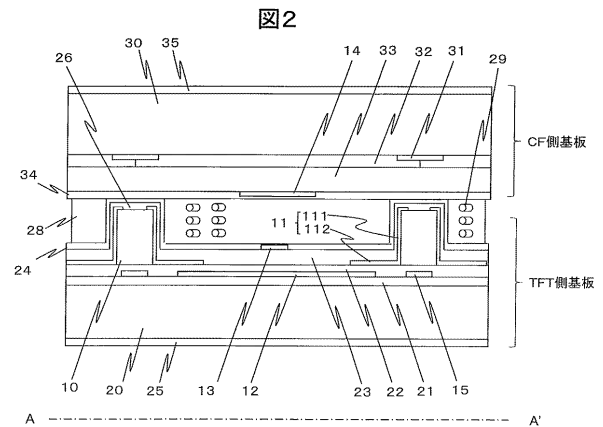
50

- 102 基板
- 103 信号線
- 104 走査線
- 105 コモン線
- 106 画素
- 107 信号駆動回路
- 108 走査駆動回路
- 109 コモン電圧発生回路
- 110 TFT素子

【図1】

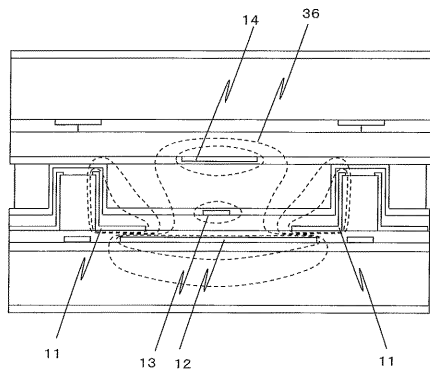


【図2】



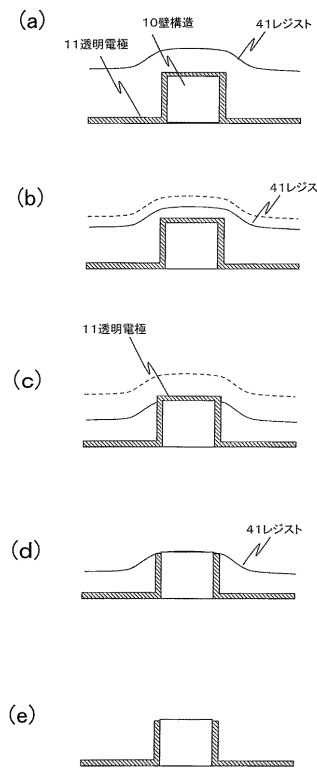
【図 3】

図3



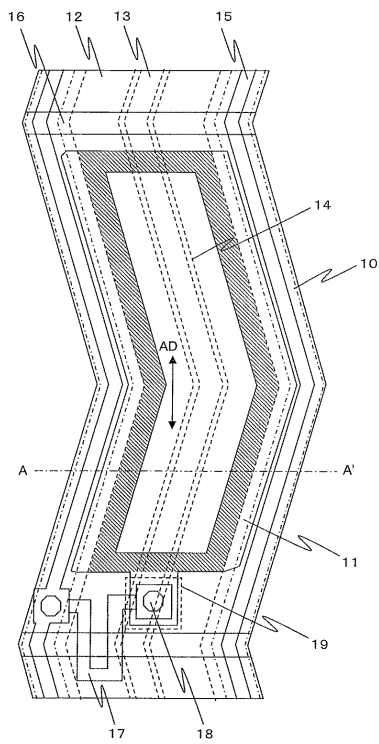
【図 4】

図4



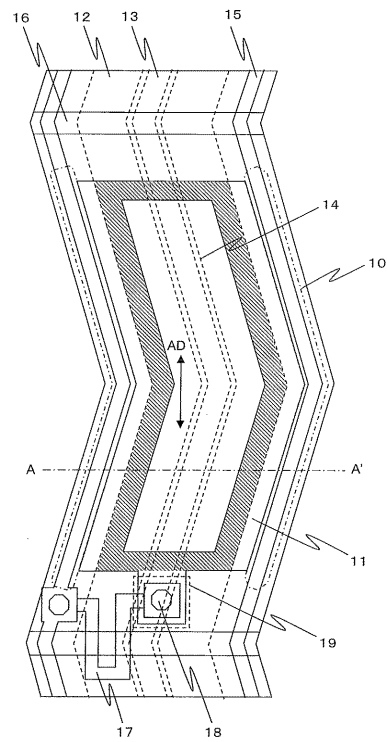
【図 5】

図5

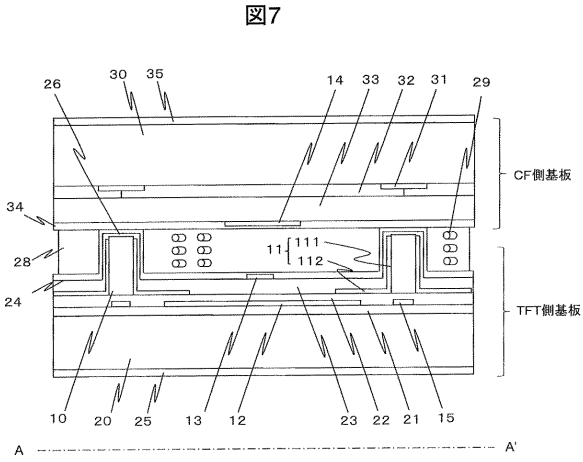


【図 6】

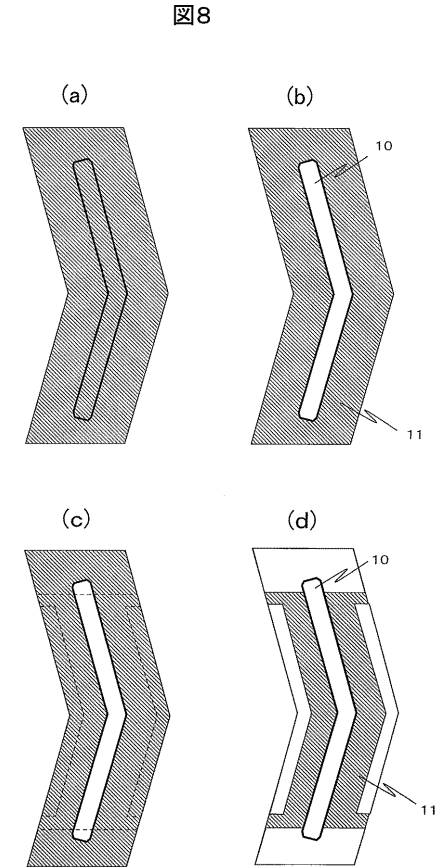
図6



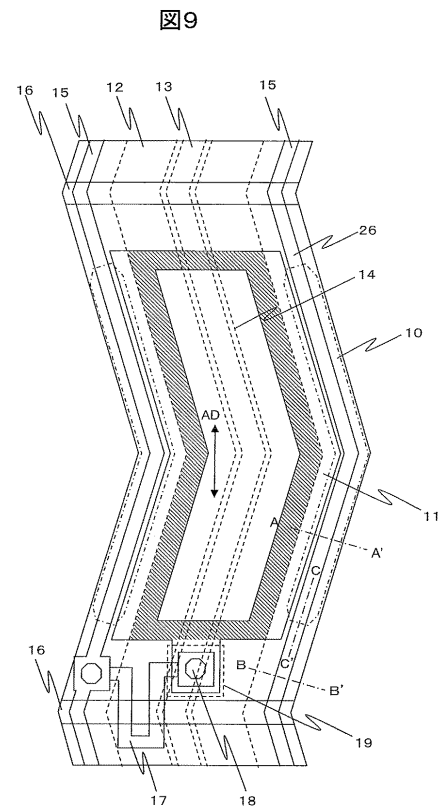
【図 7】



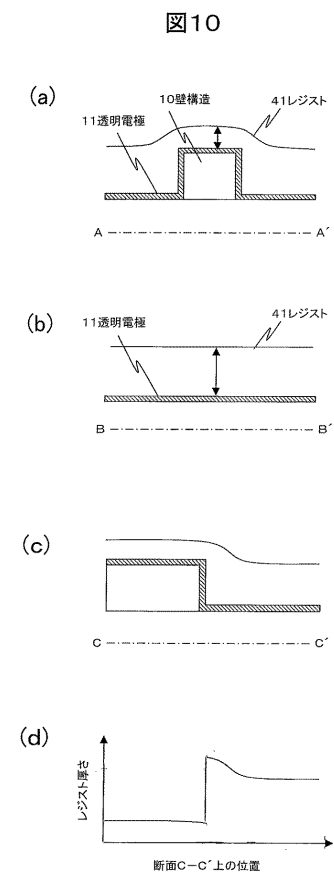
【図 8】



【図 9】

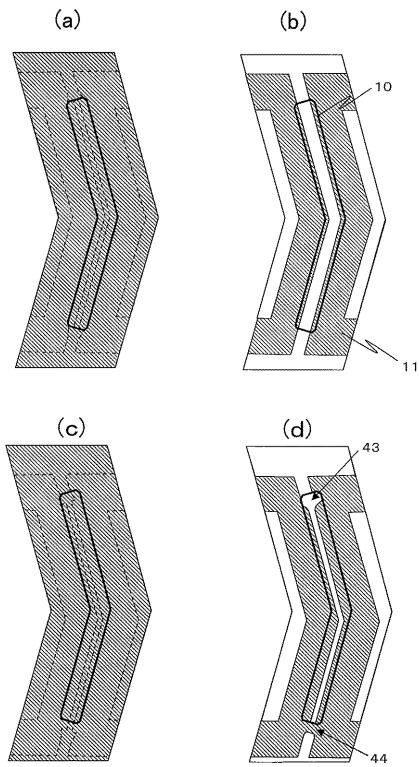


【図 10】



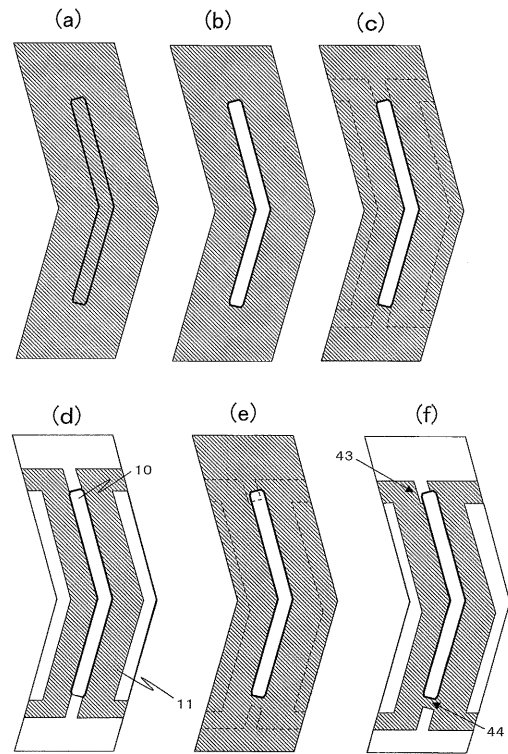
【図 1 1】

図11



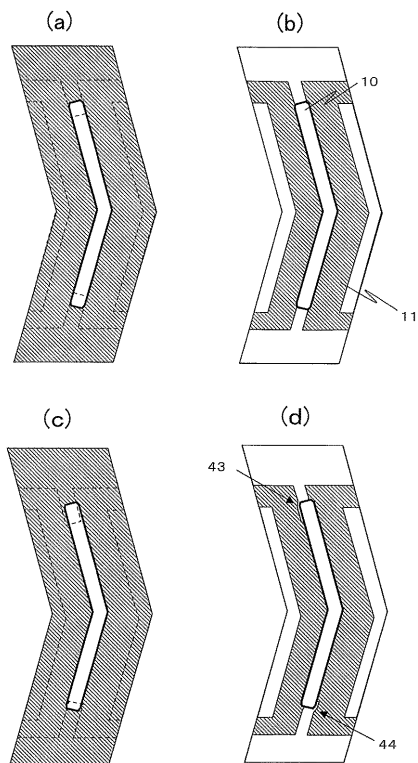
【図 1 2】

図12



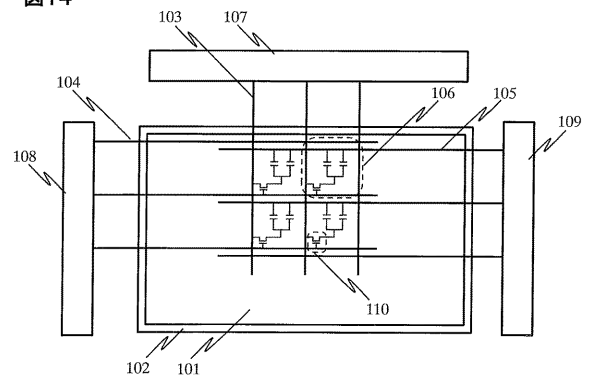
【図 1 3】

図13



【図 1 4】

図14



フロントページの続き

- (72)発明者 石垣 利昌
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内
- (72)発明者 園田 大介
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

審査官 佐藤 洋允

- (56)参考文献 特開2004-341465 (JP, A)
特開2004-361977 (JP, A)
特開2011-008239 (JP, A)
特開2004-302448 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F1/1339
G02F1/1343
G02F1/1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP5865088B2	公开(公告)日	2016-02-17
申请号	JP2012008974	申请日	2012-01-19
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	伊東理 平塚崇人 山本昌直 石垣利昌 園田大介		
发明人	伊東 理 平塚 崇人 山本 昌直 石垣 利昌 園田 大介		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/133345 G02F1/133377 G02F1/1337 G02F1/133707 G02F1/13394 G02F2001/134318 G02F2001/134381 H01L33/0041		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA21 2H092/JA26 2H092/JA46 2H092/JB04 2H092/JB05 2H092/JB56 2H092/JB64 2H092/JB66 2H092/JB69 2H092/MA15 2H092/MA18 2H092/NA29 2H092/PA03 2H092/QA06 2H192/AA24 2H192/BB21 2H192/BB32 2H192/BB42 2H192/BB53 2H192/CB13 2H192/CC04 2H192/CC55 2H192/EA22 2H192/EA43 2H192/EA68 2H192/GA42 2H192/GD23 2H192/HA47 2H192/JA33		
其他公开文献	JP2013148711A		
外部链接	Espacenet		

摘要(译)

在壁电极液晶显示装置中，壁结构和电极的平面分布被优化以提高产量。一种液晶显示装置，包括以矩阵排列的多个像素，每个像素具有形成在像素边界处的绝缘壁结构，壁电极形成在像素边界的壁结构的侧表面处，源电极，其与壁电极连续并由在平面方向上延伸的平面电极形成，第一公共电极设置在像素两侧的源电极之间以形成保持电容，以及第二公共电极设置在壁之间像素两侧的电极。成为两个相邻像素的壁电极的边界的狭缝仅设置在壁结构的顶部上。

(21) 出願番号	特願2012-8974 (P2012-8974)	(73) 特許権者	502356528
(22) 出願日	平成24年1月19日 (2012. 1. 19)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-148711 (P2013-148711A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年8月1日 (2013. 8. 1)	(74) 代理人	110000350
審査請求日	平成26年7月7日 (2014. 7. 7)		ボレル特許業務法人
		(72) 発明者	伊東 理
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	平塚 崇人
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	山本 昌直
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内