

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5784148号
(P5784148)

(45) 発行日 平成27年9月24日 (2015. 9. 24)

(24) 登録日 平成27年7月31日 (2015. 7. 31)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 622C

G09G 3/20 622E

G09G 3/20 670D

G09G 3/20 670E

請求項の数 18 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2013-549137 (P2013-549137)
 (86) (22) 出願日 平成24年8月9日 (2012. 8. 9)
 (86) 国際出願番号 PCT/JP2012/070341
 (87) 国際公開番号 W02013/088779
 (87) 国際公開日 平成25年6月20日 (2013. 6. 20)
 審査請求日 平成26年6月3日 (2014. 6. 3)
 (31) 優先権主張番号 特願2011-274283 (P2011-274283)
 (32) 優先日 平成23年12月15日 (2011. 12. 15)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100114247
 弁理士 奥田 邦廣
 (74) 代理人 100148459
 弁理士 河本 悟
 (72) 発明者 岩本 明久
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

表示パネルを構成する基板と、
 映像信号を伝達する複数の映像信号線と、
 前記複数の映像信号線と交差する複数の走査信号線と、
 前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルス
 を出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力
 されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と

10

外部から与えられる電源に基づいて、前記走査信号線を選択状態にするための電位であ
 る走査信号線選択電位と、前記走査信号線を非選択状態にするための電位である走査信号
 線非選択電位とを生成する電源回路と、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、
 前記複数の双安定回路の動作の基準となる電位であって通常動作時には各走査信号線を非
 選択状態にする電位レベルで維持される基準電位とを生成し、前記走査信号線駆動回路の
 動作を制御する駆動制御部と、

前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与える電源
 状態検出部と

20

を備え、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第 1 電極，第 2 電極，および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 2 電極に前記クロック信号が与えられ、第 3 電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第 1 電極に接続された第 1 ノードと、

第 1 電極，第 2 電極，および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 1 の第 1 ノード制御用スイッチング素子と、

第 1 電極，第 2 電極，および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の第 1 ノード制御用スイッチング素子と、

前記第 2 の第 1 ノード制御用スイッチング素子の第 1 電極に接続された第 2 ノードと

、
第 1 電極，第 2 電極，および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 ノード制御用スイッチング素子と、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第 1 ノードの電位をハイレベルに向けて変化させる第 1 ノード制御部と、

前記クロック信号に基づいて前記第 2 ノードの電位をハイレベルに向けて変化させる第 2 ノード制御部と

を有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第 1 の走査信号線選択電位と第 2 の走査信号線選択電位とを生成し、

前記駆動制御部は、

前記クロック信号の電位を前記第 1 の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記クリア信号の電位を前記第 2 の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記基準電位を前記第 1 の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記電源オフ信号を受け取ると、前記クロック信号の電位と前記基準電位とを前記第 1 の走査信号線選択電位に設定することによって前記複数の画素形成部内の電荷および前記複数の走査信号線上の電荷を放電する第 1 の放電処理と、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定することによって各双安定回路内の第 1 ノードおよび第 2 ノード上の電荷を放電する第 2 の放電処理とを順次に行い、

前記第 2 の放電処理が開始される時点には、前記第 1 の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第 2 の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする、液晶表示装置。

【請求項 2】

前記電源がオフ状態になると、前記第 1 の走査信号線選択電位は、前記電源がオフ状態

になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記電源回路は、第 1 のコンデンサと第 1 の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第 1 の走査信号線選択電位を生成するための第 1 の走査信号線選択電位生成ラインと、第 2 のコンデンサと第 2 の抵抗器とに接続され、前記所定電位に基づいて前記第 2 の走査信号線選択電位を生成するための第 2 の走査信号線選択電位生成ラインとを有し、

前記第 1 のコンデンサと前記第 1 の抵抗器とは、前記第 1 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

10

前記第 2 のコンデンサと前記第 2 の抵抗器とは、前記第 2 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 1 の走査信号線選択電位生成ラインおよび前記第 2 の走査信号線選択電位生成ラインは、前記駆動制御部に接続され、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2 のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記駆動制御部は、前記第 1 の放電処理の際には前記クリア信号の電位を前記走査信号線非選択電位に設定することを特徴とする、請求項 1 に記載の液晶表示装置。

20

【請求項 5】

前記駆動制御部は、前記電源オフ信号を受け取ると、前記第 1 の放電処理の前に、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化処理を行うことを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記駆動制御部は、前記初期化処理の際には前記クロック信号の電位を前記走査信号線非選択電位に設定することを特徴とする、請求項 5 に記載の液晶表示装置。

【請求項 7】

各双安定回路は、第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする、請求項 1 に記載の液晶表示装置。

30

【請求項 8】

各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の液晶表示装置。

【請求項 9】

前記酸化物半導体は、酸化インジウムガリウム亜鉛 (I G Z O) であることを特徴とする、請求項 8 に記載の液晶表示装置。

40

【請求項 10】

表示パネルを構成する基板と、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線を選択状態にするための電位である走査信号線選択電位と前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを外部から与えられる電源に基づいて生成する電源回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを備える液晶表示装置の駆動方法であって、

外部から与えられる電源のオン / オフ状態を検出する電源状態検出ステップと、

前記電源状態検出ステップで前記電源のオフ状態が検出されたときに実行される、前記

50

表示パネル内の電荷を放電させる電荷放電ステップとを含み、

前記走査信号線駆動回路は、前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる電位であって通常動作時には各走査信号線を非選択状態にする電位レベルで維持される基準電位とを生成し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用スイッチング素子と、

前記第2の第1ノード制御用スイッチング素子の第1電極に接続された第2ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2ノード制御用スイッチング素子と、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

前記クロック信号に基づいて前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部とを有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第1の走査信号線選択電位と第2の走査信号線選択電位とを生成し、

前記電荷放電ステップは、

前記クロック信号の電位と前記基準電位とを前記第1の走査信号線選択電位に設定することによって前記複数の画素形成部内の電荷および前記複数の走査信号線上の電荷を放電する第1の放電ステップと、

前記クリア信号の電位を前記第2の走査信号線選択電位に設定することによって各双安定回路内の第1ノードおよび第2ノード上の電荷を放電する第2の放電ステップとからなり、

前記第2の放電ステップが開始される時点には、前記第1の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第2の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする、駆動方法。

【請求項11】

前記電源がオフ状態になると、前記第1の走査信号線選択電位は、前記電源がオフ状態

10

20

30

40

50

になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする、請求項 1 0 に記載の駆動方法。

【請求項 1 2】

前記電源回路は、第 1 のコンデンサと第 1 の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第 1 の走査信号線選択電位を生成するための第 1 の走査信号線選択電位生成ラインと、第 2 のコンデンサと第 2 の抵抗器とに接続され、前記所定電位に基づいて前記第 2 の走査信号線選択電位を生成するための第 2 の走査信号線選択電位生成ラインとを有し、

前記第 1 のコンデンサと前記第 1 の抵抗器とは、前記第 1 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

10

前記第 2 のコンデンサと前記第 2 の抵抗器とは、前記第 2 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 1 の走査信号線選択電位生成ラインおよび前記第 2 の走査信号線選択電位生成ラインは、前記駆動制御部に接続され、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2 のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする、請求項 1 1 に記載の駆動方法。

【請求項 1 3】

前記第 1 の放電ステップでは、前記クリア信号の電位が前記走査信号線非選択電位に設定されることを特徴とする、請求項 1 0 に記載の駆動方法。

20

【請求項 1 4】

前記電荷放電ステップは、前記第 1 の放電ステップの前に行われるステップとして、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化ステップを更に含むことを特徴とする、請求項 1 0 に記載の駆動方法。

【請求項 1 5】

前記初期化ステップでは、前記クロック信号の電位が前記走査信号線非選択電位に設定されることを特徴とする、請求項 1 4 に記載の駆動方法。

【請求項 1 6】

各双安定回路は、第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする、請求項 1 0 に記載の駆動方法。

30

【請求項 1 7】

各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする、請求項 1 0 から 1 6 までのいずれか 1 項に記載の駆動方法。

【請求項 1 8】

前記酸化物半導体は、酸化インジウムガリウム亜鉛 (I G Z O) であることを特徴とする、請求項 1 7 に記載の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、液晶表示装置およびその駆動方法に関し、特に、半導体層に酸化物半導体 (I G Z O) を用いた薄膜トランジスタを有するモノリシックゲートドライバを採用する場合に好適な液晶表示装置およびその駆動方法に関する。

【背景技術】

【0 0 0 2】

一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する 2 枚の基板からなる液晶パネルを備えており、当該 2 枚の基板のうち一方の基板には、複数本のゲートバ

50

スライン（走査信号線）と複数本のソースバスライン（映像信号線）とが格子状に配置され、それら複数本のゲートバスラインと複数本のソースバスラインとの交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（ＴＦＴ）や、画素値を保持するための画素容量などを含んでいる。また、上記２枚の基板のうち他方の基板には、上記複数の画素形成部に共通的に設けられた対向電極である共通電極が設けられる場合もある。アクティブマトリクス型の液晶表示装置には、さらに、上記複数本のゲートバスラインを駆動するゲートドライバ（走査信号線駆動回路）と上記複数本のソースバスラインを駆動するソースドライバ（映像信号線駆動回路）とが設けられている。

10

【０００３】

画素値を示す映像信号はソースバスラインによって伝達されるが、各ソースバスラインは複数行分の画素値を示す映像信号を一時（同時）に伝達することができない。このため、上述のマトリクス状に配置された画素形成部内の画素容量への映像信号の書き込みは１行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。

【０００４】

このような液晶表示装置において、利用者によって電源がオフされたにもかかわらず、直ちに表示がクリアされず、残像のような画像が残ることがある。この理由は、装置の電源がオフされると画素容量に保持された電荷の放電経路が遮断され、画素形成部内に残留電荷が蓄積されるからである。また、画素形成部内に残留電荷が蓄積された状態で装置の電源がオンされると、その残留電荷に基づく不純物の偏りに起因するフリッカの発生など表示品位の低下が生じる。そこで、電源オフの際に、例えば、全てのゲートバスラインを選択状態（オン状態）にしてソースバスラインに黒電圧を印加することによって、パネル上の電荷を放電することがなされている。

20

【０００５】

また、液晶表示装置に関し、近年、ゲートドライバのモノリシック化が進んでいる。従来、ゲートドライバは液晶パネルを構成する基板の周辺部にＩＣ（Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）チップとして搭載されることが多かったが、近年、基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」などと呼ばれている。また、モノリシックゲートドライバを備えたパネルは「ゲートドライバモノリシックパネル」などと呼ばれている。

30

【０００６】

ゲートドライバモノリシックパネルにおいては、パネル上の電荷の放電に関し、上述した手法を採用することができない。そこで、国際公開２０１１／０５５５８４号パンフレットには、次のような液晶表示装置の発明が開示されている。ゲートドライバ内のシフトレジスタを構成する双安定回路に、ゲートバスラインに接続されたドレイン端子、基準電位を伝達する基準電位配線に接続されたソース端子、およびシフトレジスタを動作させるクロック信号が与えられるゲート端子を有するＴＦＴが設けられる。このような構成において、外部からの電源の供給が遮断されると、クロック信号をハイレベルにして上記ＴＦＴをオン状態にするとともに、基準電位のレベルがゲートオフ電位からゲートオン電位にまで高められる。これにより、各ゲートバスラインの電位がゲートオン電位にまで高められ、全ての画素形成部内の残留電荷が放電される。また、国際公開２０１０／０５０２６２号パンフレットには、ゲートドライバモノリシックパネルに関する発明として、ＴＦＴでのリークに起因する誤動作を防止する技術が開示されている。

40

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】国際公開２０１１／０５５５８４号パンフレット

50

【特許文献2】国際公開2010/050262号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、近年、IGZO-TFT液晶パネル（薄膜トランジスタの半導体層に酸化物半導体の一種であるIGZO（酸化インジウムガリウム亜鉛）を用いた液晶パネル）の開発が進んでいる。IGZO-TFT液晶パネルにおいても、モノリシック化されたゲートドライバの開発が進められている。なお、以下においては、IGZO-TFT液晶パネルに設けられているモノリシックゲートドライバのことを「IGZO-GDM」という。a-SiTFTはオフ特性が良好ではないため、a-SiTFT液晶パネルでは、画素形成部以外の部分の浮遊電荷については数秒で放電される。従って、a-SiTFT液晶パネルにおいては、画素形成部以外の部分の浮遊電荷については特に問題とはならない。ところが、IGZO-TFTは、オン特性のみならずオフ特性も優れている。特にゲートへのバイアス電圧が0V（すなわちバイアス無し）のときのオフ特性がa-SiTFTと比較して顕著に優れているため、TFTと接続されているノードの浮遊電荷がゲートオフ時に当該TFTを介して放電することがない。その結果、回路内に電荷が長時間残ることとなる。或る試算によると、後述する図10に示すような構成を採用するIGZO-GDMにおいて、net A上の浮遊電荷の放電に要する時間は数時間（数千秒～数万秒）となっている。また、IGZO-GDMのBT（Bias Temperature）ストレス試験によれば、IGZO-TFTの閾値シフトの大きさは1時間で数Vとなっている。このことから、IGZO-GDMにおいては残留電荷の存在がIGZO-TFTの閾値シフトの大きな要因となることが把握される。以上より、IGZO-GDMのシフトレジスタにおいてシフト動作が途中で停止すると、或る1つの段においてのみTFTの閾値シフトが生じるおそれがある。その結果、シフトレジスタが正常に動作しなくなり、画面への画像表示が行われなくなる。

【0009】

また、ゲートドライバがICチップである場合には、パネル内のTFTは画素形成部内のTFTだけである。従って、電源オフの際には画素形成部内の電荷およびゲートバスライン上の電荷を放電すれば足りる。しかしながら、モノリシックゲートドライバの場合には、パネル内のTFTとしてゲートドライバ内にもTFTが存在している。そして、例えば図10に示す構成においては、符号net Aおよび符号net Bで示す2つの浮遊ノードが存在する。従って、IGZO-GDMにおいては、電源オフの際、画素形成部内の電荷、ゲートバスライン上の電荷、net A上の電荷、およびnet B上の電荷を放電する必要がある。

【0010】

そこで、本発明は、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、特にIGZO-GDMを採用している場合に好適な液晶表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の局面は、表示パネルを構成する基板と、
映像信号を伝達する複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、
前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、
外部から与えられる電源に基づいて、前記走査信号線を選択状態にするための電位であ

る走査信号線選択電位と、前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを生成する電源回路と、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる電位であって通常動作時には各走査信号線を非選択状態にする電位レベルで維持される基準電位とを生成し、前記走査信号線駆動回路の動作を制御する駆動制御部と、

前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与える電源状態検出部とを備え、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用スイッチング素子と、

前記第2の第1ノード制御用スイッチング素子の第1電極に接続された第2ノードと

、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2ノード制御用スイッチング素子と、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

前記クロック信号に基づいて前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と

を有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの電位レベルの変化状態が互いに異なる第1の走査信号線選択電位と第2の走査信号線選択電位とを生成し、

前記駆動制御部は、

前記クロック信号の電位を前記第1の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記クリア信号の電位を前記第2の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記基準電位を前記第1の走査信号線選択電位または前記走査信号線非選択電位に設定し、

前記電源オフ信号を受け取ると、前記クロック信号の電位と前記基準電位とを前記第1の走査信号線選択電位に設定することによって前記複数の画素形成部内の電荷および前記複数の走査信号線上の電荷を放電する第1の放電処理と、前記クリア信号の電位を前記

10

20

30

40

50

第 2 の走査信号線選択電位に設定することによって各双安定回路内の第 1 ノードおよび第 2 ノード上の電荷を放電する第 2 の放電処理とを順次に行い、

前記第 2 の放電処理が開始される時点には、前記第 1 の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第 2 の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする。

【 0 0 1 3 】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記電源がオフ状態になると、前記第 1 の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする。

10

【 0 0 1 4 】

本発明の第 3 の局面は、本発明の第 2 の局面において、

前記電源回路は、第 1 のコンデンサと第 1 の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第 1 の走査信号線選択電位を生成するための第 1 の走査信号線選択電位生成ラインと、第 2 のコンデンサと第 2 の抵抗器とに接続され、前記所定電位に基づいて前記第 2 の走査信号線選択電位を生成するための第 2 の走査信号線選択電位生成ラインとを有し、

前記第 1 のコンデンサと前記第 1 の抵抗器とは、前記第 1 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第 2 のコンデンサと前記第 2 の抵抗器とは、前記第 2 の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

20

前記第 1 の走査信号線選択電位生成ラインおよび前記第 2 の走査信号線選択電位生成ラインは、前記駆動制御部に接続され、

前記第 1 のコンデンサと前記第 1 の抵抗器とによって定まる放電時定数よりも前記第 2 のコンデンサと前記第 2 の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする。

【 0 0 1 5 】

本発明の第 4 の局面は、本発明の第 1 の局面において、

前記駆動制御部は、前記第 1 の放電処理の際には前記クリア信号の電位を前記走査信号線非選択電位に設定することを特徴とする。

30

【 0 0 1 6 】

本発明の第 5 の局面は、本発明の第 1 の局面において、

前記駆動制御部は、前記電源オフ信号を受け取ると、前記第 1 の放電処理の前に、前記クリア信号の電位を前記第 2 の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化処理を行うことを特徴とする。

【 0 0 1 7 】

本発明の第 6 の局面は、本発明の第 5 の局面において、

前記駆動制御部は、前記初期化処理の際には前記クロック信号の電位を前記走査信号線非選択電位に設定することを特徴とする。

40

【 0 0 1 8 】

本発明の第 7 の局面は、本発明の第 1 の局面において、

各双安定回路は、第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする。

【 0 0 1 9 】

本発明の第 8 の局面は、本発明の第 1 から第 7 までのいずれかの局面において、

各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする。

50

【 0 0 2 0 】

本発明の第 9 の局面は、本発明の第 8 の局面において、
前記酸化物半導体は、酸化インジウムガリウム亜鉛（ I G Z O ）であることを特徴とする。

【 0 0 2 1 】

本発明の第 1 0 の局面は、表示パネルを構成する基板と、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線を選択状態にするための電位である走査信号線選択電位と前記走査信号線を非選択状態にするための電位である走査信号線非選択電位とを外部から与えられる電源に基づいて生成する電源回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを備える液晶表示装置の駆動方法であって、

外部から与えられる電源のオン / オフ状態を検出する電源状態検出ステップと、

前記電源状態検出ステップで前記電源のオフ状態が検出されたときに実行される、前記表示パネル内の電荷を放電させる電荷放電ステップとを含み、

前記走査信号線駆動回路は、前記複数の走査信号線と対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる電位であって通常動作時には各走査信号線を非選択状態にする電位レベルで維持される基準電位とを生成し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 2 電極に前記クロック信号が与えられ、第 3 電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第 1 電極に接続された第 1 ノードと、

第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 1 の第 1 ノード制御用スイッチング素子と、

第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の第 1 ノード制御用スイッチング素子と、

前記第 2 の第 1 ノード制御用スイッチング素子の第 1 電極に接続された第 2 ノードと

、
第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極 - 第 3 電極間の導通 / 非導通が制御されるスイッチング素子であって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 ノード制御用スイッチング素子と、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第 1 ノードの電位をハイレベルに向けて変化させる第 1 ノード制御部と、

前記クロック信号に基づいて前記第 2 ノードの電位をハイレベルに向けて変化させる第 2 ノード制御部とを有し、

前記電源回路は、前記走査信号線選択電位として、前記電源がオフ状態になったときの

10

20

30

40

50

電位レベルの変化状態が互いに異なる第1の走査信号線選択電位と第2の走査信号線選択電位とを生成し、

前記電荷放電ステップは、

前記クロック信号の電位と前記基準電位とを前記第1の走査信号線選択電位に設定することによって前記複数の画素形成部内の電荷および前記複数の走査信号線上の電荷を放電する第1の放電ステップと、

前記クリア信号の電位を前記第2の走査信号線選択電位に設定することによって各双安定回路内の第1ノードおよび第2ノード上の電荷を放電する第2の放電ステップとからなり、

前記第2の放電ステップが開始される時点には、前記第1の走査信号線選択電位はグラウンド電位に等しくなっていて、前記第2の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されていることを特徴とする。

【0023】

本発明の第1.1の局面は、本発明の第1.0の局面において、

前記電源がオフ状態になると、前記第1の走査信号線選択電位は、前記電源がオフ状態になった時点の電位からグラウンド電位にまで一定の傾斜で徐々に変化することを特徴とする。

【0024】

本発明の第1.2の局面は、本発明の第1.1の局面において、

前記電源回路は、第1のコンデンサと第1の抵抗器とに接続され、前記電源より生成した所定電位に基づいて前記第1の走査信号線選択電位を生成するための第1の走査信号線選択電位生成ラインと、第2のコンデンサと第2の抵抗器とに接続され、前記所定電位に基づいて前記第2の走査信号線選択電位を生成するための第2の走査信号線選択電位生成ラインとを有し、

前記第1のコンデンサと前記第1の抵抗器とは、前記第1の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第2のコンデンサと前記第2の抵抗器とは、前記第2の走査信号線選択電位生成ラインと接地ラインとの間に並列に接続され、

前記第1の走査信号線選択電位生成ラインおよび前記第2の走査信号線選択電位生成ラインは、前記駆動制御部に接続され、

前記第1のコンデンサと前記第1の抵抗器とによって定まる放電時定数よりも前記第2のコンデンサと前記第2の抵抗器とによって定まる放電時定数の方が大きいことを特徴とする。

【0025】

本発明の第1.3の局面は、本発明の第1.0の局面において、

前記第1の放電ステップでは、前記クリア信号の電位が前記走査信号線非選択電位に設定されることを特徴とする。

【0026】

本発明の第1.4の局面は、本発明の第1.0の局面において、

前記電荷放電ステップは、前記第1の放電ステップの前に行われるステップとして、前記クリア信号の電位を前記第2の走査信号線選択電位に設定するとともに前記基準電位を前記走査信号線非選択電位に設定する初期化ステップを更に含むことを特徴とする。

【0027】

本発明の第1.5の局面は、本発明の第1.4の局面において、

前記初期化ステップでは、前記クロック信号の電位が前記走査信号線非選択電位に設定されることを特徴とする。

【0028】

本発明の第1.6の局面は、本発明の第1.0の局面において、

各双安定回路は、第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極 - 第3電極間の導通 / 非導通が制御されるスイッチング素子であって

10

20

30

40

50

、第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子を更に有することを特徴とする。

【 0 0 2 9 】

本発明の第 1 7 の局面は、本発明の第 1 0 から第 1 6 までのいずれかの局面において、各双安定回路に含まれるスイッチング素子は、酸化物半導体からなる薄膜トランジスタであることを特徴とする。

【 0 0 3 0 】

本発明の第 1 8 の局面は、本発明の第 1 7 の局面において、前記酸化物半導体は、酸化インジウムガリウム亜鉛 (I G Z O) であることを特徴とする。

10

【発明の効果】

【 0 0 3 1 】

本発明の第 1 の局面によれば、液晶表示装置において電源の供給が遮断されると、表示パネル内の電荷を放電するための 2 つの処理 (第 1 の放電処理および第 2 の放電処理) が順次に行われる。第 1 の放電処理では、クロック信号の電位と基準電位が第 1 の走査信号線選択電位に設定される。これにより、ハイレベルとなったクロック信号の電位が出力制御用スイッチング素子を介して出力ノードに与えられるので、各走査信号線が選択状態となる。このとき、映像信号電位をグラウンド電位に設定しておくことによって、各画素形成部内の電荷が放電される。また、第 2 の放電処理が開始されるまでに第 1 の走査信号線選択電位はグラウンド電位にまで低下する。このため、第 1 の放電処理の際に、クロック信号の電位および基準電位は徐々に低下し、走査信号線上の電荷も放電される。第 2 の放電処理では、クリア信号の電位が第 2 の走査信号線選択電位に設定される。第 2 の放電処理が開始される時点には、第 2 の走査信号線選択電位は各双安定回路に含まれるスイッチング素子をオン状態にする電位レベルで維持されているので、第 2 の放電処理によって各双安定回路内の浮遊ノード (第 1 ノードおよび第 2 ノード) 上の電荷が放電される。以上のようにして、電源がオフされたときに表示パネル内の残留電荷が速やかに除去され、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。また、通常動作中に第 1 ノードの電位を随時基準電位へと引き込むことが可能となり、動作不良の発生が抑制される。

20

30

【 0 0 3 3 】

本発明の第 2 の局面によれば、第 1 の放電処理の際に出力ノードの電位が徐々に低下する。このため、各画素の電位の電位に関し、キックバック電圧による電位変動を問題ないレベルに少なくすることができる。

【 0 0 3 4 】

本発明の第 3 の局面によれば、電源の供給が遮断された際の電位レベルの変化状態が互いに異なる 2 種類の走査信号線選択電位を比較的簡易な構成で生成することが可能となる。また、第 1 の放電処理の際の走査信号線上の電荷の放電と第 2 の放電処理の際の双安定回路内の浮遊ノード (第 1 ノードおよび第 2 ノード) 上の電荷の放電とが、より確実に行われる。

40

【 0 0 3 5 】

本発明の第 4 の局面によれば、第 1 の放電処理の際に、より確実に走査信号線上の電荷の放電が行われる。

【 0 0 3 6 】

本発明の第 5 の局面によれば、第 1 の放電処理が行われる前にシフトレジスタ内の各双安定回路が初期化される。このため、電源がオフされたときに、より確実に表示パネル内の残留電荷が除去され、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が効果的に抑制される。

【 0 0 3 7 】

本発明の第 6 の局面によれば、初期化処理の際に、より確実にシフトレジスタ内の各双

50

安定回路が初期化される。

【 0 0 3 8 】

本発明の第7の局面によれば、第1の放電処理の際に、基準電位がハイレベルとなった状態で出力ノード制御用スイッチング素子がオン状態となる。このため、第1の放電処理の際に、確実に各走査信号線を選択状態にして各画素形成部内の電荷を放電させることができる。

【 0 0 3 9 】

本発明の第8の局面によれば、薄膜トランジスタの半導体層に酸化物半導体を用いた表示パネルを備えた液晶表示装置において、本発明の第1の局面と同様の効果が得られる。従来、そのような液晶表示装置では回路内の残留電荷の存在に起因する動作不良が生じやすかったので、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生を抑制する効果がより大きく得られる。

10

【 0 0 4 0 】

本発明の第9の局面によれば、IGZO-GDMを備えた液晶表示装置において、本発明の第1の局面と同様の効果が得られる。従来、IGZO-GDMを備えた液晶表示装置では回路内の残留電荷の存在に起因する動作不良が生じやすかったので、表示パネル内の残留電荷の存在に起因する表示不良・動作不良の発生を抑制する効果がより大きく得られる。

【 0 0 4 1 】

本発明の第10の局面によれば、本発明の第1の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

20

【 0 0 4 3 】

本発明の第11の局面によれば、本発明の第2の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【 0 0 4 4 】

本発明の第12の局面によれば、本発明の第3の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【 0 0 4 5 】

本発明の第13の局面によれば、本発明の第4の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

30

【 0 0 4 6 】

本発明の第14の局面によれば、本発明の第5の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【 0 0 4 7 】

本発明の第15の局面によれば、本発明の第6の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【 0 0 4 8 】

本発明の第16の局面によれば、本発明の第7の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【 0 0 4 9 】

本発明の第17の局面によれば、本発明の第8の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

40

【 0 0 5 0 】

本発明の第18の局面によれば、本発明の第9の局面と同様の効果を液晶表示装置の駆動方法において奏することができる。

【 図面の簡単な説明 】

【 0 0 5 1 】

【 図 1 】 本発明の一実施形態に係るアクティブマトリクス型の液晶表示装置における電源遮断時の動作について説明するための信号波形図である。

50

【図 2】上記実施形態において、液晶表示装置の全体構成を示すブロック図である。

【図 3】上記実施形態において、画素形成部の構成を示す回路図である。

【図 4】上記実施形態において、レベルシフト回路の構成を示すブロック図である。

【図 5】上記実施形態において、電源回路の構成のうち第 1 のゲートオン電位および第 2 のゲートオン電位の生成に関する回路構成の一例を示す回路図である。

【図 6】上記実施形態において、電源遮断時の第 1 のゲートオン電位および第 2 のゲートオン電位の変化を示す波形図である。

【図 7】上記実施形態において、ゲートドライバの構成を説明するためのブロック図である。

【図 8】上記実施形態において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。

10

【図 9】上記実施形態において、ゲートドライバの動作について説明するための信号波形図である。

【図 10】上記実施形態において、シフトレジスタに含まれている双安定回路の構成を示す回路図である。

【図 11】上記実施形態において、双安定回路の動作を説明するための信号波形図である。

【図 12】上記実施形態において、通常動作時および電源遮断時において各信号が取る電位について説明するための図である。

【図 13】上記実施形態の変形例における電源遮断時の動作について説明するための信号波形図である。

20

【図 14】上記実施形態の別の変形例における電源遮断時の動作について説明するための信号波形図である。

【発明を実施するための形態】

【0052】

以下、添付図面を参照しつつ、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は第 1 電極に相当し、ドレイン端子（ドレイン電極）は第 2 電極に相当し、ソース端子（ソース電極）は第 3 電極に相当する。また、双安定回路内に設けられている薄膜トランジスタはすべて n チャネル型であるものとして説明する。

30

【0053】

< 1. 全体構成および動作 >

図 2 は、本発明の一実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図 2 に示すように、この液晶表示装置は、液晶パネル（表示パネル）20、PCB（プリント回路基板）10、および液晶パネル 20 と PCB 10 とに接続された TAB（Tape Automated Bonding）30 によって構成されている。なお、液晶パネル 20 は、IGZO-TFT 液晶パネルである。また、TAB 30 は主に中型用から大型用の液晶パネルで採用される実装形態であり、小型用から中型用の液晶パネルではソースドライバの実装形態として COG 実装が採用される場合もある。さらにまた、昨今では、ソースドライバ 32、タイミングコントローラ 11、電源回路 15、電源 OFF 検出部 17、およびレベルシフト回路 13 が 1 チップ化されたシステムドライバ構成も徐々に採用されてきている。

40

【0054】

この液晶表示装置は、外部から電源の供給を受けて動作する。この液晶表示装置に電源が正常に供給されている時には、例えば +5V の電位がこの液晶表示装置に与えられる。以下においては、この液晶表示装置に電源から与えられる電位のことを「入力電源電位」という。なお、電源の供給が遮断されると、入力電源電位はグラウンド電位（0V）にまで徐々に低下する。

【0055】

液晶パネル 20 は対向する 2 枚の基板（典型的にはガラス基板であるが、ガラス基板に

50

は限定されない) からなり、基板上の所定の領域に、画像を表示するための表示部 2 2 が形成されている。表示部 2 2 には、複数本 (j 本) のソースバスライン (映像信号線) S L 1 ~ S L j と、複数本 (i 本) のゲートバスライン (走査信号線) G L 1 ~ G L i と、それらソースバスライン S L 1 ~ S L j とゲートバスライン G L 1 ~ G L i との交差点にそれぞれ対応して設けられた複数個 (i × j 個) の画素形成部とが含まれている。図 3 は、画素形成部の構成を示す回路図である。図 3 に示すように、各画素形成部には、対応する交差点を通過するゲートバスライン G L にゲート端子が接続されるとともに当該交差点を通過するソースバスライン S L にソース端子が接続された薄膜トランジスタ (T F T) 2 2 0 と、その薄膜トランジスタ 2 2 0 のドレイン端子に接続された画素電極 2 2 1 と、上記複数個の画素形成部に共通的に設けられた共通電極 2 2 2 および補助容量電極 2 2 3 と、画素電極 2 2 1 と共通電極 2 2 2 とによって形成される液晶容量 2 2 4 と、画素電極 2 2 1 と補助容量電極 2 2 3 とによって形成される補助容量 2 2 5 とが含まれている。また、液晶容量 2 2 4 と補助容量 2 2 5 とによって画素容量 C P が形成されている。そして、各薄膜トランジスタ 2 2 0 のゲート端子がゲートバスライン G L からアクティブな走査信号を受けたときに当該薄膜トランジスタ 2 2 0 のソース端子がソースバスライン S L から受ける映像信号に基づいて、画素容量 C P に画素値を示す電圧が保持される。なお、画素形成部内の薄膜トランジスタについては、 I G Z O - T F T (半導体層に酸化物半導体の一種である I G Z O (酸化インジウムガリウム亜鉛) を用いた薄膜トランジスタ) が採用されていても良いし、それ以外の T F T (a - S i T F T など) が採用されていても良い。

【 0 0 5 6 】

液晶パネル 2 0 には、また、図 2 に示すように、ゲートバスライン G L 1 ~ G L i を駆動するためのゲートドライバ 2 4 が形成されている。このゲートドライバ 2 4 は、上述した I G Z O - G D M であり、液晶パネル 2 0 を構成する基板上にモノリシックに形成されている。T A B 3 0 には、ソースバスライン S L 1 ~ S L j を駆動するためのソースドライバ 3 2 が I C チップの状態を搭載されている。P C B 1 0 には、タイミングコントローラ 1 1 , レベルシフト回路 1 3 , 電源回路 1 5 , および電源 O F F 検出部 1 7 が設けられている。なお、図 2 ではゲートドライバ 2 4 は表示部 2 2 の片側のみに配置されているが、表示部 2 2 の左右両側にゲートドライバ 2 4 が配置されることもある。

【 0 0 5 7 】

以上のように、本実施形態においては、複数本 (j 本) のソースバスライン S L 1 ~ S L j , 複数本 (i 本) のゲートバスライン (走査信号線) G L 1 ~ G L i , 複数個 (i × j 個) の画素形成部、およびゲートドライバ 2 4 が、液晶パネル 2 0 を構成する 1 枚の基板上に形成されている。

【 0 0 5 8 】

この液晶表示装置には、水平同期信号 H s y n c , 垂直同期信号 V s y n c , データイネーブル信号 D E などのタイミング信号と画像信号 D A T と入力電源電位 V C C とが外部から与えられる。入力電源電位 V C C は、タイミングコントローラ 1 1 と電源回路 1 5 と電源 O F F 検出部 1 7 とに与えられる。通常動作中の入力電源電位 V C C は例えば + 5 V とされるが、この入力電源電位 V C C は + 5 V に限定されるものではない。また、入力信号についても上記構成には限定されず、タイミング信号や映像データは L V D S や m i p i , D P 信号 , e D P などの差動インターフェースを利用して転送されることもある。

【 0 0 5 9 】

電源回路 1 5 は、入力電源電位 V C C に基づいて、通常動作時にはゲートバスラインを選択状態にする電位レベルで維持されるゲートオン電位 (走査信号線選択電位) V G H と、通常動作時にはゲートバスラインを非選択状態にする電位レベルで維持されるゲートオフ電位 (走査信号線非選択電位) V G L とを生成する。なお、この電源回路 1 5 で生成されるゲートオン電位およびゲートオフ電位については、通常動作時には電位レベルは一定で維持されるが、外部からの電源の供給が遮断された時には電位レベルは変化する。本実施形態においては、電源回路 1 5 は、ゲートオン電位 V G H として 2 種類の電位 (第 1 の

ゲートオン電位 V_{GH1} および第2のゲートオン電位 V_{GH2}) を生成する。これら2種類のゲートオン電位を生成するための構成についての詳しい説明は後述する。なお、通常動作時におけるゲートオン電位 V_{GH} は例えば +20V に設定され、通常動作時におけるゲートオフ電位 V_{GL} は例えば -10V に設定される。電源回路15で生成された第1のゲートオン電位 V_{GH1} , 第2のゲートオン電位 V_{GH2} , およびゲートオフ電位 V_{GL} は、レベルシフト回路13に与えられる。電源OFF検出部17は、電源の供給状態(電源のオン/オフ状態)を示す電源状態信号 $SHUT$ を出力する。電源状態信号 $SHUT$ は、レベルシフト回路13に与えられる。なお、本実施形態においては、ハイレベルにされた電源状態信号 $SHUT$ によって電源オフ信号が実現される。

【0060】

タイミングコントローラ11は、水平同期信号 $Hsync$, 垂直同期信号 $Vsync$, データイネーブル信号 DE などのタイミング信号と画像信号 DAT と入力電源電位 VCC とを受け取り、デジタル映像信号 DV , ソーススタートパルス信号 SSP , ソースクロック信号 SCK , ゲートスタートパルス信号 L_GSP , およびゲートクロック信号 L_GCK を生成する。デジタル映像信号 DV , ソーススタートパルス信号 SSP , およびソースクロック信号 SCK についてはソースドライバ32に与えられ、ゲートスタートパルス信号 L_GSP およびゲートクロック信号 L_GCK についてはレベルシフト回路13に与えられる。なお、ゲートスタートパルス信号 L_GSP およびゲートクロック信号 L_GCK に関し、ハイレベル側の電位は入力電源電位 VCC に設定され、ローレベル側の電位はグラウンド電位 GND (0V) に設定される。

【0061】

レベルシフト回路13は、グラウンド電位 GND と、電源回路15から与えられる第1のゲートオン電位 V_{GH1} , 第2のゲートオン電位 V_{GH2} , およびゲートオフ電位 V_{GL} とを用いて、タイミングコントローラ11から出力されたゲートスタートパルス信号 L_GSP を $IGZO-GDM$ 駆動に最適化されたタイミング信号に変換した信号のレベル変換後の信号 H_GSP の生成と、タイミングコントローラ11から出力されたゲートクロック信号 L_GCK に基づく第1のゲートクロック信号 H_GCK1 および第2のゲートクロック信号 H_GCK2 の生成と、内部信号に基づく基準電位 H_VSS およびクリア信号 H_CLR の生成とを行う。なお、以下においては、第1のゲートクロック信号 H_GCK1 と第2のゲートクロック信号 H_GCK2 とをまとめて「ゲートクロック信号 H_GCK 」ともいう。

【0062】

レベルシフト回路13で生成されたゲートスタートパルス信号 H_GSP , 第1のゲートクロック信号 H_GCK1 , 第2のゲートクロック信号 H_GCK2 , クリア信号 H_CLR , および基準電位 H_VSS は、ゲートドライバ24に与えられる。以下、レベルシフト回路13で生成されゲートドライバ24に与えられるこれらの信号のことを便宜上「 GDM 信号」という。なお、通常動作時には、ゲートスタートパルス信号 H_GSP , 第1のゲートクロック信号 H_GCK1 , および第2のゲートクロック信号 H_GCK2 の電位は第1のゲートオン電位 V_{GH1} またはゲートオフ電位 V_{GL} に設定され、クリア信号 H_CLR の電位は第2のゲートオン電位 V_{GH2} またはゲートオフ電位 V_{GL} に設定され、基準電位 H_VSS はゲートオフ電位 V_{GL} に設定される。ところで、本実施形態においては、図4に示すように、レベルシフト回路13にはタイミング生成ロジック部131とオシレータ132とが含まれていて、電源OFF検出部17から出力される電源状態信号 $SHUT$ がレベルシフト回路13に与えられるように構成されている。このような構成により、レベルシフト回路13は所定のタイミング(後述する図1における時点 $t1 \sim t3$)に従って上記 GDM 信号の電位を変化させることが可能となっている。所定のタイミングについては、例えば、レベルシフト回路13を構成するIC内部の不揮発性メモリ及び不揮発性メモリからデータをロードしたレジスタ値に基づいて生成される。なお、このレベルシフト回路13についての更に詳しい説明は後述する。

【0063】

ソースドライバ 32 は、タイミングコントローラ 11 から出力されるデジタル映像信号 DV, ソーススタートパルス信号 SSP, およびソースクロック信号 SCK を受け取り、各ソースバスライン SL1 ~ SLj に駆動用の映像信号を印加する。

【0064】

ゲートドライバ 24 は、レベルシフト回路 13 から出力されるゲートスタートパルス信号 H_GSP, 第 1 のゲートクロック信号 H_GCK1, 第 2 のゲートクロック信号 H_GCK2, クリア信号 H_CLR, および基準電位 H_VSS に基づいて、アクティブな走査信号の各ゲートバスライン GL1 ~ GLi への印加を 1 垂直走査期間を周期として繰り返す。なお、このゲートドライバ 24 についての詳しい説明は後述する。

【0065】

以上のようにして、各ソースバスライン SL1 ~ SLj に駆動用の映像信号が印加され、各ゲートバスライン GL1 ~ GLi に走査信号が印加されることにより、外部から送られた画像信号 DAT に基づく画像が表示部 22 に表示される。

【0066】

なお、本実施形態においては、電源 OFF 検出部 17 によって電源状態検出部が実現され、タイミングコントローラ 11 とレベルシフト回路 13 とによって駆動制御部が実現されている。

【0067】

< 2. 2 種類のゲートオン電位の生成 >

次に、図 5 を参照しつつ、上述した 2 種類のゲートオン電位 (第 1 のゲートオン電位 VGH1 および第 2 のゲートオン電位 VGH2) を生成するための構成について説明する。なお、本説明における電圧の値は一例であって、それらの値に限定されるものではない。図 5 は、電源回路 15 の構成のうち第 1 のゲートオン電位 VGH1 および第 2 のゲートオン電位 VGH2 の生成に関する回路構成の一例を示す回路図である。図 5 に示すように、この電源回路 15 には、2 種類のゲートオン電位を生成するための構成要素として、PMIC (電源管理集積回路) 150 と、1 個のコイル L1 と、6 個のダイオード D1 ~ D6 と、6 個のコンデンサ C1 ~ C6 と、2 個の抵抗器 R1, R2 とが含まれている。なお、ダイオード D1 ~ D6 における順方向電圧降下を「Vf」とする。

【0068】

この電源回路 15 では、まず、PMIC 150 を用いて生成された 5 V の振幅の信号が節点 P1 に現れる。節点 P2 には、ダイオード D1 とコンデンサ C1 とを用いた平滑化により、 $(5 - Vf)$ V の電圧が現れる。節点 P3 には、コンデンサ C2 によるカップリングおよびダイオード D2 での順方向電圧降下によって、 $(5 - 2Vf)$ V ~ $(10 - 2Vf)$ V の信号が現れる。同様にして、節点 P4 には $(10 - 3Vf)$ V の電圧が現れ、節点 P5 には $(10 - 4Vf)$ V ~ $(15 - 4Vf)$ V の信号が現れる。

【0069】

節点 P5 よりも出力側では、図 5 に示すように、電源ラインが第 1 のゲートオン電位用のラインと第 2 のゲートオン電位用のラインとに分岐している。第 1 のゲートオン電位用のラインでは、ダイオード D5 とコンデンサ C5 とを用いた平滑化により、 $(15 - 5Vf)$ V の電圧が生成される。第 2 のゲートオン電位用のラインでは、ダイオード D6 とコンデンサ C6 とを用いた平滑化により、 $(15 - 5Vf)$ V の電圧が生成される。このようにして、通常動作時には、第 1 のゲートオン電位 VGH1 と第 2 のゲートオン電位 VGH2 とは等しい電位レベルとなる。

【0070】

ところで、電源の供給が遮断されると、第 1 のゲートオン電位 VGH1 および第 2 のゲートオン電位 VGH2 の電位レベルはそれぞれのラインに接続されたコンデンサおよび抵抗器の定数 (容量値および抵抗値) に応じて低下する。本実施形態においては、第 1 のゲートオン電位用のラインと第 2 のゲートオン電位用のラインとには、異なる定数のコンデンサおよび抵抗器が接続されている。更に詳しくは、コンデンサ C5 および抵抗器 R1 によって定まる第 1 のゲートオン電位用のラインにおける放電時定数よりもコンデンサ C6

10

20

30

40

50

および抵抗器 R 2 によって定まる第 2 のゲートオン電位用のラインにおける放電時定数の方が大きくされている。従って、電源の供給が遮断されたとき、図 6 に示すように、電位レベルについては第 1 のゲートオン電位 V_{GH1} よりも第 2 のゲートオン電位 V_{GH2} の方が緩やかに低下する。

【 0 0 7 1 】

< 3 . ゲートドライバの構成および動作 >

次に、本実施形態におけるゲートドライバ 2 4 の構成および動作について説明する。図 7 に示すように、ゲートドライバ 2 4 は複数段からなるシフトレジスタ 2 4 0 によって構成されている。表示部 2 2 には i 行 $\times$ j 列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と 1 対 1 で対応するようにシフトレジスタ 2 4 0 の各段が設けられている。また、シフトレジスタ 2 4 0 の各段は、各時点において 2 つの状態のうちのいずれか一方の状態となっていて当該状態を示す信号（以下「状態信号」という。）を出力する双安定回路となっている。なお、シフトレジスタ 2 4 0 の各段から出力される状態信号は、対応するゲートバスラインに走査信号として与えられる。

【 0 0 7 2 】

図 8 は、ゲートドライバ 2 4 内のシフトレジスタ 2 4 0 の構成を示すブロック図である。各双安定回路には、第 1 クロック CKA , 第 2 クロック CKB , クリア信号 CLR , 基準電位 V_{SS} , セット信号 S , およびリセット信号 R を受け取るための入力端子と、状態信号 Q を出力するための出力端子とが設けられている。本実施形態においては、レベルシフト回路 1 3 から出力された基準電位 H_V_{SS} が基準電位 V_{SS} として与えられ、レベルシフト回路 1 3 から出力されたクリア信号 H_CLR がクリア信号 CLR として与えられる。また、レベルシフト回路 1 3 から出力された第 1 のゲートクロック信号 H_GCK1 および第 2 のゲートクロック信号 H_GCK2 の一方が第 1 クロック CKA として与えられ、それらの他方が第 2 クロック CKB として与えられる。さらに、前段から出力された状態信号 Q がセット信号 S として与えられ、次段から出力された状態信号 Q がリセット信号 R として与えられる。すなわち、 n 段目に着目すると、 $(n - 1)$ 行目のゲートバスラインに与えられる走査信号 $GOUT_{n-1}$ がセット信号 S として与えられ、 $(n + 1)$ 行目のゲートバスラインに与えられる走査信号 $GOUT_{n+1}$ がリセット信号 R として与えられる。なお、レベルシフト回路 1 3 から出力されたゲートスタートパルス信号 H_GSP は、シフトレジスタ 2 4 0 の 1 段目の双安定回路 $SR1$ にセット信号 S として与えられる。また、レベルシフト回路 1 3 から出力されたクリア信号 H_CLR は、シフトレジスタ 2 4 0 の最終段目 (i 段目) の双安定回路 SRi にリセット信号 R としても与えられる。

【 0 0 7 3 】

以上のような構成において、シフトレジスタ 2 4 0 の 1 段目にセット信号 S としてのゲートスタートパルス信号 H_GSP のパルスが与えられると、オンデューティが 50 パーセント前後の値にされた第 1 のゲートクロック信号 H_GCK1 および第 2 のゲートクロック信号 H_GCK2 (図 9 参照) に基づいて、ゲートスタートパルス信号 H_GSP に含まれるパルス（このパルスは各段から出力される状態信号 Q に含まれる）が 1 段目から i 段目へと順次に転送される。そして、このパルスの転送に応じて、各段から出力される状態信号 Q が順次にハイレベルとなる。そして、それら各段から出力される状態信号 Q は、走査信号 $GOUT1 \sim GOUTi$ として各ゲートバスライン $GL1 \sim GLi$ に与えられる。これにより、図 9 に示すように所定期間ずつ順次にハイレベルとなる走査信号 $GOUT1 \sim GOUTi$ が、表示部 2 2 内のゲートバスライン $GL1 \sim GLi$ に与えられる。

【 0 0 7 4 】

なお、本実施形態においては、画素マトリクスの各行と 1 対 1 で対応するようにシフトレジスタ 2 4 0 の各段が設けられているが、本発明はこれに限定されない。例えば「ダブルゲート駆動」と呼ばれる駆動方式が採用される場合など、複数本のゲートバスラインを同時に駆動する場合には、1 つのパルスが複数本のゲートバスラインで共用されることがある。このような場合には、画素マトリクスの複数行と対応するようにシフトレジスタ 2

10

20

30

40

50

40の各段が設けられる。すなわち、シフトレジスタ240の段数とゲートバスラインの本数との比は、1対1であっても1対多であっても良い。

【0075】

<4. 双安定回路の構成および動作>

図10は、シフトレジスタ240に含まれている双安定回路の構成(シフトレジスタ240のn段目の構成)を示す回路図である。図10に示すように、この双安定回路SRnは、10個の薄膜トランジスタT1~T10と、1個のキャパシタCAP1とを備えている。なお、図10では、第1クロックCKAを受け取るための入力端子には符号41を付し、第2クロックCKBを受け取るための入力端子には符号42を付し、セット信号Sを受け取るための入力端子には符号43を付し、リセット信号Rを受け取るための入力端子には符号44を付し、クリア信号CLRを受け取るための入力端子には符号45を付し、状態信号Qを出力するための出力端子には符号49を付している。

10

【0076】

薄膜トランジスタT1のソース端子と薄膜トランジスタT2のドレイン端子と薄膜トランジスタT5のドレイン端子と薄膜トランジスタT8のドレイン端子と薄膜トランジスタT10のゲート端子とキャパシタCAP1の一端とは互いに接続されている。なお、これらが互いに接続されている領域(配線)のことを便宜上「netA」という。薄膜トランジスタT3のソース端子と薄膜トランジスタT4のドレイン端子と薄膜トランジスタT5のゲート端子と薄膜トランジスタT6のドレイン端子とは互いに接続されている。なお、これらが互いに接続されている領域(配線)のことを便宜上「netB」という。

20

【0077】

薄膜トランジスタT1については、ゲート端子およびドレイン端子は入力端子43に接続され(すなわち、ダイオード接続となっている)、ソース端子はnetAに接続されている。薄膜トランジスタT2については、ゲート端子は入力端子45に接続され、ドレイン端子はnetAに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタT3については、ゲート端子およびドレイン端子は入力端子42に接続され(すなわち、ダイオード接続となっている)、ソース端子はnetBに接続されている。薄膜トランジスタT4については、ゲート端子はnetAに接続され、ドレイン端子はnetBに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタT5については、ゲート端子はnetBに接続され、ドレイン端子はnetAに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタT6については、ゲート端子は入力端子45に接続され、ドレイン端子はnetBに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタT7については、ゲート端子は入力端子42に接続され、ドレイン端子は出力端子49に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタT8については、ゲート端子は入力端子44に接続され、ドレイン端子はnetAに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタT9については、ゲート端子は入力端子44に接続され、ドレイン端子は出力端子49に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタT10については、ゲート端子はnetAに接続され、ドレイン端子は入力端子41に接続され、ソース端子は出力端子49に接続されている。キャパシタCAP1については、一端はnetAに接続され、他端は出力端子49に接続されている。

30

40

【0078】

なお、本実施形態においては、netAによって第1ノードが実現され、netBによって第2ノードが実現され、出力端子49によって出力ノードが実現されている。また、薄膜トランジスタT7によって出力ノード制御用スイッチング素子が実現され、薄膜トランジスタT10によって出力制御用スイッチング素子が実現され、薄膜トランジスタT2によって第1の第1ノード制御用スイッチング素子が実現され、薄膜トランジスタT5によって第2の第1ノード制御用スイッチング素子が実現され、薄膜トランジスタT6によって第2ノード制御用スイッチング素子が実現されている。

【0079】

50

次に、電源が外部から正常に供給されているときの双安定回路 S R n の動作について、図 10 および図 11 を参照しつつ説明する。この液晶表示装置が動作している期間中、双安定回路 S R n には、オンデューティが 50 パーセント前後の値にされた第 1 クロック C K A および第 2 クロック C K B が与えられる。なお、第 1 クロック C K A および第 2 クロック C K B に関し、ハイレベル側の電位は第 1 のゲートオン電位 V G H 1 に設定されており、ローレベル側の電位はゲートオフ電位 V G L に設定されている。なお、クリア信号 C L R については、図 11 で示す期間中ローレベルで維持されるので、図 11 では省略している。

【 0 0 8 0 】

時点 t 1 0 になり第 2 クロック C K B がローレベルからハイレベルに変化すると、薄膜トランジスタ T 3 は、図 10 に示すようにダイオード接続となっているので、オン状態となる。この時、n e t A の電位およびクリア信号 C L R はローレベルとなっているので、薄膜トランジスタ T 4 , T 6 はオフ状態となっている。これにより、時点 t 1 0 には n e t B の電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタ T 5 がオン状態となり、n e t A の電位は基準電位 V S S へと引き込まれる。また、時点 t 1 0 には、薄膜トランジスタ T 7 もオン状態となる。これにより、状態信号 Q の電位（出力端子 4 9 の電位）が基準電位 V S S へと引き込まれる。

【 0 0 8 1 】

時点 t 1 1 になると、第 1 クロック C K A がローレベルからハイレベルに変化する。このとき、n e t A の電位はローレベルになっていて薄膜トランジスタ T 1 0 はオフ状態となっているので、状態信号 Q の電位はローレベルのまま維持される。また、時点 t 1 1 には、第 2 クロック C K B がハイレベルからローレベルに変化することに伴い、n e t B の電位がハイレベルからローレベルへと変化する。

【 0 0 8 2 】

時点 t 1 2 になると、セット信号 S がローレベルからハイレベルに変化する。薄膜トランジスタ T 1 は図 10 に示すようにダイオード接続となっているので、セット信号 S がハイレベルになることによって薄膜トランジスタ T 1 はオン状態となる。これにより、キャパシタ C A P 1 は充電され、n e t A の電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタ T 1 0 はオン状態となる。ここで、時点 t 1 2 ~ 時点 t 1 3 の期間中、第 1 クロック C K A はローレベルとなっている。このため、この期間中、状態信号 Q はローレベルで維持される。また、この期間中、リセット信号 R はローレベルとなっているので薄膜トランジスタ T 8 はオフ状態で維持され、かつ、n e t B の電位はローレベルとなっているので薄膜トランジスタ T 5 はオフ状態で維持される。このため、この期間中に n e t A の電位が低下することはない。

【 0 0 8 3 】

時点 t 1 3 になると、第 1 クロック C K A がローレベルからハイレベルに変化する。このとき、薄膜トランジスタ T 1 0 はオン状態となっているので、入力端子 4 1 の電位の上昇とともに出力端子 4 9 の電位（状態信号 Q の電位）は上昇する。ここで、図 10 に示すように n e t A - 出力端子 4 9 間にはキャパシタ C A P 1 が設けられているので、出力端子 4 9 の電位の上昇とともに n e t A の電位も上昇する（n e t A がブートストラップされる）。n e t A の電位は、理想的には第 1 クロック C K A のハイレベル側の電位である第 1 のゲートオン電位 V G H 1 の 2 倍の電位にまで上昇する。その結果、薄膜トランジスタ T 1 0 のゲート端子には大きな電圧が印加され、状態信号 Q の電位は、第 1 クロック C K A のハイレベル側の電位すなわち第 1 のゲートオン電位 V G H 1 の電位レベルにまで上昇する。これにより、この双安定回路 S R n の出力端子 4 9 に接続されているゲートバスラインが選択状態となる。なお、時点 t 1 3 ~ 時点 t 1 4 の期間中、第 2 クロック C K B はローレベルとなっているので薄膜トランジスタ T 7 はオフ状態で維持され、かつ、リセット信号 R はローレベルとなっているので薄膜トランジスタ T 9 はオフ状態で維持される。従って、この期間中に状態信号 Q の電位が低下することはない。また、時点 t 1 3 ~ 時点 t 1 4 の期間中、リセット信号 R はローレベルとなっているので薄膜トランジスタ T 8

はオフ状態で維持され、かつ、 $n e t B$ の電位はローレベルとなっているので薄膜トランジスタ $T 5$ はオフ状態で維持される。このため、この期間中に $n e t A$ の電位が低下することはない。

【 0 0 8 4 】

時点 $t 1 4$ になると、第1クロック $C K A$ がハイレベルからローレベルに変化する。これにより、入力端子 $4 1$ の電位の低下とともに出力端子 $4 9$ の電位すなわち状態信号 Q の電位は低下する。このため、キャパシタ $C A P 1$ を介して $n e t A$ の電位も低下する。また、時点 $t 1 4$ には、第2クロック $C K B$ がローレベルからハイレベルに変化することによって薄膜トランジスタ $T 3$ 、 $T 7$ がオン状態となり、リセット信号 R がローレベルからハイレベルに変化することによって薄膜トランジスタ $T 8$ 、 $T 9$ がオン状態となる。さらに、薄膜トランジスタ $T 3$ がオン状態となることにより、 $n e t B$ の電位がローレベルからハイレベルに変化して薄膜トランジスタ $T 5$ がオン状態となる。以上のようにして、時点 $t 1 4$ には、薄膜トランジスタ $T 5$ 、 $T 8$ がオン状態となることによって $n e t A$ の電位がローレベルとなり、薄膜トランジスタ $T 7$ 、 $T 9$ がオン状態となることによって状態信号 Q の電位がローレベルとなる。

【 0 0 8 5 】

以上のような動作がシフトレジスタ $2 4 0$ 内の各双安定回路で行われることにより、図9に示したように所定期間ずつ順次にハイレベルとなる走査信号 $G O U T 1 \sim G O U T i$ が表示部 $2 2$ 内のゲートバスライン $G L 1 \sim G L i$ に与えられる。

【 0 0 8 6 】

< 5 . 電源遮断時の動作 >

次に、図1、図2、図10、および図12を参照しつつ、外部からの電源の供給が遮断されたときの液晶表示装置の動作について説明する。なお、この一連の処理のことを以下「電源オフシーケンス」という。図1には、入力電源電位 $V C C$ 、電源状態信号 $S H U T$ 、ゲートオン電位（第1のゲートオン電位 $V G H 1$ 、第2のゲートオン電位 $V G H 2$ ）、ゲートオフ電位 $V G L$ 、ゲートスタートパルス信号 $H _ G S P$ 、ゲートクロック信号 $H _ G C K$ 、クリア信号 $H _ C L R$ 、基準電位 $H _ V S S$ 、および映像信号電位（ソースバスライン $S L$ の電位） $V S$ の波形が示されている。図12には、通常動作時および電源遮断時において各信号の取る電位が示されている。なお、第1のゲートクロック信号 $H _ G C K 1$ と第2のゲートクロック信号 $H _ G C K 2$ とは、通常動作中の位相が異なるだけであ

【 0 0 8 7 】

上述したように、ゲートスタートパルス信号 $H _ G S P$ はシフトレジスタ $2 4 0$ の1段目の双安定回路にセット信号 S として与えられ、ゲートクロック信号 $H _ G C K$ （第1のゲートクロック信号 $H _ G C K 1$ 、第2のゲートクロック信号 $H _ G C K 2$ ）は各双安定回路に第1クロック $C K A$ 、第2クロック $C K B$ として与えられ、クリア信号 $H _ C L R$ は各双安定回路にクリア信号 $C L R$ として与えられるとともにシフトレジスタ $2 4 0$ の最終段目の双安定回路にリセット信号 R として与えられ、規準電位 $H _ V S S$ は各双安定回路に基準電位 $V S S$ として与えられる。

【 0 0 8 8 】

図1に示すように、電源オフシーケンスは初期化ステップ、第1の放電ステップ、および第2の放電ステップからなる。初期化ステップはシフトレジスタ $2 4 0$ を構成する全ての双安定回路の状態をリセット（クリア）するためのステップであり、第1の放電ステップは画素形成部内で電荷を放電させるためのステップであり、第2の放電ステップはゲートドライバ $2 4$ 内で電荷を放電させるためのステップである。なお、本説明においては、時点 $t 0$ 以前には電源が正常に供給されていて時点 $t 0$ に電源の供給が遮断されたものと仮定する。

【 0 0 8 9 】

電源が正常に供給されている期間（時点 $t 0$ 以前の期間）には、電源状態信号 $S H U T$

はローレベルで維持される。この期間中、ゲートスタートパルス信号 H_GSP の電位およびゲートクロック信号（第 1 のゲートクロック信号 H_GCK1 , 第 2 のゲートクロック信号 H_GCK2 ）の電位は第 1 のゲートオン電位 $VGH1$ またはゲートオフ電位 VGL に設定され、クリア信号 H_CLR の電位は第 2 のゲートオン電位 $VGH2$ またはゲートオフ電位 VGL に設定され、基準電位 H_VSS はゲートオフ電位 VGL に設定される（図 1 および図 12 を参照）。なお、通常動作期間中には、第 1 のゲートオン電位 $VGH1$ と第 2 のゲートオン電位 $VGH2$ とは同じ電位レベル（例えば $+20V$ ）になっている。

【0090】

時点 t_0 に電源の供給が遮断されると、入力電源電位 VCC はグラウンド電位 GND へと徐々に低下する。これにより、時点 t_0 以降には、第 1 のゲートオン電位 $VGH1$ および第 2 のゲートオン電位 $VGH2$ はグラウンド電位 GND へと徐々に低下し、ゲートオフ電位 VGL はグラウンド電位 GND へと徐々に上昇する。

【0091】

時点 t_0 に電源の供給が遮断された後の時点 t_1 に、電源 OFF 検出部 17 は電源状態信号 $SHUT$ をローレベルからハイレベルに変化させる。レベルシフト回路 13 は、電源状態信号 $SHUT$ がローレベルからハイレベルに変化すると、 GDM 信号のうちクリア信号 H_CLR のみをハイレベル側の電位に設定し、クリア信号 H_CLR 以外の信号をローレベル側の電位に設定する。すなわち、時点 $t_1 \sim$ 時点 t_2 の期間には、クリア信号 H_CLR の電位は第 2 のゲートオン電位 $VGH2$ に設定され、ゲートスタートパルス信号 H_GSP の電位、ゲートクロック信号 H_GCK の電位、および基準電位 H_VSS はゲートオフ電位 VGL に設定される（図 1 および図 12 を参照）。図 10 から把握されるように、クリア信号 H_CLR がハイレベルになると、各双安定回路において薄膜トランジスタ $T2$, $T6$ がオン状態となる。これにより、 $netA$ の電位および $netB$ の電位がローレベルとなる。このようにして、初期化ステップ（時点 $t_1 \sim$ 時点 t_2 ）では、各双安定回路の状態がリセット（クリア）される。なお、映像信号電位 VS については、時点 t_1 以降の期間を通じて、グラウンド電位 GND ($0V$) に等しくされる。

【0092】

時点 t_2 になると、レベルシフト回路 13 は、 GDM 信号のうちクリア信号 H_CLR のみをローレベル側の電位に設定し、クリア信号 H_CLR 以外の信号をハイレベル側の電位に設定する。すなわち、時点 $t_2 \sim$ 時点 t_3 の期間には、クリア信号 H_CLR の電位はゲートオフ電位 VGL に設定され、ゲートスタートパルス信号 H_GSP の電位、ゲートクロック信号 H_GCK の電位、および基準電位 H_VSS は第 1 のゲートオン電位 $VGH1$ に設定される（図 1 および図 12 を参照）。ところで、時点 t_2 においては、第 1 のゲートオン電位 $VGH1$ の電位レベルは充分には低下していない。従って、時点 t_2 には、ゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK , および基準電位 H_VSS はハイレベルとなる。このとき、各双安定回路において、基準電位 VS がハイレベルとなった状態で薄膜トランジスタ $T7$ がオン状態となるので、状態信号 Q の電位がハイレベルとなる。これにより、全てのゲートバスライン $GL1 \sim GLi$ が選択状態となる。ここで、図 1 に示すように時点 t_1 以降の期間には映像信号電位 VS はグラウンド電位 GND となっているので、全てのゲートバスライン $GL1 \sim GLi$ が選択状態となることによって、各画素形成部内の画素容量に蓄積されている電荷が放電される。また、時点 $t_2 \sim$ 時点 t_3 の期間には、ゲートクロック信号 H_GCK の電位および基準電位 H_VSS はグラウンド電位 GND へと徐々に低下する。これにより、各双安定回路の出力端子 49 の電位（状態信号 Q の電位）が徐々に低下する。すなわち、各ゲートバスライン上の電荷が放電される。また、出力端子 49 の電位が徐々に低下するため、各画素の電位に関し、キックバック電圧による電位変動を問題ないレベルに少なくすることができる。以上のようにして、第 1 の放電ステップ（時点 $t_2 \sim$ 時点 t_3 ）では、表示部 22 内の全ての画素形成部および全てのゲートバスライン $GL1 \sim GLi$ において電荷の放電が行われる。

10

20

30

40

50

【 0 0 9 3 】

図 6 に示したように、電源の供給が遮断された後、第 2 のゲートオン電位 V_{GH2} の電位レベルと比較して、第 1 のゲートオン電位 V_{GH1} の電位レベルは速やかにグラウンド電位 GND にまで低下する。このため、時点 t_3 には、第 2 のゲートオン電位 V_{GH2} の電位レベルは充分には低下していないが、第 1 のゲートオン電位 V_{GH1} の電位レベルはグラウンド電位 GND にまで低下している。従って、時点 t_2 にハイレベル側の電位に設定されたゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK , および規準電位 H_VSS については、時点 t_3 にはグラウンド電位 GND にまで低下する。

【 0 0 9 4 】

時点 t_3 には、レベルシフト回路 13 は、クリア信号 H_CLR をハイレベル側の電位に設定する。上述したように時点 t_3 においては第 2 のゲートオン電位 V_{GH2} の電位レベルは充分には低下していないので、時点 t_3 には、クリア信号 H_CLR はハイレベルとなる。これにより、各双安定回路において薄膜トランジスタ T_2 , T_6 がオン状態となる。その結果、 $net A$ の電位および $net B$ の電位がローレベルとなる。このようにして、第 2 の放電ステップ (時点 $t_3 \sim$ 時点 t_4) では、ゲートドライバ 24 を構成するシフトレジスタ 240 内の浮遊ノード (各双安定回路内の $net A$ および $net B$) 上の電荷の放電が行われる。

【 0 0 9 5 】

その後、時点 t_4 には、第 2 のゲートオン電位 V_{GH2} の電位レベルがグラウンド電位 GND にまで低下する。これにより、時点 t_4 には、クリア信号 H_CLR についてもグラウンド電位 GND にまで低下する。以上より、電源オフシーケンスは終了する。

【 0 0 9 6 】

ところで、電源オフシーケンスにおいて GDM 信号の電位を図 1 に示すように複数のステップで変化させることができるように、レベルシフト回路 13 には図 4 に示すようにタイミング生成ロジック部 131 とオシレータ 132 とが含まれている。このような構成において、電源 OFF 検出部 17 からレベルシフト回路 13 に与えられる電源状態信号 $SHUT$ がローレベルからハイレベルに変化すると、タイミング生成ロジック部 131 は、オシレータ 132 によって生成される基本クロックをカウンタでカウントすることによって、各ステップの開始タイミングを取得する。そして、タイミング生成ロジック部 131 は、そのタイミングに従って、 GDM 信号の電位を予め定められた電位に変化させる。このようにして、図 1 に示すような波形のゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK (第 1 のゲートクロック信号 H_GCK1 , 第 2 のゲートクロック信号 H_GCK2) , クリア信号 H_CLR , および基準電位 H_VSS が生成される。なお、レベルシフト回路 13 と電源 OFF 検出部 17 とが図 4 で符号 60 で示すように 1 つの LSI 内に格納されていても良い。

【 0 0 9 7 】

< 6 . 効果 >

本実施形態によれば、 $IGZO - GDM$ を備えた液晶表示装置において、電源の供給が遮断されると、3 つのステップからなる電源オフシーケンスが行われる。初期化ステップでは、 GDM 信号のうちクリア信号 H_CLR のみがハイレベル側の電位に設定される。これにより、各双安定回路の状態がリセット (クリア) される。第 1 の放電ステップでは、 GDM 信号のうちクリア信号 H_CLR のみがローレベル側の電位に設定される。すなわち、第 1 の放電ステップでは、ゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK , および規準電位 H_VSS はハイレベルとなる。これにより、基準電位 VSS がハイレベルとなった状態で薄膜トランジスタ T_7 がオン状態となるので、状態信号 Q の電位がハイレベルとなって各ゲートバスラインが選択状態となる。このとき、映像信号電位 VS はグラウンド電位 GND となっているので、各画素形成部内の画素容量に蓄積されている電荷が放電される。また、ゲートスタートパルス信号 H_GSP , ゲートクロック信号 H_GCK , および規準電位 H_VSS は徐々に低下するので、各ゲートバスライン上の電荷も放電される。また電位が徐々に低下するため、各画素の電位に関し、キ

10

20

30

40

50

ックバック電圧による電位変動を問題ないレベルに少なくすることができる。第2の放電ステップでは、クリア信号H__CLRがハイレベル側の電位に設定される。これにより、各双安定回路内の浮遊ノード(n e t Aおよびn e t B)上の電荷が放電される。ところで、本実施形態においては、ゲートオン電位として電源遮断時に比較的速やかに電位レベルが低下する第1のゲートオン電位VGH1と電源遮断時に比較的緩やかに電位レベルが低下する第2のゲートオン電位VGH2とが生成される。そして、第1のゲートオン電位VGH1はGDM信号のうちのゲートスタートパルス信号H__GSP,ゲートクロック信号H__GCK,および規準電位H__VSSのハイレベル側の電位として使用され、第2のゲートオン電位VGH2はGDM信号のうちのクリア信号H__CLRのハイレベル側の電位として使用されている。このため、第2の放電ステップが開始されるまでに各ゲートバスライン上の電荷が充分に放電され、また、第2の放電ステップにおいてGDM信号のうちのクリア信号H__CLRのみがハイレベルで維持されているようにすることが可能となっている。以上の動作により、IGZO-GDMを備えた液晶表示装置において、電源の供給が遮断された際、画素形成部内の電荷,ゲートバスライン上の電荷,シフトレジスタ240内の浮遊ノード(各双安定回路内のn e t Aおよびn e t B)上の電荷が順次に放電される。このように、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、IGZO-GDMを備えた液晶表示装置が実現される。その結果、IGZO-GDMを備えた液晶表示装置において、パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。

10

【0098】

20

<7.変形例など>

上記実施形態においては、初期化ステップの際にゲートクロック信号H__GCKはローレベル側の電位に設定されていたが、本発明はこれに限定されず、初期化ステップの際にゲートクロック信号H__GCKがハイレベル側の電位に設定されても良い(図13参照)。この場合においても、初期化ステップでは、クリア信号H__CLRがハイレベルになることによって各双安定回路において薄膜トランジスタT2,T6がオン状態となるので、n e t Aの電位およびn e t Bの電位がローレベルとなる。また、上記実施形態においては、第1の放電ステップの際にクリア信号H__CLRはローレベル側の電位に設定されていたが、本発明はこれに限定されず、第1の放電ステップの際にクリア信号H__CLRがハイレベル側の電位に設定されても良い(図14参照)。この場合においても、第1の放電ステップでは、各双安定回路において基準電位VSSがハイレベルとなった状態で薄膜トランジスタT7がオン状態となるので、状態信号Qの電位がハイレベルとなり、各ゲートバスラインが選択状態となる。

30

【0099】

さらに、上記実施形態においては、電源オフシーケンスは初期化ステップ,第1の放電ステップ,および第2の放電ステップによって構成されていたが、本発明はこれに限定されず、第1の放電ステップと第2の放電ステップとによって電源オフシーケンスが構成されていても良い。但し、初期化ステップを含む構成の方が、より確実にパネル内の残留電荷を除去することができる。

【0100】

40

また、上記実施形態ではIGZO-GDMを備えた液晶表示装置を例に挙げて説明したが、本発明はこれに限定されず、IGZO-GDM以外のモノリシックゲートドライバ(例えば、薄膜トランジスタの半導体層にa-SiTFTを採用したもの)を備えた液晶表示装置においても本発明を適用することができる。

【0101】

さらに、上記実施形態においては、電源オフシーケンスを外部からの電源の供給が遮断されたときのシーケンスとして説明しているが、例えば、表示装置のモードが移行する時(表示モード-スリープモード間の移行時)の放電のシーケンスとして、あるいは、コマンド入力による放電のシーケンスとして、上述のような電源オフシーケンスが適宜実施されるようにすることも可能である。

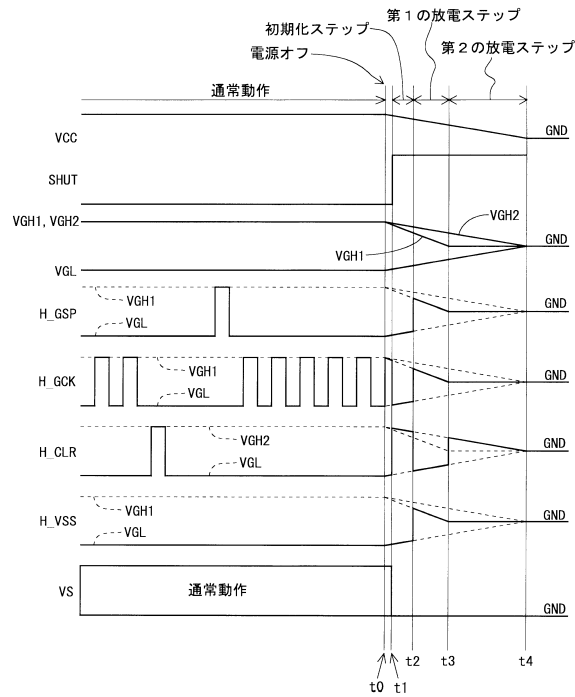
50

【符号の説明】

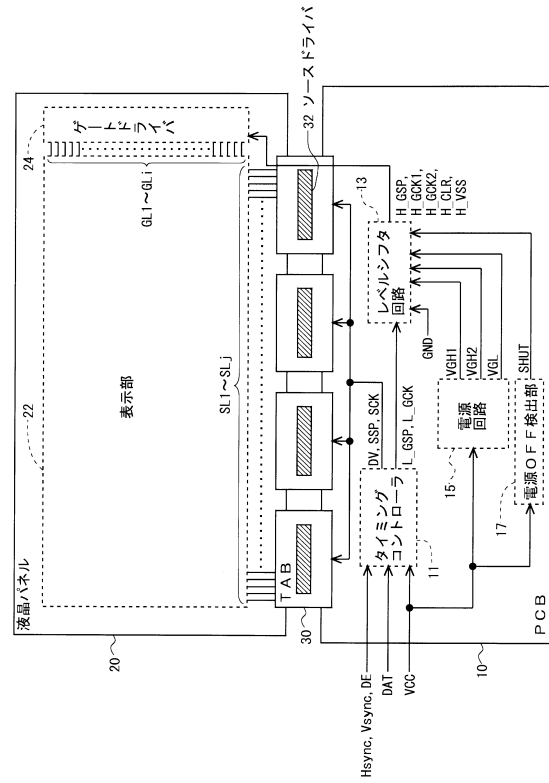
【 0 1 0 2 】

1 1 ... タイミングコントローラ	
1 3 ... レベルシフト回路	
1 5 ... 電源回路	
1 7 ... 電源OFF検出部	
2 0 ... 液晶パネル	
2 2 ... 表示部	
2 4 ... ゲートドライバ（走査信号線駆動回路）	
3 2 ... ソースドライバ（映像信号線駆動回路）	10
2 2 0 ... （画素形成部内の）薄膜トランジスタ	
2 4 0 ... シフトレジスタ	
V C C ... 入力電源電位	
S H U T ... 電源状態信号	
V G H ... ゲートオン電位	
V G H 1 ... 第1のゲートオン電位	
V G H 2 ... 第2のゲートオン電位	
V G L ... ゲートオフ電位	
L _ G C K ... ゲートクロック信号	
H _ G C K 1 ... 第1のゲートクロック信号	20
H _ G C K 2 ... 第2のゲートクロック信号	
L _ G S P , H _ G S P ... ゲートスタートパルス信号	
L _ C L R , H _ C L R , C L R ... クリア信号	
L _ V S S , H _ V S S , V S S ... 基準電位	
T 1 ~ T 1 0 ... （双安定回路内の）薄膜トランジスタ	
C K A ... 第1クロック	
C K B ... 第2クロック	
S ... セット信号	
R ... リセット信号	
Q ... 状態信号	30
G O U T 1 ~ G O U T i ... 走査信号	

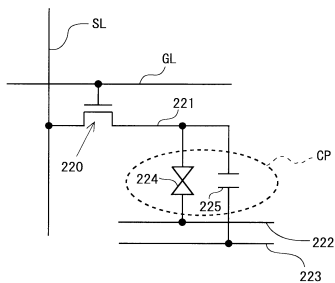
【図 1】



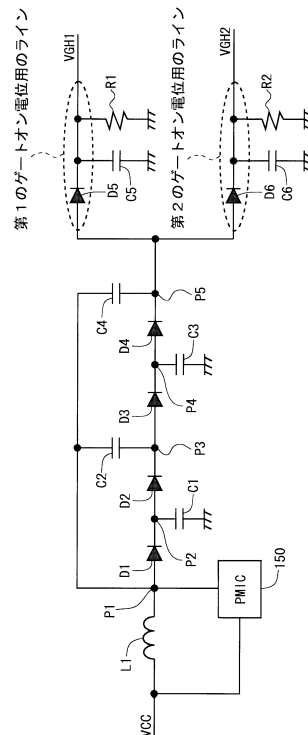
【図 2】



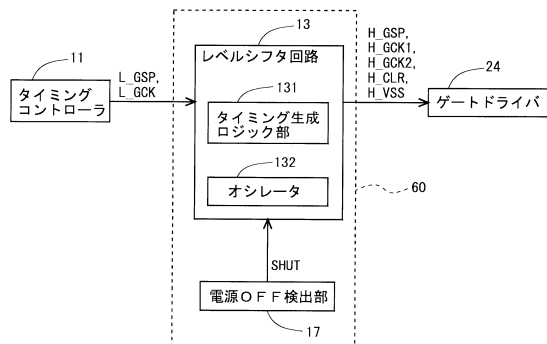
【図 3】



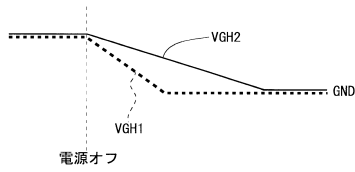
【図 5】



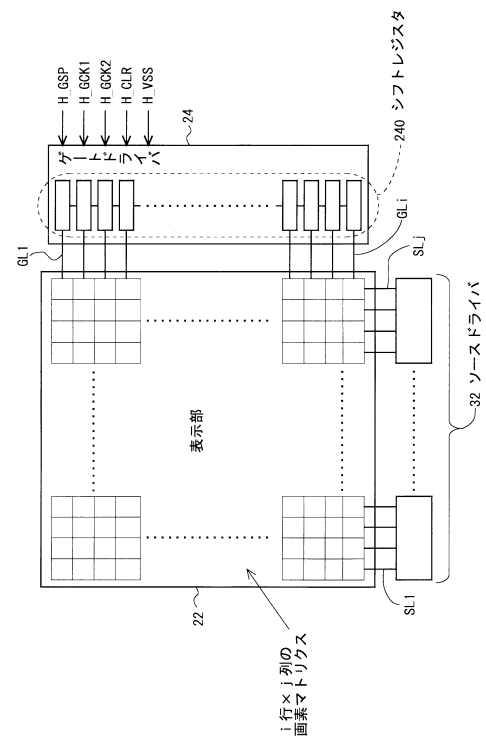
【図 4】



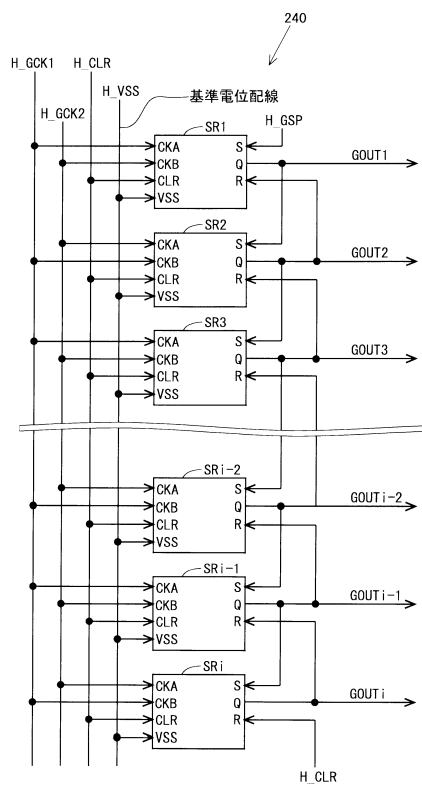
【図 6】



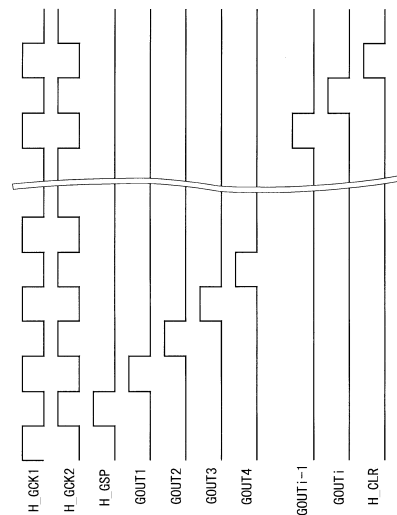
【図 7】



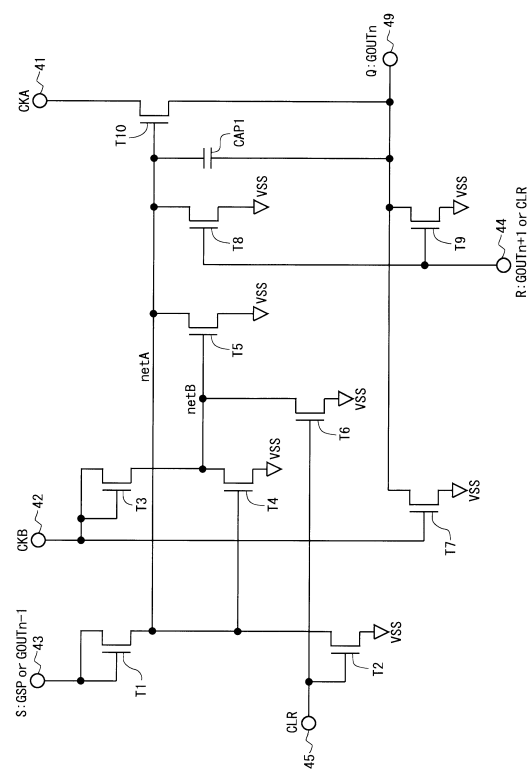
【図 8】



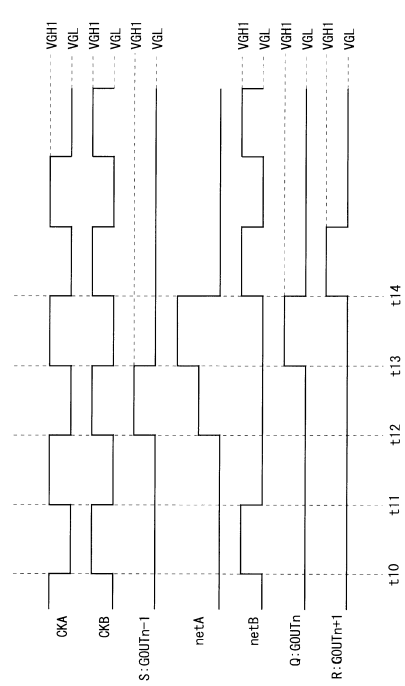
【図 9】



【図 10】



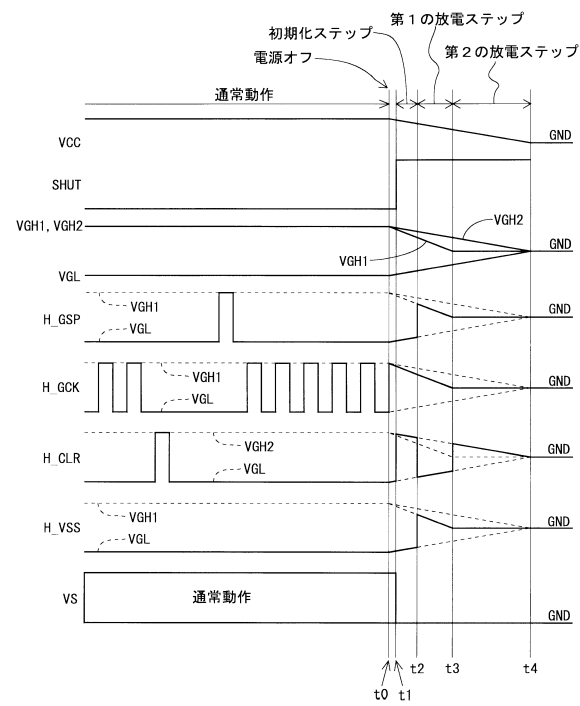
【図 11】



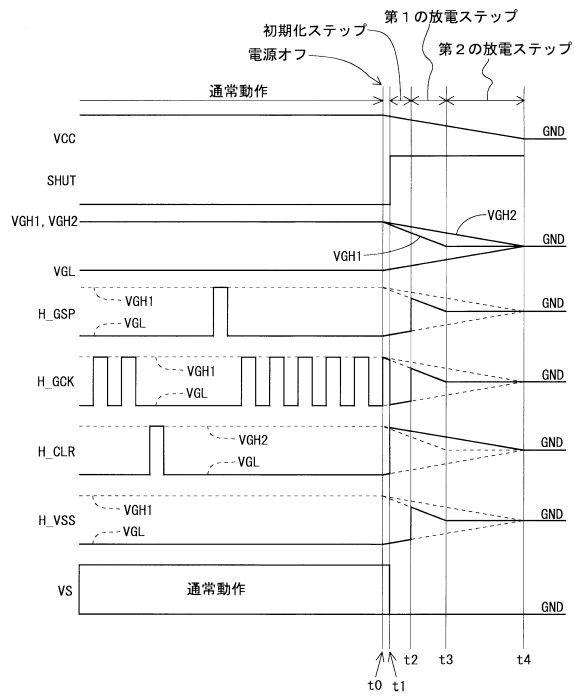
【図 12】

	通常動作 (~t0)	初期化ステップ (t1~t2)	第1の放電ステップ (t2~t3)	第2の放電ステップ (t3~t4)
H_GSP	VGH1, VGL	VGL	VGH1	VGH1 (GND)
H_GCK	VGH1, VGL	VGL	VGH1	VGH1 (GND)
H_CLR	VGH2, VGL	VGH2	VGL	VGH2
H_VSS	VGL	VGL	VGH1	VGH1 (GND)

【図 13】



【図 14】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 2 0
G 0 2 F 1/133 5 5 0

(72)発明者 森井 秀樹
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 水永 隆行
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 中南 和也
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 堀内 智
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 武田 悟

(56)参考文献 国際公開第 2 0 1 1 / 0 5 5 5 8 4 (W O , A 1)
国際公開第 2 0 1 1 / 1 1 4 5 6 2 (W O , A 1)
特開 2 0 0 7 - 2 8 6 2 6 6 (J P , A)
特開 2 0 0 9 - 3 2 0 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP5784148B2	公开(公告)日	2015-09-24
申请号	JP2013549137	申请日	2012-08-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	岩本明久 森井秀樹 水永隆行 中南和也 堀内智		
发明人	岩本 明久 森井 秀樹 水永 隆行 中南 和也 堀内 智		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G3/3648 G09G3/3696 G09G2310/0286 G09G2330/02 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.622.C G09G3/20.622.E G09G3/20.670.D G09G3/20.670.E G02F1/133.520 G02F1/133.550		
代理人(译)	岛田彰 川原贤治 川本悟		
审查员(译)	武田 悟		
优先权	2011274283 2011-12-15 JP		
其他公开文献	JPWO2013088779A1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置及其驱动方法，其能够在电源关闭时快速地去除面板中的残留电荷，特别是在采用IGZO-GDM时。在液晶显示装置中，当检测到电源的关闭状态时，执行包括初始化步骤，第一放电步骤和第二放电步骤的断电序列。在初始化步骤中，清零信号 (H_CLR) 仅GDM信号的高电平时，进行初始化构成移位寄存器的双稳电路的状态。在第一排出步骤中，清零信号 (H_CLR) 仅GDM信号的低电平，在所选择的的所有栅极总线放电在像素形成部中的电荷。在第二放电步骤中，清零信号 (H_CLR) 为高电平以排出浮置节点的双稳电路的电荷。

(21) 出願番号	特願2013-549137 (P2013-549137)	(73) 特許権者	000005049
(86) (22) 出願日	平成24年8月9日 (2012.8.9)		シャープ株式会社
(86) 国際出願番号	PCT/JP2012/070341		大阪府大阪市阿倍野区長池町2-2番2-2号
(87) 国際公開番号	W02013/088779	(74) 代理人	100104695
(87) 国際公開日	平成25年6月20日 (2013.6.20)		弁理士 島田 明宏
審査請求日	平成26年6月3日 (2014.6.3)	(74) 代理人	100121348
(31) 優先権主張番号	特願2011-274283 (P2011-274283)		弁理士 川原 健児
(32) 優先日	平成23年12月15日 (2011.12.15)	(74) 代理人	100114247
(33) 優先権主張国	日本国 (JP)		弁理士 奥田 邦廣
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	岩本 明久
			大阪府大阪市阿倍野区長池町2-2番2-2号
			シャープ株式会社内
最終頁に続く			