

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5771897号

(P5771897)

(45) 発行日 平成27年9月2日(2015.9.2)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 612D

G02F 1/133 (2006.01)

G09G 3/20 624C

G09G 3/20 680G

G02F 1/133 550

請求項の数 3 (全 27 頁)

(21) 出願番号 特願2010-22879 (P2010-22879)
 (22) 出願日 平成22年2月4日(2010.2.4)
 (62) 分割の表示 特願2008-264664 (P2008-264664)
 の分割
 原出願日 平成20年10月10日(2008.10.10)
 (65) 公開番号 特開2010-146025 (P2010-146025A)
 (43) 公開日 平成22年7月1日(2010.7.1)
 審査請求日 平成22年2月15日(2010.2.15)
 (31) 優先権主張番号 特願2007-284603 (P2007-284603)
 (32) 優先日 平成19年10月31日(2007.10.31)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 510208918
 株式会社 オルタステクノロジー
 東京都日野市旭が丘2丁目8番7号
 (72) 発明者 石井 裕満
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会社八王子技術センター
 内
 審査官 武田 悟

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに、前記画素電極と補助容量線との間に補助容量が形成された液晶表示装置の駆動方法であって、

前記液晶表示装置は、前記薄膜トランジスタのソースに接続され、前記補助容量線と交差する領域を有する信号線と、前記補助容量線と前記信号線とが交差している領域において、前記補助容量線と前記信号線との間に絶縁膜を介して上下方向に互いに重なり、前記補助容量線と前記信号線とが交差している交差領域の全体を覆うように設けられ、前記補助容量線と前記信号線とが交差していない領域において、前記補助容量線と互いに重ならないように設けられている寄生容量遮蔽配線と、を有し、

一定期間毎に電圧レベルが第1の電圧レベルV_Lと第2の電圧レベルV_Hとの間で交互に切り換わる第1の信号を、前記対向電極に供給し、

連続する2つの前記一定期間を1つの周期とし、前記周期を複数含む一つのフレーム期間に、前記薄膜トランジスタをオン状態にするオン電圧と、前記薄膜トランジスタをオフ状態にするオフ電圧とを、前記薄膜トランジスタのゲートに、それぞれ1回供給し、

連続する複数の前記フレーム期間の各々において、前記オン電圧と前記オフ電圧の供給を行い、

前記オン電圧を継続印加する期間を前記一定期間とし、

第1のフレーム期間において、前記薄膜トランジスタのゲートに対して前記オン電圧の

印加が開始されるタイミングから1つの前記周期に対応する時間までの間は前記第1の信号に等しい信号を前記補助容量線に供給し、

その後の前記周期の $1/2$ に対応する時間までの間は電圧レベル V_c が $V_L < V_c < V_H$ の範囲に設定された第2の信号を前記補助容量線に供給し、

さらにその後、前記第1のフレーム期間の直後の第2のフレーム期間において、前記薄膜トランジスタに前記オン電圧の印加が開始されるタイミングまでの間に亘って前記補助容量線をフローティング状態にし、

前記寄生容量遮蔽配線に固定電位の電圧及び前記第1の信号の何れか一方を印加する、液晶表示装置の駆動方法。

【請求項2】

前記第2の信号は、電圧レベル V_c が $(V_L + V_H)/2$ に設定されている、請求項1に記載の液晶表示装置の駆動方法。

【請求項3】

薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに、前記画素電極と補助容量線との間に補助容量が形成された液晶表示装置あって、

一定期間毎に電圧レベルが第1の電圧レベル V_L と第2の電圧レベル V_H との間で交互に切り換わる第1の信号を、前記対向電極に供給する第1の駆動回路と、

連続する2つの前記一定期間を1つの周期とし、前記周期を複数含む一つのフレーム期間に、前記薄膜トランジスタをオン状態にするオン電圧と、前記薄膜トランジスタをオフ状態にするオフ電圧とを、前記薄膜トランジスタのゲートに、それぞれ1回供給し、前記オン電圧を前記一定期間に継続印加し、連続する複数の前記フレーム期間の各々において前記オン電圧と前記オフ電圧の供給を行う第2の駆動回路と、

第1のフレーム期間において、前記薄膜トランジスタのゲートに対して前記第2の駆動回路により前記オン電圧の印加が開始されるタイミングから1つの前記周期に対応する時間までの間は前記第1の信号に等しい信号を前記補助容量線に供給し、

その後の前記周期の $1/2$ に対応する時間までの間は電圧レベル V_c が $V_L < V_c < V_H$ の範囲に設定された第2の信号を前記補助容量線に供給し、

さらにその後、前記第1のフレーム期間の直後の第2のフレーム期間において、前記薄膜トランジスタに前記オン電圧の印加が開始されるタイミングまでの間に亘って前記補助容量線をフローティング状態にする第3の駆動回路と、

前記薄膜トランジスタのソースに接続され、前記補助容量線と交差する領域を有する信号線と、

前記補助容量線と前記信号線とが交差している領域において、前記補助容量線と前記信号線との間に絶縁膜を介して上下方向に互いに重なり、前記補助容量線と前記信号線とが交差している交差領域の全体を覆うように設けられ、前記補助容量線と前記信号線とが交差していない領域において、前記補助容量線と互いに重ならないように設けられている寄生容量遮蔽配線と、

を備える、液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置とその駆動方法に係り、特に、画素の補助容量電極を対向電極とは独立に駆動して画素電圧を向上し得る液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

従来の液晶表示装置は、液晶からなる各画素に設けられた薄膜トランジスタ(TFT)などのスイッチング素子で液晶へ電圧が印加される。図21は、従来の液晶表示装置の1画素分100を模式的に示す図であり、図22は一行分の画素構造を模式的に示す図である。

10

20

30

40

50

画素電極 (Pix) 101は、トランジスタ102を介してソース電位に充電される。対向電極 (COM) 103には対向電極を駆動する電圧 (Vcom) が印加され、対向電極103と画素電極101との電位差が液晶駆動電圧 (Vlcd) となる。基板104側には補助容量電極 (Cs) 105が設けられている。補助容量電極105は、トランジスタ102のゲート電位変動やオフ時のリーク電流に起因して画素電極101に生じる電位変動を緩和している。この補助容量電極105の配線は通常、ゲート配線と平行に敷設されている。この配線は対向電極103と接続される。これにより、補助容量電極105の電位は対向電極103と共通電位となっている。液晶は、焼き付きや電気分解を防ぐため交流駆動される。

【0003】

図23は、上記液晶表示装置における駆動波形の一例を示すタイムチャートであり、(A)が対向電極に印加される電圧波形を、(B)が信号線電圧波形を、(C)が走査線電圧波形を、(D)が液晶駆動電圧波形を示している。図示するように、対向電極に印加される電圧波形 (Vcom) 及びトランジスタのソース電極に印加される電圧波形 (Vs) は矩形波であり、走査線電圧はトランジスタのゲート電極に印加される電圧 (Vg) である。図23 (C) に示すように、ゲートにハイレベルの電圧が印加されたときトランジスタは導通し、ゲートに印加される電圧がローレベルになったときトランジスタは非導通 (オフ) となる。トランジスタがオフとなる保持期間の間、液晶駆動電圧 (Vlcd) は、対向電極に印加される電圧 (Vcom) の波形に合わせて全体が上下するので、液晶駆動電圧はゲートに印加される電圧の周期毎に正及び負の電圧となることで交流駆動される。

【0004】

液晶表示装置の駆動には、交流駆動のために $\pm 4 \sim 5$ V程度の電圧が必要とされている。図23に示すように、信号線電圧 (Vs) と対向電極電圧 (Vcom) の矩形波の組み合わせによって、交流駆動用電圧を生成する。これらの信号波形はドライバLSIから供給されている。近年、LSIの低電圧化が進み、VcomとVsとの間の電圧は最大で約4.8 Vとなっている。この電圧制約は絶対的なものではないが、ドライバLSIからこれ以上の電圧を出力するためには、LSIの耐圧設計を変更する必要がある、LSIの面積やコストが大幅に増加する。液晶表示装置の駆動には前述のように約 $\pm 4 \sim 5$ Vの電圧が必要なのでぎりぎりのバランスといえる。しかし、近年開発されている新モードの液晶表示装置 (垂直配向モード、横電界モードのn型液晶等) ではその性能を充分に発揮するために5 Vを超える電圧を必要とするものもあり、現状のLSIでは能力が不足気味になるケースが出てきていた。

【0005】

ところで、特許文献1に開示されている液晶表示装置では、補助容量電極と対向電極とを接続しないで、別に補助容量線駆動回路を設けている。この場合、補助容量は、補助容量電極と画素電極とこれらの電極間に挿入されている絶縁層とから形成される。特許文献1では、補助容量線駆動回路から補助容量電極へ対向電極とは異なる電圧を加える液晶表示装置が開示されている。図24、図25及び図26は、それぞれ特許文献1に開示されている液晶表示装置のブロック図、ゲート信号及び補助容量線駆動信号の波形、画素に印加される波形を示す図である。

【0006】

図24において点線で示す表示領域111は、所定の画像を複数の画素で表示する表示部である。表示部は走査線 G_1 、 G_2 、 $G_3 \cdots G_n$ によって走査され、信号線 S_1 、 S_2 、 $S_3 \cdots S_m$ によって表示信号が与えられる。

【0007】

走査線 G_1 、 G_2 、 $G_3 \cdots G_n$ と信号線 S_1 、 S_2 、 $S_3 \cdots S_m$ との交差部に薄膜トランジスタ (TFT) 114が配置される。各薄膜トランジスタ114のドレインに接続された画素電極部に液晶セル115が配置される。トランジスタのゲートは走査線Gに接続され、ソースは信号線Sに接続される。

【0008】

10

20

30

40

50

走査線駆動回路 116 は各走査線 G_1 、 G_2 、 $G_3 \cdots G_n$ を順次に走査して 1 水平期間毎に 1 行分の画素列を選択する。信号線駆動回路 117 は各信号線 S_1 、 S_2 、 $S_3 \cdots S_m$ を通して表示信号を出力し、1 水平期間内で走査線駆動回路 116 により選択された 1 行分の液晶セルに対してトランジスタ 114 を介して画素電圧を与える。また各液晶セル 115 を挟んで対向電極 118 とその配線ラインとが第 2 の透明基板に設けられている。これらの 2 つの基板は、液晶セル 115 を挟んでいる。

【0009】

対向電極駆動回路 119 は、対向電極 118 を介して全ての液晶セルに共通の対向電極電圧 V_{com} を印加する。各画素に設けられた補助容量 112 の一端が各トランジスタ 114 のドレインに接続され、他端は走査線毎に異なる補助容量線 113 に接続される。走査線 G_1 に対応した補助容量線 113 は補助容量線駆動回路 110 の第 1 出力端に接続され、走査線 G_2 に対応した補助容量線 113 は補助容量線駆動回路 110 の第 2 出力端に接続される。走査線 $G_3 \sim G_n$ に対応した補助容量線 113 も同様に接続される。走査線 $G_1 \sim G_n$ に対応して異なるタイミングで補助容量駆動電圧 $V_{st1} \sim V_{stn}$ が補助容量線駆動回路 110 の第 1 出力端～第 n 出力端からそれぞれ出力される。

【0010】

図 25 は、特許文献 1 の液晶表示装置の動作を示すタイミング図である。図 25 (A) は各走査線 G_1 、 $G_2 \cdots$ から出力されるゲート信号 $G_{sig,1}$ 、 $G_{sig,2} \cdots$ を示し、図 25 (B) は補助容量線駆動回路 110 から出力される補助容量線駆動電圧 V_{st1} 、 $V_{st2} \cdots$ の変化を示す。ゲート信号 $G_{sig,1}$ 、 $G_{sig,2} \cdots$ は図 24 の走査線駆動回路 116 から出力され走査線を選択するパルスであり、1 フレームの繰り返し周期を有している。ゲート信号 G_{sig} の電圧は 1 行分の各画素の選択時には電圧 V_{gh} になり、非選択時には電圧 V_{gl} に保持される。補助容量線駆動電圧 V_{st1} 、 $V_{st2} \cdots$ は ΔV_{st} の振幅を持った 2 値の電圧信号である。図示するように、補助容量 112 を介して各液晶セル 115 の一端に印加される。また走査線 G_1 に対する補助容量線駆動電圧 V_{st1} は、ゲート信号 $G_{sig,1}$ が立ち下がった後、少し遅れて振幅が ΔV_{st} だけ変化する。補助容量線駆動電圧 $V_{st2} \cdots$ についても同様に振幅が変化する。

【0011】

図 26 は特許文献 1 の液晶表示装置の各画素に印加される電圧の波形図である。同図に示すゲート信号 G_{sig} は走査線駆動回路 116 から選択された走査線 G_i ($i = 1 \sim n$) に対して出力される。1 行分の各画素の選択時には電圧が V_{gh} となり、非選択時には電圧が V_{gl} になる。直流の対向電極電圧 V_{com} は対向電極駆動回路 119 から出力される。 V_{com} は一定である。トランジスタ 114 のドレインから出力される出力電圧 V_d は、1 フレーム周期で出力レベルが対向電極電圧 V_{com} を中心に正及び負側に変化する。当該ゲートの選択時、その走査線上にある液晶セル 115 の画素電極は、信号線 S を介して供給される信号電圧 V_{sig} に充電されるが、トランジスタ 114 の寄生容量であるドレイン-ゲート間の容量 C_{dg} の影響で、ゲート信号 G_{sig} が V_{gh} から V_{gl} に変化したとき、出力電圧 V_d が V_{sig} より更に V_{pt} だけ低くなった電圧に変化する。その後、図に示すように、補助容量線駆動回路 110 の補助容量駆動電圧 V_{st} が ΔV_{st} 電圧だけ立ち下がると、 $K \cdot \Delta V_{st}$ だけ出力電圧 V_d が更に低下する。ここで、 K は、容量結合に含まれる容量の値に依存する定数である。こうして、対向電極電圧 V_{com} と画素電極の電圧 V_d の差の電圧 V_{dl} が液晶セル 115 の駆動電圧として印加される。

【0012】

さらに詳しくは、上記の定数 K は次の (1) 式で与えられる。

$$K = C_{st} / (C_{lc} + C_{st} + C_{dg}) \quad (1)$$

ここで、 C_{st} は補助容量 112 の容量、 C_{lc} は液晶セル 115 の容量、 C_{dg} はトランジスタ 114 のドレイン-ゲート間の寄生容量である。

【0013】

次のフレームで同一走査線の各液晶セル 115 に表示信号を書き込むときは、当該走査線 G_i の再度の選択時に、当該画素 (i, j) の液晶セル 115 に対して信号線 S_j を介し

て供給される信号電圧 V_{sig} により充電を行う。 V_{sig} は、 V_{com} のレベルを中心として、実質的に対称な波形を有している。図 26 に示すように、トランジスタ 114 においてドレインゲート間の寄生容量 C_{dg} の影響で、ゲート信号 $G_{sig,i}$ の電圧が V_{gh} から V_{gl} に変化したとき、出力電圧 V_d が V_{pt} だけ低下する。その後、補助容量線駆動回路 110 の補助容量駆動電圧 V_{st} が ΔV_{st} だけ立ち上がると現在の電圧から $K \cdot \Delta V_{st}$ だけ出力電圧 V_d が上昇する。ここで、 K は上記定数である。この後は上昇した電圧が保持され、出力電圧 V_d と対向電極電圧 V_{com} との差が駆動電圧 V_{dl} として液晶セル 115 に印加される。このように、液晶パネルが 1 フレーム周期で交流駆動される。

【0014】

10

図 25 に示すように対向電極電圧 V_{com} に対して出力電圧 V_d が低くなる場合は、補助容量線駆動回路 110 からの信号により出力電圧 V_d は $(V_{sig} + V_{pt})$ より更に $K \cdot \Delta V_{st}$ だけ対向電極電圧 V_{com} に対して低い方向にシフトする。また、対向電極電圧 V_{com} に対し出力電圧 V_d が高くなる場合は、補助容量線駆動回路 110 からの信号により出力電圧 V_d は $(V_{sig} - V_{pt})$ より更に $K \cdot \Delta V_{st}$ だけ対向電極電圧 V_{com} に対して高い方向にシフトする。

【0015】

従って、特許文献 1 によれば、液晶セル 115 を黒表示するため、駆動電圧 V_{dl} を V_{dl0} より高い値 V_{dl1} に設定した場合、所定の駆動電圧 V_{dl1} に対する信号電圧 V_{sig} の値を小さくできる。このように、液晶セル 115 に与える出力電圧 V_d が $K \cdot \Delta V_{st}$ だけ対向電極電圧 V_{com} から離れる方向にシフトするため、信号線の振幅 V_{sp} は、従来の液晶セルにおける信号線の振幅 V_{sp} より小さくすることができる。

20

【0016】

特許文献 1 に記載の補助容量電極の駆動方法では、対向電極には直流電圧が印加され、補助容量電極の電位を対向電極とは独立にフレーム周期に同期させて駆動することで、液晶駆動電圧 (V_{lcd}) の向上が図られている。しかしながら、補助容量線駆動回路 110 からの出力信号 V_{st1} は ΔV_{st} の振幅を持った 2 値の電圧信号であり、ゲート信号 $G_{sig,1}$ が立ち下がった後、少し遅れて振幅を ΔV_{st} だけ変化させている。従って、走査線 G_1 に対する補助容量線駆動電圧 V_{st1} を、走査線 G_1 がオンとなる周期からずれた波形とする必要がある。このため、補助容量線駆動回路の信号は、信号線、走査線及び対向電極に印加される何れの波形とも異なるために、その回路構成が複雑であった。

30

【先行技術文献】

【特許文献】

【0017】

【特許文献 1】特開 2001-255851 号公報

【発明の概要】

【発明が解決しようとする課題】

【0018】

図 23 に示した従来の液晶表示装置では、液晶駆動電圧 (V_{lcd}) が信号線電圧 (V_s) と対向電極電圧 (V_{com}) の矩形波の組み合わせで印加される。このため、液晶駆動電圧を上昇させる必要がある場合には、出力電圧の大きい駆動用 LSI が必要となってくる。出力電圧の大きい駆動用 LSI を使用しないで信号線電圧を大きくするためには、特許文献 1 のように補助容量電極を駆動して液晶駆動電圧を向上させることが考えられるが、特許文献 1 の場合には対向電極を直流電圧で駆動しているため、対向電極電圧を矩形波で駆動する場合には直ちには適用できない。このため、図 23 に示した従来の液晶表示装置では、対向電極電圧を矩形波で駆動すると共に、補助容量を駆動して液晶駆動電圧を向上させるための具体的な回路構成や駆動方法が得られていないという課題がある。

40

【0019】

上記課題に鑑み、本発明は、画素内部に昇圧用電極を設け、チャージポンプと類似の動作をさせる駆動をより容易な構成で行い、液晶表示用のドライバ LSI の出力電圧を越え

50

る画素電圧を得ることができる液晶表示装置を提供することを一目的とする。本発明の他の目的は、この液晶表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0021】

上記目的を達成するため、請求項1に記載の本発明の液晶表示装置の駆動方法は、薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに、前記画素電極と補助容量線との間に補助容量が形成された液晶表示装置の駆動方法であって、前記液晶表示装置は、前記薄膜トランジスタのソースに接続され、前記補助容量線と交差する領域を有する信号線と、前記補助容量線と前記信号線とが交差している領域において、前記補助容量線と前記信号線との間に絶縁膜を介して上下方向に互いに重なるように設けられ、前記補助容量線と前記信号線とが交差していない領域において、前記補助容量線と互いに重ならないように設けられている寄生容量遮蔽配線と、を有し、一定期間毎に電圧レベルが第1の電圧レベル V_L と第2の電圧レベル V_H との間で交互に切り換わる第1の信号を、前記対向電極に供給し、連続する2つの前記一定期間を1つの周期とし、前記周期を複数含む一つのフレーム期間に、前記薄膜トランジスタをオン状態にするオン電圧と、前記薄膜トランジスタをオフ状態にするオフ電圧とを、前記薄膜トランジスタのゲートに、それぞれ1回供給し、連続する複数の前記フレーム期間の各々において、前記オン電圧と前記オフ電圧の供給を行い、前記オン電圧を継続印加する期間を前記一定期間とし、第1のフレーム期間において、前記薄膜トランジスタのゲートに対して前記オン電圧の印加が開始されるタイミングから1つの前記周期に対応する時間までの間は前記第1の信号に等しい信号を前記補助容量線に供給し、その後の前記周期の $1/2$ に対応する時間までの間は電圧レベル V_c が $V_L < V_c < V_H$ の範囲に設定された第2の信号を前記補助容量線に供給し、さらにその後、前記第1のフレーム期間の直後の第2のフレーム期間において、前記薄膜トランジスタに前記オン電圧の印加が開始されるタイミングまでの間に亘って前記補助容量線をフローティング状態にし、前記寄生容量遮蔽配線に固定電位の電圧及び前記第1の信号の何れか一方を印加することを特徴とする。

【0022】

また、請求項3に記載の本発明の液晶表示装置の駆動方法は、請求項3に記載の液晶表示装置の駆動方法であって、前記第2の信号は、電圧レベル V_c が $(V_L + V_H)/2$ に設定されていることを特徴とする。

【0024】

また、請求項3に記載の本発明の液晶表示装置は、薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに、前記画素電極と補助容量線との間に補助容量が形成された液晶表示装置であって、一定期間毎に電圧レベルが第1の電圧レベル V_L と第2の電圧レベル V_H との間で交互に切り換わる第1の信号を、前記対向電極に供給する第1の駆動回路と、連続する2つの前記一定期間を1つの周期とし、前記周期を複数含む一つのフレーム期間に、前記薄膜トランジスタをオン状態にするオン電圧と、前記薄膜トランジスタをオフ状態にするオフ電圧とを、前記薄膜トランジスタのゲートに、それぞれ1回供給し、前記オン電圧を前記一定期間に継続印加し、連続する複数の前記フレーム期間の各々において前記オン電圧と前記オフ電圧の供給を行う第2の駆動回路と、第1のフレーム期間において、前記薄膜トランジスタのゲートに対して前記第2の駆動回路により前記オン電圧の印加が開始されるタイミングから1つの前記周期に対応する時間までの間は前記第1の信号に等しい信号を前記補助容量線に供給し、その後の前記周期の $1/2$ に対応する時間までの間は電圧レベル V_c が $V_L < V_c < V_H$ の範囲に設定された第2の信号を前記補助容量線に供給し、さらにその後、前記第1のフレーム期間の直後の第2のフレーム期間において、前記薄膜トランジスタに前記オン電圧の印加が開始されるタイミングまでの間に亘って前記補助容量線をフローティング状態にする第3の駆動回路と、前記薄膜トランジスタのソースに接続され、前記補助容量線と交差する領域を有する信号線と、前記補助容量線と前記信号線とが交差している領域

において、前記補助容量線と前記信号線との間に絶縁膜を介して上下方向に互いに重なるように設けられ、前記補助容量線と前記信号線とが交差していない領域において、前記補助容量線と互いに重ならないように設けられている寄生容量遮蔽配線と、を備えることを特徴とする。

【発明の効果】

【0031】

本発明の液晶表示装置及びその駆動方法によれば、補助容量駆動回路により画素の補助容量を対向電極とは独立に駆動させることができ、簡単な構成で画素の電位を昇圧させることができ、ドライバ用LSIの出力電圧を上げずに画素のコントラストの向上を図ることができる。補助容量駆動回路は、液晶表示装置内の走査信号や対向電極配線の信号を用いることができるため低コストで画素のコントラストを向上させることができる。

10

【図面の簡単な説明】

【0032】

【図1】本発明の液晶表示装置の構成を示すブロック図である。

【図2】本発明の第1実施形態としてのカラー液晶表示装置における第1の基板の一部の透過平面図を示す図である。

【図3】(A)は図2のX-X線に沿う断面図であり、(B)は図2のY-Y線に沿う部分における第2の基板を含む断面図を示している。

【図4】1行3列の画素構造の等価回路を示すブロック図である。

【図5】本発明に係る液晶表示装置1の駆動方法の一例を示す波形で、それぞれ、(A)が対向電極用駆動信号を、(B)が補助容量線用駆動信号を、(C)が信号線用駆動信号を、(D)が走査線用駆動信号を、(E)が画素電極の電圧と共に画素に印加される電圧(画素電極と対向電極との電圧差)を示している。

20

【図6】画素補助容量と補助容量とを別々に設ける場合のブロック図を示す。

【図7】(A)は画素構造の平面図、(B)は断面図を示している。

【図8】本発明の液晶表示装置の第2の実施形態を示すブロック図である。

【図9】1画素の等価回路を模式的に示す図である。

【図10】本発明の液晶表示装置の駆動方法を示す波形であり、それぞれ、(A)が対向電極用駆動信号を、(B)が第2の共通電極用駆動信号(Vcom2)を、(C)が信号線用駆動信号を、(D)が走査線G₁の駆動信号を、(E)が走査線G₂の駆動信号を、(F)が走査線G₃の駆動信号を、(G)が補助容量線に印加される補助容量線駆動信号を、(H)が当該画素の画素電極における電圧と、画素電極と対向電極との間に生じる液晶セルの電圧差と、を示している。

30

【図11】画素補助容量と補助容量とを別々に設ける場合のブロック図を示す。

【図12】図11の具体的な画素構造を示す図であり、(A)は画素構造の平面図、(B)は断面図である。

【図13】図2に示した画素の信号線と補助容量線との交差部を示す断面模式図である。

【図14】液晶表示装置において、寄生容量Cstを含む等価回路を示す図である。

【図15】画素の変形例の構成を示す部分透視平面図である。

【図16】図15のX-X線に沿った断面図を示している。

40

【図17】画素における寄生容量遮蔽配線の追加によって寄生容量遮蔽配線と信号線の交差部に生じる容量を示す断面模式図である。

【図18】画素の構成を示す部分透視平面図である。

【図19】図18のX-X線に沿った断面図を示している。

【図20】画素における寄生容量遮蔽配線と信号線との交差部に生じる容量を示す断面模式図である。

【図21】従来の液晶表示装置の1画素分の構造を模式的に示す図である。

【図22】一行分の画素構造を模式的に示す図である。

【図23】画素に印加される波形を示す図である。

【図24】特許文献1で開示される液晶表示装置のブロック図である。

50

【図 2 5】特許文献 1 の液晶表示装置の動作を示すタイミング図であり、(A) は各走査線から出力されるゲート信号を示し、(B) は補助容量線駆動回路から出力される補助容量線駆動電圧の変化を示す。

【図 2 6】特許文献 1 の液晶表示装置の各画に印加される電圧の波形図である。

【発明を実施するための形態】

【0033】

以下、図面を参照してこの発明の実施の形態を詳細に説明する。各図において同一又は対応する部材には同一符号を用いる。

図 1 は本発明の液晶表示装置 1 の構成を示すブロック図であり、図 2 ～ 4 は本発明の液晶表示装置 1 における表示部 10 の一例を示している。

10

図 1 に示すように、本発明の液晶表示装置 1 は、点線で囲んだ表示部 10 と、表示部 10 の周辺に、走査線駆動回路 20 と信号線駆動回路 22 と対向電極駆動回路 24 と補助容量線駆動回路 26 と、が配置されて構成されている。

【0034】

液晶表示装置 1 は、図示しない第 1 の透明基板上に複数の行からなる走査線及び複数の列からなる信号線が配設され、走査線と信号線との交差部にスイッチング素子 12 が配設され、スイッチング素子 12 の出力端に接続された画素電極 13 と対向電極 14 との間には液晶セルからなる画素 15 が配設され、スイッチング素子 12 の出力端に補助容量 16 の一端が接続されている。ここで、行は $1 \leq i \leq m$ の任意の自然数からなり、列は $1 \leq j \leq n$ の任意の自然数からなる。なお、 i 行 j 列のスイッチング素子 12 は、スイッチング素子 12_{ij} と表記する。

20

【0035】

図示の場合、表示部 10 は、 m 行 $\times$ n 列のマトリクス状に配列された複数の画素 15 を有している。この場合、各行の画素 15 に配置されるスイッチング素子 12 の各ゲート電極（制御電極とも呼ぶ）は互いに接続されて、ゲート電極配線を形成している。従って、1, 2, 3 ～ m 行の各ゲート電極配線は、それぞれ走査線駆動回路 20 の走査線 G_1 , G_2 , $G_3 \sim G_m$ に接続し、走査される。

【0036】

各列の画素 15 に配置されるスイッチング素子 12 において、ソース電極（第 1 主電極とも呼ぶ）は互いに接続されて、ソース電極配線を形成している。従って、1, 2, 3 ～ n 列のソース電極配線は、それぞれ信号線駆動回路 22 の信号線 S_1 , S_2 , $S_3 \sim S_n$ に接続されており、表示用信号が印加される。

30

【0037】

対向電極 14 と各スイッチング素子 12 のドレイン電極（第 2 主電極とも呼ぶ）に接続された画素電極 13 との間に液晶セル 15 が配置される。スイッチング素子 12 は、例えばトランジスタである。トランジスタ 12 は、図示しない第 1 の透明基板上にアモルファスシリコンや低温ポリシリコンを用いて作製された薄膜トランジスタを用いることができる。上記したように、トランジスタ 12 のゲートは走査線に接続され、ソースは信号線 S に接続されている。各液晶セル 15 を挿んで対向電極 14 と対向電極 14 の配線が図示しない第 2 の透明基板に設けられている。

40

【0038】

走査線駆動回路 20 は、各行の走査線に対しスイッチング素子 12 がオンとなるオン期間及びオフとなる保持期間を有する走査線用駆動信号を出力する。走査線駆動回路 20 は、各走査線 G_1 , G_2 , $G_3 \sim G_m$ を順次に走査することで 1 水平期間毎に 1 行分の画素列を選択する。

【0039】

信号線駆動回路 22 は、各列の信号線に対してスイッチング素子 12 のオン期間とほぼ同期する所定のタイミングの信号線用駆動信号を出力する。つまり、各信号線 S_1 , S_2 , $S_3 \sim S_n$ を通して表示信号を出力する。1 水平期間内で走査線駆動回路 20 により選択された 1 行分の液晶セルに対して、信号線駆動回路 22 はトランジスタ 12 を介して画素電

50

圧を出力する。

【0040】

対向電極駆動回路24は対向電極用駆動信号を出力し、図示しない第2の透明基板に形成された対向電極14を介して全ての液晶セル15に共通の対向電極電圧（Vcom）を印加する。

【0041】

トランジスタ12のドレインが接続される画素電極13に補助容量16の一端が接続され、この補助容量16の他端は、補助容量線駆動回路26に接続されている。図1に示すように、つまり、各行の画素15に配設される補助容量16の他端は共通に配線され、補助容量線駆動回路26に接続される補助容量線を形成している。従って、1, 2, 3～m行の補助容量線は、それぞれ補助容量線駆動回路26の第1出力端子～第m出力端子に接続される。第1出力端子～第m出力端子からは、それぞれVcs1～Vcsmが出力される。

10

なお、上記の場合には液晶表示装置1を白黒表示として説明しているカラー表示に対応した画素でもよい。

【0042】

図2は、本発明の第1の実施形態としてのカラー液晶表示装置1における第1の基板41の一部を示す透過平面図であり、図3（A）は図2のX-X線に沿う断面図、図3（B）は図2のY-Y線に沿う部分における第2の基板42を含む断面図を示している。

【0043】

20

図2に示すように、第1の基板41上には複数の走査線44、複数の信号線45がそれぞれ行方向、列方向に延びて設けられている。両線44, 45の各交差部近傍には、両線44, 45に接続された薄膜トランジスタ46とこの薄膜トランジスタ46によって駆動される画素電極47とが配置されている。また、画素電極47を挟んで走査線44とは反対側に補助容量線48が画素電極47と重ね合わされて行方向に沿って設けられている。

【0044】

図3（B）に示すように、このカラー液晶表示装置1では、第1の基板41とこの第1の基板41の上方に位置する対向基板となる第2の基板42とがほぼ方形枠状のシール材（図示せず）を介して貼り合わされ、シール材と両基板41, 42との間に画成された空間に液晶43が封入されている。

30

【0045】

次に、薄膜トランジスタ46等の具体的な構造について図3（A）を参照して説明する。第1の基板41の上面、すなわち第2の基板42との対向面の一方の所定の箇所にはゲート電極51を含む走査線44が設けられ、他方の所定箇所には補助容量線48が設けられ、その上面全体にはゲート絶縁膜52が設けられている。

【0046】

ゲート絶縁膜52の上面の所定箇所には真性アモルファスシリコンからなる半導体薄膜53が設けられている。半導体薄膜53の上面において、半導体薄膜53とゲート電極51との交差部よりも所定量内側には、チャンネル保護膜54が設けられている。チャンネル保護膜54の上面両側およびその両側における半導体薄膜53の上面にはn型アモルファスシリコンからなるコンタクト層55, 56が設けられている。

40

【0047】

一方のコンタクト層55の上面にはドレイン電極57が設けられている。他方のコンタクト層56の上面およびゲート絶縁膜52の上面の所定の箇所にはソース電極58を含む信号線45が設けられている。

【0048】

ゲート電極51、ゲート絶縁膜52、半導体薄膜53、チャンネル保護膜54、コンタクト層55、56、ドレイン電極57およびソース電極58により、薄膜トランジスタ46が構成されている。

【0049】

50

薄膜トランジスタ46等を含むゲート絶縁膜52の上面全体には絶縁材料からなるオーバーコート膜59が設けられている。このオーバーコート膜59は平坦化膜であってもよい。オーバーコート膜59のドレイン電極57の所定箇所に対応する部分にはコンタクトホール60が設けられている。オーバーコート膜59の上面の所定箇所には、画素電極47が設けられている。画素電極47はITOからなる透明電極で形成されている。画素電極47はコンタクトホール60を介してドレイン電極57に接続されている。

【0050】

次に、第2の基板42について図3(B)を参照して説明する。第2の基板42の下面(第1の基板41との対向面)の各所定箇所にはブラックマトリクス61およびR、G、Bのカラーフィルタ要素62R、62G、62Bが設けられている。このうちカラーフィルタ要素62R、62G、62Bは、対応する画素電極47に対向して設けられている。

10

【0051】

ブラックマトリクス61及びカラーフィルタ要素62R、62G、62Bの下面には、ITOからなる透明電極で対向電極63が形成されている。画素電極47とこれに対向配置した対向電極63との間に封入される液晶43によって画素容量部が形成されている。この場合、画素電極47の面積は同じであるので、画素容量部の画素容量は同じである。

【0052】

ここで、図2に示すように、補助容量線48のうち画素電極47と重ね合わされた部分は各画素に設けられる補助容量電極48aとなっている。そして、この重ね合わされた部分によって図1に示す補助容量16が形成されている。つまり、補助容量16は、図2及び図3に示したカラー液晶表示装置1では、第1の基板41上に設けた配線の一部である補助容量電極48aと、この配線上に設けた絶縁膜52、59と、この絶縁膜52、59上に設けた透明電極からなる画素電極47と、により形成されている。

20

【0053】

一方、各カラーフィルタ要素62R、62G、62Bに対応する各画素電極47は、オーバーコート膜59上に設けられているため、同一の平面上に配置されている。従って、R、G、Bの各画素におけるギャップの寸法はdである(図3(B)参照)。

【0054】

図1の画素15に接続されるスイッチング素子12である薄膜トランジスタは勿論のこと、走査線駆動回路20、信号線駆動回路22、補助容量線駆動回路26の少なくとも1回路又は全ての回路は、図2～図3の液晶表示装置1上に形成することができる。例えば、薄膜トランジスタ12及び上記の各駆動回路は、低温ポリシリコンを用いて第1の透明基板41に形成され、TFTアレイ基板が構成される。ここで、第1の基板41と第2の基板42との間隙に液晶43が充填される。

30

なお、補助容量16は、図2及び図3に示したカラー液晶表示装置1では、第1の基板41上に設けた補助容量電極48aと絶縁膜52、59と画素電極47とにより形成されているが、カラー液晶表示装置1の画素構造に応じて他の構造を用いてもよい。

【0055】

図4は、1行3列の画素構造の等価回路を示すブロック図であり、C1cは画素容量を、Ccsは補助容量16を示している。スイッチング用素子12の添え字は行及び列を示し、1行目の補助容量線をCS1で示している。

40

【0056】

いま、信号線及び対向電極に対して矩形波信号が印加されることで、走査線が選択され、走査線(G₁)に接続される画素15のスイッチング素子12がオン状態となって画素電極13に表示信号に基づく電圧が印加される。即ちオン状態において、図1に示す補助容量線駆動回路26は、補助容量16の他端、つまり、補助容量電極17に対して対向電極用駆動信号の第1周期には第1の電圧を印加する。続いて、対向電極用駆動信号の第1周期の後のp+1/2周期(ここで、pは0又は自然数)には第2の電圧を印加し、p+1/2周期の後の保持期間中を開状態とする信号を出力する。この対向電極用駆動信号は、各行の走査線用駆動信号に合わせて所定のタイミングで出力される。

50

これにより、画素電極 1 3 と対向電極 1 4 との電位差の絶対値を増加させることができる。

【0057】

図 5 は本発明に係る液晶表示装置 1 の駆動方法の一例を示す波形で、それぞれ、(A) が対向電極用駆動信号を、(B) が補助容量線用駆動信号を、(C) が信号線用駆動信号を、(D) が走査線用駆動信号を、(E) が画素電極 1 3 の電圧と共に画素 1 5 に印加される電圧（画素電極 1 3 と対向電極 1 4 との電圧差）を示している。

図 5 (A) に示すように、対向電極用駆動信号は、走査線用駆動信号のパルス幅に対応して、ハイレベル (V_{comH}) 及びローレベル (V_{comL}) の振幅を繰り返す矩形波であり、走査線用駆動信号がオンとなる $t_0 \sim t_1$ 及び $t_5 \sim t_6$ ではそれぞれ、ハイレベル (V_{comH}) 及びローレベル (V_{comL}) の振幅を有するような波形である。図 5 (C) に示した波形は、液晶に最大電圧を与える場合の信号線用駆動信号の一例である。図 5 (D) に示すように、走査線用駆動信号は矩形波であり、 $t_0 \sim t_1$ 及び $t_5 \sim t_6$ の期間が充電期間となる所謂ハイレベルの振幅と、 $t_1 \sim t_5$ 及び $t_6 \sim t_{10}$ の期間が保持期間となるローレベルの振幅とを有している。 $t_1 \sim t_5$ の時間周期においては、図に示す数周期ではなく、数百以上のパルスで占められていることに注意すべきである。同様に、対向電極用駆動信号 V_{com} のレベルは、 $t_5 \sim t_6$ の時間周期においては、 $t_1 \sim t_2$ の時間周期とは反転した信号になることに注意すべきである。これは、各フレームで繰り返される。

【0058】

ここで、対向電極用駆動信号、補助容量線用駆動信号及び信号線用駆動信号において、 $t_0 \sim t_2$ を第 1 の周期、 $t_2 \sim t_4$ を第 2 の周期と呼ぶ。また、走査線用駆動信号の 1 周期は、スイッチング素子 1 2 を導通状態とするオン期間（充電期間とも呼ぶ）とスイッチング素子 1 2 を非導通状態のオフとする保持期間とからなる。

【0059】

補助容量線用駆動信号について説明する。

図 5 (B) に示すように、補助容量線用駆動信号 V_{cs} は、走査線用駆動信号が充電期間 ($t_0 \sim t_1$ の期間) のとき第 1 の電圧、つまり、対向電極 1 4 に印加される電圧 V_{comH} と同じ電圧 V_{cs1} ($V_{cs1} = V_{comH}$) であり、 $t_1 \sim t_2$ のとき対向電極 1 4 に印加される電圧と同じ V_{comL} であり、次の $t_2 \sim t_3$ のとき対向電極 1 4 に印加される電圧 V_{comH} とは異なる第 2 の電圧 (V_{cs2}) である。 $t_3 \sim t_5$ のとき、補助容量 1 6 は補助容量線駆動回路 2 6 によりフローティング状態となる。つまり、各走査線が選択され、走査線 (G_1) に接続される画素 1 5 のスイッチング素子 1 2 がオン状態となり画素電極 1 3 に表示信号に基づく電圧が印加されたとき、補助容量線駆動回路 2 6 は、各補助容量線に対して対向電極用駆動信号の第 1 周期には第 1 の電圧を印加する。次に、対向電極用駆動信号のオン期間 (t_0 から t_2) の次の半周期 ($t_2 \sim t_3$) には、補助容量線駆動回路 2 6 は各補助容量線に対してこの半周期に同期した別の第 2 の電圧を印加し、この半周期の後の保持期間 ($t_3 \sim t_6$) では開状態とする信号を出力する。補助容量線駆動回路 2 6 は、各行の走査線用駆動信号毎に各行の補助容量線に対して上記の電圧信号を印加する。

【0060】

これにより、画素 1 5 で生じた電圧差は次の書き込みまで保持される。このように、補助容量線 4 8 と対向電極 1 4 へそれぞれ印加される V_{com} と V_{cs} は、何れも走査信号のパルス間の間、50% デューティの矩形波である。選択／充電動作は、走査線信号 V_g ($t_0 \sim t_1$) がハイレベルのときに行われる。 V_{com} と V_{cs} のレベルが、 $t_2 \sim t_3$ の期間の充電の後、ローレベルに戻ると、 V_{cs} は、ハイレベルからローレベルに変化し、液晶 4 3 には大きな電圧差が生じる。この後 (t_3 以降)、補助容量線 4 8 の電圧 V_{cs} は、画素 1 5 の液晶 4 3 に生じた大きな電圧差を維持するためにフローティング状態にされる。画素 1 5 を交流 (AC) モードで駆動するために、これらの信号のハイレベルとローレベルの役割は、次のフレームで反転される。従って、次のフレーム (図 5 の t_5

～t 10 参照) では、V c s のレベルは、t 5～t 10 の期間においてV c o m Lから高い電圧となる。

なお、第2の電圧を印加する期間は半周期に限らず、 $p+1/2$ 周期(ここで、pは0又は自然数)としてもよい。以下の説明においては、第2の電圧を印加する期間は半周期として説明する。

【0061】

図5(B)に示すように、補助容量線用駆動信号は、t 5～t 6のとき、つまり、走査線用駆動信号が充電期間のとき、対向電極14に印加される電圧と同じ電圧V c o m Lであり、t 6～t 7のとき対向電極14に印加される電圧と同じ第1の電圧V c s 1 (V c s 1 = V c o m H)であり、次のt 7～t 8のとき対向電極14に印加される電圧(V c o m L)とは異なる第2の電圧(V c s 2)である。t 8～t 10のとき補助容量16の他端、つまり、補助容量電極17を含む補助容量線48は補助容量線駆動回路26によりフローティング状態とされる。

【0062】

本発明の駆動方法の動作原理をさらに詳しく説明する。

対向電極14と画素電極13との間の容量(C l c)と、画素電極13と補助容量電極17との間の容量(C c s)は、液晶の誘電率変化を考慮しなければ一定である。さらに、画素電極13と補助容量電極17との間の容量(C c s)も一定である。画素15の充電が終了したときの画素電極13の電位をV p i x 1、充電中の対向電極14の電位をV c o m W、充電中の補助容量電極17の電位をV c s 1とすると、画素電極13(P i x)には、

$$Q = C l c \times (V p i x 1 - V c o m W) + C c s \times (V p i x 1 - V c s 1)$$

で示す電荷が充電されている。画素15の充電(例えば、図5のt 1参照)が終了すれば画素15のトランジスタ12がオフになるため、画素15はフローティング状態となり、このQは次の充電まで一定のまま保持される。従来例では、この状態からV p i xを含めた全体の電位が、対向電極14の電位に合わせて図15のように振動する。

【0063】

ここで、補助容量電極17の電圧のみV c s 1からV c s 2に変化させると、QとC l c、C c sが一定であるため、充電直後とは電位関係が変化する。変化後の画素電位をV p i x 2とすると、

$$\begin{aligned} Q &= C l c \times (V p i x 1 - V c o m W) + C c s \times (V p i x 1 - V c s 1) \\ &= C l c \times (V p i x 2 - V c o m W) + C c s \times (V p i x 2 - V c s 2) \end{aligned}$$

の関係が成り立ち、このため画素電極の電位V p i xは

$V p i x 2 - V p i x 1 = C c s / (C l c + C c s) \times (V c s 2 - V c s 1)$ だけ変化する。液晶に印加される電圧はV p i x - V c o mなので、 $V p i x 2 - V p i x 1 > 0$ 、すなわち $V c s 2 - V c s 1 > 0$ (図5のt 7～t 8参照)であるようにV c s 2を設定すれば画素15の電圧が昇圧されることになる。V c s 2 < V c s 1(図5のt 2～t 3参照)であれば降圧となる。これはL S I内部で昇圧に用いられているチャージポンプと類似の現象であるが、V c o mという電位が関与する点異なる。

【0064】

補助容量電極17には、画素15の充電時にV c s 1(V c o m相当)を与え、その1周期後(即ち、対向電極の電位が充電時と同電位になったとき)のt 2～t 3(又はt 7～t 8)のときにV c s 2を与える。これ以外のタイミングでは、補助容量電極17の駆動電源は、補助容量電極17を開状態、つまり高インピーダンスにして補助容量線をフローティング状態とする。このような駆動を行うことで、V c s 2の印加による画素電圧(V p i x)の昇圧状態を保持期間中維持することが可能になる。すなわち、ドライバL S Iの電圧制限内のV c s 1、V c s 2を使用しながら画素15の電位を昇圧して、4. 8 Vを超えることが可能になる。

ここでポイントとなるのが、補助容量電極17の電圧をV c s 1からV c s 2に変化させるとき、V c o mが画素15の充電時と同じ電位であることである。V c s 1、V c s

2 が共にドライバ L S I から供給可能な電圧 (V_s との差が 4.8 V 以内) であることはこのタイミングで実現できる。対向電極駆動用信号の第 1 周期の後の $p+1/2$ 周期 (p は 0 又は自然数) とは、この条件が満たされる周期を示している。

【0065】

第 1 の実施形態では、補助容量電極 17 の電位を変化させて、これによって画素電位を押し上げるチャージポンプ類似の回路動作としたので、L S I の出力電圧以上の電圧で液晶を駆動することが可能になる。これにより補助容量線 48 を対向電極配線から独立させたので、このような昇圧動作に必要な信号を自由に印加できる。

【0066】

第 1 の実施形態では、一例として、補助容量電極 17 をドライバ L S I からの配線で駆動するようにしたが、表示エリアに隣接してアモルファスのシリコン又はポリシリコンからなる薄膜トランジスタを用いた駆動回路を作り込み、これで駆動しても良い。この場合、薄膜トランジスタ 12 や液晶の表示部 10 周辺の配線数が減少するため L S I を大きくしなくても良いという効果を得られる。

【0067】

第 1 の実施形態では、補助容量 16 の昇圧を補助容量電極 17 へ印加する電圧変化で行っている。従来の画素補助容量の構成は同一にしたままで、補助容量 16 として別電極を追加することでも同様の効果を得ることができる。図 6、図 7 (A)、(B) は、本発明の別の実施形態を示している。

図 6 は、補助容量 16 と画素補助容量 18 とを別々に設けた場合のブロック図を示し、図 7 (A)、(B) は具体的な画素構造を示す図である。

図 6 に示すように、補助容量は第 1 及び第 2 の補助容量 16, 18 からなっている。この構成の場合には、第 1 の補助容量 16 を単に補助容量と呼び、第 2 の補助容量を画素補助容量 18 と呼ぶ。補助容量 16 を形成する他端の補助容量電極 17 が C S 端子に接続され、画素補助容量 18 の他端の電極が C O M 電極 (対向電極 14 にも接続される) に接続されているので、補助容量 16 と画素補助容量 18 との電極には独立に電圧が印加される。つまり、補助容量 16 及び画素補助容量 18 の一端が画素電極 13 に共通に接続され、補助容量 16 と画素補助容量 18 との他端はそれぞれ個別に配設されている。補助容量 16 の他端が補助容量線駆動回路 26 に接続されると共に、画素補助容量 18 の他端が対向電極 14 に接続されている。つまり、画素補助容量 18 は画素 15 と並列に接続される。

【0068】

図 7 において、(A) は画素構造の平面図であり、(B) はその断面図を示している。この場合、各行の画素 15 に配設される補助容量 16 の他端には補助容量電極 17 が形成され、各補助容量電極 17 が補助容量線 48 によって相互に接続されている。この補助容量 16 の電極配線は、画素補助容量 18 の電極配線と平行に配設することができる。従って、パターンレイアウトの上で自由度が増える利点がある。例えば、補助容量 16 及び画素補助容量 18 を形成するための対向する電極のパターンをそれぞれ任意に設計する。これにより、画素に蓄積させる電荷の保持するための蓄積容量を十分にし、同時に、液晶セル 15 に印加される電圧 (V_{pp} 、ピーク間電圧) を昇圧するような補助容量 16 を形成することができる。

【0069】

図 8 は、本発明の液晶表示装置 30 における第 2 の実施形態を示すブロック図である。補助容量線駆動回路 26 は、各走査線 ($G_1 \sim G_m$) で駆動される補助容量 16 毎に接続される第 1 及び第 2 の補助容量駆動用トランジスタ 31, 32 を含んで構成されている。

走査線駆動回路 20 の各走査線に接続される n 個の画素電極 13 は、補助容量 16 の一端が接続され、補助容量 16 の他端が共通電極として形成されている。この共通電極は、走査線駆動回路 20 の本数分だけ設けられている。この補助容量 16 の共通電極からなる配線を補助容量線 ($Cs_1 \sim Cs_m$) 48 と呼ぶ。つまり、補助容量線 48 のそれぞれは、1 本ずつ分離された状態となり、その両端に設けた第 1 及び第 2 の補助容量駆動用トランジスタ 31, 32 で駆動される。

【0070】

第1の補助容量駆動用トランジスタ31は、図示するように走査線の本数である m 個が走査線駆動回路20に沿って一列に配置されるので、 $CTr_{11} \sim CTr_{1m}$ と呼ぶ。同様に、第2の補助容量駆動用トランジスタ32は、走査線の本数である m 個がスイッチング素子12の n 列に沿って配置されるので、 $CTr_{21} \sim CTr_{2m}$ と呼ぶ。

【0071】

画素電極13は、トランジスタ12のドレインに接続されている。一行の対応する画素電極13と共に液晶セル15を形成する対向電極14は、全て互いに接続され、第1の補助容量駆動用トランジスタ31の第2主電極に接続されている。1行目の画素電極13と共に補助容量16を形成する補助容量電極17は互いに接続され、第1の補助容量駆動用トランジスタ31の第1主電極に接続されている。第1の補助容量駆動用トランジスタ31の各制御電極は、対応する各走査線に接続される。2行目及び3行目の画素も同様に構成されている。そして、画素補助容量18のための対向電極14は、全て第1の共通電極となる対向電極配線(COM1と呼ぶ)に接続されている。図示するように、第2の補助容量駆動用トランジスタ32の第2主電極は全て第2の共通電極配線(COM2と呼ぶ)に接続されている。2行目及び3行目の画素も同様に構成されている。このようにして、画素補助容量18を形成する他端の電極である対向電極14の電圧は常時COM1の電圧レベルに制御される。補助容量線48に印加される電圧は、第1の補助容量駆動用トランジスタ31と第2の補助容量駆動用トランジスタ32のスイッチング状態によってCOM2の電圧レベルに制御される。

【0072】

i 行目の第1の補助容量駆動用トランジスタ31において、第1主電極は i 行目の補助容量16に接続される補助容量線48と接続され、第2主電極は第1の共通電極となる対向電極配線(COM1)と接続され、制御電極が i 行目の走査線 G_i と接続されている。

【0073】

$i+2$ 行目の第2の補助容量駆動用トランジスタ32において、第1主電極は i 行目の第1の補助容量駆動用トランジスタ31の第1主電極及び補助容量16に接続される補助容量線48に接続され、第2主電極は全て第2の共通電極配線(COM2)と接続され、制御電極は $i+2$ 行目の走査線 G_{i+2} と接続されている。従って、1行目の n 個の画素15($15_{11} \sim 15_{1n}$)の制御には、第1の補助容量駆動用トランジスタ CTr_{11} と第2の補助容量駆動用トランジスタ CTr_{23} とが使用される。同様に、 i 行の各画素15の制御には、トランジスタ CTr_{1i} とトランジスタ $CTr_{r(i+2)}$ が使用される。

【0074】

なお、 $m-1$ 行目の n 個の画素15の制御には、第1の補助容量駆動用トランジスタ $CTr_{1(m-1)}$ と第2の補助容量駆動用トランジスタ CTr_{21} とが使用される。 m 行目の n 個の画素制御には、第1の補助容量駆動用トランジスタ CTr_{1m} と第2の補助容量駆動用トランジスタ CTr_{22} とが使用される。

【0075】

補助容量線駆動回路26は、走査線毎に第1及び第2の補助容量駆動用トランジスタ31, 32が接続され、第1の補助容量駆動用トランジスタ31の第2主電極には対向電極配線(COM1)が接続され、第2の補助容量駆動用トランジスタ32の第2主電極が第2の共通電極配線(COM2)と接続されている。走査線が1行目の G_1 の場合には、第1の補助容量駆動用トランジスタ31の制御電極が1行目の走査線 G_1 に接続され、第2の補助容量駆動用トランジスタ32の制御電極は3行目の走査線 G_3 に接続されている。

【0076】

共通電極配線(COM2)には、対向電極配線(COM1)の逆相電圧を印加することができる。この場合には、もちろんCOM反転信号生成回路をCOMドライバに設けてもよいが、図示しない薄膜トランジスタからなるインバータ回路を、対向電極駆動回路24に接続し、インバータ回路の出力を共通電極配線(COM2)に接続することで容易に実現することができる。図9は1画素15の等価回路を模式的に示すものである。

【0077】

図8において、走査線 G_1 、 G_2 、 $G_3 \sim G_m$ が順次選択されていく。走査線 G_1 が選択されたとき、走査線 G_1 に接続されたスイッチング素子12が導通（オン）状態になって各画素15の液晶及び補助容量16がそれぞれ接続された信号線 S_1 、 S_2 、 $S_3 \sim S_m$ の電位に充電される。このときの選択／充電期間で、走査線 G_1 に対応する補助容量線48は、第1の補助容量駆動用トランジスタ CTr_{11} によって対向電極14の電圧（COM1）が印加される。このとき、補助容量16に接続された第2の補助容量駆動用トランジスタ CTr_{23} は、走査線 G_3 が非選択なので遮断（オフ）状態である。従って、 V_{com2} は、補助容量16を形成する補助容量電極17の電圧に影響しない。補助容量電極17は第1の補助容量駆動用トランジスタ CTr_{11} によってのみ駆動されている。

10

【0078】

走査線 G_1 の選択／充電期間が終了して非選択状態になり、走査線 G_2 が選択されているときは、第1及び第2の補助容量駆動用トランジスタ CTr_{11} 及び CTr_{23} は、ゲートがローレベルであるので共にオフ状態になっている。従って、補助容量電極17及び画素電極13はフローティング状態となり、走査線 G_1 の選択時に充電された電荷が保持されており、対向電極14と同じ電位（COM1）を維持する。これにより、 V_{com1} が変化しても、当該液晶15と補助容量16との間の電圧差は同じ状態を保つ。

【0079】

走査線 G_2 の選択／充電期間が終了して非選択状態になり、走査線 G_3 が選択されると、第2の補助容量駆動用トランジスタ CTr_{23} がオン状態になる。これは、第2の補助容量駆動用トランジスタ CTr_{23} のゲートへ接続される走査線 G_3 がハイレベルであることによる。

20

これにより、COM2ラインの電圧である V_{com2} が、1行中の補助容量線48（ $Cs1$ ）へ第2の補助容量駆動用トランジスタ CTr_{23} を介して印加される。補助容量電極17には第2の補助容量駆動用トランジスタ CTr_{23} 経由で補助容量線駆動回路からの電圧（COM2）が印加される。このとき、COM2の電位は、COM1とは異なる電位であり、補助容量電極17の電位はCOM1からCOM2に変化する。従って、このとき1行中の液晶セル15の対向電極14には電圧 V_{com1} が供給され、一方、補助容量線48（ $Cs1$ ）には電圧 V_{com2} が供給される。この電位変化が、補助容量線48経由で画素電極13とCOM1の電位差を広げる。すなわち、チャージポンプと類似の効果で液晶印加電圧を昇圧する。

30

【0080】

上記したように、走査線 G_3 の選択が終了した後は、次に走査線 G_1 が選択されるまでの期間は保持期間となり、第1及び第2の補助容量駆動用トランジスタ CTr_{11} 及び CTr_{23} は共にオフ状態が継続する。すなわち、補助容量16には、COM2の書き込みで充電された電荷が保持され、この効果で走査線 G_1 上の画素電圧の昇圧状態が維持される。画素15の昇圧は、COM1と電位差を生じた状態で維持される。これは、補助容量線48（ $Cs1$ 、 $Cs2 \sim Csm$ ）がフローティング状態だからである。

【0081】

図10は、本発明の液晶表示装置30の駆動方法を示す波形であり、それぞれ、（A）が対向電極用駆動信号を、（B）が第2の共通電極用駆動信号（ V_{com2} ）を、（C）が信号線用駆動信号を、（D）が走査線 G_1 の駆動信号を、（E）が走査線 G_2 の駆動信号を、（F）が走査線 G_3 の駆動信号を、（G）が補助容量線48に印加される補助容量線駆動信号を、（H）が当該画素15の画素電極13における電圧と、画素電極13と対向電極14との間に生じる液晶セル15の電圧差と、を示している。

40

図10（A）に示すように、対向電極用駆動信号（ V_{com1} ）は矩形波であり、第2の共通電極用駆動信号（ V_{com2} ）は対向電極用駆動信号（ V_{com1} ）の逆相信号である（図10（B）参照）。図10（C）に示すように、信号線用駆動信号は、対向電極用駆動信号とは逆相の矩形波である。図10（D）～（F）に示すように、走査線用駆動信号は矩形波であり、選択／充電期間がハイレベルの振幅を有している。走査線用駆動信

50

号 G_1 において、 $t_0 \sim t_1$ 及び $t_5 \sim t_6$ が充電のオンとなるハイレベルの振幅を有し、上記のオン期間以外は、全てオフ、つまりローレベルの振幅を有するような波形である。同様に、走査線用駆動信号 G_2 は、 $t_1 \sim t_2$ 及び $t_6 \sim t_7$ が充電のオンとなるハイレベルの振幅を有しており、上記のオン期間以外は、全てオフ、つまりローレベルの振幅を有するような波形である。走査線用駆動信号 G_3 は、 $t_2 \sim t_3$ 及び $t_7 \sim t_8$ が充電のオンとなるハイレベルの振幅を有しており、上記のオン期間以外は、全てオフ、つまりローレベルの振幅を有するような波形である。上記走査線用駆動信号のローレベルとなる期間を「保持時間」と呼ぶ。

【0082】

図10 (G) は補助容量電極17に印加される波形を示しており、走査線用駆動信号 G_1 がオン（ハイレベル）したとき（ $t_0 \sim t_1$ ）、第1の補助容量駆動用トランジスタ31が導通し、この期間 V_{com1} が補助容量電極17に印加される。走査線用駆動信号 G_3 がオンしたとき（ $t_2 \sim t_3$ ）、第2の補助容量駆動用トランジスタ32が導通し、この期間 V_{com2} が、画素電極13に対向して配置されている補助容量電極17に印加される。上記期間以外の $t_3 \sim t_5$ は、第1及び第2の補助容量駆動用トランジスタ31、32は導通しないので、補助容量電極17はフローティング状態とされる。このような駆動信号とすることで、補助容量電極17の電位（ V_{cs} ）は、第1の補助容量駆動用トランジスタ31に印加される走査線用駆動信号 G_1 及び第2の補助容量駆動用トランジスタ32に印加される走査線用駆動信号 G_3 の周期毎に信号中心が上下する波形となる。上記で説明したと同様な理由によって、この変化で画素電位の昇圧が可能になる。

【0083】

図10 (H) は画素電極13と共に液晶画素15の電圧差の波形を示している。図示するように、 $t_2 \sim t_3$ の期間で補助容量線48の電圧の影響で画素電極13の波形が変化し、 $t_3 \sim t_5$ の期間で画素15に印加される電圧が向上する。これにより、補助容量線駆動回路26を用いることで画素電極13と対向電極14との電位差の絶対値を増加させる昇圧効果が得られる。

【0084】

第2実施形態の補助容量線駆動回路26では、既存の走査線駆動からの信号を、第1及び第2の補助容量駆動用トランジスタ31、32の制御信号として用いている。同様に、第1の補助容量駆動用トランジスタ31の主電極に印加される電圧（ V_{com1} ）は、対向電極駆動回路24から供給することができる。さらに、第2の補助容量駆動用トランジスタ32の主電極に印加する V_{com2} には、対向電極駆動回路24からの反転信号を供給することができる。従って、第2実施形態の補助容量線駆動回路26では、補助容量駆動のための信号形成が容易になる。また、補助容量駆動のための新規な内外の配線が不要となり、液晶表示装置30の補助容量駆動用端子を、新たに液晶表示装置30の駆動用LSIや液晶表示装置30の回路に設ける必要がないという有利な効果も生じる。

【0085】

V_{com1} と V_{com2} の波形やそれらの値は、多くの態様と変形例が可能である。第2の実施形態では、補助容量駆動の信号を V_{com} 反転信号としたが、この信号は V_{com} の振幅中心に相当する直流電圧（ V_{comDC} ）であっても良い。この場合、信号（ V_{com2} ）の供給が更に容易になる効果がある。もちろん、 V_{com} 反転のタイミングや振幅中心を維持したままで振幅を小さくしても良い。振幅が0になった状態がミニマムで、これが V_{comDC} である。

さらに、図10に示す V_{com2} の振幅は、図10 (B) に示す値よりも小さな値に変更することができる。 V_{com2} に対しては、液晶セル15に印加される電圧を昇圧させる限り、 V_{com2} の電圧や周期は多くの変形が可能である。

【0086】

第2の実施形態においても、第1の実施形態と同様、画素用補助容量（ C_p ）18を昇圧用の補助容量（ C_s ）16と異なるものとして設けても良い。図6及び図7に示すように、液晶を形成する画素補助容量18と並列に別の補助容量を設けてもよい。このような

例を図 1 1 に示す。図 1 1 は画素補助容量 1 8 と補助容量 1 6 とを別々に設けた場合のブロック図を示し、図 1 2 は具体的な画素構造を示す図である。

図 1 1 に示すように、画素補助容量 1 8 と補助容量 1 6 との一端は画素電極 1 3 に共通に接続され、画素補助容量 1 8 と他端と補助容量 1 6 との他端となる補助容量電極 1 7 は、それぞれ個別に配設されている。図示の場合には、画素補助容量 1 8 の他端は対向電極 1 4 に接続されると共に、補助容量 1 6 の他端は補助容量線駆動回路 2 6 に接続されている。

【0087】

図 1 2 において、(A) は画素構造の平面図、(B) はその断面図を示している。この場合、各行の画素 1 5 に配設される補助容量 1 6 の他端は補助容量線 4 8 を形成している。この補助容量線 4 8 は、画素補助容量線と平行に配設することができる。従って、パターンレイアウトのうえで自由度が増える利点がある。

図 1 1 及び図 1 2 に示すように、各画素に関する補助容量 1 6 と画素補助容量 1 8 の構造は、図 6 及び図 7 に示す構造と同様のものである。

上記例では、独立に駆動される補助容量線 4 8 は、画素容量の対向する電極に接続される容量線とは平行に配設されている。従って、パターンレイアウトのうえで自由度が増える利点がある。容量を形成するための対向する電極及び容量線のパターンは任意に設計することができるので、パターン設計の自由度が達成される。これが利点である。例えば、補助容量 1 6 及び画素補助容量 1 8 を形成するための対向する電極のパターンを、それぞれ任意に設計する。これにより、画素 1 5 に蓄積させる電荷の保持するための蓄積容量を十分にし、同時に、液晶セル 1 5 に印加される電圧 (V_{pp} 、ピーク間電圧) を昇圧するように画素電極 1 3 と補助容量電極 1 7 とで生じる容量結合を得るようにすることができる。

ここで、補助容量線駆動回路 2 6 は、表示部 1 0 に隣接して設けることができる。補助容量線駆動回路 2 6 は、図 2 及び図 3 で説明したように、画素 1 5 に接続されるスイッチング素子 1 2 と同様に、アモルファスシリコン又はポリシリコンを用いて第 1 の透明基板 4 1 に形成し、TFT アレイ基板を構成することができる。

【0088】

上記の液晶表示装置 1, 30 の実施形態において、各補助容量線 4 8 は、信号線 4 5 と交差している。

図 1 3 は図 2 に示した画素の信号線 4 5 と補助容量線 4 8 との交差部を示す断面模式図である。図 1 3 は図 2 の A-A 線に沿う断面図であり、各補助容量線 4 8 は信号線 4 5 と交差しているので、各交差部で寄生容量 C_{st} を形成する。

【0089】

図 1 4 は、液晶表示装置 30 において寄生容量 C_{st} を含む等価回路を示す図である。図 1 4 に示すように、補助容量線 4 8 と信号線 4 5 との交差部に寄生容量 C_{st} が形成されているので、フローティング状態の補助容量線 4 8 は、寄生容量 C (各交差部に発生する寄生容量) $\times$ 信号線の本数 n の合成容量を有している。このため、補助容量線 4 8 は、合成容量 C_n を介して信号線 4 5 の平均電位の影響を受けて電位変動してしまう。補助容量線 4 8 の電位変動は、補助容量線 4 8 と接続されている画素列の昇圧変化をもたらすため、信号線電位、即ち画像データによって、補助容量線 4 8 単位で画素電圧が影響を受ける。

【0090】

次に、液晶表示装置 1, 30 において、信号線 4 5 と補助容量線 4 8 との交差部に生じる寄生容量を遮蔽することができる画素の変形例について説明する。

図 1 5 は、画素の変形例の構成を示す部分透視平面図であり、図 1 6 は、図 1 5 の X-X 線に沿った断面図を示している。

図 1 5 に示すように、画素 70 は、信号線 4 5 と補助容量線 4 8 との間に生じる寄生容量 C_{st} を遮蔽するための寄生容量遮蔽配線 72 を備えている。図 1 5 に示すように、寄生容量遮蔽配線 72 は、直線部 72a と凸部 72b とを有している。

寄生容量遮蔽配線 7 2 は、補助容量線 4 8 とスイッチング素子 4 6 との間の領域において補助容量線 4 8 及び補助容量電極 4 8 a 側に、かつ平行に配設されており、補助容量線 4 8 に平行な直線部 7 a と、補助容量線 4 8 と信号線 4 5 との交差部とを覆う凸部 7 2 b と、を有している。この凸部 7 2 b は、信号直線部 7 2 a から紙面上方に垂直に折れ曲がるように延出している。このため、寄生容量遮蔽配線 7 2 は、各列の信号線 4 5 と各行の補助容量線 4 8 との交差部を通過するように配設されている。なお、凸部 7 2 b は信号線 4 5 と補助容量線 4 8 との交差部に設けられているので、単に交差部とも呼ぶ。

【0091】

図 1 6 に示すように、画素 7 0 においては、図 2 及び図 3 に示した液晶表示装置 1 の第 1 の基板 4 1 上に形成されているゲート絶縁膜 5 2 を、第 1 のゲート絶縁膜 7 4 と第 2 のゲート絶縁膜 7 5 の順に積層した 2 層構造とし、第 1 のゲート絶縁膜 7 4 上に寄生容量遮蔽配線 7 2 となるパターンが形成されている。補助容量線 4 8 を第 1 の基板 4 1 上に形成するのは、液晶表示装置 1 と同じである。

10

【0092】

画素 7 0 においては、図 2 及び図 3 に示す液晶表示装置 1 のゲート絶縁膜 5 2 上に形成されていた補助容量線 4 8 及び信号線 4 5 が、第 2 のゲート絶縁膜 7 5 上に形成されている。寄生容量遮蔽配線 7 2 は、図 1 に示す各補助容量線 $Cs1$ 、 $Cs2 \sim Csm$ に対応して m 本形成されている。

【0093】

図 1 7 は、画素 7 0 における寄生容量遮蔽配線 7 2 の追加によって寄生容量遮蔽配線 7 2 と信号線の交差部に生じる容量を示す断面模式図である。図示するように、補助容量線 4 8 と寄生容量遮蔽配線 7 2 とは、第 1 のゲート絶縁膜 7 4 を挟んで対向しているので、補助容量線 4 8 と寄生容量遮蔽配線 7 2 との間に第 1 の交差部容量 7 6 が生じる。さらに、寄生容量遮蔽配線 7 2 と信号線 4 5 とは第 2 のゲート絶縁膜 7 5 を挟んで対向しているので、寄生容量遮蔽配線 7 2 と信号線 4 5 との間に第 2 の交差部容量 7 7 が生じる。従って、補助容量線 4 8 と信号線 4 5 との間には、共に寄生容量遮蔽配線 7 2 との間に第 1 及び第 2 の交差部容量 7 6、7 7 が形成されるが、補助容量線 4 8 と信号線 4 5 との間には直接結合する寄生容量が形成されなくなる。

20

【0094】

寄生容量遮蔽配線 7 2 は、図 1 に示す各補助容量線 $Cs1$ 、 $Cs2 \sim Csm$ に対応して m 本形成されているが、 m 本全てに共通電位を与える。 m 本の寄生容量遮蔽配線 7 2 に共通に印加される共通電位は、例えば GND 等の固定電位とすることができる。寄生容量遮蔽配線 7 2 の材料は、印加される共通電位となる電圧信号の遅延を防ぐために低抵抗の金属を用いることが好ましい。

30

【0095】

以上説明したように、画素 7 0 では、補助容量線 4 8 と信号線 4 5 との間に生じる不利な寄生容量は、除去される。そして、上記で説明したように、フローティング状態にある補助容量線 4 8 ($Cs1$ 、 $Cs2 \sim Csm$) を利用した昇圧効果は、寄生容量遮蔽配線 7 2 を設けることによって信号線 4 5 の電位変動の影響を受けることがなくなるため、画素 7 0 の昇圧状態を安定して維持することが可能となる。

40

【0096】

画素 7 0 の寄生容量遮蔽配線 7 2 の電位を GND 等の固定電位としたが、対向電極 1 4 に印加される電圧 (COM1) とすることもできる。この場合、寄生容量遮蔽配線 7 2 と画素電極 4 7 とが重なっている領域には容量が形成される。この容量は、所謂従来の画素用補助容量と同様に画素 7 0 の電位の安定化に効果がある。

【0097】

画素 7 0 は以下の製造方法により作製することができる。

第 1 の基板 4 1 上に金属層を堆積し、パターンニングすることでゲート電極 5 1 と補助容量線 4 8 のパターンを形成する。金属層は、遮光性のクロム、クロム合金、アルミニウム、アルミニウム合金、モリブデン等を用いることができる。

50

次に、ゲート電極 5 1 及び補助容量線 4 8 のパターンが形成された第 1 の基板 4 1 の表面全体を覆うように所定の厚さの第 1 のゲート絶縁膜 7 4 を堆積する。第 1 のゲート絶縁膜 7 4 は、ゲート絶縁膜 5 2 と同様に窒化シリコンや酸化シリコン等の絶縁材料から構成されている。

次に、第 1 のゲート絶縁膜 7 4 上に金属層を堆積し、パターンニングすることで寄生容量遮蔽配線 7 2 を形成する。寄生容量遮蔽配線 7 2 の材料は、ゲート電極 5 1 及び補助容量線 4 8 となる金属層と同様の材料を用いることができる。

寄生容量遮蔽配線 7 2 のパターンが形成された第 1 のゲート絶縁膜 7 4 の表面全体に所定の厚さの第 2 のゲート絶縁膜 7 5 を堆積する。第 2 のゲート絶縁膜 7 5 は、ゲート絶縁膜 5 2 と同様に窒化シリコンや酸化シリコン等の絶縁材料を用いることができ、第 1 の絶縁膜 7 4 と同じ材料でもよい。これ以降の工程は、図 2 の液晶表示装置 1 において説明した製造工程と同様に行なえばよい。

10

【0098】

次に、液晶表示装置 1, 30 に用いることができるさらに別の画素 8 0 について説明する。

図 1 8 は、画素 8 0 の構成を示す部分透視平面図であり、図 1 9 は、図 1 8 の X-X 線に沿った断面図を示している。

図示するように、画素 8 0 では、寄生容量遮蔽配線 8 2 は、第 1 の基板 4 1 上に補助容量線 4 8 と平行になるように配設されている直線部 8 2 a と、第 2 のゲート絶縁膜 7 5 上の補助容量線 4 8 と信号線 4 5 との交差部となる領域に配置される凸部 8 2 b と、から構成されている。第 1 のゲート絶縁膜 7 4 には、寄生容量遮蔽配線 8 2 を露出させるコンタクトホール 8 4 が配設されている。寄生容量遮蔽配線の凸部 8 2 b は、第 2 のゲート絶縁膜 7 5 上に配設されると共に、コンタクトホール 8 4 を介して寄生容量遮蔽配線の直線部 8 2 a と接続されている。

20

【0099】

図 2 0 は、画素 8 0 における寄生容量遮蔽配線 8 2 と信号線 4 5 との交差部に生じる容量を示す断面模式図である。

図示するように、補助容量線 4 8 と寄生容量遮蔽配線の凸部 8 2 b は第 1 のゲート絶縁膜 7 4 を挟んで対向しているので、補助容量線 4 8 と寄生容量遮蔽配線の凸部 8 2 b との間に第 1 の交差部容量 7 6 が生じる。さらに、寄生容量遮蔽配線の凸部 8 2 b と信号線 4 5 とは第 2 のゲート絶縁膜 7 5 を挟んで対向しているので、寄生容量遮蔽配線の凸部 7 2 b と信号線 4 5 との間に第 2 の交差部容量 7 7 が生じる。従って、補助容量線 4 8 と信号線 4 5 との間には、共に寄生容量遮蔽配線 8 2 との間に第 1 及び第 2 の交差部容量 7 6, 7 7 が形成されるが、補助容量線 4 8 と信号線 4 5 との間には直接結合する寄生容量 C_{st} が形成されなくなる。寄生容量遮蔽配線の凸部 8 2 b は、コンタクトホール 8 4 を介して寄生容量遮蔽配線の直線部 8 2 a と接続されているので、補助容量線 4 8 と信号線 4 5 との間には画素 7 0 と同様に寄生容量遮蔽配線 8 2 で遮蔽されることになる。

30

【0100】

図 1 8 では、コンタクトホール 8 4 を信号線 4 5 と寄生容量遮蔽配線 8 2 との重なり部に形成するように図示したが、これは必要条件ではなく、寄生容量遮蔽配線 8 2 上であれば任意の位置に形成することができる。

40

【0101】

上記実施形態において、画素 8 0 の寄生容量遮蔽配線 8 2 には、画素 7 0 における寄生容量遮蔽配線 7 2 と同様に、GND 等の固定電位又は対向電極 1 4 に印加される電圧 (C_{OM1}) が印加される。このため、寄生容量遮蔽配線 8 2 を設けることによって信号線 $S_1, S_2, S_3 \sim S_n$ の電位変動の影響を受けることがなくなるため画素 8 0 の昇圧状態を安定して維持することが可能となる。

【0102】

上記実施形態において、寄生容量遮蔽配線 8 2 に対向電極 1 4 と同電位が印加された場合には、従来の画素用の補助容量が追加された効果を有し、画素 8 0 の電位の安定性が向

50

上する。

【0103】

図18に示す実施形態の画素80は、次のようにして製造することができる。

まず、第1の基板41上に補助容量線48と寄生容量遮蔽配線の直線部82aとを同一の低抵抗の導電膜を用いてパターンを形成する。次に、第1のゲート絶縁膜74を所定の厚さに堆積し、寄生容量遮蔽配線の直線部82a上にコンタクトホール84を設ける。

続いて、寄生容量遮蔽配線の凸部82bとなる電極層を所定の厚さに堆積し、寄生容量遮蔽配線の直線部82aと接続するパターンを形成する。寄生容量遮蔽配線の凸部82bの材料は静電遮蔽できればよい。このため、寄生容量遮蔽配線の凸部82bは、図15に示す画素70の寄生容量遮蔽配線72のように電圧信号の遅延を防ぐための低抵抗の金属を用いる必要はなく、ITO等の透明導電膜を使用することができる。これにより、画素80は、上記画素70よりも開口効率が向上する。

次に、第1のゲート絶縁膜74の全面に第2のゲート絶縁膜75を所定の厚さに堆積する。この工程以降は、図2の液晶表示装置において説明した製造工程と同様に行えばよい。

【0104】

なお、上記した図5、10及び23では、トランジスタ12のゲートとドレインの間に生じる寄生容量に関しては明確には記載していないことに留意しなければならない。しかしながら、図26のV_ptで示されるように、この寄生容量で生じる小さな電圧降下は、実際には、駆動波形を適正に決定する上で考慮すべきことは言うまでもないことである。

【0105】

本発明は、上記実施形態に限定されることなく、特許請求の範囲に記載した液晶表示装置及びその駆動方法の発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることは明らかである。

【符号の説明】

【0106】

1, 30：液晶表示装置

10：表示部

12, 46：スイッチング素子（薄膜トランジスタ）

13, 47：画素電極

14, 63：対向電極

15, 70, 80：画素

16：補助容量

17：補助容量電極

18：画素補助容量

20：走査線駆動回路

22：信号線駆動回路

24：対向電極駆動回路

26：補助容量線駆動回路

31：第1の補助容量駆動用トランジスタ

32：第2の補助容量駆動用トランジスタ

41：第1の基板

42：第2の基板

43：液晶

44：走査線

45：信号線

48：補助容量線

51：ゲート電極

52：ゲート絶縁膜

53：半導体薄膜

10

20

30

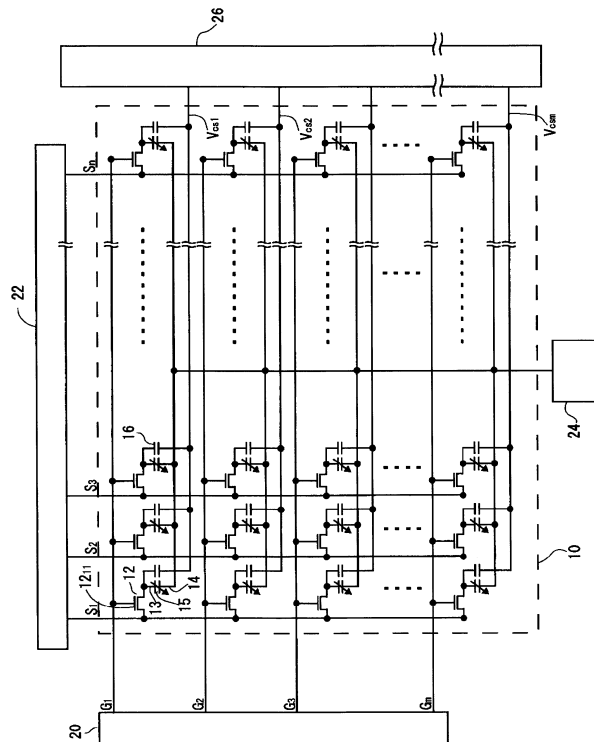
40

50

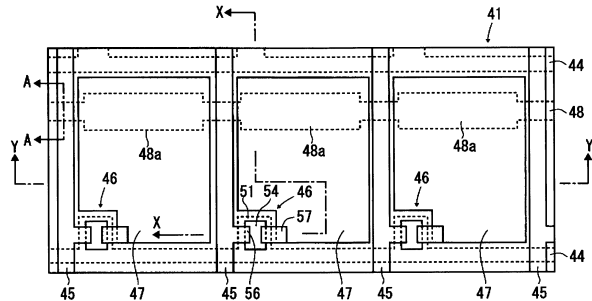
- 54：保護膜
- 55，56：コンタクト層
- 57：ドレイン電極
- 58：ソース電極
- 59：オーバーコート膜（平坦化膜）
- 60，84：コンタクトホール
- 61：ブラックマトリクス
- 62：カラーフィルタ要素
- 72，82：寄生容量遮蔽配線
- 72a，82a：直線部
- 72b，82b：凸部
- 74：第1のゲート絶縁膜
- 75：第2のゲート絶縁膜
- 76：第1の交差部容量
- 77：第2の交差部容量

10

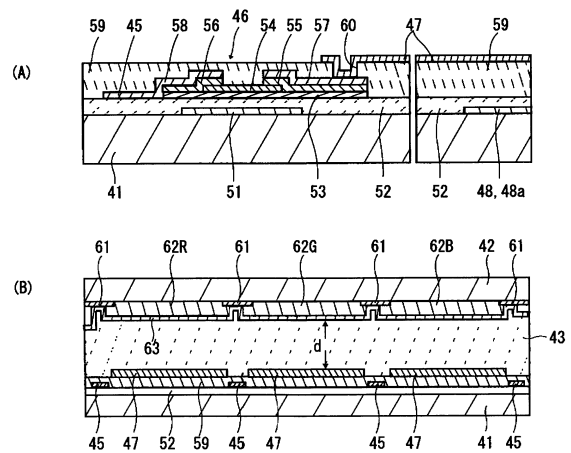
【図1】



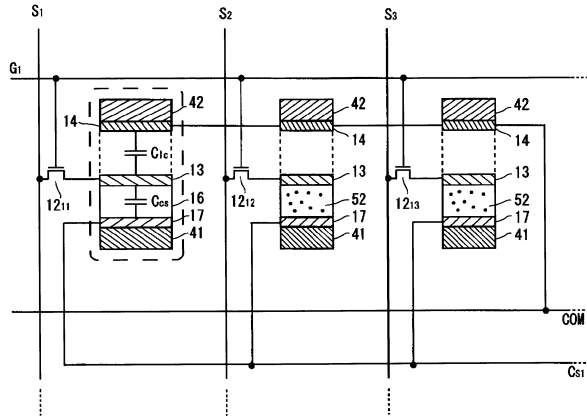
【図2】



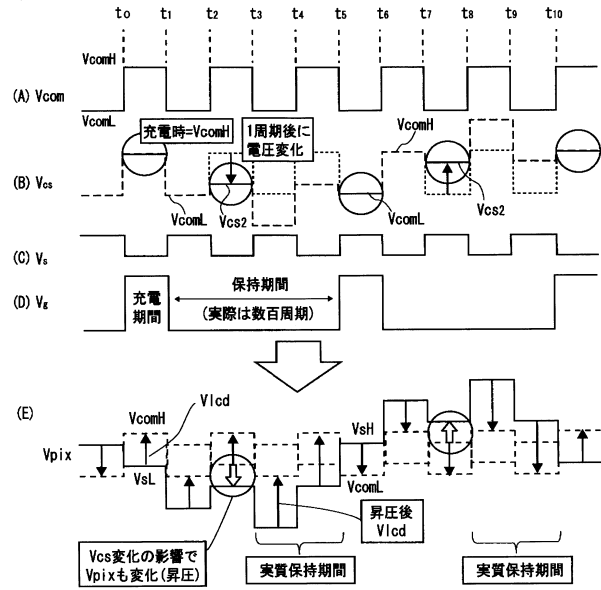
【図3】



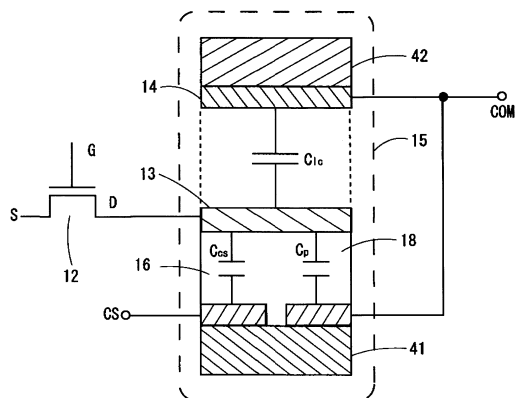
【図 4】



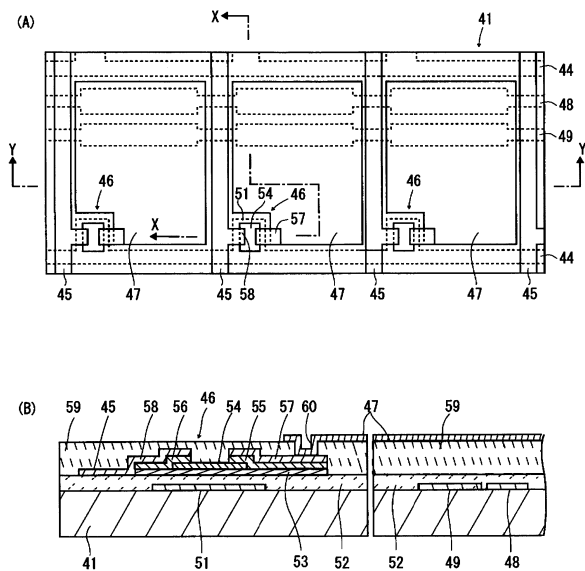
【図 5】



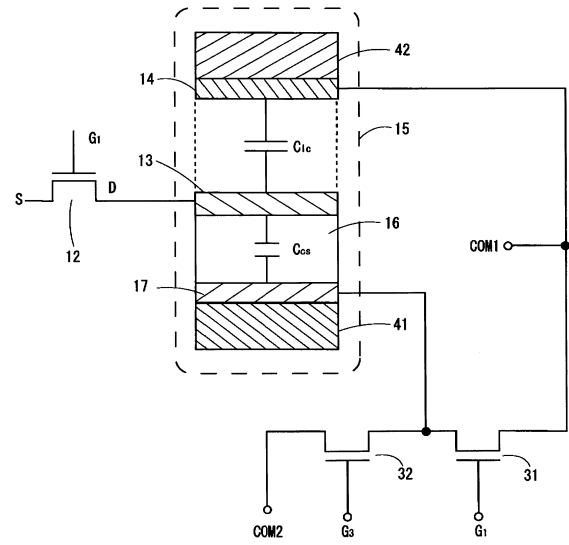
【図 6】



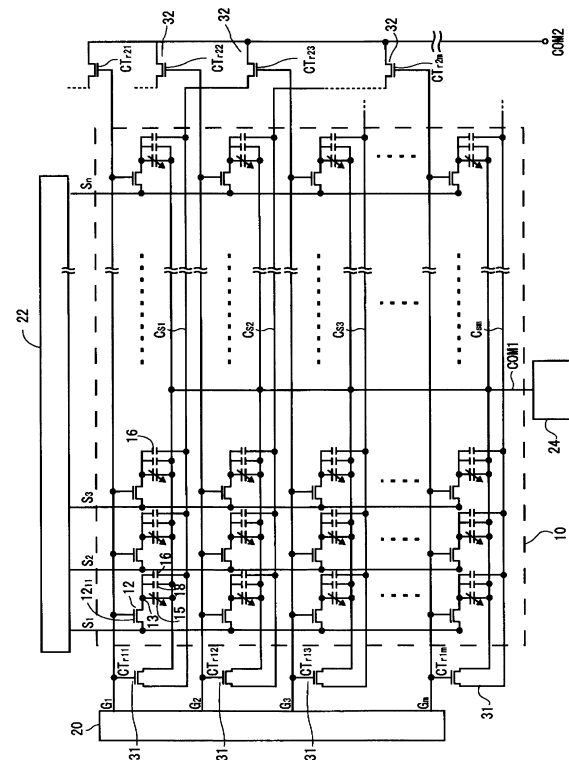
【図 7】



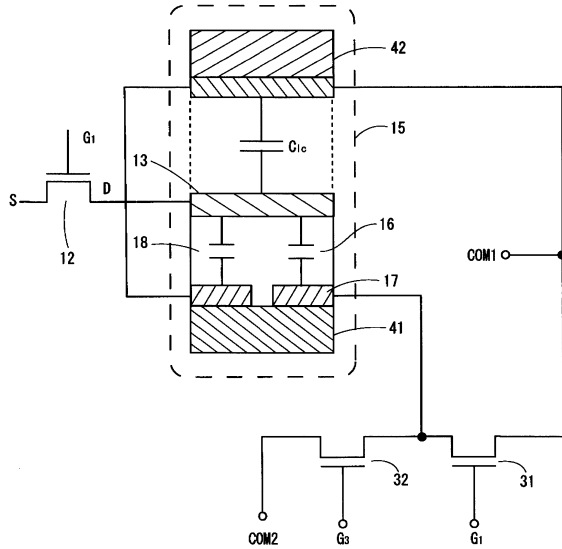
【图 9】



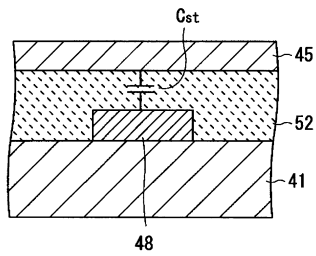
【図 1 1】



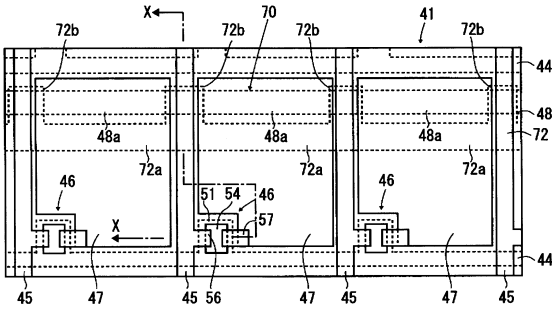
【図 12】



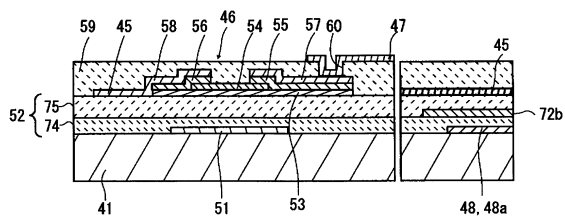
【図 13】



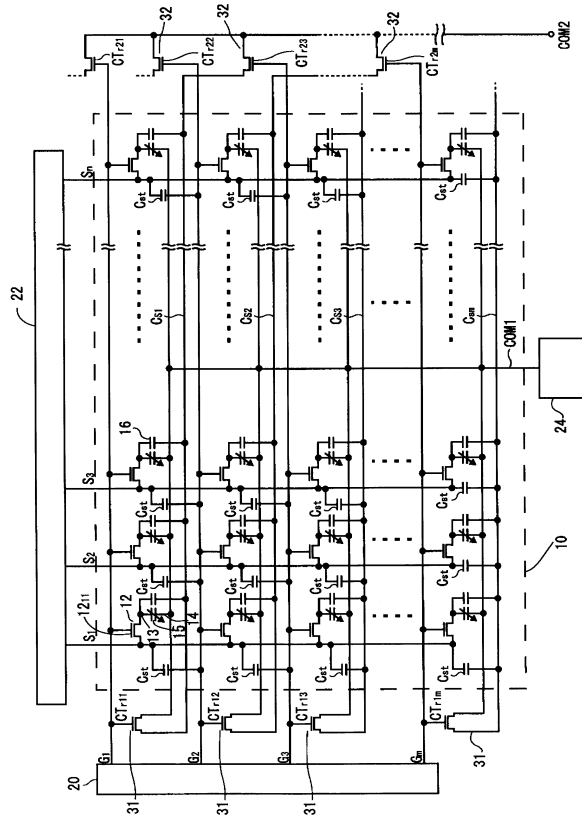
【図 15】



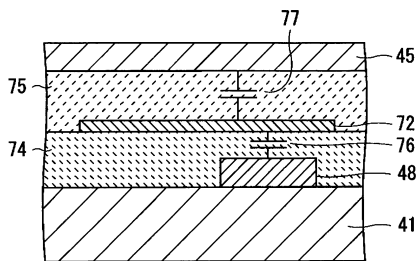
【図 16】



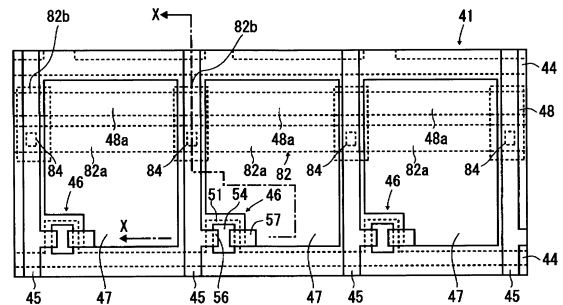
【図 14】



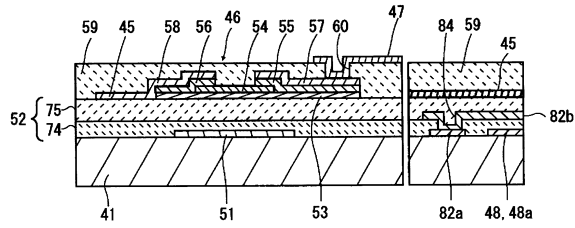
【図 17】



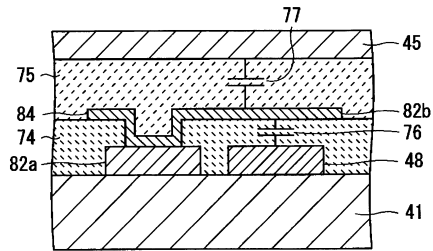
【図 18】



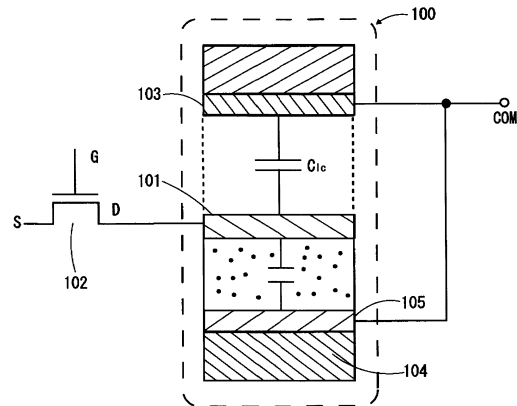
【図 19】



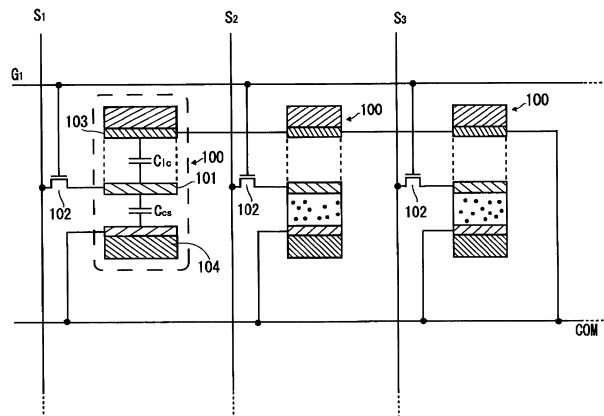
【図 20】



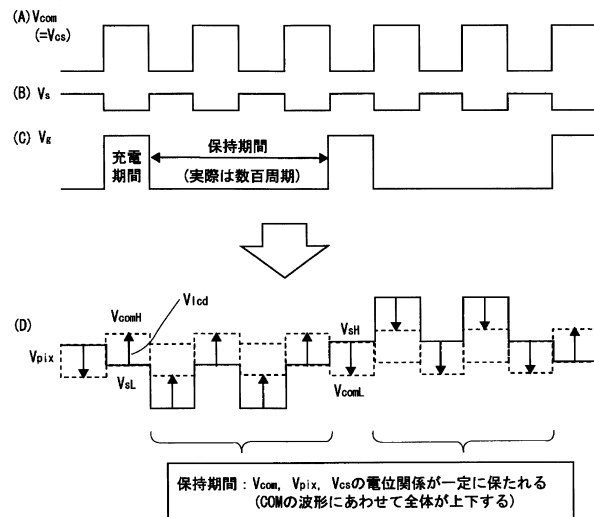
【図 21】



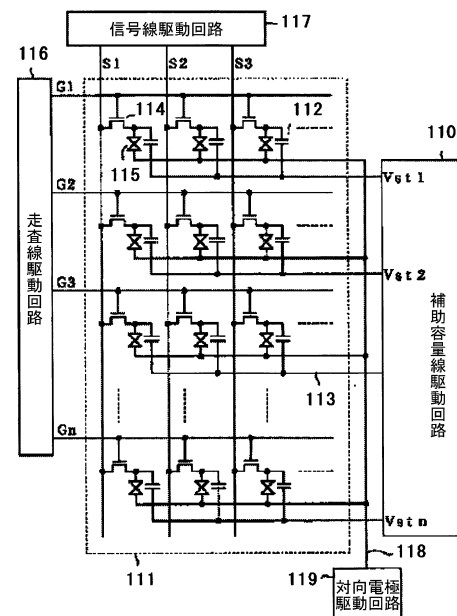
【図 22】



【図 23】



【図 24】



フロントページの続き

- (56)参考文献 特開平5-107557 (JP, A)
特開2003-228345 (JP, A)
特開2006-78588 (JP, A)
特開2009-69626 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP5771897B2	公开(公告)日	2015-09-02
申请号	JP2010022879	申请日	2010-02-04
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	奥尔塔有限公司扫描技术		
[标]发明人	石井裕満		
发明人	石井 裕満		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.612.D G09G3/20.624.C G09G3/20.680.G G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB08 2H193/ZB14 2H193/ZB16 2H193/ZC16 2H193/ZC25 2H193/ZD12 2H193/ZF22 5C006/AA22 5C006/AC09 5C006/AC25 5C006/BB16 5C006/BC20 5C006/BF46 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
审查员(译)	武田 悟		
优先权	2007284603 2007-10-31 JP		
其他公开文献	JP2010146025A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其驱动方法，用于获得超过驱动器LSI的输出电压的像素电压。一种液晶显示装置包括显示单元10，扫描线驱动电路20，信号线驱动电路22，其输出一个驱动信号相反的相位，以对置电极的对置电极的信号线驱动信号置电极驱动电路24，辅助电容器16的一端与开关元件12连接到开关元件12的每行的输出端连接，并驱动辅助电容线，其包括多个行和辅助电容器16的每一行的另一端连接到公共以及辅助电容线驱动电路26，其连接到辅助电容线。存储电容器线驱动电路26在对电极驱动信号的第一周期期间将第一电压施加到每行的存储电容器线，并将第一电压施加到 $p + 1$ /的辅助电容驱动线。
（其中， p 是0或自然数）2周期施加第二电压时，在 $p + 1/2$ 周期信号到所述打开状态之后保持期间，用于将驱动信号的每行的扫描线一起输出。
点域1

(21) 出願番号	特願2010-22879 (P2010-22879)	(73) 特許権者	510208918
(22) 出願日	平成22年2月4日 (2010.2.4)		株式会社 オルタステクノロジー
(62) 分割の表示	特願2008-264664 (P2008-264664) の分割		東京都日野市旭が丘2丁目8番7号
原出願日	平成20年10月10日 (2008.10.10)	(72) 発明者	石井 裕満
(65) 公開番号	特開2010-146025 (P2010-146025A)		東京都八王子市石川町2951番地の5
(43) 公開日	平成22年7月1日 (2010.7.1)		カシオ計算機株式会社八王子技術センター
審査請求日	平成22年2月15日 (2010.2.15)		内
(31) 優先権主張番号	特願2007-284603 (P2007-284603)	審査官	武田 悟
(32) 優先日	平成19年10月31日 (2007.10.31)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く