

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5771550号
(P5771550)

(45) 発行日 平成27年9月2日(2015.9.2)

(24) 登録日 平成27年7月3日(2015.7.3)

(51) Int.Cl.

F I

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1333 (2006.01)

G O 2 F 1/1333

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2012-61143 (P2012-61143)	(73) 特許権者	502356528
(22) 出願日	平成24年3月16日 (2012.3.16)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-195576 (P2013-195576A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年9月30日 (2013.9.30)	(74) 代理人	110001737
審査請求日	平成26年4月8日 (2014.4.8)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

酸化物導電膜と、前記酸化物導電膜上に配置された第1導電層と、前記第1導電層上に配置された第2導電層と、前記第2導電層上に配置された第3導電層と、を備えたセンサ電極と、前記酸化物導電膜及びセンサ電極上に配置された絶縁膜と、前記絶縁膜上に配置されスリットを備え前記センサ電極の上層において前記酸化物導電膜と対向してマトリクス状に配置された複数の画素電極と、を備えたアレイ基板と、

前記アレイ基板と対向して配置された対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、を備え、

前記第1導電層の厚さは前記第2導電層の厚さ及び前記第3導電層の厚さのそれぞれより薄く、

前記センサ電極の端部はテーパ形状である液晶表示装置。

【請求項 2】

酸化物導電膜と、前記酸化物導電膜上に配置され厚さが20nm以下である第1導電層と、前記第1導電層上に配置され前記第1導電層より厚い第2導電層と、前記第2導電層上に配置され前記第1導電層より厚く前記第2導電層より薄い第3導電層と、を備えたセンサ電極と、前記酸化物導電膜及びセンサ電極上に配置された絶縁膜と、前記絶縁膜上に配置されスリットを備え前記センサ電極の上層において前記酸化物導電膜と対向してマトリクス状に配置された複数の画素電極と、を備えたアレイ基板と、

前記アレイ基板と対向して配置された対向基板と、

10

20

前記アレイ基板と前記対向基板との間に保持された液晶層と、を備え、
前記センサ電極の端部はテーパ形状である液晶表示装置。

【請求項 3】

前記第 1 導電層は、モリブデン、チタン、ニッケル、クロムのいずれかにより形成され、

前記第 2 導電層は、アルミニウムにより形成される請求項 1 または請求項 2 記載の液晶表示装置。

【請求項 4】

前記アレイ基板は、第 1 方向に延びた信号線と、第 2 方向に延びた走査線と、前記信号線と前記走査線とが交差する位置近傍に配置され前記信号線と前記画素電極との電氣的接続を切替えるスイッチング素子と、を備え、

前記センサ電極は、前記信号線と略平行に延びた第 1 センサと、前記走査線と略平行に延びた第 2 センサとを備えている請求項 1 乃至請求項 3 のいずれか 1 項記載の液晶表示装置。

【請求項 5】

前記第 3 導電層は、モリブデン、チタン、ニッケル、クロムのいずれかにより形成される請求項 1 乃至請求項 4 のいずれか 1 項記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、各種分野に適用されている。このような液晶表示装置は、一対の基板間に液晶層を保持した構成であり、画素電極と共通電極との間の電界によって液晶層を通過する光に対する変調率を制御し、画像を表示するものである。

【0003】

液晶表示装置は、一対の基板の基板面と略直交する方向の縦電界を液晶層に印加して液晶の配向状態を制御する方式と、一対の基板の基板面と略平行な方向の横電界（フリンジ電界も含む）を液晶層に印加して液晶の配向状態を制御する方式とが知られている。

【0004】

横電界を利用した液晶表示装置は、広視野角化の観点から特に注目されている。In-Plane Switching（IPS）モードや、Fringe Field Switching（FFS）モードなどの横電界方式の液晶表示装置は、アレイ基板に形成された画素電極と共通電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングするように構成されている。

【0005】

また、表示部にユーザの指やペン先が接触したことを検出する接触センサを有する液晶表示装置が提案されている。接触センサは液晶表示装置の表示部にさらにセンサ電極を有するセンサ基板を重ねて形成される場合や、液晶表示装置の一対の基板の一方にセンサ電極が一体に形成される場合がある。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2010 - 231773 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

複数の導電層を積み重ねて電極や配線を形成する際に、積層した導電層をウェットエッ

10

20

30

40

50

チングによりパターニングすると、各層が偏って除去されるために電極や配線の端がテーパ形状とならないことがあった。

【０００８】

例えば最も下に配置された導電層が他の導電層よりも除去されると、配線や電極上に絶縁層を介して導電層を配置した際に、導電層のカバレッジが悪くなり、ショート不良を引き起こし、製造歩留まりが低下することがあった。

【０００９】

本発明の実施形態によれば、製造歩留まりを改善する液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

10

【００１０】

実施形態によれば、酸化物導電膜と、前記酸化物導電膜上に配置された第１導電層と、前記第１導電層上に配置された第２導電層と、前記第２導電層上に配置された第３導電層と、を備えたセンサ電極と、前記酸化物導電膜及びセンサ電極上に配置された絶縁膜と、前記絶縁膜上に配置されスリットを備え前記センサ電極の上層において前記酸化物導電膜と対向してマトリクス状に配置された複数の画素電極と、を備えたアレイ基板と、前記アレイ基板と対向して配置された対向基板と、前記アレイ基板と前記対向基板との間に保持された液晶層と、を備え、前記第１導電層の厚さは前記第２導電層の厚さ及び前記第３導電層の厚さのそれぞれより薄く、前記センサ電極の端部はテーパ形状である液晶表示装置が提供される。

20

【図面の簡単な説明】

【００１１】

【図１】図１は、実施形態の液晶表示装置の一例を概略的に示す図である。

【図２】図２は、図１に示す液晶表示パネルの線ⅠⅠ-ⅠⅠにおける断面の一例を示す図である。

【図３】図３は、実施形態の液晶表示装置の表示領域の一構成例を概略的に示す図である。

【図４】図４は、実施形態の液晶表示装置のセンサ電極の一構成を概略的に示す図である。

【図５】図５は、比較例の液晶表示装置のセンサ電極の一構成例を概略的に示す図である。

30

【発明を実施するための形態】

【００１２】

以下、実施形態の液晶表示装置について、図面を参照して説明する。

図１は、本実施形態の液晶表示装置の一例を概略的に示す図である。液晶表示装置は、液晶表示パネルとバックライトユニット１３０とを有している。

【００１３】

液晶表示パネルは、アレイ基板１１０とアレイ基板１１０と所定の間隙をおいて対向配置された対向基板１２０と、アレイ基板１１０と対向基板１２０との間に挟持された液晶層７０と、マトリクス状に配置された表示画素ＰＸを含む表示領域２５と、を備える。

40

【００１４】

バックライトユニット１３０は、例えば光源としてＬＥＤ(light-emitting diode)を有し、液晶表示パネルを背面側から照明する。

【００１５】

アレイ基板１１０は、ガラス等の透明絶縁性基板１０(図２に示す)と、複数の走査線１１と、複数の走査線１１と交差する複数の信号線１２と、走査線１１と信号線１２とが交差する位置近傍に配置されたスイッチング素子１４と、絶縁膜Ｌ１、５０(図２に示す)と、平坦化膜２０(図２に示す)と、表示画素ＰＸのそれぞれに配置された画素電極６０と、複数の画素電極６０と対向する共通電極３０と、共通電極３０上に配置されたセンサ電極４０(図２に示す)と、図示しない配向膜と、表示領域２５を囲む額縁領域に配置

50

された駆動回路と、を備える。

【 0 0 1 6 】

走査線 1 1 は、表示領域 2 5 においてマトリクス状に配置された表示画素 P X の行に沿って延びている。信号線 1 2 は、表示領域 2 5 においてマトリクス状に配置された表示画素 P X の列に沿って延びている。

【 0 0 1 7 】

カラー表示タイプの液晶表示装置である場合、複数の表示画素 P X は複数種類の色画素を含んでいる。本実施形態では、複数の表示画素 P X は、例えば、赤色を表示する赤色表示画素と、緑色を表示する緑色表示画素と、青色を表示する青色表示画素と、含む場合、赤色表示画素と緑色表示画素と青色表示画素との 3 種類の色画素により、1 画素が構成される。

10

【 0 0 1 8 】

表示領域 2 5 には第 1 色画素と、第 2 色画素と、第 3 色画素とが走査線 1 1 の延びる方向に周期的に並んで配置され、信号線 1 2 が延びる方向には同種類の色画素が並んで配置されている。

【 0 0 1 9 】

駆動回路は、複数の走査線 1 1 を駆動する走査線駆動回路 Y D と、複数の信号線 1 2 を駆動する信号線駆動回路 X D と、を備えている。走査線駆動回路 Y D は、例えば、走査線 1 1 が延びる方向における表示領域 2 5 の両脇に配置され、走査線駆動回路 Y D には表示領域 2 5 から延びる複数の走査線 1 1 が電氣的に接続されている。信号線駆動回路 X D には表示領域 2 5 から延びる複数の信号線 1 2 が電氣的に接続されている。

20

【 0 0 2 0 】

アレイ基板 1 1 0 の端部には図示しないフレキシブル基板が接続され、走査線駆動回路 Y D および信号線駆動回路 X D には、フレキシブル基板を介して図示しない信号源から制御信号および映像信号が供給される。

【 0 0 2 1 】

図 2 は、図 1 に示す液晶表示パネルの線 I I - I I における断面の一例を示す図である。本実施形態の液晶表示装置は、横電界を利用して液晶層の配向状態を制御する F F S モードの液晶表示装置である。

【 0 0 2 2 】

スイッチング素子 1 4 は、走査線 1 1 と信号線 1 2 とが交差する位置近傍に配置されている。スイッチング素子 1 4 は、透明絶縁性基板 1 0 上に配置された図示しないアンダーコート層上に配置され、アモルファスシリコンあるいはポリシリコンの半導体層 S C と、ゲート電極 1 4 b と、ソース電極 1 4 a と、ドレイン電極 1 4 c と、を含む薄膜トランジスタを備えている。

30

【 0 0 2 3 】

スイッチング素子 1 4 の半導体層 S C の上層にはゲート絶縁膜が配置され、ゲート絶縁膜上にスイッチング素子 1 4 のゲート電極 1 4 b が配置されている。スイッチング素子 1 4 のソース電極 1 4 a とドレイン電極 1 4 c とは絶縁膜 L 1 に設けられたコンタクトホールにおいて半導体層 S C と接続されている。

40

【 0 0 2 4 】

スイッチング素子 1 4 のゲート電極 1 4 b は、対応する走査線 1 1 と電氣的に接続されている（あるいは一体に形成されている）。スイッチング素子 1 4 のソース電極 1 4 a は、対応する信号線 1 2 と電氣的に接続されている（あるいは一体に形成されている）。スイッチング素子のドレイン電極 1 4 c は、後述するコンタクトホール 2 1、5 1 において対応する画素電極 6 0 と電氣的に接続されている。

【 0 0 2 5 】

走査線駆動回路 Y D により走査線 1 1 が駆動されてスイッチング素子 1 4 のゲート電極 1 4 b に電圧が印加されると、ソース電極 1 4 a とドレイン電極 1 4 c との間が導通し、スイッチング素子 1 4 がオン状態となる。スイッチング素子 1 4 がオン状態である期間に

50

、信号線 12 からスイッチング素子 14 を介して画素電極 60 へ映像信号が供給される。

【0026】

スイッチング素子 14 上には平坦化膜 20 が配置されている。本実施形態では、平坦化膜 20 は透明有機絶縁膜であって、平坦化膜 20 の膜厚は略 3 μm である。平坦化膜 20 は、コンタクトホール 21 を除いて表示領域 25 の全体に渡って配置されている。スイッチング素子 14 のドレイン電極 14c 上の平坦化膜 20 には、後述する画素電極 60 と電氣的接続を取るためのコンタクトホール 21 が設けられている。

【0027】

共通電極 30 は、平坦化膜 20 上に配置されている。共通電極 30 は例えば ITO (indium tin oxide) や IZO (indium zinc oxide) 等の透明電極材料により形成されている酸化導電膜である。表示領域 25 の端部に配置された共通電極 30 は額縁領域へ延びて配置され、例えば外部の信号源からフレキシブル基板を介して共通電圧が印加されている。共通電極 30 は後述のセンサ電極 40 との重ね合せ精度を考慮した同じパターンも盛り込み形成する。

10

【0028】

コンタクトホール 21 には共通電極 30 と同じ材料で形成された接続電極 31 が配置されている。スイッチング素子 14 のドレイン電極 14c と接続電極 31 とはコンタクトホール 21 において電氣的に接続している。

【0029】

センサ電極 40 は、共通電極 30 上に配置され共通電極 30 と電氣的に接続されている。センサ電極 40 は、例えばアルミニウムとモリブデンとの多層電極である。なお、センサ電極 40 の材料として、モリブデンに代えてチタン (Ti)、ニッケル (Ni)、クロム (Cr) 等の導電性材料を用いることが可能である。

20

【0030】

センサ電極 40 上には絶縁膜 50 が配置されている。絶縁膜 50 は、接続電極 31 上に設けられ、画素電極 60 と接続電極 31 とを電氣的に接続するためのコンタクトホール 51 を備えている。

【0031】

絶縁膜 50 上には画素電極 60 が配置され、コンタクトホール 51 において接続電極 31 と電氣的に接続している。画素電極 60 は、例えば ITO や IZO 等の透明電極材料により形成されている。画素電極 60 の上層には図示しない配向膜が配置されている。

30

【0032】

対向基板 120 は、ガラス等の透明絶縁性基板 28 と、透明樹脂平坦化膜 29 と、複数の着色層と、図示しない配向膜とを備えている。

【0033】

複数の着色層は、有機絶縁膜である例えば赤 (R)、緑 (G)、青 (B) のうちのいずれかのレジストによって着色された第 1 着色層 24a、第 2 着色層 24b、第 3 着色層 24c と、黒色の第 4 着色層 27a、第 5 着色層 27b と、を備えている。

【0034】

第 1 着色層 24a は第 1 色画素に配置され、第 2 着色層 24b は第 2 色画素に配置され、第 3 着色層 24c は第 3 色画素に配置されている。第 4 着色層 27a は表示領域 25 を囲むように配置され、額縁領域における光抜けを防止する遮光層である。第 5 着色層 27b は、アレイ基板 110 の走査線 11 および信号線 12 と対向する位置に格子状に配置され、表示画素 PX 間における光抜けを防止する遮光層である。

40

【0035】

アレイ基板 110 と対向基板 120 とは、互いの配向膜が対向するように配置されシール剤 26 により固定される。アレイ基板 110 と対向基板 120 との間には、柱状スペーサ 22 が配置されている。柱状スペーサ 22 によりアレイ基板 110 と対向基板 120 との距離は一定に保持される。本実施形態では、柱状スペーサ 22 の高さは 2 μm 以上 6 μm 以下で任意に制御している。

50

【 0 0 3 6 】

液晶層 7 0 は、アレイ基板 1 1 0、対向基板 1 2 0、およびシール剤 2 6 により囲まれた領域に配置されている。

【 0 0 3 7 】

アレイ基板 1 1 0 および対向基板 1 2 0 の液晶層 7 0 側と反対に位置する面には図示しない偏光板が夫々配設されている。

【 0 0 3 8 】

図 3 は、アレイ基板 1 1 0 の表示領域 2 5 の構成の一例を示す図である。なお、図 3 では、画素電極 6 0 を一部省略して下層の一構成例を概略的に示している。

共通電極 3 0 は、略矩形状のブロックを複数有している。共通電極 3 0 の複数のブロックは、例えば表示領域 2 5 外に引き出されて、あるいは、表示領域 2 5 内において互いに電氣的に接続されている。共通電極 3 0 の各ブロックは 1 又は複数の画素電極 6 0 と対向するようにマトリクス状に配置されてもよく、1 絵素に配置された 3 つの画素電極 6 0 と対向するように配置されてもよい。

10

【 0 0 3 9 】

センサ電極 4 0 は、格子状であって、信号線 1 2 と略平行に延びたセンサ用第 1 電極である第 1 センサ 4 1 と、走査線 1 1 と略平行に延びたセンサ用第 2 電極である第 2 センサ 4 2 とを備えている。

【 0 0 4 0 】

第 1 センサ 4 1 は、本実施形態では 1 絵素を構成する第 1 色画素と第 2 色画素と第 3 色画素との、少なくとも所定の 2 つの色画素間において、信号線 1 2 の上層に配置されている。なお、図 3 では、第 1 センサ 4 1 が信号線 1 2 上に配置されて重なった状態を示している。

20

【 0 0 4 1 】

第 2 センサ 4 2 は、その一部が後述する画素電極 6 0 の下層に配置され、行方向に隣り合う第 1 センサ 4 1 を電氣的に接続している。第 2 センサ 4 2 は、複数の表示画素 P X の行それぞれに配置され、走査線 1 1 が延びる方向に延びて配置されている。

【 0 0 4 2 】

センサ電極 4 0 は額縁領域へ延びて配置され、例えば外部に設けられた図示しない感知回路と電氣的に接続されている。本実施形態の液晶表示装置で接触位置を検出する場合、感知回路はセンサ電極 4 0 へ所定波形の信号を供給する。ユーザの指先やペン先とセンサ電極 4 0 と距離に応じて、指先等とセンサ電極 4 0 との間に生じる容量の大きさが変化する。感知回路は、指先等とセンサ電極 4 0 との間の容量の変化によるセンサ電極 4 0 の電位の変化を、センサ電極 4 0 から出力された信号の出力波形から検出して、ユーザの指先やペン先等が接触した位置に対応するセンサ電極 4 0 の座標位置を検出する。

30

【 0 0 4 3 】

画素電極 6 0 は、互いに略平行に延びたスリット 6 0 S を備えている。本実施形態では、複数のスリット 6 0 S は信号線 1 2 が延びる方向と略平行に延びている。

【 0 0 4 4 】

画素電極 6 0 と共通電極 3 0 との間に生じる電界により液晶層 7 0 の配向状態が制御される。画素電極 6 0 にスリット 6 0 S を設けることにより、表示画素 P X の中央部分においても画素電極 6 0 と共通電極 3 0 との間に電界が生じて、液晶層 7 0 の配向状態を制御することが可能となる。

40

【 0 0 4 5 】

図 4 は、実施形態の液晶表示装置のセンサ電極の一構成を概略的に示す図である。

センサ電極 4 0 は、少なくとも 2 つの導電層が積層された多層電極である。センサ電極 4 0 は、共通電極 3 0 上に配置された第 1 導電層 4 0 A と、第 1 導電層 4 0 A 上に配置された第 2 導電層 4 0 B と、第 2 導電層 4 0 B 上に配置された第 3 導電層 4 0 C とを備えている。なお、センサ電極 4 0 は、少なくとも第 1 導電層 4 0 A と第 2 導電層 4 0 B とを有していればよく、第 3 導電層 4 0 C は省略することができる。

50

【 0 0 4 6 】

第 1 導電層 4 0 A の厚さ H 1 は、第 2 導電層 4 0 B の厚さ H 2 の 1 0 % 以下である。第 1 導電層 4 0 A の厚さは、第 2 導電層 4 0 B の厚さ H 2 に係らず、2 0 n m 以下であることが望ましい。

【 0 0 4 7 】

例えば、第 1 導電層 4 0 A は、モリブデンにより形成されている。第 1 導電層 4 0 A の厚さ H 1 は、略 1 0 n m である。第 2 導電層 4 0 B は、アルミニウムにより形成されている。第 2 導電層 4 0 B の厚さ H 2 は、略 2 0 0 n m である。第 3 導電層 4 0 C は、モリブデンにより形成されている。第 3 導電層 4 0 C の厚さ H 3 は、略 2 0 n m である。

【 0 0 4 8 】

上記のように、複数の導電層を積み重ねてセンサ電極 4 0 の、第 1 導電層 4 0 A の厚さ H 1 と第 2 導電層 4 0 B の厚さ H 2 との比を規定することにより、積層した導電層をウェットエッチングによりパターンニングしたときに、各層が偏って除去されることを抑制することができる。このことにより、センサ電極 4 0 の端がテーパ形状となり、絶縁層 5 0 によるセンサ電極 4 0 のカバレッジが悪くなることなく、製造歩留まりが低下を回避することができる。

【 0 0 4 9 】

続いて、本実施形態の液晶表示装置の製造方法の一例について説明する。

まず、アレイ基板 1 1 0 を形成する方法について説明する。複数のアレイ基板 1 1 0 を切り出す第 1 透明絶縁性基板 1 0 上に成膜とパターンニングとを繰り返してスイッチング素子 1 4、走査線 1 1、信号線 1 2、絶縁膜 L 1、および、アレイ基板 1 1 0 上の他のスイッチング素子や各種配線を形成する。

【 0 0 5 0 】

続いて、露光レジストを塗布、露光、現像して透明有機絶縁膜からなる平坦化膜 2 0 を形成する。このとき、露光レジストは表示領域 2 5 および額縁領域の全面に塗布される。本実施形態では露光レジストは光硬化性のものを採用し、露光マスクを介して感光レジストを露光し、現像してコンタクトホール 2 1 を有する所定パターンの平坦化膜 2 0 となるように形成する。

【 0 0 5 1 】

平坦化膜 2 0 の上に I T O 等の透明電極材料を成膜し、透明電極材料上にさらに露光レジストを塗布する。露光レジストを露光および現像して接続電極 3 1 および共通電極 3 0 の所定のパターンにパターンニングする。続いて、エッチングにより透明電極材料をパターンニングして、露光レジストを剥離して所定パターンの接続電極 3 1 および共通電極 3 0 を形成する。

【 0 0 5 2 】

続いて、共通電極 3 0 の上層に、順次モリブデンの成膜、アルミニウムの成膜、モリブデンの成膜を行い、その後、露光レジストの成膜・露光・現像を行い、モリブデン / アルミニウム / モリブデンの順に積層された金属層をウェットエッチング処理によりパターンニングを行う。これにより、共通電極 3 0 の複数のブロック電極上に配置されたアルミニウムとモリブデンからなる積層構造の電極パターンであるセンサ電極 4 0 が形成される。

【 0 0 5 3 】

ここで、ウェットエッチング処理を用いる理由は、有機絶縁膜からなる平坦化膜 2 0 の表面を荒らさないためである。すなわち、ドライエッチング処理を行うと平坦化膜 2 0 の表面が傷ついてしまう。このため、このセンサ電極 4 0 を形成する工程ではウェットエッチング処理が選択される。なお、本実施形態では、ウェットエッチングに用いるエッチング溶液は、リン酸、硝酸、および、酢酸の混合液である。

【 0 0 5 4 】

続いて、センサ電極 4 0 上に露光レジストを塗布、露光、現像してコンタクトホール 5 1 を有する絶縁膜 5 0 を形成する。続いて、絶縁膜 5 0 上に I T O 等の透明電極材料を成膜し、スリット 6 0 S を備える所定のパターンにパターンニングして画素電極 6 0 を形成

10

20

30

40

50

する。その後、画素電極 60 の表面には所定方向にラビング処理を施した配向膜を形成する。

【0055】

図5は、比較例の液晶表示装置のセンサ電極の一構成を概略的に示す図である。

比較例では、センサ電極40の第1導電層40Aの厚さH1が略50nmであって、第2導電層40Bの厚さH2が略200nmである。この点以外は図4に示す場合と同様であって、図5に示す比較例について、以下に図4の対応する構成と同じ符号を付して説明する。

【0056】

比較例の液晶表示装置において、センサ電極40を形成する際にウェットエッチングを行うと、第1導電層40Aが多く除去されて、センサ電極40の端がテーパ形状とならないことがある。図5に示す例では、第1導電層40Aの端が逆テーパ形状となっている。これは、下層に配置された第1導電層40A側に多くのエッチング溶液がまわるため、第1導電層40Aは第2導電層40Bよりも除去されやすく、さらに、第1導電層40Aの厚さH1の第2導電層の厚さH2に対する割合が大きいため第1導電層40Aの底部が顕著に除去されたためである。

【0057】

この場合、センサ電極40の端はセンサ電極30と接触した部分が除去されるため、第1導電層40Aと第2導電層40Bとの境界部分が突出し、突出した部分の下に空間が生じる。

【0058】

このセンサ電極40上に絶縁膜50となる絶縁材料を塗布すると、センサ電極40の突出した端で絶縁材料が途切れて、センサ電極40の端上に塗布された絶縁材料が繋がらずに隙間が生じることがある。

【0059】

さらに絶縁材料上に露光レジスト(図示せず)を塗布すると、同様に、絶縁材料が途切れた部分で露光レジストが途切れて、露光レジストに隙間が生じることがある。

【0060】

この状態で露光を行うと、露光レジストの隙間から絶縁材料に光が照射されて、センサ電極40の端上の絶縁材料の一部が除去された絶縁膜50が形成される。

【0061】

続いて、絶縁膜50上にITO等の透明電極材料を成膜し、スリット60Sを備える所定のパターンにパターンニングして画素電極60を形成する。このとき、センサ電極40の端上で絶縁膜50が除去されて電極の一部が露出しているため、画素電極60がセンサ電極40上に形成され、ショート不良となる。ショート不良が発生すると、表示品位が低下するとともにタッチセンサの精度が低下する。

【0062】

これに対し、本実施形態では、第1導電層40Aの厚さH1は、第2導電層40Bの厚さH2の10%以下であるため、第1導電層40Aの端が逆テーパ形状となることがなく、センサ電極40の端がテーパ形状となる。また、本実施形態では、第1導電層40Aの厚さH1は20nm以下である。したがって、センサ電極40の端上の絶縁層50は途切れることなくセンサ電極40を覆うため、ショート不良の発生を回避することができる。

【0063】

次に、対向基板120を形成する方法について説明する。複数の対向基板120を切り出す第2透明絶縁性基板上に、着色された露光レジストの塗布、露光、現像を繰り返して、第1着色層24a、第2着色層24b、第3着色層24c、第4着色層27a、および、第5着色層27bを形成する。さらに、複数の着色層上に透明樹脂平坦化膜29となる透明樹脂材料を塗布し、所定パターンにパターンニングして透明樹脂平坦化膜29を形成する。その後、透明樹脂平坦化膜29の表面に所定方向にラビング処理を施した配向膜を形成する。

10

20

30

40

50

【 0 0 6 4 】

柱状スペーサ 2 2 は、第 1 透明絶縁性基板あるいは第 2 透明絶縁性基板の上層に、例えば樹脂材料を塗布し、所定パターンにパターンニングすることにより形成される。

【 0 0 6 5 】

続いて、表示領域 2 5 を囲むように第 1 透明絶縁性基板上あるいは第 2 透明絶縁性基板上に例えば紫外線硬化樹脂からなるシール剤 2 6 を塗布し、複数のアレイ基板 1 1 0 となる透明絶縁性基板と複数の対向基板 1 2 0 となる透明絶縁性基板とを互いの配向膜が向かい合うように対向させて位置あわせし、シール剤 2 6 に紫外線を照射して硬化させて固定する。

【 0 0 6 6 】

液晶材料は、シール剤 2 6 が開口した注入口から表示領域 2 5 に注入されてもよく、第 1 透明絶縁性基板と第 2 透明絶縁性基板とを貼り合わせる前に、シール剤 2 6 に囲まれた領域に滴下されてもよい。注入口から液晶材料を注入する場合は、注入後に注入口を封止剤により封止して液晶層 7 0 が形成される。液晶材料を滴下する場合には、滴下した後に第 1 透明絶縁性基板と第 2 透明絶縁性基板とを貼り合わせて液晶層 7 0 が形成される。

【 0 0 6 7 】

第 1 透明絶縁性基板と第 2 透明絶縁性基板とが貼り合わされた状態で、複数のアレイ基板 1 1 0 と、アレイ基板 1 1 0 と対向する第 2 透明絶縁性基板の部分とを切り出し、さらに第 2 透明絶縁性基板を切断して対向基板 1 2 0 を切り出す。

【 0 0 6 8 】

続いて、アレイ基板 1 1 0 および対向基板 1 2 0 の液晶層 7 0 側と反対に位置する面に偏光板を配設して、液晶表示装置を形成する。

【 0 0 6 9 】

上述したように本実施形態によれば、センサ電極 4 0 の第 1 導電層 4 0 A の端が逆テーパ状となることを回避し、センサ電極 4 0 の端上の絶縁層 5 0 が途切れることがなく、センサ電極 4 0 と画素電極 6 0 とのショート不良の発生を回避して製造歩留まりを改善する液晶表示装置を提供することができる。

【 0 0 7 0 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[1] 酸化物導電膜と、前記酸化物導電膜上に配置された第 1 導電層と、前記第 1 導電層上に配置された第 2 導電層と、を備えたセンサ電極と、スリットを備え前記センサ電極の上層において前記酸化物導電膜と対向してマトリクス状に配置された複数の画素電極と、を備えたアレイ基板と、

前記アレイ基板と対向して配置された対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、を備え、

前記第 1 導電層の厚さは前記第 2 導電層の厚さの 1 0 % 以下である液晶表示装置。

[2] 酸化物導電膜と、前記酸化物導電膜上に配置され厚さが 2 0 n m 以下である第 1 導電層と、前記第 1 導電層上に配置された第 2 導電層と、を備えたセンサ電極と、スリットを備え前記センサ電極の上層において前記酸化物導電膜と対向してマトリクス状に配置された複数の画素電極と、を備えたアレイ基板と、

前記アレイ基板と対向して配置された対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、を備えた液晶表示装置。

[3] 前記第 1 導電層は、モリブデン、チタン、ニッケル、クロムのいずれかにより形成され、

10

20

30

40

50

前記第２導電層は、アルミニウムにより形成される〔１〕または〔２〕記載の液晶表示装置。

〔４〕前記アレイ基板は、前記第１方向に延びた信号線と、前記第２方向に延びた走査線と、前記信号線と前記走査線とが交差する位置近傍に配置され前記信号線と前記画素電極との電氣的接続を切替えるスイッチング素子と、を備え、

前記センサ電極は、前記信号線と略平行に延びた第１センサと、前記走査線と略平行に延びた第２センサとを備えている〔１〕乃至〔３〕のいずれか１記載の液晶表示装置。

〔５〕前記センサ電極は、前記第２導電層上に配置され、モリブデン、チタン、ニッケル、クロムのいずれかにより形成された第３導電層を更に備える〔１〕乃至〔４〕のいずれか１記載の液晶表示装置。

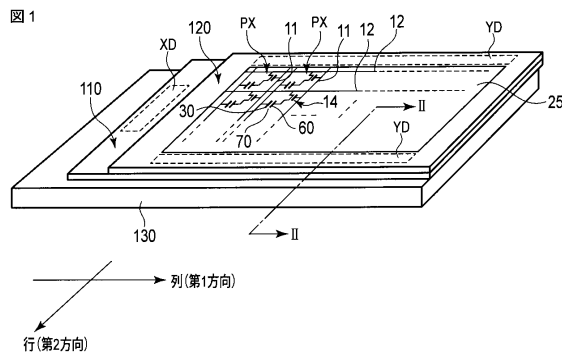
10

【符号の説明】

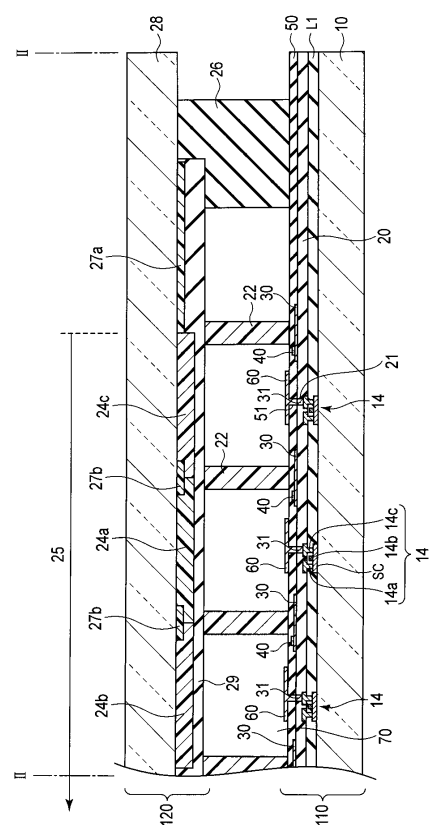
【００７１】

PX…表示画素、１１…走査線、１２…信号線、１４…スイッチング素子、２５…表示領域、３０…共通電極（酸化物導電膜）、４０…センサ電極、４１…第１センサ、４２…第２センサ、６０…画素電極、６０Ｓ…スリット、７０…液晶層、１１０…アレイ基板、１２０…対向基板。

【図１】

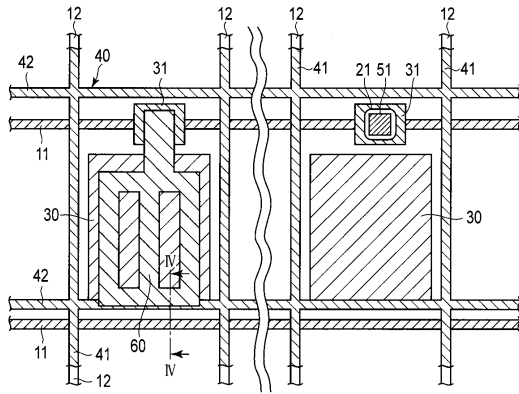


【図２】



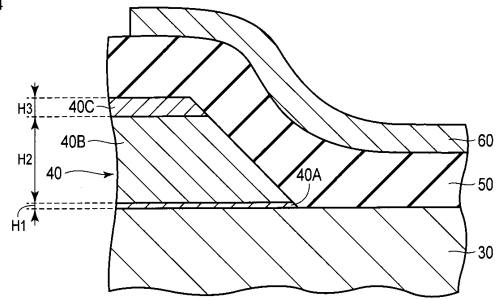
【図 3】

図 3



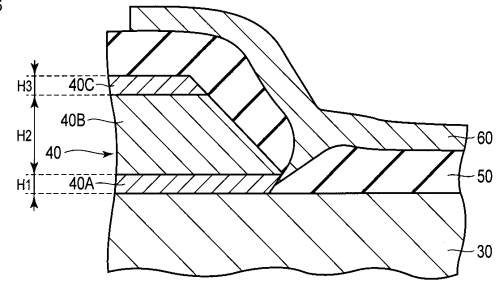
【図 4】

図 4



【図 5】

図 5



フロントページの続き

(74)代理人 100075672
弁理士 峰 隆司
(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100172580
弁理士 赤穂 隆雄
(74)代理人 100179062
弁理士 井上 正
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(72)発明者 直江 保生
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

審査官 福村 拓

(56)参考文献 特開平09-057892(JP,A)
特開2012-053594(JP,A)
特開2010-231773(JP,A)
国際公開第2010/056055(WO,A1)
特表2012-508924(JP,A)
特開2011-022818(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1333

专利名称(译)	液晶表示装置		
公开(公告)号	JP5771550B2	公开(公告)日	2015-09-02
申请号	JP2012061143	申请日	2012-03-16
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	直江保生		
发明人	直江 保生		
IPC分类号	G02F1/1343 G02F1/1333		
CPC分类号	G02F1/13338 G02F2001/13629 G06F3/0412 G06F2203/04103 G02F1/13439		
FI分类号	G02F1/1343 G02F1/1333		
F-TERM分类号	2H092/GA29 2H092/JA25 2H092/JA46 2H092/KA04 2H092/KA05 2H092/KB22 2H092/MA13 2H092/MA18 2H092/NA16 2H092/NA29 2H092/PA08 2H189/AA14 2H189/HA12 2H189/LA03 2H189/LA10 2H189/LA28 2H189/LA31		
代理人(译)	河野 哲 中村 诚 河野直树 井上 正 冈田隆		
审查员(译)	福村 拓		
其他公开文献	JP2013195576A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种提高制造产量的液晶显示装置。 解决方案：传感器电极包括氧化物导电膜30，设置在氧化物导电膜30上的第一导电层40A，以及设置在第一导电层40A上的第二导电层40B如图40所示，阵列基板110包括狭缝60S并且具有以矩阵布置的多个像素电极60以与氧化物导电膜30相对，并且相对基板120布置成面对阵列基板110并且，液晶层70保持在阵列基板110和对向基板120之间。第一导电层40A的厚度H 1不大于第二导电层40 B的厚度H 2的10%。显示设备。 点域4

(21) 出願番号	特願2012-61143 (P2012-61143)	(73) 特許権者	502356528
(22) 出願日	平成24年3月16日 (2012. 3. 16)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-195576 (P2013-195576A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年9月30日 (2013. 9. 30)	(74) 代理人	110001737
審査請求日	平成26年4月8日 (2014. 4. 8)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘