

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5619787号
(P5619787)

(45) 発行日 平成26年11月5日 (2014. 11. 5)

(24) 登録日 平成26年9月26日 (2014. 9. 26)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/133 (2006.01)	GO2F 1/133 550
GO9G 3/36 (2006.01)	GO9G 3/36
GO9G 3/20 (2006.01)	GO9G 3/20 624B
請求項の数 10 (全 63 頁) 最終頁に続く	

(21) 出願番号	特願2011-553723 (P2011-553723)	(73) 特許権者	000005049
(86) (22) 出願日	平成22年12月8日 (2010. 12. 8)		シャープ株式会社
(86) 国際出願番号	PCT/JP2010/072007		大阪府大阪市阿倍野区長池町22番22号
(87) 国際公開番号	W02011/099217	(74) 代理人	110000338
(87) 国際公開日	平成23年8月18日 (2011. 8. 18)		特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
審査請求日	平成24年7月30日 (2012. 7. 30)	(72) 発明者	齊藤 裕一
(31) 優先権主張番号	特願2010-30569 (P2010-30569)		日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(32) 優先日	平成22年2月15日 (2010. 2. 15)		
(33) 優先権主張国	日本国 (JP)	審査官	鈴木 俊光

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、液晶パネル、液晶表示装置、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項1】

データ信号線と、走査信号線と、上記データ信号線および上記走査信号線に接続されたトランジスタと、保持容量配線とを備えたアクティブマトリクス基板であって、

1つの画素に複数の副画素電極が形成された複数の画素と、

上記保持容量配線を駆動するための保持容量配線信号を出力する、モノリシックに形成された保持容量配線駆動回路と、を備え、

上記複数の画素の各々において、少なくとも1つの上記副画素電極と該副画素電極に対応する保持容量配線との間に保持容量が形成されており、

上記保持容量配線駆動回路は、複数の上記保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

上記保持容量配線駆動内部回路は、全ての保持容量配線に対して、1本おきに設けられ、

複数の上記保持容量配線中、隣り合う2本の保持容量配線において、一方の保持容量配線には上記保持容量配線駆動内部回路から出力された上記保持容量配線信号が供給され、他方の保持容量配線には外部の信号源から出力された信号が供給されることを特徴とするアクティブマトリクス基板。

【請求項2】

上記外部の信号源から出力される信号は、共通電極電位であることを特徴とする請求項1に記載のアクティブマトリクス基板。

10

20

【請求項 3】

データ信号線と、走査信号線と、上記データ信号線および上記走査信号線に接続されたトランジスタと、保持容量配線とを備えたアクティブマトリクス基板であって、

1つの画素に複数の副画素電極が形成された複数の画素と、

上記保持容量配線を駆動するための保持容量配線信号を出力する、モノリシックに形成された保持容量配線駆動回路と、を備え、

上記複数の画素の各々において、少なくとも1つの上記副画素電極と該副画素電極に対応する保持容量配線との間に保持容量が形成されており、

上記保持容量配線駆動回路は、複数の上記保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

各保持容量配線駆動内部回路に保持対象信号が入力され、

自段よりも後の後段の画素に対応する走査信号線に供給される走査信号がアクティブになると、自段の画素に対応する保持容量配線駆動内部回路が上記保持対象信号を取り込んでこれを保持し、

自段の画素に対応する保持容量配線駆動内部回路の出力を、自段の画素に対応する保持容量配線および自段よりも前の前段の画素に対応する保持容量配線に、上記保持容量配線信号として供給することを特徴とするアクティブマトリクス基板。

【請求項 4】

(k-3) 行目の保持容量配線と、(k-2) 行目の保持容量配線と、(k-1) 行目の保持容量配線と、k 行目の保持容量配線との 4 本の保持容量配線に対して一つの上記保持容量配線駆動内部回路が設けられており、

上記 (k-2) 行目の保持容量配線および上記 k 行目の保持容量配線には、当該保持容量配線駆動内部回路から出力される保持容量配線信号が供給され、

上記 (k-3) 行目の保持容量配線および上記 (k-1) 行目の保持容量配線には、外部の信号源から出力される信号が供給され、

当該保持容量配線駆動内部回路には、(k+3) 行目の走査信号線に供給される走査信号が入力されることを特徴とする請求項 3 に記載のアクティブマトリクス基板。

【請求項 5】

データ信号線と、走査信号線と、上記データ信号線および上記走査信号線に接続されたトランジスタと、保持容量配線とを備えたアクティブマトリクス基板であって、

1つの画素に複数の副画素電極が形成された複数の画素と、

上記保持容量配線を駆動するための保持容量配線信号を出力する、モノリシックに形成された保持容量配線駆動回路と、を備え、

上記複数の画素の各々において、少なくとも1つの上記副画素電極と該副画素電極に対応する保持容量配線との間に保持容量が形成されており、

上記保持容量配線駆動回路は、複数の上記保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

各保持容量配線駆動内部回路に同位相である第 1 保持対象信号と第 2 保持対象信号とが入力され、

自段に対応する保持容量配線駆動内部回路は、

自段よりも後の後段の画素に対応する走査信号線に供給される走査信号を入力する第 1 入力部と、上記第 1 保持対象信号を入力する第 2 入力部と、上記第 2 入力部に入力される上記第 1 保持対象信号とは位相が 180 度ずれた保持対象信号を入力する第 3 入力部と、上記第 2 保持対象信号を入力する第 4 入力部と、上記第 4 入力部に入力される上記第 2 保持対象信号とは位相が 180 度ずれた保持対象信号を入力する第 5 入力部と、上記保持容量配線信号を出力する出力部とを備え、

上記第 1 入力部に入力された上記走査信号がアクティブになったときの上記第 2 入力部に入力された上記第 1 保持対象信号の電位がハイレベルのときは、ハイレベルの電位の上記保持容量配線信号を出力し、

上記第 1 入力部に入力された上記走査信号がアクティブになったときの上記第 3 入力部

10

20

30

40

50

に入力された上記第1保持対象信号とは位相が180度ずれた保持対象信号の電位がハイレベルのときは、ローレベルの電位の上記保持容量配線信号を出力し、

上記第1入力部に入力された上記走査信号が非アクティブになり、かつ、上記後段の画素よりも後の画素に対応する走査信号線に供給される走査信号がアクティブになったときに、上記第4入力部に入力される上記第2保持対象信号および上記第5入力部に入力される上記第2保持対象信号とは位相が180度ずれた保持対象信号の少なくとも一方により、上記第2入力部に入力され保持されている上記第1保持対象信号および上記第3入力部に入力され保持されている上記第1保持対象信号とは位相が180度ずれた保持対象信号の少なくとも一方の電位を引き下げることを特徴とするアクティブマトリクス基板。

【請求項6】

10

データ信号線と、走査信号線と、上記データ信号線および上記走査信号線に接続されたトランジスタと、保持容量配線とを備えたアクティブマトリクス基板であって、

1つの画素に複数の副画素電極が形成された複数の画素と、

上記保持容量配線を駆動するための保持容量配線信号を出力する、モノリシックに形成された保持容量配線駆動回路と、を備え、

上記複数の画素の各々において、少なくとも1つの上記副画素電極と該副画素電極に対応する保持容量配線との間に保持容量が形成されており、

複数の上記保持容量配線は、上記保持容量配線駆動回路から出力された第1保持容量配線信号により駆動される第1保持容量配線群と、外部の信号源から出力された第2保持容量配線信号により駆動される第2保持容量配線群とで構成されていることを特徴とするアクティブマトリクス基板。

20

【請求項7】

上記第2保持容量配線信号は、共通電極電位であることを特徴とする請求項6に記載のアクティブマトリクス基板。

【請求項8】

請求項1～7のいずれか1項に記載のアクティブマトリクス基板を備え、

上記保持容量配線駆動回路が、上記副画素電極と保持容量を形成する上記保持容量配線に上記保持容量配線信号を供給することによって、上記データ信号線から該副画素電極に書き込まれた副画素電位を該副画素電位の極性に応じた向きに変化させて表示を行うことを特徴とする液晶表示装置。

30

【請求項9】

請求項1～7のいずれか1項に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。

【請求項10】

請求項8に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1画素領域に複数の画素電極を設けるアクティブマトリクス基板およびこれを用いた液晶表示装置（画素分割方式）に関する。

40

【背景技術】

【0002】

液晶表示装置のγ特性の視野角依存性を向上させる（例えば、画面の白浮き等を抑制する）ため、1画素に設けた複数の副画素を異なる輝度に制御し、これら副画素の面積階調によって中間調を表示する液晶表示装置（画素分割方式、例えば特許文献1参照）が提案されている。

【0003】

図49は、特許文献1の液晶表示装置1000における画素構造の一例を示す模式図である。液晶表示装置1000では、ガラス基板1001上に配置された走査信号線100

50

2と、データ信号線1003と、両信号線の交差部近傍に配された画素1004とを備え、画素1004は、2つの副画素1005a、1005bから構成される。2つの副画素1005a、1005bは、トランジスタ1006a、1006bと、トランジスタ1006a、1006bそれぞれに接続された画素電極1007a、1007bとを含み、画素電極1007a、1007bそれぞれは、保持容量配線1008a、1008bそれぞれと容量（保持容量1009a、1009b）を形成している。なお、図示していないが、画素電極1007a、1007bは、ガラス基板1001とこれに対向する基板（カラーフィルタ基板）面上の共通電極（対向電極）との間に液晶材料（液晶層）を保持している。

【0004】

10

図50は、図49で示した液晶表示装置1000の画素構造に対応した電気的な等価回路を示す図である。図49の画素電極1007a、1007bそれぞれは、図50に示す点1010a、1010bそれぞれに相当し、共通電極1011との間で液晶容量1012a、1012bを形成している。

【0005】

上記の構成において、保持容量配線1008a、1008bには、互いに異なる信号が供給される。これにより、画素電極1007a、1007bの電位（画素電位）を互いに異ならせることができる。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】日本国公開特許公報「特開2005-189804号公報（公開日：2005年7月14日）」

【発明の概要】

【発明が解決しようとする課題】

【0007】

上記特許文献1の液晶表示装置では、保持容量配線1008a、1008bは、表示領域外（液晶パネルの周辺領域）において束ねられて外部に接続されている。図51は、画素と保持容量配線との接続の様子を示す電気的な等価回路図である。保持容量配線CSLj-1～CSLj+6は、走査信号線GLj～GLj+6と交互に配されるとともに、4本周期で保持容量配線幹CSML1～4に順次接続されている。ここで、jは0以上の整数である。すなわち、保持容量配線CSLj-1、CSLj+3は保持容量配線幹CSML1およびCSML1'に接続され、保持容量配線CSLj、CSLj+4は保持容量配線幹CSML2およびCSML2'に接続され、保持容量配線CSLj+1、CSLj+5は保持容量配線幹CSML3およびCSML3'に接続され、保持容量配線CSLj+2、CSLj+6は保持容量配線幹CSML4およびCSML4'に接続されている。図50において示された画素1004は、例えば図51のように配置され、保持容量配線1008a、1008bは、それぞれ保持容量配線CSLj-1、CSLjに対応する。なお、図50に示された保持容量配線1008a、1008bそれぞれは、図50の紙面の上下（列方向）に隣り合う画素における保持容量配線と共用されている。

30

40

【0008】

保持容量配線幹の本数(N)は、図51では4本(N=4)としているが、これに限定されず、 $N \geq 2$ の範囲で、求める表示性能に応じて決定される。なお、Nは小さい方が額縁サイズを小さくできるが、表示性能の観点から、N=12程度とした液晶表示装置が多く量産されている。

【0009】

このような保持容量配線幹に負荷される電気容量（以下、単に「容量」と称す）は、液晶パネル内において、保持容量配線幹自体が他の電極および配線と形成する容量と、保持容量配線幹に接続された各保持容量配線が他の電極および配線と形成する容量との合計になり、特に保持容量配線幹に接続される保持容量配線の本数に大きな影響を受ける。その

50

ため、1本の保持容量配線幹に接続される保持容量配線の本数が増えると、該保持容量配線幹に負荷される容量は非常に大きくなる。また、保持容量配線幹は、画素分割を行うために、一定の電位ではなく外部から信号電位が与えられてAC駆動されている。さらに、保持容量配線幹は、図50の紙面の上下方向（列方向）に長く延伸している。このような構成では、外部からの信号電位が保持容量配線幹および保持容量配線内に速やかに伝わらず、画素電位に面内分布が生じ、表示品位が低下するという問題がある。また、このような問題を防ぐために、保持容量配線幹の配線幅を太くして保持容量配線幹の電気抵抗（以下、単に「抵抗」と称す）を小さくする方法が考えられるが、この方法では、液晶パネルの周辺領域に占める保持容量配線幹の面積サイズが大きくなり、液晶表示装置の狭額縁化の妨げになってしまう。

10

【0010】

本発明は、上記問題点に鑑み、画素分割方式の液晶表示装置において、液晶パネルの狭額縁化を図ることを目的とする。

【課題を解決するための手段】

【0011】

アクティブマトリクス基板は、

データ信号線と、走査信号線と、上記データ信号線および上記走査信号線に接続されたトランジスタと、保持容量配線とを備えたアクティブマトリクス基板であって、

1つの画素に複数の副画素電極が形成された複数の画素と、

上記保持容量配線を駆動するための保持容量配線信号を出力する、モノリシックに形成された保持容量配線駆動回路と、を備え、

20

上記複数の画素の各々において、少なくとも1つの上記副画素電極と該副画素電極に対応する保持容量配線との間に保持容量が形成されている。

【0012】

上記の構成によれば、保持容量配線駆動回路は、モノリシックに形成されているため、従来の保持容量配線幹を省略することができる。よって、液晶パネルの額縁面積を小さくすることができる。

【0013】

また、上記の構成によれば、少なくとも1つの副画素電極と該副画素電極に対応する保持容量配線との間に保持容量が形成されるため、例えば、2つの副画素電極にデータ信号を書き込んだ後に、それぞれの副画素電極に対応する保持容量配線に互いに異なる保持容量配線信号を供給して、容量結合による副画素電極電位（副画素電位）の突き上げまたは突き下げを行うことにより、各副画素電極の副画素電位を互いに異ならせることができる。これにより、一方の副画素電極を含む副画素を明副画素、他方の副画素電極を含む副画素を暗副画素とすることができる。すなわち、画素分割方式の液晶表示装置を実現できる。

30

【0014】

また、本発明に係る上記アクティブマトリクス基板では、上記課題を解決するために、

上記保持容量配線駆動回路は、複数の上記保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

40

上記保持容量配線駆動内部回路は、全ての保持容量配線に対して、1本おきに設けられ、

複数の上記保持容量配線中、隣り合う2本の保持容量配線において、一方の保持容量配線には上記保持容量配線駆動内部回路から出力された上記保持容量配線信号が供給され、他方の保持容量配線には外部の信号源から出力された信号が供給される構成とすることもできる。

【0015】

これにより、1本の保持容量配線に対応して1つの保持容量配線駆動内部回路が設けられている構成と比較して、保持容量配線駆動内部回路の数を減らすことができるため、液晶パネルの額縁面積をさらに小さくすることができる。

50

【0016】

また、本発明に係る上記アクティブマトリクス基板では、上記課題を解決するために、上記保持容量配線駆動回路は、複数の上記保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

各保持容量配線駆動内部回路に保持対象信号が入力され、

自段よりも後の後段の画素に対応する走査信号線に供給される走査信号がアクティブになると、自段の画素に対応する保持容量配線駆動内部回路が上記保持対象信号を取り込んでこれを保持し、

自段の画素に対応する保持容量配線駆動内部回路の出力を、自段の画素に対応する保持容量配線および自段よりも前の前段の画素に対応する保持容量配線に、上記保持容量配線信号として供給する構成とすることもできる。

10

【0017】

また、上記アクティブマトリクス基板では、

上記保持容量配線駆動回路は、複数の上記保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

各保持容量配線駆動内部回路に同位相である第1保持対象信号と第2保持対象信号が入力され、

自段に対応する保持容量配線駆動内部回路は、

自段よりも後の後段の画素に対応する走査信号線に供給される走査信号を入力する第1入力部と、上記第1保持対象信号を入力する第2入力部と、上記第2入力部に入力される上記第1保持対象信号とは位相が180度ずれた保持対象信号を入力する第3入力部と、上記保持容量配線信号を出力する出力部とを備え、

20

上記第1入力部に入力された上記走査信号がアクティブになったときの上記第2入力部に入力された上記第1保持対象信号の電位がハイレベルのときは、ハイレベルの電位の上記保持容量配線信号を出力し、

上記第1入力部に入力された上記走査信号がアクティブになったときの上記第3入力部に入力された上記第1保持対象信号とは位相が180度ずれた保持対象信号の電位がハイレベルのときは、ローレベルの電位の上記保持容量配線信号を出力し、

上記第1入力部に入力された上記走査信号が非アクティブになり、かつ、上記後段の画素よりも後の画素に対応する走査信号線に供給される走査信号がアクティブになったときに、上記第2入力部および／または第3入力部に入力され保持されている上記保持対象信号の電位を引き下げる構成とすることもできる。

30

【0018】

また、本発明に係る上記アクティブマトリクス基板では、上記課題を解決するために、上記第2保持対象信号を入力する第4入力部と、上記第4入力部に入力される上記第2保持対象信号とは位相が180度ずれた保持対象信号を入力する第5入力部をさらに備え、

上記第1入力部に入力された上記走査信号がアクティブになったときの上記第2入力部に入力された上記第1保持対象信号の電位がハイレベルのときは、ハイレベルの電位の上記保持容量配線信号を出力し、

40

上記第1入力部に入力された上記走査信号がアクティブになったときの上記第3入力部に入力された上記第1保持対象信号とは位相が180度ずれた保持対象信号の電位がハイレベルのときは、ローレベルの電位の上記保持容量配線信号を出力し、

上記第1入力部に入力された上記走査信号が非アクティブになり、かつ、上記後段の画素よりも後の画素に対応する走査信号線に供給される走査信号がアクティブになったときに上記第4入力部に入力される上記第2保持対象信号および上記第5入力部に入力される上記第2保持対象信号とは位相が180度ずれた保持対象信号の少なくとも一方により、上記第2入力部に入力され保持されている上記第1保持対象信号および上記第3入力部に入力され保持されている上記第1保持対象信号とは位相が180度ずれた保持対象信号の少なくとも一方の電位を引き下げる構成とすることもできる。

50

【0019】

また、本発明に係る上記アクティブマトリクス基板では、上記課題を解決するために、複数の上記保持容量配線は、上記保持容量配線駆動回路から出力された第1保持容量配線信号により駆動される第1保持容量配線群と、外部の信号源から出力された第2保持容量配線信号により駆動される第2保持容量配線群とで構成とすることもできる。

【0020】

また、本発明に係る上記アクティブマトリクス基板では、
(k-3)行目の保持容量配線と、(k-2)行目の保持容量配線と、(k-1)行目の保持容量配線と、k行目の保持容量配線との4本の保持容量配線に対して一つの上記保持容量配線駆動内部回路が設けられており、

10

上記(k-2)行目の保持容量配線および上記k行目の保持容量配線には、当該保持容量配線駆動内部回路から出力される保持容量配線信号が供給され、

上記(k-3)行目の保持容量配線および上記(k-1)行目の保持容量配線には、外部の信号源から出力される信号が供給され、

当該保持容量配線駆動内部回路には、(k+3)行目の走査信号線に供給される走査信号が入力される構成とすることもできる。

【0021】

また、本発明に係る上記アクティブマトリクス基板では、上記外部の信号源から出力される信号は、共通電極電位とすることもできる。

【0022】

20

また、本発明に係る上記アクティブマトリクス基板では、上記第2保持容量配線信号は、共通電極電位とすることもできる。

【0023】

本発明に係る液晶表示装置は、上記課題を解決するために、

上記いずれかのアクティブマトリクス基板を備え、

上記保持容量配線駆動回路が、上記画素電極と保持容量を形成する上記保持容量配線に上記保持容量配線信号を供給することによって、上記データ信号線から該画素電極に書き込まれた画素電位を該画素電位の極性に応じた向きに変化させて表示を行うことを特徴とする。

【0024】

30

本液晶パネルは、上記アクティブマトリクス基板を備えることを特徴とする。本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とする。

【発明の効果】

【0025】

以上のように、本アクティブマトリクス基板を用いた液晶表示装置では、保持容量配線駆動回路が、モノリシックに形成されており、1つの画素領域内において、少なくとも1つの画素電極と該画素に対応する保持容量配線との間に保持容量が形成されている。よって、画素分割方式の液晶表示装置において、液晶パネルの狭額縁化を図ることができる。

【図面の簡単な説明】

40

【0026】

【図1】本発明の液晶パネルの構成例1における液晶パネル113aの一部を示す等価回路図である。

【図2】本発明の液晶パネルの構成例1を示す平面図である。

【図3】図2のA-B断面の具体例を示す断面図である。

【図4】図2のA-C断面の具体例を示す断面図である。

【図5】図2のA-B断面の他の具体例を示す断面図である。

【図6】本発明の液晶パネルの構成例2を示す平面図である。

【図7】図6のA-B断面の具体例を示す断面図である。

【図8】本発明の液晶表示装置の実施の一形態を模式的に示す平面図である。

50

【図 9】本発明の液晶表示装置の基本的な電氣的駆動方法を説明するための図である。

【図 10】本発明の液晶表示装置におけるゲート・C S ドライバの構成例 1 を示す回路図である。

【図 11】図 10 の C S ドライバを構成する保持回路の具体例を示す回路図である。

【図 12】図 10 の保持回路 C S D i - 1 において入出力される各種信号を示すタイミングチャートである。

【図 13】図 9 の画素 P i における各種の信号波形を示すタイミングチャートである。

【図 14】図 9 の画素 P i + 1 における各種の信号波形を示すタイミングチャートである。

【図 15】変形例 1 におけるゲート・C S ドライバの構成を示す回路図である。

10

【図 16】変形例 1 における画素 P i の各種の信号波形を示すタイミングチャートである。

【図 17】変形例 1 における画素 P i + 1 の各種の信号波形を示すタイミングチャートである。

【図 18】変形例 2 における画素 P i の各種の信号波形を示すタイミングチャートである。

【図 19】変形例 2 における画素 P i + 1 の各種の信号波形を示すタイミングチャートである。

【図 20】本発明の液晶表示装置におけるゲート・C S ドライバの構成例 2 を示す回路図である。

20

【図 21】図 20 の構成例 2 における画素 P i の各種の信号波形を示すタイミングチャートである。

【図 22】図 20 の構成例 2 における画素 P i + 1 の各種の信号波形を示すタイミングチャートである。

【図 23】本発明の液晶表示装置におけるゲート・C S ドライバの構成例 3 を示す回路図である。

【図 24】図 23 の構成例 3 における、画素 P p + 2、画素 P p + 3、画素 P p + 4 の各種の信号波形を示すタイミングチャートである。

【図 25】本発明の液晶表示装置の実施の一形態を模式的に示す平面図である。

【図 26】本発明の液晶表示装置におけるゲート・C S ドライバの構成例 4 を示す回路図である。

30

【図 27】図 26 の構成例 4 における C S ドライバを構成する保持回路の具体例を示す回路図である。

【図 28】図 26 の保持回路 C S D i - 1 において入出力される各種信号を示すタイミングチャートである。

【図 29】(a) および (b) は、本実施の形態におけるアモルファスシリコン T F T (a - S i T F T) の動作信頼性の評価方法を説明するための図である。

【図 30】(a) および (b) は、本実施の形態におけるアモルファスシリコン T F T (a - S i T F T) の動作信頼性を示すグラフである。

【図 31】本発明の液晶表示装置における C S ドライバの動作信頼性を検証するためのシミュレーション回路の概略を説明する図である。

40

【図 32】シミュレーション回路に入力する信号の波形を示す図である。

【図 33】図 27 の保持回路におけるノード n e t C 1、n e t C 2 の平均電位と出力電位到達時間の関係を示す。

【図 34】本発明の液晶表示装置におけるゲート・C S ドライバの構成例 5 を示す回路図である。

【図 35】図 34 の構成例 5 における C S ドライバを構成する保持回路の具体例を示す回路図である。

【図 36】図 34 の保持回路 C S D i - 1 において入出力される各種信号を示すタイミングチャートである。

50

【図 37】図 35 の保持回路におけるノード net C1、net C2 の平均電位と出力電位到達時間の関係を示す。

【図 38】本発明の液晶表示装置におけるゲート・CSドライバの構成例 6 を示す回路図である。

【図 39】図 38 の構成例 6 における CSドライバを構成する保持回路の具体例を示す回路図である。

【図 40】図 38 の保持回路 CS Di-1 において入出力される各種信号を示すタイミングチャートである。

【図 41】図 39 の保持回路におけるノード net C1、net C2 の平均電位と出力電位到達時間の関係を示す。

【図 42】本発明の液晶パネルの構成例 7 の一部を示す等価回路図である。

【図 43】本発明の液晶パネルの構成例 7 を示す平面図である。

【図 44】本発明の液晶パネルの構成例 8 の一部を示す等価回路図である。

【図 45】本発明の液晶パネルの構成例 8 を示す平面図である。

【図 46】本発明の液晶表示装置の機能を説明するブロック図である。

【図 47】本発明のテレビジョン受像機の機能を説明するブロック図である。

【図 48】本発明のテレビジョン受像機の構成を示す分解斜視図である。

【図 49】特許文献 1 の液晶表示装置における画素構造の一例を示す模式図である。

【図 50】図 49 で示した液晶表示装置の画素構造に対応した電氣的な等価回路を示す図である。

【図 51】図 49 における画素と保持容量配線との接続の様子を示す電氣的な等価回路図である。

【発明を実施するための形態】

【0027】

本実施の形態を、図面を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下では、走査信号線の延伸方向を行方向とし、データ信号線の延伸方向を列方向とする。ただし、本液晶パネル（あるいはこれに用いられるアクティブマトリクス基板）を備えた液晶表示装置の利用（視聴）状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。なお、液晶パネルを示す図面では、配向規制用構造物を適宜省略して記載している。

【0028】

図 8 は、本発明の液晶表示装置 110 の実施の一形態を模式的に示す平面図である。液晶表示装置 110 は、主としてアクティブマトリクス基板 111 と、アクティブマトリクス基板 111 にシール材（図示せず）を用いて貼り合わされた対向基板（カラーフィルタ基板）112 と、SOF（システムオンフィルム）技術を用いてゲートドライバ 9 およびソースドライバ 11 が実装されたポリイミドフィルム 8、10 と、外部基板 12 とからなる。ここで、対向基板 112 は、図 8 において点線を用いて示されている。なお、アクティブマトリクス基板 111 と対向基板 112 との間には、配向膜、配向制御構造および液晶材料が保持されているが、図 8 では省略している。また、液晶表示装置 110 は、このほかに偏光フィルムなどの光学フィルム、バックライト、その他光学部品、回路部品、これらの部品を所定の位置に保持するためのベゼルなどを備えるが、これらも図 8 では省略している。

【0029】

図 8 に示すアクティブマトリクス基板 111 は、ガラス基板 1 と、ガラス基板 1 上に形成された、走査信号線 2 と、保持容量配線 3 と、データ信号線 4 と、画素電極 5 とを有する。アクティブマトリクス基板 111 上の領域は、複数の画素を有する表示領域 6 と、その周囲の周辺領域 7 とに分けることができる。周辺領域 7 には、ゲート端子 9a、ソース端子 11a が設けられ、それぞれにはゲートドライバ 9、ソースドライバ 11 からの出力等が、ポリイミドフィルム 8、10 内の配線を介して入力される。また、ポリイミドフィルム 10 には、外部基板 12 が実装されている。周辺領域 7 には、さらに、ガラス基板 1

上に設けられるCSドライバ（保持容量配線駆動回路）13を有する。なお、ゲートドライバ9、ソースドライバ11、およびCSドライバ13を駆動するための制御信号や電源は、外部基板12等から、ポリイミドフィルム8、10およびガラス基板1上の配線（図示せず）を介して供給される。

【0030】

なお、図8では、ゲートドライバ9およびCSドライバ13は、液晶表示装置110の両端部（紙面左右端部）に列をなして設けられているが、本発明はこれに限定されず、液晶表示装置110の一端部（図8における左端部あるいは右端部）のみに設けられていてもよい。

【0031】

（液晶パネルの構成例1）

図1は本発明の液晶パネルの構成例1における液晶パネル113aの一部を示す等価回路図である。図1に示すように、液晶パネル113aは、列方向（紙面上下方向）に延伸するデータ信号線4x、4X、行方向（紙面左右方向）に延伸する走査信号線2cd、2ab、2ef、行および列方向に並べられた画素（画素領域）100～105、保持容量配線3w、3x、3y、3z、および共通電極（対向電極）comを備え、各画素の構造は同一の構成である。また、図1に示すように、画素100～102が含まれる画素列と、画素103～105が含まれる画素列とが隣接している。

【0032】

液晶パネル113aでは、1つの画素に対応してデータ信号線および走査信号線それぞれが1本ずつ設けられるとともに、列方向に隣り合う画素の間に、両画素で共用する保持容量配線が設けられている。画素100に設けられた2つの画素電極5c、5d、画素101に設けられた2つの画素電極5a、5b、および画素102に設けられた2つの画素電極5e、5fが、それぞれ一列に配されるとともに、画素103に設けられた2つの画素電極5C、5D、画素104に設けられた2つの画素電極5A、5B、および画素105に設けられた2つの画素電極5E、5Fが、それぞれ一列に配されている。また、画素電極5cと5C、画素電極5dと5D、画素電極5aと5A、画素電極5bと5B、および画素電極5eと5E、画素電極5fと5Fが、それぞれ行方向に隣接している。

【0033】

各画素の構造は同一であるため、以下では、主に画素101を例に挙げて説明する。

【0034】

画素101では、画素電極5a（第1画素電極）が、走査信号線2abに接続されたトランジスタ15a（第1トランジスタ）を介してデータ信号線4xに接続され、画素電極5b（第2画素電極）が、走査信号線2abに接続されたトランジスタ15b（第2トランジスタ）を介してデータ信号線4xに接続され、画素電極5aおよび保持容量配線3x間に保持容量Chaが形成され、画素電極5bおよび保持容量配線3y間に保持容量Chbが形成され、画素電極5aおよび共通電極com間に液晶容量Cl aが形成され、画素電極5bおよび共通電極com間に液晶容量Cl bが形成されている。

【0035】

このように、画素電極5a、5bそれぞれは、同一の走査信号線2abに接続されたそれぞれのトランジスタ15a、15bを介して、同一のデータ信号線4xに接続されているため、画素電極5a、5bそれぞれに対して、同一の信号電位（データ信号）を、トランジスタ15a、15bそれぞれを介して直接供給することができる。そして、画素電極5a、5bそれぞれは、異なる保持容量配線3x、3yそれぞれと保持容量Ch a、Ch bを形成しているため、例えば、走査信号線2abの電位を選択状態（ハイレベル）として画素電極5a、5bにデータ信号を書き込んだ後に、保持容量配線3x、3yに互いに異なる保持容量配線信号を供給して、容量結合による画素電極電位（画素電位）の突き上げまたは突き下げを行うことによって、画素電極5a、5bそれぞれの画素電位を異ならせることができる。このような方法を用いて、例えば、画素電極5aを含む副画素を明副画素（相対的に輝度の高い画素）、画素電極5bを含む副画素を暗副画素（相対的に輝度

10

20

30

40

50

の低い画素)とすることができる。これにより、画素分割方式の液晶表示装置を実現できる。

【0036】

本構成例1における液晶パネル113aの具体的な構成を図2に示す。図2は、液晶パネル113aの構成例1を示す平面図である。図2の液晶パネル113aでは、画素100および画素101に沿うようにデータ信号線4xが設けられ、画素103および画素104に沿うようにデータ信号線4Xが設けられ、画素100、103のエッジ部の一方と重なるように保持容量配線3wが設けられ、画素100、103のエッジ部の他方および画素101、104のエッジ部の一方と重なるように保持容量配線3xが設けられ、画素101、104のエッジ部の他方と重なるように保持容量配線3yが設けられている。また、画素100、103の中央部を横切るように走査信号線2cdが配され、画素101、104の中央部を横切るように走査信号線2abが配されている。

10

【0037】

また、平面的に視て、画素100では、保持容量配線3w、3x間に画素電極5c、5dが列方向に並べられ、画素101では、保持容量配線3x、3y間に画素電極5a、5bが列方向に並べられ、画素103では、保持容量配線3w、3x間に画素電極5C、5Dが列方向に並べられ、画素104では、保持容量配線3x、3y間に画素電極5A、5Bが列方向に並べられている。

【0038】

画素101では、走査信号線2ab上には、トランジスタ15aのソース電極16abおよびドレイン電極17aと、トランジスタ15bのソース電極16abおよびドレイン電極17bとが形成されている。このように、ソース電極16abは、トランジスタ15a、15bの両方のソース電極を兼ねてデータ信号線4xに接続される。ドレイン電極17aはドレイン引き出し配線18aに接続され、ドレイン引き出し配線18aは容量電極19aに接続され、容量電極19aはコンタクトホール20aを介して画素電極5aに接続される。ドレイン電極17bはドレイン引き出し配線18bに接続され、ドレイン引き出し配線18bは容量電極19bに接続され、容量電極19bはコンタクトホール20bを介して画素電極5bに接続される。

20

【0039】

ここで、容量電極19aがゲート絶縁膜を介して保持容量配線3xに重なるとともに、画素電極5aがゲート絶縁膜および層間絶縁膜を介して保持容量配線3xに重なっており、これらの重なりの方によって保持容量Cha(図1参照)が形成されている。同様に、容量電極19bがゲート絶縁膜を介して保持容量配線3yに重なるとともに、画素電極5bがゲート絶縁膜および層間絶縁膜を介して保持容量配線3yに重なっており、これらの重なりの方によって保持容量Chb(図1参照)が形成されている。

30

【0040】

なお、他の画素の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

【0041】

図3は図2のA-B断面図であり、図4は図2のA-C断面図である。これらの図に示すように、液晶パネル113aは、アクティブマトリクス基板111と、これに対向するカラーフィルタ基板(対向基板)112と、両基板111、112間に配される液晶層114とを備える。

40

【0042】

アクティブマトリクス基板111では、ガラス基板1上に走査信号線2abおよび保持容量配線3x、3yが形成され、これらを覆うように無機材料である窒化シリコンからなるゲート絶縁膜21が形成されている。トランジスタ15a、15bにおいては、トランジスタのゲート電極が走査信号線2abと一体となって形成され、ガラス基板1上の走査信号線2abの一部がトランジスタ15a、15bのゲート電極の役割を果たす。トランジスタ15a、15bにおけるゲート絶縁膜21上には、半導体層22ab、半導体層2

50

2 a bに接するソース電極1 6 a b、ドレイン電極1 7 a、1 7 b、ドレイン引き出し配線1 8 a、1 8 b、容量電極1 9 a、1 9 bが形成され、これらを覆うように層間絶縁膜2 3が形成されている。半導体層2 2 a bは、図示していないが、真性アモルファスシリコン層（i層）と、リンがドーピングされたn+型アモルファスシリコン層（n+層）とからなる。n+層はi層等の半導体材料とソース電極1 6 a b、ドレイン電極1 7 a、1 7 b等の金属材料との間で電氣的接続を行うコンタクト層の役割を有している。なお、ソース電極1 6 a bおよびドレイン電極1 7 a、1 7 bと重ならない半導体層2 2 a b（典型的にはトランジスタのチャネル部）は、n+層がエッチング等により除去され、i層のみとなっている。層間絶縁膜2 3は無機材料である窒化シリコンからなる。層間絶縁膜2 3上にはITO（インジウム錫酸化物）からなる画素電極5 a、5 bが形成され、さらに、画素電極5 a、5 bを覆うように配向膜（図示せず）が形成されている。ここで、コンタクトホール2 0 a、2 0 bでは、それぞれ、層間絶縁膜2 3が刳り貫かれており、これによって、画素電極5 aと容量電極1 9 aとが電氣的に接続され、画素電極5 bと容量電極1 9 bとが電氣的に接続される。

10

【0043】

一方、カラーフィルタ基板1 1 2では、ガラス基板3 1上にブラックマトリクス3 2および着色層3 3が形成され、その上層に共通電極（com）3 4が形成され、さらにこれを覆うように配向膜（図示せず）が形成されている。

【0044】

ここで、アクティブマトリクス基板1 1 1の製造方法の一例を説明する。なお、この製造方法は、アモルファスシリコントランジスタを含んだ一般的なアクティブマトリクス基板の製造方法と同様である。

20

【0045】

まず、アルゴン（Ar）ガスを用いたスパッタ法により、ガラス、プラスチック等の透明絶縁性基板（図3ではガラス基板1）上にチタン（Ti）、アルミニウム（Al）、チタン（Ti）を順に堆積して、Ti/Al/Ti積層膜であるゲート金属膜（図示せず）を形成する。このとき、チタンの膜厚は例えば100nm（上層側、下層側共通）とし、アルミニウムの膜厚は例えば300nmとする。ゲート金属膜を形成する際のガラス基板1の温度は200～300℃とする。

【0046】

30

続いて、フォトリソグラフィ法、すなわち対象となる膜上にフォトレジスト材料によるレジストパターン膜を形成し、このレジストパターン膜をマスクとして膜のパターニングを行う方法を用いて、ゲート金属膜から、各トランジスタのゲート電極としても機能する走査信号線2 a b、保持容量配線3 x、3 y等を形成する。ゲート金属膜のエッチングには例えば塩素ガス（Cl₂）ガスを主に用いたドライエッチング法を用いる。エッチング終了後、レジストパターン膜を有機アルカリを含む剥離液を用いて除去する。

【0047】

ゲート金属膜の材料は、アルミニウム、チタンの他に、インジウム錫酸化物（ITO）や、タングステン（W）、銅（Cu）、クロム（Cr）、モリブデン（Mo）、アルミニウム（Al）、チタン（Ti）等の単体金属、またはそれらに窒素、酸素、あるいは他の金属を含有させた材料であってもよい。ゲート金属膜は、上記材料を用いた単一の層であってもよいし、積層構造を有していてもよい。例えば、走査信号線は、チタンおよび銅によるTi/Cu/Ti積層膜、あるいは銅およびモリブデンによるMo/Cu/Mo積層膜であってもよい。

40

【0048】

ゲート金属膜の形成方法としては、スパッタ法他、蒸着法等を用いることもできる。ゲート金属膜の厚さも特に限定されない。また、ゲート金属膜のエッチング方法も、上述したドライエッチング法に限定されず、酸などのエッチャントを用いたウェットエッチング法等を用いることもできる。

【0049】

50

次いで、ゲート絶縁膜 2 1 となる窒化シリコン (SiNx) 膜、真性アモルファスシリコン層 (i 層) となるアモルファスシリコン膜、n+型アモルファスシリコン層 (n+層) となる n+型アモルファスシリコン膜を、プラズマ CVD (化学的気相成長) 法等により連続して成膜する。このとき、窒化シリコン膜の膜厚は例えば 400 nm、アモルファスシリコン膜の膜厚は例えば 200 nm、n+型アモルファスシリコン膜の膜厚は 50 nm とする。これらの膜を形成する際のガラス基板 1 の温度は 200 ~ 300 °C とし、成膜用のガスとしては、シラン (SiH₄)、アンモニア (NH₃)、水素 (H₂) 及び窒素 (N₂) 等を適宜組み合わせ用いる。

【0050】

続いて、フォトリソグラフィ法により窒化シリコン膜、アモルファスシリコン膜、n+型アモルファスシリコン膜を所定の形状にパターニングを行って、ゲート絶縁膜 2 1 と、一次加工されたアモルファスシリコン膜および n+型アモルファスシリコン膜を得る。このときのエッチングには、例えば塩素ガス (Cl₂) ガス、四塩化炭素 (CF₄) ガス、酸素 (O₂) ガスを適宜組み合わせ用いたドライエッチング法を用いる。エッチング終了後、レジストパターン膜を、有機アルカリを含む剥離液を用いて除去する。

【0051】

次いで、ゲート金属膜の場合と同様に、チタン (Ti)、アルミニウム (Al)、チタン (Ti) を順に堆積して、Ti/Al/Ti 積層膜であるソース金属膜 (図示せず) を形成する。このとき、チタンの膜厚は例えば 100 nm (上層側、下層側共通) とし、アルミニウムの膜厚は例えば 300 nm とする。ゲート金属膜の場合と同様に、フォトリソグラフィ法を用いて、ソース金属膜からデータ信号線 4 x、ソース電極 16 a b、ドレイン電極 17 a、17 b、ドレイン引き出し配線 18 a、18 b、および容量電極 19 a、19 b 等を形成する。ここで、フォトリソグラフィ法で用いたレジストパターン膜 (図示せず) は、次工程のため、除去せずに残しておく。ソース金属膜の材料についても、ゲート金属膜と同様の他の材料から構成されてもよい。

【0052】

次いで、アモルファスシリコン膜、n+型アモルファスシリコン膜に対して再度エッチング加工 (チャンネルエッチング) を行って、真性アモルファスシリコン層 (i 層)、n+型アモルファスシリコン層 (n+層) を得て、半導体層 2 2 a b を得る。すなわち、データ信号線 4 x、ソース電極 16 a b、およびドレイン電極 17 a、17 b 等のパターンを形成するために用いたレジストパターン膜をマスクにし、ドライエッチング法にて n+型アモルファスシリコン膜と、アモルファスシリコン膜の一部表面をエッチングする。これによって、ソース電極 16 a b とドレイン電極 17 a、17 b との間の分離を行う。なお、ここで、アモルファスシリコン膜の一部表面をエッチングするのは、オーバーエッチングによって確実に n+型アモルファスシリコン膜を取り除くため等の理由による。

【0053】

次いで、層間絶縁膜 2 3 となる窒化シリコン膜を、データ信号線 4 x、ソース電極 16 a b、ドレイン電極 17 a、17 b、ドレイン引き出し配線 18 a、18 b、および容量電極 19 a、19 b を覆うように形成する。ここでは、プラズマ CVD 法を用いて、窒化シリコン膜を形成する際のガラス基板 1 の温度は 200 ~ 300 °C とし、成膜用のガスとしては、シラン (SiH₄)、アンモニア (NH₃)、水素 (H₂) 及び窒素 (N₂) 等を適宜組み合わせ用いる。窒化シリコン膜の膜厚は、例えば 300 nm である。

【0054】

次いで、フォトリソグラフィ法を用いて、層間絶縁膜 2 3 となる窒化シリコン膜を所定のパターンとなるようエッチングして、層間絶縁膜 2 3 とコンタクトホール 20 a、20 b を形成する。このときの、ゲート絶縁膜 2 1 となる窒化シリコンのエッチングと同様の手法を用いることができる。

【0055】

次いで、層間絶縁膜 2 3 上に、例えば、ITO (インジウム錫酸化物) 膜を、スパッタリング法等により 100 nm 程度の膜厚で成膜し、これをフォトリソグラフィ法にて必

10

20

30

40

50

要な形状にパターンニングすることによって画素領域に画素電極 5 a、5 b を形成する。ITO 膜のエッチングには蔘酸 ($\text{HOOC}-\text{COOH}$) または塩化第 2 鉄液等を用いることができる。

【0056】

次いで、画素電極 5 a、5 b を覆うように、インクジェット法等により配向膜材料を含んだ溶液を塗布し、配向膜 (図示せず) を形成する。

【0057】

上述したアクティブマトリクス基板 1 1 1 の製造方法は、後述する液晶パネルにおいても適用可能である。以下では、説明の便宜上、その説明を省略する。

【0058】

ところで、図 2 の A-B 断面を図 5 のように構成することもできる。図 5 は、図 2 に示す液晶パネル 1 1 3 の他の構成における A-B 断面図である。図 5 の液晶パネルでは、ガラス基板 1 上に厚いゲート絶縁膜 2 1 p と薄いゲート絶縁膜 2 1 q とを形成し、画素電極 5 a の下層に厚い層間絶縁膜 2 3 p と薄い層間絶縁膜 2 3 q とを形成する。ゲート絶縁膜 2 1 p は、トランジスタ 1 5 a と、容量電極 1 9 a の付近では取り除かれている。また、層間絶縁膜 2 3 p および層間絶縁膜 2 3 q は、互いに略同一の平面形状であり、コンタクトホール 2 0 a、2 0 b の部分が取り除かれている。こうすれば、各種寄生容量の低減や配線同士の短絡防止の効果が得られる。ゲート絶縁膜 2 1 p の膜厚は例えば 1 0 0 0 nm、ゲート絶縁膜 2 1 q の膜厚は例えば 4 0 0 nm、層間絶縁膜 2 3 p の膜厚は例えば 2 5 0 0 ~ 3 0 0 0 nm、層間絶縁膜 2 3 q の膜厚は例えば 3 0 0 nm とすることができる。ここで、層間絶縁膜 2 3 p は有機材料からなり、膜厚は下地凹凸を反映して分布をもつ。また、層間絶縁膜 2 3 q およびゲート絶縁膜 2 1 q はプラズマ CVD 法を用いた窒化シリコン膜である。

【0059】

図 5 のゲート絶縁膜 2 1 p は、ゲート絶縁膜 2 1 q と同様にプラズマ CVD 法を用いた窒化シリコン膜や、あるいは酸化シリコン膜であってもよいが、SOG (スピノングラス) 材料から作成される絶縁膜であってもよい。

【0060】

図 5 の層間絶縁膜 2 3 p、層間絶縁膜 2 3 q およびコンタクトホール 2 0 a、2 0 b は例えば、以下のようにして形成することができる。すなわち、トランジスタ 1 5 a を形成した後、プラズマ CVD 法によって、層間絶縁膜 2 3 q となる窒化シリコン膜を成膜するところまでは図 3 および図 4 の場合と同様であり、次に、感光性アクリル樹脂を含むレジスト材料を用いたフォトリソグラフィ法によって、まず感光性アクリル樹脂膜を形成し、感光性アクリル樹脂膜をマスクとして窒化シリコン膜をエッチングし、層間絶縁膜 2 3 p、層間絶縁膜 2 3 q およびコンタクトホール 2 0 a、2 0 b を得ることができる。ここで、感光性アクリル樹脂膜は除去されず、熱処理等を加えてそのまま層間絶縁膜 2 3 p として用いる。このときの窒化シリコン膜のエッチングは、図 3 および図 4 の場合と同様に行うことができる。

【0061】

図 5 のゲート絶縁膜 2 1 p は、SOG (スピノングラス) 材料から形成される絶縁膜であって、SOG 材料を含んだ溶液の塗布と熱処理等によって得られた膜を、フォトリソグラフィ法を用いてパターンニングして得られる。

【0062】

なお、層間絶縁膜 2 3 p も同様に、例えば、SOG (スピノングラス) 材料から形成される絶縁膜であってもよく、また、ゲート絶縁膜 2 1 p や層間絶縁膜 2 3 p に、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも 1 つが含まれていてもよい。

【0063】

(液晶パネルの構成例 2)

ここで、保持容量 C h a、C h b は、図 6 に示す構成により形成されていてもよい。図

10

20

30

40

50

6は、本発明の液晶パネルの構成例2を示す平面図である。図6の液晶パネル113bでは、画素101において、図2の構成例1の液晶パネル113aに対してさらにコンタクト電極26a、26b、およびコンタクトホール27a、27bが設けられている。ここで、コンタクト電極26a、26bは、ドレイン引き出し配線18a、18bと同層に形成される。トランジスタ15aのドレイン電極17aは、ドレイン引き出し配線18aおよびコンタクトホール27aを介して画素電極5aに接続され、さらに画素電極5aは、コンタクトホール20aを介して容量電極19aに接続される。ここで、容量電極19aがゲート絶縁膜を介して保持容量配線3xと重なっており、画素電極5aがゲート絶縁膜および層間絶縁膜を介して保持容量配線3xと重なっており、これらの重なりの方によって保持容量Cha（図1参照）が形成されている。

10

【0064】

同様に、トランジスタ15bのドレイン電極17bは、ドレイン引き出し配線18bおよびコンタクトホール27bを介して画素電極5bに接続され、さらに画素電極5bは、コンタクトホール20bを介して容量電極19bに接続される。そして、容量電極19bがゲート絶縁膜を介して保持容量配線3yと重なっており、画素電極5bがゲート絶縁膜および層間絶縁膜を介して保持容量配線3yと重なっており、これらの重なりの方によって保持容量Chb（図1参照）が形成されている。

【0065】

図7は、図6のA-B断面図である。図7に示すように、容量電極19aは、ドレイン引き出し配線18aおよびコンタクト電極26aと同層に形成され、ゲート絶縁膜21を介して保持容量配線3xに重なり、コンタクトホール20aを介して画素電極5aに接続される。また、画素100の容量電極19dが、同様に、ゲート絶縁膜21を介して保持容量配線3xに重なり、コンタクトホール20dを介して画素電極5dに接続される。これにより、容量電極19aと保持容量配線3xとの間に保持容量Cha（図1参照）が形成され、容量電極19dと保持容量配線3xとの間に保持容量Chd（図1参照）が形成される。この構成によれば、図2に示した構成例1と比べて、ドレイン引き出し配線18a、18b等が、画素電極5a、5bの全体にわたって横切ることがないので、液晶表示装置としての開口率の向上を図ることができ、特に適する。

20

【0066】

次に、本発明の液晶表示装置110の駆動方法について説明する。図9は、図8に示した液晶表示装置110の基本的な電氣的駆動方法を説明するための図である。液晶表示装置110は、表示部41と、表示制御回路42と、ソースドライバ（データ信号線駆動回路）43と、ゲート・CSドライバ（走査信号線・保持容量配線駆動回路）44とを備えている。表示部41には、n本のソースライン（データ信号線）と、m本のゲートライン（走査信号線）と、m+1本のCSライン（保持容量配線）と、m×n個の画素とが設けられている。図9では、代表としてソースラインSL1、SLj（jは1以上n以下の整数）、SLj+1、SLnと、ゲートラインGL1、GL2、GLi（iは1以上m以下の整数）、GLi+1、GLmと、ソースラインおよびゲートラインの交差部に対応して配される画素P1、P2、Pi、Pi+1、Pmと、CSラインCSL0、CSL1、CSLi-1、CSLi、CSLi+1、CSLm-1、CSLm等を記載している。また、図9のように、画素Piは、副画素PAiと副画素PBiの2つの副画素からなる。画素P1、P2、Pi+1、Pmも同様である。なお、液晶表示装置110では、例えばm=1080、n=5760であるが、これに限定されるわけではない。さらに、液晶表示装置110は、容量配線幹47（後述）を備える場合があるが、ここでは図示していない。

30

40

【0067】

表示制御回路42は、外部から送られるデータ信号DATとタイミング制御信号TSとを受け取り、デジタル映像信号DVと、表示部41に画像を表示するタイミングを制御するためのソーススタートパルス信号SSPと、ソースクロック信号などのソース制御信号SCTLと、ゲートスタートパルス信号GSPと、ゲートクロック信号などのゲート制御

50

信号GCTLとを出力する。

【0068】

ソースドライバ43は、表示制御回路42からデジタル映像信号DVと、表示部41に画像を表示するタイミングを制御するためのソーススタートパルス信号SSPと、ソースクロック信号などのソース制御信号SCTLとを受け取り、表示部41内の各画素の液晶容量を充電するために、駆動用のデータ信号を各ソースラインSL1～SLnに供給する。

【0069】

ゲート・CSドライバ44は、表示制御回路42から出力されたゲートスタートパルス信号GSPと、ゲート制御信号GCTLとを受け取り、各ゲートラインにゲート信号（走査信号）を供給し、各CSラインにCS信号（保持容量配線信号）を供給する。ここで、ゲートラインおよびCSラインは順次駆動される方式であって、飛び越しの走査は行なわれない。すなわち、ゲートラインはGL1からGLmの順に順次駆動される。

10

【0070】

また、本実施の形態では、ゲート・CSドライバ44が、液晶表示装置110の両端部（図9では、紙面左右側端部）に列をなして設けられている。なお、本発明の液晶表示装置110では、ゲート・CSドライバ44が、液晶表示装置110の片側端部（図9において、紙面左右何れかの端部）に設けられていてもよい。後述の各ゲート・CSドライバについても同様である。

【0071】

20

なお、図9では、液晶表示装置110が有するソースドライバ43、ゲート・CSドライバ44、表示制御回路42による液晶表示装置110の駆動の概略を示しており、ソースドライバ43、ゲート・CSドライバ44等を駆動するための電源や配線等、およびその他の制御信号は省略している。また、共通電極（com）に信号電位を与えるための配線等も省略している。

【0072】

（CSドライバの構成例1）

図9に示される2つのゲート・CSドライバ44は同様の構成であるため、以下では、このうちの1つを例に挙げて説明する。図10は、本発明の液晶表示装置110におけるゲート・CSドライバ44の構成例1を示す回路図である。ゲートドライバ45は、SO
F（システムオンフィルム）技術を用いて、ポリイミドフィルム（図示せず）上に実装されている。ポリイミドフィルムはガラス基板1（図8参照）にACF（異方性導電フィルム）で接続され、ポリイミドフィルム内の配線（図示せず）はガラス基板1上のゲート端子（図示せず）に接続されている。ゲートドライバ45はゲートドライバIC（図示せず）から構成され、図8のように、複数のポリイミドフィルム上に分割されて実装されている。CSドライバ46は、ガラス基板1上に一体化（モノリシック化）されて形成されている。すなわち、CSドライバ46は、アモルファスシリコンをトランジスタに用いたアクティブマトリクス基板111（図8参照）にモノリシックで作り込まれている。

30

【0073】

図10では、i、mは偶数として記載している。ゲートドライバ45は表示制御回路42から出力されたゲートスタートパルス信号GSPとゲート制御信号GCTLとを受け取り、各ゲートラインGL1～GLm+2へ駆動電圧信号（ゲート信号）を出力する。ここで、ゲートラインGLm+1、GLm+2は画素の充電制御には直接関係しないゲートライン（ダミーゲートライン）であって、ゲートラインGLm+2はCSドライバ46に必要な信号を伝送する。また、図中のmは偶数であり、すなわち本構成例1では、ダミーゲートラインを除いたゲートラインは偶数本からなる。ただし、本発明はこれに限定されるわけではなく、別の構成例として、ダミーゲートラインを除いたゲートラインが奇数本からなっている場合、図10の構成において必要に応じてゲートラインおよびダミーゲートラインの本数の調整を行えばよい。

40

【0074】

50

CSL₀、CSL₂、CSL_{i-2}、CSL_i、CSL_{i+2}、CSL_{m-2}、CSL_m等の偶数行のCSライン（第2保持容量配線群）には、容量配線幹47に供給される信号COM（第2保持容量配線信号）が配線の分岐によって供給される。CSL₁、CSL₃、CSL_{i-1}、CSL_{i+1}、CSL_{m-1}等の奇数行のCSライン（第1保持容量配線群）には、CSD₁、CSD₃、CSD_{i-1}、CSD_{i+1}、CSD_{m-1}等で表す、CSドライバ46を構成する内部回路（保持容量配線駆動内部回路；以下、「保持回路」ともいう）の出力信号（第1保持容量配線信号）が供給される。すなわち、保持回路は、全てのCSラインに対して、1ラインおき（奇数行）に対応して設けられている。ただし、別の形態として、保持回路は、全てのCSラインに対して、1ラインおき（偶数行）に対応して設けられていてもよい。なお、以下の各CSドライバの構成においても、保持回路の出力信号を「第1保持容量配線信号」、第1保持容量配線信号が入力されるCSラインを「第1保持容量配線群」、外部の信号源から出力され容量配線幹47に供給される信号を「第2保持容量配線信号」、第2保持容量配線信号が入力されるCSラインを「第2保持容量配線群」と表すことができる。以下の説明では、本発明の保持回路の代表として保持回路CSD_{i-1}等を例に挙げて説明するが、他の段の保持回路についても同様である。

10

【0075】

図10に示すように、CSドライバ46は、複数の保持回路を含んで構成され、外部からの信号SEL₁、SEL₂、VDD、VSSを受け取る端子を備え、選択用配線46a、選択用配線46b、高電位側電源線46H、低電位側電源線46Lを介して上記各信号を受け取るとともに、ゲートドライバ45の出力（ゲート信号）を受け取る。一例として保持回路CSD_{i-1}を挙げると、保持回路CSD_{i-1}は、外部からの信号SEL₁、SEL₂、VDD、VSSを受け取る端子sel₁、sel₂、vdd、vssを備え、選択用配線46a、選択用配線46b、高電位側電源線46H、低電位側電源線46Lを介して上記各信号を受け取る。また、保持回路CSD_{i-1}は入力端子sを備え、入力端子sは、ゲートラインGL_{i+2}に接続され、ゲートドライバ45の出力（ゲート信号）を受け取る。保持回路CSD_{i-1}の出力（CS信号）は、出力端子csを介してCSラインCSL_{i-1}に入力される。なお、ここでいう端子とは、回路上の点を指し、実デバイス形態においては該当する接続用の端子形状が設けられていてもよいし、設けられなくてもよい。ここでいう端子とは、該当する単なる配線上の一点であってもよい。本明細書において、端子という語は、同様に用いることとする。

20

30

【0076】

図11は、CSドライバ46を構成する保持回路の具体例を示す回路図である。一例として保持回路CSD_{i-1}を挙げると、保持回路CSD_{i-1}は、4つのトランジスタMS₁、MS₂、MG、MHにより構成される。ここでは、これらのトランジスタはガラス基板上に形成されたアモルファスシリコンTFTである。

【0077】

保持回路CSD_{i-1}の端子s（第1入力部）、sel₁（第2入力部）、sel₂（第3入力部）、vdd、vssにはそれぞれ外部からの信号S、SEL₁（保持対象信号）、SEL₂（保持対象信号）、VDD、VSSが入力され、端子csからCS信号が出力される。

40

【0078】

トランジスタMS₁は、ゲート電極が保持回路CSD_{i-1}の端子sに接続され、ソース電極が保持回路CSD_{i-1}の端子sel₁に接続され、ドレイン電極がノードnet C₁に接続されている。トランジスタMGは、ゲート電極がノードnet C₁に接続され、ソース電極が端子vddに接続され、ドレイン電極が出力端子csに接続されている。

【0079】

トランジスタMS₂は、ゲート電極が保持回路CSD_{i-1}の端子sに接続され、ソース電極が保持回路CSD_{i-1}の端子sel₂に接続され、ドレイン電極がノードnet C₂に接続されている。トランジスタMHは、ゲート電極がノードnet C₂に接続され

50

、ソース電極が出力端子 $c s$ に接続され、ドレイン電極が端子 $v s s$ に接続されている。

【0080】

図12は、保持回路 $CSDi-1$ において入出力される各種信号を示すタイミングチャートである。ここでも、保持回路の一例として図10の保持回路 $CSDi-1$ を挙げている。図12では横軸を時間とし縦軸を電位とし、紙面上側を正方向とする。特に横軸である時間に関しては、1H（水平走査期間）の時間おきの縦線を入れ、タイミングを示す目安としている。縦軸である電位については、基準電位となるGNDレベル、および共通電極（ com ）の電位となるCOMを、あわせて示している。後述のタイミングチャートでもこれと同様の記載とする。なお、本実施の形態の液晶表示装置110では、例えば、120Hzのフレームレートで駆動し、1H（水平走査期間）は7.4 μs 、2Hは14.8 μs 、1F（フレーム、垂直走査期間）は8.3msの時間であるが、本発明はこれに限定されるわけではない。

10

【0081】

図12には信号S、SEL1、SEL2、VDD、VSS、netC1、netC2、CSの波形を示している。同図において、 $V(netC1)$ 、 $V(netC2)$ はそれぞれノードnetC1、netC2の電位を表し、CSは、保持回路 $CSDi-1$ の端子 $c s$ から出力されるCS信号を表す。また、信号Sは、ゲートライン $GLi+2$ から分岐して端子 s に入力される信号を表す。なお、以下の説明においては、netC1、netC2の場合と同様に、配線、ノード等の特定部位の信号、電位を表すときに、その配線、ノード名を（）で囲み、前にVを付して表すことがある。

20

【0082】

信号Sの波形は1フレーム（垂直走査期間）の周期で変化する。ここでは1フレームに1回、2H（水平走査期間）の期間だけ高電位の状態になる。その他の期間では低電位の状態となる。高電位のときの電位を Vgh 、低電位のときの電位を Vgl と表す。SEL1、SEL2の信号波形は、1フレーム毎に高電位の状態と低電位の状態を交互に繰り返す。SEL1、SEL2は、高電位のときの電位を $Vselh$ 、低電位のときの電位を $Vselli$ とする。SEL1、SEL2は、位相が互いに180°ずれている。なお、図示していないが、SEL1、SEL2がそれぞれ電位を変化させるタイミングは、表示に影響を及ぼさないように画素電極へ電位の書き込みが行なわれない期間である帰線期間に行なわれることが望ましい。VDD、VSSの電位は一定であり、それぞれの値を $Vcsh$ 、 $Vcsl$ と表す。CS信号は、図12に示すように、値 $Vcsh$ 、 $Vcsl$ の間で変動する。

30

【0083】

ここで、図11も参照して保持回路 $CSDi-1$ の動作を説明すると、Sは保持回路 $CSDi-1$ のスタートパルスの役割を担い、自段よりも後の後段の画素に対応するゲートライン $GLi+2$ の信号電位（ゲート信号）がアクティブ（選択状態）になると、信号Sの電位が Vgl から Vgh に上がり、トランジスタMS1、MS2はオン状態になって、ノードnetC1、netC2の電位が、それぞれSEL1、SEL2の電位へ近づく。Sが Vgh になってから2H経過後、再びSの電位が Vgl に下がると、トランジスタMS1、MS2はオフ状態となり、ノードnetC1、netC2の電位は、SEL1、SEL2の電位に関わらず、トランジスタMS1、MS2がオフしたときの電位に保持される。

40

【0084】

SEL1、SEL2の位相が180°ずれているため、ノードnetC1、netC2の電位は、一方が高い状態（選択状態）となり、他方が低い状態（非選択状態）となる。それに対応して、トランジスタMG、MHも、一方が選択状態となり、他方が非選択状態となる。出力されるCS信号の電位は、ノードnetC1、netC2の電位に応じて変化するが、端子 $c s$ が表示部のCSラインにつながり充電に時間がかかるため、その変化はノードnetC1、netC2よりも緩やかになる。CS信号の電位は、トランジスタMG、MHの選択／非選択の状態に応じて、一定時間経過すると、 $Vcsh$ または Vcs

50

1の電位付近でほぼ安定する。ノードnet C1、net C2は保持部として機能するため、SEL1、SEL2の電位が変化したとしても、次にSの電位が変化するまで、すなわちほぼ1フレームの時間は電位が保持され、その結果、CS信号の電位が保持される。

【0085】

具体例を挙げると、連続する第1、第2フレームにおいて、第1フレームでは、時刻t1においてSがVghになると、トランジスタMS1、MS2がオン状態となり、端子sel1およびノードnet C1が導通し、ノードnet C1の電位が上がるとともに、端子sel2およびノードnet C2が導通し、ノードnet C2の電位が下がる。ノードnet C1の高電位によりトランジスタMGがオン状態となり、ノードnet C2の低電位によりトランジスタMHがオフ状態となり、これによりCS信号の電位がVDDの電位Vcshに近づく。

【0086】

第2フレームでは、時刻t1+1FにおいてSがVghになると、トランジスタMS1、MS2がオン状態となり、端子sel1およびノードnet C1が導通し、ノードnet C1の電位が下がるるとともに、端子sel2およびノードnet C2が導通し、ノードnet C2の電位が上がる。ノードnet C1の低電位によりトランジスタMGがオフ状態となり、ノードnet C2の高電位によりトランジスタMHがオン状態となり、これによりCS信号の電位がVSSの電位Vcslに近づく。

【0087】

保持回路CSDi-1では、上記の第1、第2フレームの動作を交互に繰り返す。

【0088】

なお、より正確には、ノードnet C1、net C2の電位は、ともに値Vselh、Vsel1の範囲内であるが、回路構成やトランジスタの特性によっては、ノードnet C1、net C2の電位はVselh、Vsel1に完全に到達しないことがある。特にトランジスタがアモルファスシリコンTFTの場合、移動度が低いなどの理由で充電能力が不足し、ノードnet C1、net C2の電位は十分に到達しないこともある。

【0089】

図13は、図9において示される画素Piにおける各種の信号波形を示すタイミングチャートであり、偶数段のゲートラインGLiに対応する。また、図14は、画素Pi+1における各種の信号波形を示すタイミングチャートであり、奇数段のゲートラインGLi+1に対応する。なお、iは偶数とする。図13および図14においても図12と同様に、特に横軸である時間に関しては、1H（水平走査期間）の時間おきの縦線を入れ、タイミングを示す目安としている。縦軸である電位については、基準電位となる電位GNDおよび共通電極（com）の電位となるCOMを、あわせて示している。以降のタイミングチャートでも同様である。また、図13、図14の第1、第2フレームは、それぞれ図12の第1、第2フレームと対応しており、時刻t2は時刻t1よりも2H前の時刻である。すなわち（時刻t2）=（時刻t1-2H）の関係にある。なお、以下では、画素Pi、画素Pi+1およびその周辺における信号変化について例を示すが、他の段の画素およびその周辺についても、各段の順次走査による全体的なタイミングのずれを除いて同様である。

【0090】

図13において、V(GLi)はゲートラインGLiの電位を示し、V(SLj)はソースラインSLjの電位を示し、V(CSLi-1)はCSラインCSLi-1の電位を示し、V(CSLi)はCSラインCSLiの電位を示し、V(PAi)、V(PBi)はそれぞれ、副画素PAi、PBiの画素電位を示している。副画素PAi、PBiを有する画素Piは、図9に示すように、ゲートラインGLiと、ソースラインSLjと、CSラインCSLi-1、CSLiとにより充電制御される。なお、ソースラインSLjは任意のラインであってよく、jは1～nの範囲で任意に決めることができる。

【0091】

まず、図13の第1フレームについて説明する。ゲートラインGLiの電位（ゲート信

10

20

30

40

50

号)は、時刻 t_2 で立ち上がるとする。ソースライン SL_j の電位(データ信号)は、共通電極(c o m)の電位COMを基準として、フレーム毎にCOMより高電位側、低電位側とに切り替わるが、詳細な電位は表示しようとする映像信号によって変化する。第1フレームでは、ソースライン SL_j の電位がCOMよりも正側(プラス極性)にある場合を示している。保持回路 $CSDL_{i-1}$ は、ゲートライン GL_{i+2} がアクティブ(選択状態)となるタイミングで動作を開始するため(図12参照)、CSライン $C SL_{i-1}$ の電位は、時刻 $t_2 + 2H$ (=時刻 t_1)において電位変化を開始する。ここでは、図12に示すように、保持回路 $CSDL_{i-1}$ に入力されるSEL1の電位が高電位であるため、CSライン $C SL_{i-1}$ の電位が正側に变化する。

【0092】

10

なお、図10に示すように、CSライン $C SL_i$ は容量配線幹47と接続し、一定の電位(COM)が供給されているため、CSライン $C SL_i$ の電位変化はない。

【0093】

副画素 PA_i では、時刻 t_2 から $t_2 + 2H$ まではゲートライン GL_i の電位が高電位(V_{gh})であるため、ソースライン SL_j の電位(データ信号)が直接書き込まれる。時刻 $t_2 + 2H$ 以降は、ゲートライン GL_i の電位が低電位(V_{gl})になるため、対応するトランジスタがオフ状態となり、充放電は行われない。すなわち、副画素 PA_i は、フローティング状態となる。ここで、図9に示すように、副画素 PA_i は、画素電極とCSライン $C SL_{i-1}$ との間に保持容量が形成(容量結合)されるため、副画素 PA_i の電位は、トランジスタがオフした後に、CSライン $C SL_{i-1}$ の電位変動(低電位→高電位)の影響を受け、正側へ突き上がる。このような、容量結合駆動による画素電位の変化の大きさ ΔV は、 $\Delta V = (V_{csh} - V_{csl}) \times K$ で与えられる。ここで、 $K = CCS / (CCS + CLC)$ であって、CCS、CLCは、それぞれ、該当する副画素(ここでは PA_i)の有する画素電極と、CSライン(ここでは $C SL_{i-1}$)および共通電極(c o m)のそれぞれとの間に実質的に形成される容量(それぞれ、保持容量、液晶容量)である。ここで、実質的に形成される容量としているのは、例えばCSラインが容量電極を有し、この容量電極を介して画素電極とCSラインとの間で保持容量が形成されてもよいということである。後述する式のKも同様である。

20

【0094】

なお、副画素 PB_i では、画素電極とCSライン $C SL_i$ との間に保持容量が形成されるが、CSライン $C SL_i$ の電位が一定であるため、時刻 $t_2 + 2H$ 以降(トランジスタがオフした後)のフローティング状態において、画素電位は変化しない。

30

【0095】

次に、第2フレームについて説明する。ゲートライン GL_i の電位は、時刻 $t_2 + 1F$ で立ち上がる。第2フレームでは、ソースライン SL_j の電位は、COMよりも負側(マイナス極性)となる。また、図12に示すように、保持回路 $CSDL_{i-1}$ に入力されるSEL2の電位が高電位であるため、CSライン $C SL_{i-1}$ の電位は負側に变化する。

【0096】

なお、図10に示すように、CSライン $C SL_i$ は容量配線幹47と接続し、一定の電位(COM)が供給されているため、CSライン $C SL_i$ の電位変化はない。

40

【0097】

時刻 $t_2 + 1F$ から $t_2 + 1F + 2H$ まではゲートライン GL_i の電位が高電位(V_{gh})であるため、ソースライン SL_j の電位(データ信号)が副画素 PA_i 、 PB_i に直接書き込まれる。時刻 $t_2 + 1F + 2H$ 以降は、ゲートライン GL_i の電位が低電位(V_{gl})になるため、対応するトランジスタがオフ状態となり、充放電は行われない。すなわち、副画素 PA_i はフローティング状態となる。ここで、図9に示すように、副画素 PA_i は、画素電極とCSライン $C SL_{i-1}$ との間に保持容量が形成(容量結合)されるため、副画素 PA_i の電位は、トランジスタがオフした後に、CSライン $C SL_{i-1}$ の電位変動(高電位→低電位)の影響を受け、負側に突き下がる。このときの副画素 PA_i の電位の変化の大きさ ΔV は、第1フレームと同様、 $(V_{csh} - V_{csl}) \times K$ で与え

50

られる。

【0098】

なお、副画素 PBi では、画素電極と CS ライン $CSLi$ との間に保持容量が形成されるが、 CS ライン $CSLi$ の電位が一定であるため、時刻 $t_2 + 1F + 2H$ 以降（トランジスタがオフした後）のフローティング状態において、画素電位は変化しない。

【0099】

画素 Pi におけるデータ信号電位の書き込み（充電）動作は、上記の第1、第2フレームの動作を繰り返す。

【0100】

上記の動作によれば、同一のソースライン SLj から同一のタイミングで副画素 PAi 、 PBi にデータ信号を供給しているにもかかわらず、副画素 PAi 、 PBi の電位を互いに異ならせることができる。そのため、液晶表示装置がノーマリーブラックである表示モードの場合、共通電極（ com ）の電位 COM との電位差により、副画素 PAi を明副画素、副画素 PBi を暗副画素とすることができる。これにより、画素分割方式の液晶表示装置を実現できる。

【0101】

次に、奇数段のゲートライン $GLi + 1$ に対応する画素 $Pi + 1$ における電位変化について、図14を用いて説明する。

【0102】

図14において、 $V(GLi + 1)$ はゲートライン $GLi + 1$ の電位を示し、 $V(SLj)$ はソースライン SLj の電位を示し、 $V(CSLi)$ は CS ライン $CSLi$ の電位を示し、 $V(CSLi + 1)$ は CS ライン $CSLi + 1$ の電位を示し、 $V(PAi + 1)$ 、 $V(PBi + 1)$ はそれぞれ、副画素 $PAi + 1$ 、 $PBi + 1$ の画素電位を示している。

【0103】

図9に示すように、副画素 $PAi + 1$ 、 $PBi + 1$ を有する画素 $Pi + 1$ は、ゲートライン $GLi + 1$ と、ソースライン SLj と、 CS ライン $CSLi$ 、 $CSLi + 1$ とにより充電制御される。なお、 j は $1 \sim n$ の範囲で任意に決めることができる。

【0104】

第1フレームでは、ソースライン SLj の電位（データ信号）が COM よりも正側（プラス極成）にある場合を示している。

【0105】

保持回路 $CSDLi + 1$ は、ゲートライン $GLi + 4$ がアクティブ（選択状態）となるタイミングで動作を開始するため、 CS ライン $CSLi + 1$ の電位は、時刻 $t_2 + 4H$ において電位変化を始める。ここで、図12に示すように、保持回路 $CSDLi + 1$ に入力される $SEL1$ の電位が高電位であるため、 CS ライン $CSLi + 1$ の電位が正側に変化する。

【0106】

なお、上述したように、 CS ライン $CSLi$ は容量配線幹47と接続し、一定の電位（ COM ）が供給されているため、 CS ライン $CSLi$ の電位変化はない。

【0107】

時刻 $t_2 + 1H$ から $t_2 + 3H$ まではゲートライン $GLi + 1$ の電位が高電位（ V_{gh} ）であるため、ソースライン SLj の電位（データ信号）が副画素 $PAi + 1$ 、 $PBi + 1$ に直接書き込まれる。時刻 $t_2 + 3H$ 以降は、ゲートライン $GLi + 1$ の電位が低電位（ V_{gl} ）になるため、対応するトランジスタがオフ状態となり、充放電は行われない。すなわち、副画素 $PBi + 1$ は、フローティング状態となる。ここで、図9に示すように、副画素 $PBi + 1$ は、画素電極と CS ライン $CSLi + 1$ との間に保持容量が形成（容量結合）されるため、副画素 $PBi + 1$ の電位は、トランジスタがオフした後、時刻 $t_2 + 4H$ における CS ライン $CSLi + 1$ の電位変動（低電位→高電位）の影響を受け、正側に突き上がる。このときの副画素 $PBi + 1$ の電位の変化の大きさ ΔV は、 $\Delta V = (V_{csh} - V_{csl}) \times K$ で与えられる。

【0108】

なお、副画素 PA_{i+1} では、画素電極と CS ライン CSL_i との間に保持容量が形成されるが、 CS ライン CSL_i の電位が一定であるため、時刻 $t_2 + 3H$ 以降（トランジスタがオフした後）のフローティング状態において、画素電位は変化しない。

【0109】

次に、第2フレームについて説明する。ゲートライン GL_{i+1} の電位は、時刻 $t_2 + 1F + 1H$ で立ち上がる。第2フレームでは、ソースライン SL_j の電位は、 COM よりも負側（マイナス極性）となる。図12に示すように、保持回路 $CSDL_{i+1}$ に入力される SEL_2 の電位が高電位であるため、 CS ライン CSL_{i+1} の電位は負側に変化する。

10

【0110】

なお、上述したように、 CS ライン CSL_i は容量配線幹47と接続し、一定の電位（ COM ）が供給されているため、 CS ライン CSL_i の電位変化はない。

【0111】

時刻 $t_2 + 1F + 1H$ から $t_2 + 1F + 3H$ まではゲートライン GL_{i+1} の電位が高電位（ V_{gh} ）であるため、ソースライン SL_j の電位（データ信号）が副画素 PA_{i+1} 、 PB_{i+1} に直接書き込まれる。時刻 $t_2 + 1F + 3H$ 以降は、ゲートライン GL_{i+1} の電位が低電位（ V_{gl} ）になるため、対応するトランジスタがオフ状態となり、充電は行われない。すなわち、副画素 PB_{i+1} はフローティング状態となる。ここで、図9に示すように、副画素 PB_{i+1} は、画素電極と CS ライン CSL_{i+1} との間に保持容量が形成（容量結合）されるため、副画素 PB_{i+1} の電位は、トランジスタがオフした後に、 CS ライン CSL_{i+1} の電位変動（高電位→低電位）の影響を受け、負側に突き下がる。このときの副画素 PB_{i+1} の電位の変化の大きさ ΔV は、第1フレームと同様、 $(V_{csh} - V_{csl}) \times K$ で与えられる。

20

【0112】

なお、副画素 PA_{i+1} では、画素電極と CS ライン CSL_{i+1} との間に保持容量が形成されるが、 CS ライン CSL_{i+1} の電位が一定であるため、時刻 $t_2 + 1F + 3H$ 以降（トランジスタがオフした後）のフローティング状態において、画素電位は変化しない。

【0113】

画素 P_{i+1} におけるデータ信号電位の書き込み（充電）動作は、上記の第1、第2フレームの動作を繰り返す。

30

【0114】

上記の動作によれば、同一のソースライン SL_j から同一のタイミングで、副画素 PA_{i+1} 、 PB_{i+1} にデータ信号を供給しているにもかかわらず、副画素 PA_{i+1} 、 PB_{i+1} の電位を異ならせることができる。そのため、液晶表示装置がノーマリーブラックである表示モードの場合、共通電極（ com ）の電位 COM との電位差により、副画素 PA_{i+1} を暗副画素、副画素 PB_{i+1} を明副画素とすることができる。これにより、画素分割方式の液晶表示装置を実現できる。

【0115】

以上に示したとおり、本発明の液晶表示装置110では、液晶パネル113aはガラス基板1上に複数の保持回路（保持容量配線駆動内部回路）からなる CS ドライバ（保持容量配線駆動回路）と、保持容量配線幹とを有し、 CS ライン（保持容量配線）には、保持回路からの出力、または、保持容量配線幹に供給される信号を分割した出力が、 CS 信号（保持容量配線信号）として入力される。ここで、保持容量配線幹は一定の電位（例えば COM ）が外部から入力されて DC 駆動されており、 AC 駆動されていない。したがって、保持容量配線幹は、図51で示した従来の構成よりも、配線幅を大幅に細くすることができる。これは、保持容量配線幹と保持容量配線内での信号遅延が表示に影響しにくいからである。また、保持回路は、図11に示すように4つの TFT で構成できるため、 CS ドライバの回路構成を簡素化することができる。さらに、保持回路を駆動するための信号

40

50

S E L 1、S E L 2、V D D、V S Sを伝送する配線は細くてもよいから、アクティブマトリクス基板におけるC Sドライバの占有面積を小さくすることができる。なお、これらの配線が細くてもよい理由は、回路構成上、信号S E L 1、S E L 2を伝達する選択用配線4 6 a、選択用配線4 6 bの有するライン容量を小さくできるとともに、信号S E L 1、S E L 2が帰線期間でのみ電位を変動させ、V D D、V S Sは一定の電位でよいからである。

【0 1 1 6】

したがって、上記構成によれば、C SラインにC S信号を与えるための回路および配線を、小さな占有面積で作製できるので、液晶パネルおよびこれを備える液晶表示装置の狭額縁化を妨げることがない。すなわち、容量結合方式による画素分割方式の液晶表示装置においても、額縁を小さくすることができる。

10

【0 1 1 7】

(変形例1)

次に、上記構成例1のゲート・C Sドライバ4 4の変形例1を説明する。上記構成例1では、ゲートラインG L iの電位(走査信号)を2 H(水平走査期間)の期間だけ高電位(V g h)にして、対応する画素にデータ信号を供給する構成としているが、これに限定されるものではなく、求める液晶表示装置のサイズ、解像度、フレームレート等の規格に応じて、高電位期間を、例えば、1 Hあるいは3 H以上としてもよい。高電位期間を1 Hとした場合には、保持回路C S D i-1に inputsするゲート信号を、G L i+1としても画素分割方式の液晶表示装置が実現できる。図1 5はこの構成を示すゲート・C Sドライバの回路図であり、図1 6および図1 7はそれぞれ、図1 5のゲート・C Sドライバを適用した場合の画素P i、P i+1における各種の信号波形を示すタイミングチャートである。

20

【0 1 1 8】

この変形例1の構成によれば、画素P iについては、図1 6に示すように、副画素P A iの電位が、第1フレームにおいて、時刻t 2+1 HでC SラインC S L i-1の電位変動(低電位→高電位)の影響を受け、Δ Vの大きさだけ正側に突き上がり、第2フレームにおいて、時刻t 2+1 F+1 HでC SラインC S L i-1の電位変動(高電位→低電位)の影響を受け、Δ Vの大きさだけ負側に突き下がる。なお、副画素P B iの電位は、図1 3と同様、トランジスタがオフした後のフローティング状態において変化しない。これにより、副画素P A iを明副画素、副画素P B iを暗副画素とすることができる。

30

【0 1 1 9】

また、画素P i+1については、図1 7に示すように、副画素P B i+1の電位が、第1フレームにおいて、時刻t 2+3 HでC SラインC S L i+1の電位変動(低電位→高電位)の影響を受け、Δ Vの大きさだけ正側に突き上がり、第2フレームにおいて、時刻t 2+1 F+3 HでC SラインC S L i+1の電位変動(高電位→低電位)の影響を受け、Δ Vの大きさだけ負側に突き下がる。なお、副画素P A i+1の電位は、図1 3と同様、トランジスタがオフした後のフローティング状態において変化しない。これにより、副画素P A i+1を暗副画素、副画素P B i+1を明副画素とすることができる。

40

【0 1 2 0】

(変形例2)

次に、上記構成例1のゲート・C Sドライバ4 4の変形例2を説明する。変形例2では、図1 2に示す信号S E L 1(保持対象信号)、S E L 2(保持対象信号)の電位を反転させている。すなわち、第1フレームにおいて、S E L 1を低電位(V s e l l)、S E L 2を高電位(V s e l h)とし、第2フレームにおいて、S E L 1を高電位(V s e l h)、S E L 2を低電位(V s e l l)とする。これにより、図示はしないが、図1 2に示すC S信号の電位変化が逆転する。図1 8および図1 9はそれぞれ、上記のC S信号を用いた場合の画素P i、P i+1における各種の信号波形を示すタイミングチャートである。

【0 1 2 1】

50

画素 P_i について、第 1 フレームでは、図 18 に示すように、時刻 t_2 から $t_2 + 2H$ まではゲートライン GL_i の電位が高電位 (V_{gh}) であるため、ソースライン SL_j の電位 (データ信号) が副画素 PA_i 、 PB_i に直接書き込まれ、時刻 $t_2 + 2H$ 以降は、ゲートライン GL_i の電位が低電位 (V_{gl}) になるため、対応するトランジスタがオフ状態となり、充放電は行われずフローティング状態となる。副画素 PA_i がフローティング状態のときに、 CS ライン CSL_{i-1} の電位変動 (高電位 $\rightarrow$ 低電位) の影響を受け、副画素 PA_i の電位は、 ΔV の大きさだけ負側へ突き下がる。なお、副画素 PB_i では、画素電極と CS ライン CSL_i との間に保持容量が形成されるが、 CS ライン CSL_i の電位が一定であるため、時刻 $t_2 + 2H$ 以降 (トランジスタがオフした後) のフローティング状態において、画素電位は変化しない。

10

【0122】

第 2 フレームでは、ソースライン SL_j および CS ライン CSL_{i-1} の電位の高低レベルが第 1 フレームとは逆転するため、副画素 PA_i の電位は、トランジスタがオフした後に、 CS ライン CSL_{i-1} の電位変動 (低電位 $\rightarrow$ 高電位) の影響を受け、 ΔV の大きさだけ正側に突き上がる。なお、副画素 PB_i では、第 1 フレームと同様、 CS ライン CSL_i の電位が一定であるため、画素電位は変化しない。

【0123】

画素 P_i におけるデータ信号電位の書き込み (充電) 動作は、上記の第 1、第 2 フレームの動作を繰り返す。

【0124】

20

上記の動作によれば、副画素 PA_i を暗副画素、副画素 PB_i を明副画素とすることができる。

【0125】

画素 P_{i+1} について、第 1 フレームでは、図 19 に示すように、時刻 $t_2 + 1H$ から $t_2 + 3H$ まではゲートライン GL_{i+1} の電位が高電位 (V_{gh}) であるため、ソースライン SL_j の電位 (データ信号) が副画素 PA_{i+1} 、 PB_{i+1} に直接書き込まれ、時刻 $t_2 + 3H$ 以降は、ゲートライン GL_{i+1} の電位が低電位 (V_{gl}) になるため、対応するトランジスタがオフ状態となり、充放電は行われずフローティング状態となる。画素 PB_{i+1} がフローティング状態のときに、 CS ライン CSL_{i+1} の電位変動 (高電位 $\rightarrow$ 低電位) の影響を受け、副画素 PB_{i+1} の電位は、 ΔV の大きさだけ負側へ突き下がる。なお、副画素 PA_{i+1} では、画素電極と CS ライン CSL_i との間に保持容量が形成されるが、 CS ライン CSL_i の電位が一定であるため、時刻 $t_2 + 3H$ 以降 (トランジスタがオフした後) のフローティング状態において、画素電位は変化しない。

30

【0126】

第 2 フレームでは、ソースライン SL_j および CS ライン CSL_{i+1} の電位の高低レベルが第 1 フレームとは逆転するため、副画素 PB_{i+1} の電位は、トランジスタがオフした後に、 CS ライン CSL_{i+1} の電位変動 (低電位 $\rightarrow$ 高電位) の影響を受け、正側に ΔV の大きさだけ突き上がる。なお、副画素 PA_{i+1} では、第 1 フレームと同様、 CS ライン CSL_i の電位が一定であるため、画素電位は変化しない。

【0127】

40

画素 P_{i+1} におけるデータ信号電位の書き込み (充電) 動作は、上記の第 1、第 2 フレームの動作を繰り返す。

【0128】

これにより、副画素 PA_{i+1} を明副画素、副画素 PB_{i+1} を暗副画素とすることができる。

【0129】

なお、上記の構成では、明副画素、暗副画素における画素電位を、図 13 および図 14 に示した駆動による明副画素、暗副画素における画素電位と同レベルにするためには、図 13 および図 14 におけるソースライン SL_j の電位 (データ信号) の振幅を平均的に大きくしなければならず、ソースドライバの発熱が増加するおそれがある。そして、ソース

50

ドライバの発熱に対する耐熱性に起因して、大型の液晶表示装置の作製上不利になる他、液晶表示装置の消費電力が増大する。よって、液晶表示装置の狭額縁化に加えて、耐熱性および低消費電力を図る上では、上述した図13および図14の構成とすることが好ましい。

【0130】

以上に示した変形例1および2の構成においても、CSラインに信号を与えるための回路および配線を、小さな占有面積で作製できるので、液晶表示装置の狭額縁化を妨げることがない。すなわち、容量結合方式による画素分割方式の液晶表示装置においても、額縁を小さくすることができる。

【0131】

10

(変形例3)

上述した構成例1やその変形例1、2では、ガラス基板1上のトランジスタ15a、15bおよびCSドライバ13を構成するトランジスタは、その半導体層としてアモルファスシリコンを用いていた。しかし、本発明はこれに限定されず、上述の半導体層は、微結晶シリコン膜や、他結晶シリコン膜、金属酸化物半導体膜を含んでもよい。また、上述の半導体層は、アモルファスシリコンTF Tの場合と同様、真性層と低抵抗なコンタクト層の2層構造あるいは多層構造であってもよい。

【0132】

ここで、微結晶シリコン膜は、内部に微結晶粒からなる結晶相とアモルファス相との混合状態を有しているシリコン膜である。多結晶シリコン膜は、結晶相とその間にあるわずかな結晶粒界からなり、非常に結晶化率の高い膜である。また、金属酸化物半導体膜は、具体的には、Zn-O系半導体(ZnO)膜、In-Ga-Zn-O系半導体(IGZO)膜、In-Zn-O系半導体(IZO)膜、Zn-Ti-O系半導体(ZTO)膜などの金属酸化物半導体膜が知られ、構成金属元素として、亜鉛(Zn)や、インジウム(In)や、ガリウム(Ga)等を主成分として含むことが多い。

20

【0133】

これらの材料を用いた場合、アモルファスシリコントランジスタよりも高移動度のトランジスタが作成できるので、本発明のようにガラス基板上に本発明のようなCSドライバを作成すれば、液晶表示装置の額縁をより小さくすることができるので有用である。特に飽和移動度が $1\text{ cm}^2/\text{V}\cdot\text{s}$ 以上の移動度を有する高移動度TF Tを用いることが本発明には望ましい。

30

【0134】

なお、本構成例1やその変形例1、2のCSドライバ46は、ガラス基板1上にゲートドライバとともに、一体化(モノリシック化)されて形成されていてもよい。特に本変形例3においては、飽和移動度が $1\text{ cm}^2/\text{V}\cdot\text{s}$ 以上の移動度を有する高移動度TF Tを用いてゲート・CSドライバを形成することが望ましく、このような場合、ゲートドライバとCSドライバとが、駆動に必要な信号線あるいは、内部回路、内部ノードを共有するため、また、ポリイミドフィルム上のゲートドライバを実装するための端子が不要になるため、さらに狭額縁化を図ることができる。

【0135】

40

これらは以下の構成例やその変形例においても同様である。

【0136】

(CSドライバの構成例2)

図20は、本発明の液晶表示装置110におけるゲート・CSドライバ48の構成例2を示す回路図である。便宜上、上記構成例1と同様の構成要素には同じ符号を付し、その説明を省略する。ゲートドライバ45はSOF(システムオンフィルム)技術を用いてポリイミドフィルム上に実装されている。ポリイミドフィルムはガラス基板1(図8参照)にACF(異方性導電フィルム)で接続され、ポリイミドフィルム内の配線(図示せず)はガラス基板1上のゲート端子(図示せず)に接続されている。ゲートドライバ45はゲートドライバIC(図示せず)から構成され、図8のように、複数のポリイミドフィルム

50

上に分割されて実装されていてもよい。CSドライバ49は、ガラス基板1上に一体化（モノリシック化）されて形成されている。すなわち、CSドライバ49は、アモルファスシリコンをトランジスタに用いたアクティブマトリクス基板111（図8参照）にモノリシックで作成されている。本構成例2のゲート・CSドライバ48は、構成例1とは異なり、容量配線幹を備えていない。なお、図20では i を偶数として記載している。

【0137】

CSドライバ49は、図10に示された構成例1のゲート・CSドライバ44とは異なり、全てのCSラインCSL0～CSL m のそれぞれに対応して個別に設けられた複数の保持回路CSD0～CSD m を含んで構成されている。なお、以下の説明では、本発明の保持回路の代表として保持回路CSD $i-1$ 等を例に挙げて説明するが、他の段の保持回路についても同様である。

10

【0138】

CSドライバ49は、外部からの信号SEL1、SEL2、VDD、VSSを受け取る端子を備え、選択用配線46a、選択用配線46b、高電位側電源線46H、低電位側電源線46Lを介して上記各信号を受け取るとともに、ゲートドライバ45の出力（ゲート信号）を受け取る。一例として保持回路CSD $i-1$ を挙げると、保持回路CSD $i-1$ は、外部からの信号SEL1、SEL2、VDD、VSSを受け取る端子sel1、sel2、vdd、vssを備え、選択用配線46a、選択用配線46b、高電位側電源線46H、低電位側電源線46Lを介して上記各信号を受け取る。また、保持回路CSD $i-1$ は入力端子sを備え、入力端子sは、ゲートラインGL $i+2$ に接続され、ゲートドライバ45の出力（ゲート信号）を受け取る。保持回路CSD $i-1$ の出力（CS信号）は、出力端子csを介してCSラインCSL $i-1$ に入力される。

20

【0139】

また、偶数段の保持回路と奇数段の保持回路とは、入力されるSEL1、SEL2が交互に入れ替わる。例えば、図20では i を偶数として記載されており、奇数段の保持回路CSD $i-1$ では、端子sel1に信号SEL2が入力され、端子sel2に信号SEL1が入力される。偶数段の保持回路CSD i では、端子sel1に信号SEL1が入力され、端子sel2に信号SEL2が入力される。その他の、保持回路を構成するトランジスタのサイズや接続などの回路構成は、上記構成例1と同じである。

30

【0140】

図21および図22はそれぞれ、上記のCS信号を用いた場合の画素Pi、Pi+1における各種の信号波形を示すタイミングチャートである。

【0141】

画素Piについて、第1フレームでは、図21に示すように、時刻 t_2 から t_2+2H まではゲートラインGL i の電位が高電位（V_{gh}）であるため、ソースラインSL j の電位（データ信号）が、副画素PA i 、PB i に直接書き込まれ、時刻 t_2+2H 以降は、ゲートラインGL i の電位が低電位（V_{gl}）になるため、対応するトランジスタがオフ状態となり、充放電は行われずフローティング状態となる。副画素PA i がフローティング状態のときに、CSラインCSL $i-1$ の電位変動（低電位→高電位）の影響を受け、副画素PA i の電位は、正側へ ΔV の大きさだけ突き上がる。一方、副画素PB i がフローティング状態のときに、CSラインCSL i の電位変動（高電位→低電位）の影響を受け、副画素PB i の電位は、負側へ ΔV の大きさだけ突き下がる。

40

【0142】

第2フレームでは、ソースラインSL j およびCSラインCSL $i-1$ 、CSL i の電位の高低レベルが第1フレームとは逆転するため、副画素PA i の電位は、トランジスタがオフした後に、CSラインCSL $i-1$ の電位変動（高電位→低電位）の影響を受け、負側へ ΔV の大きさだけ突き下がり、副画素PB i の電位は、トランジスタがオフした後に、CSラインCSL i の電位変動（低電位→高電位）の影響を受け、正側へ ΔV の大きさだけ突き上がる。

【0143】

50

画素 P_i におけるデータ信号電位の書き込み（充電）動作は、上記の第 1、第 2 フレームの動作を繰り返す。

【0144】

上記の動作によれば、副画素 PA_i を明副画素、副画素 PB_i を暗副画素とすることができる。

【0145】

画素 P_{i+1} について、第 1 フレームでは、図 22 に示すように、時刻 $t_2 + 1H$ から $t_2 + 3H$ まではゲートライン GL_i の電位が高電位 (V_{gh}) であるため、ソースライン SL_j の電位（データ信号）が、副画素 PA_{i+1} 、 PB_{i+1} に直接書き込まれ、時刻 $t_2 + 3H$ 以降は、ゲートライン GL_i の電位が低電位 (V_{gl}) になるため、対応するトランジスタがオフ状態となり、充放電は行われずフローティング状態となる。画素 PA_{i+1} がフローティング状態のときに、 CS ライン CSL_i の電位変動（高電位→低電位）の影響を受け、副画素 PA_{i+1} の電位は、負側へ ΔV の大きさだけ突き下がる。一方、画素 PB_{i+1} がフローティング状態のときに、 CS ライン CSL_{i+1} の電位変動（低電位→高電位）の影響を受け、副画素 PB_{i+1} の電位は、正側へ ΔV の大きさだけ突き上がる。

【0146】

第 2 フレームでは、ソースライン SL_j 、 CS ライン CSL_i 、および CS ライン CSL_{i+1} の電位の高低レベルが第 1 フレームとは逆転するため、副画素 PA_{i+1} の電位は、トランジスタがオフした後に、 CS ライン CSL_i の電位変動（低電位→高電位）の影響を受け、正側へ ΔV の大きさだけ突き上がる。副画素 PB_{i+1} の電位は、トランジスタがオフした後に、 CS ライン CSL_{i+1} の電位変動（高電位→低電位）の影響を受け、負側へ ΔV の大きさだけ突き下がる。

【0147】

画素 P_{i+1} におけるデータ信号電位の書き込み（充電）動作は、上記の第 1、第 2 フレームの動作を繰り返す。

【0148】

これにより、副画素 PA_{i+1} を暗副画素、副画素 PB_{i+1} を明副画素とすることができる。

【0149】

本構成例 2 によれば、液晶パネル 113a はガラス基板 1 上に複数の保持回路（保持容量配線駆動内部回路）からなる CS ドライバ（保持容量配線駆動回路）を有し、各 CS ライン（保持容量配線）は、各保持回路からの出力が、 CS 信号（保持容量配線信号）として入力される。また、保持回路は、図 11 に示すように 4 つの TFT で構成できるため、回路構成を簡素化することができる。さらに、保持回路を駆動するための信号 SEL_1 、 SEL_2 、 VDD 、 VSS を伝送する配線は細くてもよいから、保持回路の基板上の占有面積を小さくすることができる。なお、これらの配線が細くてもよい理由は、回路構成上、信号 SEL_1 、 SEL_2 を伝達する選択用配線 46a、選択用配線 46b の有するライン容量を小さくできるとともに、信号 SEL_1 、 SEL_2 が帰線期間でのみ電位を変動させ、 VDD 、 VSS は一定の電位でよいからである。

【0150】

したがって、本構成例 2 によれば、 CS ラインに CS 信号を与えるための回路および配線を、小さな占有面積で作製できるので、液晶表示装置の狭額縁化を妨げることがない。すなわち、容量結合方式による画素分割方式の液晶表示装置においても、額縁を小さくすることができる。

【0151】

なお、本構成例 2 の CS ドライバ 49 および上述した構成例 1 の CS ドライバ 46 は、ガラス基板 1 上に一体化（モノリシック化）されて形成されている。このような場合、 CS ドライバを構成する保持回路（ $CSD_i - 1$ 等）は、チャネル幅が大きいトランジスタを含むため、膜残りなど不良が画素のトランジスタと比べて発生しやすいからである。

セス上の良品率に影響しやすい。この点、上述した構成例1のCSドライバ46では、本構成例2のCSドライバ49よりも保持回路の数が少ないため、CSドライバを設けたことによる製造プロセス上の良品率の低下を抑えることができるとともに、CSドライバの占有面積を減らすことができる。そのため、本発明の液晶表示装置110は、本構成例2のCSドライバ49よりも、構成例1のCSドライバ46を備えた方が狭額縁化には有利である。

【0152】

一方、本構成例2のCSドライバ49および上述した構成例1のCSドライバ46は、ゲートドライバを形成するための半導体基板等上において、ゲートドライバと一体化されて形成され、その一体化されたゲート・CSドライバが、ポリイミドフィルム上に実装されている構成としてもよい。この構成によれば、ゲート・CSドライバの良品率は、CSドライバ内に有する保持回路の数の影響をほとんど受けず、ガラス基板上にCSドライバを形成する場合に比べて液晶パネルの製造良品率を向上させることができる。したがって、液晶表示装置の狭額縁化に加えて、液晶パネルの製造良品率の向上を図る上では、上記の構成とすることが好ましい。特に、保持回路の数が多い本構成例2のようなCSドライバ49については、上記の構成が好適である。

【0153】

(CSドライバの構成例3)

図23は、本発明の液晶表示装置110におけるゲート・CSドライバ50の構成例3を示す回路図である。便宜上、上記構成例1と同様の構成要素には同じ符号を付し、その説明を省略する。ゲートドライバ45はSOF（システムオンフィルム）技術を用いてポリイミドフィルム上に実装されている。ポリイミドフィルムはガラス基板1（図8参照）にACF（異方性導電フィルム）で接続され、ポリイミドフィルム内の配線（図示せず）はガラス基板1上のゲート端子（図示せず）に接続されている。ゲートドライバ45はゲートドライバIC（図示せず）から構成され、図8のように、複数のポリイミドフィルム上に分割されて実装されていてもよい。CSドライバ51は、ガラス基板1上に一体化されて形成されている。すなわち、CSドライバ51は、アモルファスシリコンをトランジスタに用いたアクティブマトリクス基板111（図8参照）にモノリシックで作込まれている。

【0154】

本構成例3のCSドライバ51は、CSライン4本おきに設けられた複数の保持回路を含んで構成され、1つの保持回路が2本のCSラインと接続されている。また、CSラインは、1本おきに容量配線幹47に接続されている。具体的には、図23に示すように、CSラインCSL_pは容量配線幹47に接続され、CSラインCSL_p+1は保持回路CSD_p+3に接続され、CSラインCSL_p+2は容量配線幹47に接続され、CSラインCSL_p+3は保持回路CSD_p+3に接続され、CSラインCSL_p+4は容量配線幹47に接続され、CSラインCSL_p+5は保持回路CSD_p+7に接続され、CSラインCSL_p+6は容量配線幹47に接続され、CSラインCSL_p+7は保持回路CSD_p+7に接続されている。

【0155】

なお、以下の説明では、本発明の保持回路の代表として保持回路CSD_p+3等を例に挙げて説明するが、他の段の保持回路についても同様である。

【0156】

図24は、画素P_p+1、画素P_p+2、画素P_p+3、画素P_p+4、における各種の信号波形を示すタイミングチャートである。以下では、第1フレームにおける各画素電位の変化について説明する。図24においては、pは4の倍数としている。

【0157】

画素P_p+1における副画素PA_p+1では、容量結合されるCSラインCSL_pの電位が一定（COM）であるため、ゲートラインGL_p+1のアクティブ期間に書き込まれた電位が保持される。副画素PB_p+1では、ゲートラインGL_p+1の電位が時刻t₂

10

20

30

40

50

+1Hで立ち上がると、正側（プラス極性）のデータ信号が供給され、副画素 PA_{p+1} の電位は、プラス極性となる。ゲートライン GL_{p+1} の電位が時刻 t_2+3H で立ち下ると、副画素 PB_{p+1} はフローティング状態となり、その後、ゲートライン GL_{p+6} の電位が立ち上がり、 CS ライン CSL_{p+1} の電位が高電位 V_{csh} に変化することにより、副画素 PB_{p+1} は、正側へ突き上がる。これにより、副画素 PA_{p+1} は暗副画素、副画素 PB_{p+1} は明副画素となる。

【0158】

画素 P_{p+2} における副画素 PA_{p+2} では、ゲートライン GL_{p+2} の電位が時刻 t_2+2H で立ち上がると、正側（プラス極性）のデータ信号が、ソースライン SL_j を介して供給され、副画素 PA_{p+2} の電位はプラス極性となる。ゲートライン GL_{p+2} の電位が時刻 t_2+4H で立ち下ると、副画素 PA_{p+2} はフローティング状態となり、その後、時刻 t_2+6H で、ゲートライン GL_{p+6} の電位が立ち上がり、 CS ライン CSL_{p+1} の電位が高電位 V_{csh} に変化することにより、副画素 PA_{p+2} の電位は、正側へ突き上がる。副画素 PB_{p+2} では、 CS ライン CSL_{p+2} の電位が一定であるため、ゲートライン GL_{p+2} のアクティブ期間に書き込まれた電位が保持される。これにより、副画素 PA_{p+2} は明副画素、副画素 PB_{p+2} は暗副画素となる。

【0159】

画素 P_{p+3} における副画素 PA_{p+3} では、容量結合される CS ライン CSL_{p+2} の電位が一定（ COM ）であるため、ゲートライン GL_{p+3} のアクティブ期間に書き込まれた電位が保持される。副画素 PB_{p+3} では、ゲートライン GL_{p+3} の電位が時刻 t_2+3H で立ち上がると、正側（プラス極性）のデータ信号が供給され、副画素 PB_{p+3} の電位は、プラス極性となる。ゲートライン GL_{p+3} の電位が時刻 t_2+5H で立ち下ると、副画素 PB_{p+3} はフローティング状態となり、その後、ゲートライン GL_{p+6} の電位が立ち上がり、 CS ライン CSL_{p+3} の電位が高電位 V_{csh} に変化することにより、副画素 PB_{p+3} は、正側へ突き上がる。これにより、副画素 PA_{p+3} は暗副画素、副画素 PB_{p+3} は明副画素となる。

【0160】

画素 P_{p+4} における副画素 PA_{p+4} では、ゲートライン GL_{p+4} の電位が時刻 t_2+4H で立ち上がると、正側（プラス極性）のデータ信号が供給され、副画素 PA_{p+4} の電位は、プラス極性となる。ゲートライン GL_{p+4} の電位が時刻 t_2+6H で立ち下ると、副画素 PA_{p+4} はフローティング状態となり、その後、ゲートライン GL_{p+6} の電位が立ち上がり、容量結合される CS ライン CSL_{p+3} の電位が高電位 V_{csh} に変化することにより、副画素 PA_{p+4} は、正側へ突き上がる。副画素 PB_{p+4} では、 CS ライン CSL_{p+4} の電位が一定であるため、ゲートライン GL_{p+4} のアクティブ期間に書き込まれた電位が保持される。これにより、副画素 PA_{p+4} は明副画素、副画素 PB_{p+4} は暗副画素となる。

【0161】

したがって、本構成例3においても、 CS ラインに信号を与えるための回路および配線を、小さな占有面積で作製できるので、液晶パネルおよびこれを備える液晶表示装置の狭額縁化を妨げることがない。すなわち、容量結合方式による画素分割方式の液晶表示装置においても、額縁を小さくすることができる。

【0162】

なお、本構成例3の CS ドライバ51は、 CS ライン4本おきに設けられた複数の保持回路を含んで構成され、1つの保持回路が2本の CS ラインと接続されているが、本発明はこれに限定されず、 CS ドライバ51において、1つの保持回路が2本以上の複数の CS ラインと接続されていてもよい。

【0163】

さらに、本構成例3の CS ドライバ51は、ガラス基板1上に一体化（モノリシック化）されて形成されているが、変形例1として、ゲートドライバを形成するための半導体基板等上において、 CS ドライバ51はゲートドライバと一体化されて形成され、その一体

化されたゲート・ＣＳドライバは、ポリイミドフィルム上に実装されていてもよい。

【０１６４】

この本構成例３の変形例１における液晶表示装置１１０ｂの実施の一形態を図２５に示す。同図に示すように、ゲート・ＣＳドライバ５０ｂは同一半導体基板上に一体化（モノリシック化）されて形成され、ポリイミドフィルム８上に実装されている。ゲート・ＣＳドライバ５０ｂ内のＣＳドライバ５１ｂの出力端子（図示せず）は、分岐を有する引き出し配線９１によって、複数の保持容量配線３に接続される。この分岐は、表示領域６の近傍の周辺領域７で行われる。ここで、引き出し配線９１は分岐を有するので、本数を減らすことができ、液晶表示装置１１０ｂの額縁を効果的に減らすことができる。半導体プロセスを用いたゲート・ＣＳドライバ５０ｂの良品率は高いので、ガラス基板上にＣＳドライバを形成する場合に比べて液晶表示装置の製造良品率を向上させることができる。

10

【０１６５】

したがって、このような本構成例３の変形例１は、容量結合方式による画素分割方式の液晶表示装置において、狭額縁化と液晶表示装置の製造良品率の向上との両方の効果を得ることができるので、特に有用である。なお、本発明の液晶表示装置１１０ｂでは、ゲート・ＣＳドライバ５０ｂが、液晶表示装置１１０ｂの片側端部（図２５において、紙面左右何れかの端部）に設けられていてもよい。

【０１６６】

（ＣＳドライバの構成例４）

図２６は、本発明の液晶表示装置１１０におけるゲート・ＣＳドライバ５２の構成例４を示す回路図である。便宜上、上記構成例１と同様の構成要素には同じ符号を付し、その説明を省略する。ゲートドライバ４５はＳＯＦ（システムオンフィルム）技術を用いてポリイミドフィルム上に実装されている。ポリイミドフィルムはガラス基板１（図８参照）にＡＣＦ（異方性導電フィルム）で接続され、ポリイミドフィルム内の配線（図示せず）はガラス基板１上のゲート端子（図示せず）に接続されている。ゲートドライバ４５はゲートドライバＩＣ（図示せず）から構成され、図８のように、複数のポリイミドフィルム上に分割されて実装されていてもよい。ＣＳドライバ５３は、ガラス基板１上に一体化されて形成されている。すなわち、ＣＳドライバ５３は、アモルファスシリコンをトランジスタに用いたアクティブマトリクス基板１１１（図８参照）にモノリシックで作り込まれている。

20

30

【０１６７】

上記構成例１と同様に、図２６では、 i を偶数として記載しており、 $CSL0$ 、 $CSL2$ 、 $CSLi$ 、 $CSLm$ 等の偶数行のＣＳラインには、容量配線幹４７に供給される信号ＣＯＭが配線の分岐によって供給される。 $CSL1$ 、 $CSL3$ 、 $CSLi-1$ 、 $CSLm+1$ 等の奇数行のＣＳラインには、 $CSD1$ 、 $CSD3$ 、 $CSDi-1$ 、 $CSDm-1$ 等で表す、ＣＳドライバ５３を構成する内部回路（保持容量配線駆動内部回路；以下、「保持回路」ともいう）の出力信号が供給される。すなわち、保持回路は、全てのＣＳラインに対して、１ラインおき（奇数行）に対応して設けられている。ただし、別の形態として、保持回路は、全てのＣＳラインに対して、１ラインおき（偶数行）に対応して設けられていてもよい。なお、以下の説明では、本発明の保持回路の代表として保持回路 $CSDi-1$ 等を例に挙げて説明するが、他の段の保持回路についても同様である。

40

【０１６８】

ＣＳドライバ５３は、複数の保持回路を含んで構成され、外部からの信号 $SEL1$ 、 $SEL2$ 、 $SEL3$ 、 $SEL4$ 、 VDD 、 VSS を受け取る端子を備え、選択用配線４６ａ、選択用配線４６ｂ、選択用配線４６ｃ、選択用配線４６ｄ、高電位側電源線４６Ｈ、低電位側電源線４６Ｌを介して上記各信号を受け取るとともに、ゲートドライバ４５の出力（ゲート信号）を受け取る。例えば保持回路 $CSDi-1$ は、外部からの信号 $SEL1$ ～ $SEL4$ （図２６では SEL で総称）、 VDD 、 VSS を受け取る端子 $sel1$ ～４、 vdd 、 vss を備え、選択用配線４６ａ、選択用配線４６ｂ、選択用配線４６ｃ、選択用配線４６ｄ、高電位側電源線４６Ｈ、低電位側電源線４６Ｌを介して上記各信号を受け取

50

る。また、保持回路CSDi-1は入力端子s1、s2を備え、入力端子s1は、ゲートラインGLi+2に接続され、ゲートドライバ45の出力（ゲート信号）を受け取る。入力端子s2は、ゲートラインGLi+4に接続され、ゲートドライバ45の出力（ゲート信号）を受け取る。保持回路CSDi-1の出力（CS信号）は、出力端子csを介してCSラインCSLi-1に入力される。

【0169】

図27は、本構成例4におけるCSドライバ53を構成する保持回路の具体例を示す回路図である。一例として保持回路CSDi-1を挙げると、保持回路CSDi-1は、6個のトランジスタMS1、MS2、MT1、MT2、MG、MHにより構成される。ここではガラス基板上に形成されたアモルファスシリコンTFTである。

10

【0170】

保持回路CSDi-1の端子s1（第1入力部）、s2、sel1（第2入力部）、sel2（第3入力部）、sel3（第4入力部）、sel4（第5入力部）、vdd、vssにはそれぞれ外部からの信号S1、S2、SEL1（保持対象信号）、SEL2（保持対象信号）、SEL3（第2保持対象信号）、SEL4（第2保持対象信号）、VDD、VSSが入力され、端子csからCS信号が出力される。

【0171】

トランジスタMS1は、ゲート電極が保持回路CSDi-1の端子s1に接続され、ソース電極が保持回路CSDi-1の端子sel1に接続され、ドレイン電極がノードnetC1に接続されている。トランジスタMGは、ゲート電極がノードnetC1に接続され、ソース電極が端子vddに接続され、ドレイン電極が出力端子csに接続されている。

20

【0172】

トランジスタMS2は、ゲート電極が保持回路CSDi-1の端子s1に接続され、ソース電極が保持回路CSDi-1の端子sel2に接続され、ドレイン電極がノードnetC2に接続されている。トランジスタMHは、ゲート電極がノードnetC2に接続され、ソース電極が出力端子csに接続され、ドレイン電極が端子vssに接続されている。

【0173】

トランジスタMT1は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極が保持回路CSDi-1の端子sel3に接続され、ドレイン電極がノードnetC1に接続されている。トランジスタMT2は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極が保持回路CSDi-1の端子sel4に接続され、ドレイン電極がノードnetC2に接続されている。

30

【0174】

図28は、保持回路CSDi-1において入出力される各種信号を示すタイミングチャートである。ここでは、構成例1で示した図12との相違点を中心に説明する。

【0175】

図28のS2は、S1より2Hだけ遅れた信号である。さらに本構成例4で追加されている入力信号のSEL3、SEL4は、それぞれ、SEL1、SEL2と同位相であり、1フレーム毎に高電位の状態と低電位の状態を交互に繰り返す。SEL1、SEL2における高電位をVselh1、低電位をVsel11とし、SEL3、SEL4における高電位をVselh2、低電位をVsel12としたとき、Vselh1>Vselh2、Vsel11=Vsel12を満たすように設定される。すなわち、SEL3、SEL4は、SEL1、SEL2と高電位状態での電位のみが異なっている。図示していないが、SEL3、SEL4がそれぞれ電位を変化させるタイミングは、画素電極へ電位の書き込みが行なわれない期間である帰線期間に行なわれることが望ましい。

40

【0176】

本構成例4の保持回路では、概略的には、S1から2Hだけ遅れた時刻にS2が高電位状態となることでトランジスタMT1、MT2をオン状態とし、これにより、ノードne

50

t C 1、n e t C 2 の電位をそれぞれ、S E L 3、S E L 4 の電位に引き下げる動作を行う。

【0177】

具体的には、連続する第1、第2フレームにおいて、第1フレームでは、時刻 t 1 において、S 1 の電位が V g l から V g h になるとトランジスタ M S 1、M S 2 がオン状態となって、ノード n e t C 1、n e t C 2 の電位がそれぞれ V s e l h 1（高電位）、V s e l l 1（低電位）に向かい、電位到達後は状態が保持される。次に時刻 t 1 + 2 H において、S 1 の電位が V g l になるとともに S 2 の電位が V g h になるため、トランジスタ M S 1、M S 2 がオフ状態、トランジスタ M T 1、M T 2 がオン状態となり、ノード n e t C 1、n e t C 2 に信号 S E L 3、S E L 4 が入力される。これにより、ノード n e t C 1 の電位は、V s e l h 1 から V s e l h 2 へ引き下げられて、保持される。

10

【0178】

第2フレームでは、時刻 t 1 + 1 F において、S 1 の電位が V g l から V g h になるとトランジスタ M S 1、M S 2 がオン状態となって、ノード n e t C 1、n e t C 2 の電位がそれぞれ V s e l l 1（低電位）、V s e l h 1（高電位）に向かい、電位到達後は状態が保持される。次に時刻 t 1 + 1 F + 2 H において、S 1 の電位が V g l になるとともに S 2 の電位が V g h になるため、トランジスタ M S 1、M S 2 がオフ状態、トランジスタ M T 1、M T 2 がオン状態となり、ノード n e t C 1、n e t C 2 に信号 S E L 3、S E L 4 が入力される。これにより、ノード n e t C 2 の電位は、V s e l h 1 から V s e l h 2 へ引き下げられて、保持される。

20

【0179】

このようにノード n e t C 1、n e t C 2 の電位を変化させたのは C S ドライバ内のトランジスタの動作信頼性（しきい値安定性）に関連する。

【0180】

図30は、本実施の形態で用いているアモルファスシリコン T F T（a - S i T F T）の動作信頼性を示すグラフである。ここで用いた試験の方法は、一般にトランジスタのバイアス温度ストレス試験（B T S 試験）と呼ばれることもある。試験の方法は、所定の環境温度下で、長時間のストレス印加と短時間の特性測定を交互に与える方法を採用した。ストレス印加では、図29の（a）に示すように、トランジスタのゲート電極 G に与えるストレス電圧は D C（直流）として、ドレイン電極 D を 0 V（G N D）とし、ソース電極 S に 0.1 V の電圧、ゲート電極に V s t r e s s の電圧を与えた。特性測定では、図29の（b）に示すように、ドレイン電極 D を 0 V（G N D）とし、ソース電極 S に 10 V の電圧、ゲート電極 G を V g = - 20 ~ 30 V の範囲で掃引した。なお、ストレス印加、特性測定はともに環境温度 25 °C 下、暗室内で行った。

30

【0181】

アモルファスシリコン T F T において、特に顕著であるトランジスタのしきい値シフトを調べた結果が、図30に示されている。図30の（a）は、プラスバイアスストレス（ゲート電極にプラスのバイアス印加）の場合の結果を示し、（b）は、マイナスバイアスストレス（ゲート電極にマイナスのバイアス印加）の場合の結果をしている。両方とも、横軸はストレス時間（s e c：秒）、縦軸はストレス印加前からのしきい値のシフト量（変化量）（V）である。しきい値シフトは特にプラスバイアスストレスのときに顕著であって、V s t r e s s が + 5 V のときにはシフト量の大きさは他と比べて小さいが、V s t r e s s が大きくなるほどシフト量の大きさが大きくなっている。しきい値のシフト量が大きいほど動作信頼性が低いので、このことは、トランジスタのゲート電極に印加する電圧は平均的に低く抑えることが、トランジスタの動作信頼性を向上させることを示している。また、マイナスバイアスストレスではプラスバイアスストレスとは反対の方向にしきい値がシフトしているが、その大きさはプラスバイアスストレスよりもずっと小さい。このことは、アモルファスシリコン T F T（a - S i T F T）の動作信頼性は、マイナスバイアス印加よりも、プラスバイアス印加のほうが動作信頼性の低下を引き起こしやすいことを示している。

40

50

【0182】

上記構成例1～3では、CSドライバ内の保持回路に設けられるトランジスタMG、MHのゲート電極は、それぞれノードnet C1、net C2に接続され、1F（フレーム時間）毎に交互に一定の高電位状態（プラスバイアス状態）、低電位状態（マイナスバイアス状態）を繰り返す。上記構成例1～3および本構成例4におけるCSドライバについても、トランジスタとしてアモルファスシリコンTFTを用いているので、特にノードnet C1、net C2の電位を考慮して動作信頼性を考慮する必要がある。

【0183】

図30に示した結果から、プラスバイアス状態では、トランジスタMG、MHのゲート電極の電位、すなわちノードnet C1、net C2の電位は低いほどCSドライバの動作信頼性はよくなるが、このような場合、出力信号CSが所定の電圧（VcshまたはVcs1）に到達する時間がより長くなり、表示品位に影響を与える懸念がある。すなわち、CSドライバの動作信頼性と表示品位はトレードオフの関係にある。

【0184】

上記構成例4のCSドライバ53では、それぞれのプラスバイアス状態において、ノードnet C1、net C2の電位は2段階であって、この電位は途中から下げられている。保持回路からの出力（CS信号）が所定の電圧にある程度到達した段階で、電位を途中で下げることにより、それぞれのプラスバイアス状態におけるノードnet C1、net C2の平均的な電位を下げ、CSドライバの動作信頼性を高めることができる。このことを、電子計算機を用いた回路シミュレーション（SPICEシミュレーション）で検証した。

【0185】

図31は、シミュレーション回路の概略を説明する図である。シミュレーション回路61は、電圧源、信号源を発生させる回路部62と、保持回路部63と、負荷部64とからなる。負荷部64は、50Ωの抵抗R0、50pFの容量C0が図のように10段で連なり、大型の液晶表示装置の有するCSラインを想定した値としている。なお、このシミュレーションでは、保持回路部は1つしか設けられておらず、直接には、実際の液晶表示装置では片側の辺に保持回路部が設けられていることに対応する。しかしながら、本シミュレーションは、同一設定条件で種々の保持回路の信頼性を相対的に評価しているので、液晶表示装置の両側の辺に保持回路部がある場合でも適用できる。

【0186】

入力波形として、S1、S2は波形のなまりを考え、図32のように1μsで0%から100%または100%から0%へ直線的に変化するモデルとした。その他、主なシミュレーションの条件は以下のとおりである。リファレンス（REF）とする構成例1のシミュレーションでも同様の数値を用いた。TFT特性は本発明の構成例1で示した方法で作成したアモルファスシリコンTFTの特性をSPICEモデル化して用いている。なお、ここで用いているアモルファスシリコンTFTの飽和移動度は約0.4cm²/Vsである。

<構成例4におけるシミュレーション条件>

- ・1H（水平走査期間）：7.4μs
- ・1F（フレーム）：8.3ms
- ・トランジスタMG、MH、MS1、MS2、MT1、MT2のチャンネル長L：すべて4μm
- ・トランジスタMG、MHのチャンネル幅：各7000μm
- ・トランジスタMS1、MS2のチャンネル幅：各50μm
- ・トランジスタMT1、MT2のチャンネル幅：各50μm
- ・Vselh1：35V
- ・Vsel11：-6V
- ・Vselh2：条件振り（ノードnet C1、net C2の平均電位に影響）
- ・Vsel12：-6V

- ・ $V_{gh} : 3.5 \text{ V}$
- ・ $V_{gl} : -6 \text{ V}$
- ・ $V_{csh} : 9.7 \text{ V}$
- ・ $V_{csl} : 5.7 \text{ V}$
- ・ COM (対向電極の電位) : 7.7 V

< REF (構成例 1) におけるシミュレーション条件 >

- ・ V_{selh} : 条件振り (ノード $netC1$ 、 $netC2$ の平均電位に影響)
- ・ $V_{sell} : -6 \text{ V}$
- ・ V_{selh1} 、 V_{sell1} 、 V_{selh2} 、 V_{sell2} は未使用
- ・ その他は構成例 4 と同じ

10

構成例 4 では V_{selh2} 、REF (構成例 1) では V_{selh} をそれぞれ条件振りしてシミュレーションを行った結果を表 1 にまとめる。

【0187】

位の到達時間の関係を示している。ノード $net\ C1$ 、 $net\ C2$ の電位変化は互いに位相が 180° ずれており、 $1F$ （フレーム時間）毎に交互にプラスバイアス状態、マイナスバイアス状態を入れ替わる。

【0189】

図33では、ノード $net\ C1$ または $net\ C2$ がプラスバイアス状態になったときのその平均電位と出力電位到達時間の関係を示している。ここで、平均電位は、ノード $net\ C1$ または $net\ C2$ にプラスバイアスが印加されている時間（おおむね1フレーム時間）にわたってノード $net\ C1$ または $net\ C2$ の電位を平均した値である。到達時間は、出力されるCS信号の電位がCOM（対向電極の電位）から99%到達する時間として、

$$(V_{csh} - V_{com}) \times 0.99 + V_{com} \quad (net\ C1)$$

、または、

$$(V_{csl} - V_{com}) \times 0.99 + V_{com} \quad (net\ C2)$$

になる時間と定義した。ノード $net\ C1$ がプラスバイアス状態のときには出力信号CSは電位が高くなる方向に動き、ノード $net\ C2$ がプラスバイアス状態のときにはCS信号は電位が低くなる状態に動くため、設定している電位の値が両者で異なっている。なお、 V_{com} は、COM（対向電極の電位）である。また、CS信号は図31における保持回路部63の出力直後をモニターしている。

【0190】

図33には、ノード $net\ C1$ 、 $net\ C2$ のそれぞれについて、上記構成例4および構成例1の場合の関係が示されているが、ノード $net\ C1$ 、 $net\ C2$ のいずれの場合も、構成例4の場合の方が、構成例1の場合よりも左側にプロットされる傾向にあり、すなわち構成例4の場合の方が、所定の到達時間に対して、ノード $net\ C1$ あるいは $net\ C2$ の平均電圧は下げられることになる。例えば、到達時間 $200\ \mu s$ になるのに、ノード $net\ C1$ あるいは $net\ C2$ の平均電圧は、構成例4では構成例1と比べて1V程度下げることができる。

【0191】

本構成例4において、このようにノード $net\ C1$ 、 $net\ C2$ の平均電圧を下げる事ができたのは、それぞれのプラスバイアス状態において、ノード $net\ C1$ 、 $net\ C2$ の電位が途中から引き下げられているためである。ノード $net\ C1$ 、 $net\ C2$ がプラスバイアス状態となった直後は、CS信号を速やかに変化させるため、ノード $net\ C1$ 、 $net\ C2$ に比較的高い電位を与えて、CS信号の電位変化がある程度緩やかになったところで、ノード $net\ C1$ 、 $net\ C2$ に比較的低い電位を与えることで、効率的に到達時間を短くすることができる。したがって、同じ到達時間でも、それぞれのプラスバイアス状態におけるノード $net\ C1$ 、 $net\ C2$ の平均的な電位を下げ、保持回路、CSドライバの動作信頼性を高めることができる。よって、本構成例4のCSドライバの動作信頼性を向上させることができることが分かる。したがって、トランジスタとしてアモルファスシリコンTFTを用いた場合でも、動作信頼性を向上させ、容量結合方式による画素分割方式の液晶表示装置において、額縁を小さくすることができる。

【0192】

（CSドライバの構成例5）

図34は、本発明の液晶表示装置110におけるゲート・CSドライバ54の構成例5を示す回路図である。本構成例5では、構成例4と比べ、プラスバイアス状態におけるノード $net\ C1$ 、 $net\ C2$ の電位を引き下げるための機構が異なる。便宜上、上記構成例1～4と同様の構成要素には同じ符号を付し、その説明を省略する。ゲートドライバ45はSOF（システムオンフィルム）技術を用いてポリイミドフィルム上に実装されている。ポリイミドフィルムはガラス基板1（図8参照）にACF（異方性導電フィルム）で接続され、ポリイミドフィルム内の配線（図示せず）はガラス基板1上のゲート端子（図示せず）に接続されている。ゲートドライバ45はゲートドライバIC（図示せず）から構成され、図8のように、複数のポリイミドフィルム上に分割されて実装されていてもよ

10

20

30

40

50

い。CSドライバ55は、ガラス基板1上に一体化されて形成されている。すなわち、CSドライバ55は、アモルファスシリコンをトランジスタに用いたアクティブマトリクス基板111（図8参照）にモノリシックで作成されている。

【0193】

CSドライバ55は、1ラインおき（偶数行または奇数行）に設けられた複数の保持回路を含んで構成されている。CSドライバ55は、外部からの信号SEL1、SEL2、VDD、VSSを受け取る端子を備え、選択用配線46a、選択用配線46b、高電位側電源線46H、低電位側電源線46Lを介して上記各信号を受け取る。例えば保持回路CSDi-1は、外部からの信号SEL1、SEL2、VDD、VSSを受け取る端子sel1、sel2、vdd、vssを備え、選択用配線46a、選択用配線46b、高電位側電源線46H、低電位側電源線46Lを介して上記各信号を受け取る。また、保持回路CSDi-1は入力端子s1、s2を備え、入力端子s1は、ゲートラインGLi+2に接続され、ゲートドライバ45の出力（ゲート信号）を受け取る。入力端子s2は、ゲートラインGLi+4に接続され、ゲートドライバ45の出力（ゲート信号）を受け取る。保持回路CSDi-1の出力（CS信号）は、出力端子csを介してCSラインCSLi-1に入力される。

10

【0194】

図35は、本構成例5におけるCSドライバ55を構成する保持回路の具体例を示す回路図である。一例として保持回路CSDi-1を挙げると、保持回路CSDi-1は、8個のトランジスタMS1、MS2、MG、MH、MT1、MT2、MU1、MU2により構成される。ここではガラス基板上に形成されたアモルファスシリコンTFTである。

20

【0195】

保持回路CSDi-1の端子s1（第1入力部）、s2、sel1（第2入力部）、sel2（第3入力部）、vdd、vssにはそれぞれ外部からの信号S1、S2、SEL1（保持対象信号）、SEL2（保持対象信号）、VDD、VSSが入力され、端子csからCS信号が出力される。

【0196】

トランジスタMS1は、ゲート電極が保持回路CSDi-1の端子s1に接続され、ソース電極が保持回路CSDi-1の端子sel1に接続され、ドレイン電極がノードnetC1に接続されている。トランジスタMGは、ゲート電極がノードnetC1に接続され、ソース電極がvddに接続され、ドレイン電極が出力端子csに接続されている。

30

【0197】

トランジスタMS2は、ゲート電極が保持回路CSDi-1の端子s1に接続され、ソース電極が保持回路CSDi-1の端子sel2に接続され、ドレイン電極がノードnetC2に接続されている。トランジスタMHは、ゲート電極がノードnetC2に接続され、ソース電極が出力端子csに接続され、ドレイン電極が端子vssに接続されている。

【0198】

トランジスタMT1は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極が保持回路CSDi-1の端子sel1に接続され、ドレイン電極がノードnetC1およびトランジスタMU1のソース電極に接続されている。

40

【0199】

トランジスタMT2は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極が保持回路CSDi-1の端子sel2に接続され、ドレイン電極がノードnetC2およびトランジスタMU2のソース電極に接続されている。

【0200】

トランジスタMU1は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極がトランジスタMT1のドレイン電極およびノードnetC1に接続され、ドレイン電極がトランジスタMHのドレイン電極および端子vssに接続されている。

【0201】

50

トランジスタMU2は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極がトランジスタMT2のドレイン電極およびノードnetC2に接続され、ドレイン電極がトランジスタMHのドレイン電極および端子vssに接続されている。

【0202】

図36は、保持回路CSDi-1において入出力される各種信号を示すタイミングチャートである。ここでは、構成例1で示した図12との相違点を中心に説明する。

【0203】

本構成例5の保持回路では、概略的には、S1から2Hだけ遅れた時刻にS2が高電位状態となることでトランジスタMT1、MT2、MU1、MU2をオン状態とし、これにより、ノードnetC1、netC2の電位を引き下げる動作を行う。

【0204】

具体的には、連続する第1、第2フレームにおいて、第1フレームでは、時刻t1において、S1の電位がVglからVghになるとトランジスタMS1、MS2がオン状態となって、ノードnetC1、netC2の電位がそれぞれVselh1（高電位）、Vsel11（低電位）に向かい、電位到達後は状態が保持される。次に、時刻t1+2Hにおいて、S2がVghになるため、トランジスタMT1、MT2、MU1、MU2がオン状態となり、ノードnetC1、netC2がVSSと導通する。これにより、ノードnetC1の電位が、Vselh1からVselh1'へ引き下げられて、保持される。

【0205】

第2フレームでは、時刻t1+1Fにおいて、S1の電位がVglからVghになるとトランジスタMS1、MS2がオン状態となって、ノードnetC1、netC2の電位がそれぞれVsel11（低電位）、Vselh1（高電位）に向かい、電位到達後は状態が保持される。次に、時刻t1+1F+2Hにおいて、S2がVghになるため、トランジスタMT1、MT2、MU1、MU2がオン状態となり、ノードnetC1、netC2がVSSと導通する。これにより、ノードnetC2の電位が、Vselh1からVselh1'へ引き下げられて、保持される。

【0206】

本構成例5でのシミュレーションは構成例4と同様に行った。構成例5におけるシミュレーション条件を次に示す。

<構成例5におけるシミュレーション条件>

- ・1H（水平走査期間）：7.4 μ s
- ・1F（フレーム）：8.3ms
- ・トランジスタMG、MH、MS1、MS2、MT1、MT2、MU1、MU2のチャンネル長L：すべて4 μ m
- ・トランジスタMG、MHのチャンネル幅：各7000 μ m
- ・トランジスタMS1、MS2のチャンネル幅：各50 μ m
- ・トランジスタMT1、MT2のチャンネル幅：条件振り（ノードnetC1、netC2の平均電位に影響）
- ・トランジスタMU1、MU2のチャンネル幅：条件振り（ノードnetC1、netC2の平均電位に影響）
- ・Vselh1：35V
- ・Vsel11：-6V
- ・Vgh：35V
- ・Vgl：-6V
- ・Vcsh：9.7V
- ・Vcsl：5.7V
- ・COM（対向電極の電位）：7.7V

<REF（構成例1）におけるシミュレーション条件>

- ・Vselh：条件振り（ノードnetC1、netC2の平均電位に影響）
- ・Vsel1：-6V

10

20

30

40

50

- 【表 2】

注:W_MUはトランジスタMU1およびMT2のチャネル幅をあらわす。

<netC1>

<netC2>

[illegible]

図 38 は、本発明の液晶表示装置 110 におけるゲート・CS ドライバ 56 の構成例 6 を示す回路図である。本構成例 6 では、構成例 5 と比べ、プラスバイアス状態におけるノ

ードnet C1、net C2の電位を引き下げるタイミングが異なる。便宜上、上記構成例1～5と同様の構成要素には同じ符号を付し、その説明を省略する。ゲートドライバ45はSOF（システムオンフィルム）技術を用いてポリイミドフィルム上に実装されている。ポリイミドフィルムはガラス基板1（図8参照）にACF（異方性導電フィルム）で接続され、ポリイミドフィルム内の配線（図示せず）はガラス基板1上のゲート端子（図示せず）に接続されている。ゲートドライバ45はゲートドライバIC（図示せず）から構成され、図8のように、複数のポリイミドフィルム上に分割されて実装されていてもよい。CSドライバ57は、ガラス基板1上に一体化されて形成されている。すなわち、CSドライバ57は、アモルファスシリコンをトランジスタに用いたアクティブマトリクス基板111（図8参照）にモノリシックで作り込まれている。

10

【0212】

CSドライバ57は、1ラインおき（偶数行または奇数行）に設けられた複数の保持回路を含んで構成されている。CSドライバ57は、外部からの信号SEL1、SEL2、VDD、VSSを受け取る端子を備え、選択用配線46a、選択用配線46b、高電位側電源線46H、低電位側電源線46L、を介して上記各信号を受け取る。例えば保持回路CSDi-1は、外部からの信号SEL1、SEL2、VDD、VSSを受け取る端子sel1、sel2、vdd、vssを備え、選択用配線46a、選択用配線46b、高電位側電源線46H、低電位側電源線46Lを介して上記各信号を受け取る。また、保持回路CSDi-1は入力端子s1、s2を備え、入力端子s1は、ゲートラインGLi+2に接続され、ゲートドライバ45の出力（ゲート信号）を受け取る。入力端子s2は、ゲートラインGLi+6に接続され、ゲートドライバ45の出力（ゲート信号）を受け取る。保持回路CSDi-1の出力（CS信号）は、出力端子csを介してCSラインCSLi-1に入力される。

20

【0213】

図39は、本構成例6におけるCSドライバ57を構成する保持回路の具体例を示す回路図である。一例として保持回路CSDi-1を挙げると、保持回路CSDi-1は、8個のトランジスタMS1、MS2、MG、MH、MT1、MT2、MU1、MU2により構成される。ここではガラス基板上に形成されたアモルファスシリコンTFTである。

【0214】

保持回路CSDi-1の端子s1（第1入力部）、s2、sel1（第2入力部）、sel2（第3入力部）、vdd、vssにはそれぞれ外部からの信号S1、S2、SEL1（保持対象信号）、SEL2（保持対象信号）、VDD、VSSが入力され、端子csからCS信号が出力される。

30

【0215】

トランジスタMS1は、ゲート電極が保持回路CSDi-1の端子s1に接続され、ソース電極が保持回路CSDi-1の端子sel1に接続され、ドレイン電極がノードnet C1に接続されている。トランジスタMGは、ゲート電極がノードnet C1に接続され、ソース電極がvddに接続され、ドレイン電極が出力端子csに接続されている。

【0216】

トランジスタMS2は、ゲート電極が保持回路CSDi-1の端子s1に接続され、ソース電極が保持回路CSDi-1の端子sel2に接続され、ドレイン電極がノードnet C2に接続されている。トランジスタMHは、ゲート電極がノードnet C2に接続され、ソース電極が出力端子csに接続され、ドレイン電極が端子vssに接続されている。

40

【0217】

トランジスタMT1は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極が保持回路CSDi-1の端子sel1に接続され、ドレイン電極がノードnet C1およびトランジスタMU1のソース電極に接続されている。

【0218】

トランジスタMT2は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソ

50

ース電極が保持回路CSDi-1の端子sel2に接続され、ドレイン電極がノードnetC2およびトランジスタMU2のソース電極に接続されている。

【0219】

トランジスタMU1は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極がトランジスタMT1のドレイン電極およびノードnetC1に接続され、ドレイン電極がトランジスタMHのドレイン電極および端子vssに接続されている。

【0220】

トランジスタMU2は、ゲート電極が保持回路CSDi-1の端子s2に接続され、ソース電極がトランジスタMT2のドレイン電極およびノードnetC2に接続され、ドレイン電極がトランジスタMHのドレイン電極および端子vssに接続されている。

10

【0221】

図40は、保持回路CSDi-1において入出力される各種信号を示すタイミングチャートである。ここでは、構成例1で示した図12との相違点を中心に説明する。

【0222】

本構成例6の保持回路では、概略的には、S1から2Hだけ遅れた時刻にS2が高電位状態となることでトランジスタMT1、MT2、MU1、MU2をオン状態とし、これにより、ノードnetC1、netC2の電位を引き下げる動作を行う。

【0223】

具体的には、連続する第1、第2フレームにおいて、第1フレームでは、時刻t1において、S1の電位がVglからVghになるとトランジスタMS1、MS2がオン状態となり、ノードnetC1、netC2の電位がそれぞれVselh1（高電位）、Vsel11（低電位）に向かい、電位到達後は状態が保持される。次に、時刻t1+4Hにおいて、S2がVglからVghになるため、トランジスタMT1、MT2、MU1、MU2がオン状態となり、ノードnetC1、netC2がVSSと導通する。これにより、ノードnetC1の電位が、Vselh1からVselh1'へ引き下げられて、保持される。

20

【0224】

第2フレームでは、時刻t1+1Fにおいて、S1の電位がVglからVghになるとトランジスタMS1、MS2がオン状態となり、ノードnetC1、netC2の電位がそれぞれVsel11（低電位）、Vselh1（高電位）に向かい、電位到達後は状態が保持される。次に、時刻t1+1F+4Hにおいて、S2がVglからVghになるため、トランジスタMT1、MT2、MU1、MU2がオン状態となり、ノードnetC1、netC2がVSSと導通する。これにより、ノードnetC2の電位が、Vselh1からVselh1'へ引き下げられて、保持される。

30

【0225】

トランジスタMT1、MT2のチャネル幅、およびトランジスタMU1、MU2のチャネル幅を条件振りしてシミュレーションを行った結果を表3にまとめる。

【0226】

注: W_MTはトランジスタMT1およびMT2のチャネル幅をあらわす。
注: W_MUはトランジスタMU1およびMT2のチャネル幅をあらわす。

<netC1>

20

表 3 の結果を用いて、図 4 1 には、図 3 3 と同様、ノード `net C 1`、`net C 2` の平均電位と出力電位到達時間の関係を示している。構成例 6 におけるシミュレーション条件は構成例 5 と同様である。

図41には、ノードnetC1、netC2のそれぞれについて、上記構成例6およびREF（構成例1）の場合の関係が示されているが、ノードnetC1、netC2のいずれの場合も、構成例6の場合の方が、構成例1の場合よりも左側にプロットされる傾向にあり、すなわち構成例6の場合の方が、所定の到達時間に対して、ノードnetC1あるいはnetC2の平均電圧は下げられることになる。例えば、到達時間200 μ sになるのに、ノードnetC1あるいはnetC2の平均電圧は、構成例6では構成例1と比べて約2V程度下げることができる。

この図 4 1 に示すように、本構成例 6 によれば、上記構成例 4、5 と同様、C S ドライバの動作信頼性を高めることができる。さらに、本構成例 6 では、構成例 4、5 に比べて、同じ到達時間でもノード n e t C 1 あるいは n e t C 2 の平均電圧は低くすることができるので、より C S ドライバの信頼性が向上する。

この理由として、構成例 6 では、ノード net C1、net C2 の電位低下のタイミングが、構成例 5 の場合よりも 2 H 遅れている。これにより、ノード net C1、net C2 がプラスバイアス状態となった直後の、ノード net C1、net C2 の高電位の期間が長くなるため、出力電位の到達時間が早くなる。一方、このときの平均電位への影響は 1 フレームの時間が非常に長いため、平均としてはわずかに増える程度である。そのため、より低い平均電位で同じ到達時間が得られるようになる。よって、本構成例 6 によれば、CS ドライバの動作信頼性を、構成例 5 よりも高めることができる。したがって、トランジスタとしてアモルファスシリコン TFT を用いた場合でも、動作信頼性を向上させ、容量結合方式による画素分割方式の液晶表示装置において、額縁を小さくすることができ

る。

【0231】

本構成例6で示したように、プラスバイアス状態において、ノードnet C1、net C2の電位を引き下げるタイミングは、所定の範囲で任意に決めることができる。

【0232】

なお、構成例4～6の変形例として、プラスバイアス状態における、ノードnet C1、net C2の電位を2段階ではなく、多段階で、あるいは連続的に引き下げてもよく、より効率的に保持回路、CSドライバの動作信頼性を高めることができる。

【0233】

ところで、上述した各CSドライバの構成(構成例1～6)は、図1および図2に示したような液晶パネル(構成例1)に限定されず、様々な形態の液晶パネルに適用することができる。以下では、本液晶パネルの他の構成例(構成例7、8)について説明する。

10

【0234】

(液晶パネルの構成例7)

図42は、本発明の液晶パネルの構成例7における液晶パネル113cの一部を示す等価回路図である。図42の液晶パネル113cと、図1の液晶パネル113aの違いは、1画素列に対応して2本のデータ信号線が設けられ、列方向に隣り合う画素では、互いに異なるデータ信号線に接続されている点であり、これ以外は同一である。また、本液晶パネル113cでは、1つの画素に対応して、1本のデータ信号線および1本の走査信号線が設けられるとともに、列方向に隣り合う画素の間に共用されている保持容量配線を有している。

20

【0235】

各画素の構造について、まず、画素101を例に挙げて説明する。

【0236】

画素101では、画素電極5a(第1画素電極)が、走査信号線2abに接続されたトランジスタ15a(第1トランジスタ)を介してデータ信号線4y(第2データ信号線)に接続され、画素電極5b(第2画素電極)が、走査信号線2abに接続されたトランジスタ15b(第2トランジスタ)を介してデータ信号線4y(第2データ信号線)に接続され、画素電極5aおよび保持容量配線3x間に保持容量Chaが形成され、画素電極5bおよび保持容量配線3y間に保持容量Chbが形成され、画素電極5aおよび共通電極com間に液晶容量Cl aが形成され、画素電極5bおよび共通電極com間に液晶容量Cl bが形成されている。

30

【0237】

次に、画素101と列方向(紙面上下方向)に隣接する画素100、102について説明すると、保持容量、液晶容量の形成は画素101と同様であるが、それぞれの画素電極5c、5d、5e、5fが、それぞれのトランジスタ15c、15d、15e、15fを介してデータ信号線4x(第1データ信号線)に接続されている。このように、列方向に隣接する画素において、接続されるデータ信号線が交互に入れ替わる構成となっている。

【0238】

また、画素101の画素電極5a、5bそれぞれは、異なる保持容量配線3x、3yそれぞれと保持容量Cha、Chbを形成している。そのため、例えば、画素電極5a、5bにそれぞれのデータ信号を書き込んだ後に、保持容量配線3x、3yに互いに異なる保持容量配線信号を供給して、容量結合による画素電極電位(画素電位)の突き上げまたは突き下げを行うことにより、画素電極5a、5bそれぞれの画素電位(実効電圧)を異ならせることができる。このような方法を用いて、例えば、画素電極5aを含む副画素をプラス極性の明副画素、画素電極5bを含む副画素をマイナス極性の暗副画素とすることができる。これにより、画素分割方式の液晶表示装置を実現できる。

40

【0239】

なお、隣接するデータ信号線の信号については、データ信号線に供給するデータ信号の極性を1フレーム期間ごとに反転させるとともに、同一水平走査期間においては、同一画

50

素列に対応する2本のデータ信号線4x、4yに逆極性のデータ信号を供給しつつ、隣り合う2本のデータ信号線4y、4Xにも逆極性のデータ信号を供給すれば、列方向（紙面上下方向）、行方向（紙面左右方向）に隣接する画素の極性は互いに逆になるので、いわゆるドット反転駆動となって、表示品位が向上する。しかしながら、基本的には本実施形態において、データ信号線の信号の極性配置はどのようなものであってもよい。

【0240】

本構成例7における液晶パネル113cの具体的な構成を図43に示す。図43は、液晶パネル113cの構成例7を示す平面図である。図43の液晶パネル113cでは、画素100および画素101の左右に沿うようにデータ信号線4x、4yが設けられ、画素103および画素104の左右に沿うようにデータ信号線4X、4Yが設けられ、画素100、103のエッジ部の一方と重なるように保持容量配線3wが設けられ、画素100、103のエッジ部の他方および画素101、104のエッジ部の一方と重なるように保持容量配線3xが設けられ、画素101、104のエッジ部の他方と重なるように保持容量配線3yが設けられている。また、画素100、103の中央部を横切るように走査信号線2cdが配され、画素101、104の中央部を横切るように走査信号線2abが配されている。

10

【0241】

また、平面的に視て、画素100では、保持容量配線3w、3x間に画素電極5c、5dが列方向に並べられ、画素101では、保持容量配線3x、3y間に画素電極5a、5bが列方向に並べられ、画素103では、保持容量配線3w、3x間に画素電極5C、5Dが列方向に並べられ、画素104では、保持容量配線3x、3y間に画素電極5A、5Bが列方向に並べられている。

20

【0242】

画素101では、走査信号線2ab上には、トランジスタ15aのソース電極16abおよびドレイン電極17aと、トランジスタ15bのソース電極16abおよびドレイン電極17bとが形成されている。このように、ソース電極16abは、トランジスタ15a、15bの両方のソース電極を兼ねてデータ信号線4yに接続される。ドレイン電極17aはドレイン引き出し配線18aに接続され、ドレイン引き出し配線18aは容量電極19aに接続され、容量電極19aはコンタクトホール20aを介して画素電極5aに接続される。ドレイン電極17bはドレイン引き出し配線18bに接続され、ドレイン引き出し配線18bは容量電極19bに接続され、容量電極19bはコンタクトホール20bを介して画素電極5bに接続される。

30

【0243】

ここで、容量電極19aがゲート絶縁膜を介して保持容量配線3xに重なるとともに、画素電極5aがゲート絶縁膜および層間絶縁膜を介して保持容量配線3xに重なっており、これらの重なりの方によって保持容量Cha（図42参照）が形成されている。同様に、容量電極19bがゲート絶縁膜を介して保持容量配線3yに重なるとともに、画素電極5bがゲート絶縁膜および層間絶縁膜を介して保持容量配線3yに重なっており、これらの重なりの方によって保持容量Chb（図42参照）が形成されている。

【0244】

なお、他の画素の構成（各部材の形状および配置並びに接続関係）は画素101のそれと同様であるが、上述したように、データ信号線と画素電極の接続は左右どちらかの2通りである。

40

【0245】

なお、本実施の形態において、CSドライバ、保持回路は、それぞれ、上述の構成例1～6におけるCSドライバ、保持回路の何れであってもよい。

【0246】

本液晶パネル113cは、例えばフレームレートが240Hz（4倍速）、360Hz（6倍速）などの高速駆動パネルに適し、そのパネルを用いた3D（立体）画像表示を行う3D液晶表示装置にも適する。

50

【0247】

図42あるいは図43にみられるような画素電極とデータ信号線の配置、すなわち列方向に並ぶ1つの画素列に対して2本のデータ信号線が設けられ、列方向に隣接する画素が左右交互のデータ信号線からデータ信号を得る配置は、駆動において走査信号線を2本ずつ同時に選択し、順次走査を行うことで、走査信号線を1本ずつ順次走査する場合に比べて、個々の画素電極をデータ信号線の電位まで充電する時間（画素充電時間）を2倍にできることが知られている。したがって、画素が充電不足になることがなく、このような画素電極とデータ信号線の配置は、上述の高速駆動パネルには適する配置である。

【0248】

このような配置を、従来の容量分割方式による画素分割方式を有する液晶パネルに適用して高速駆動をしようとすれば、額縁が大幅に増大する。理由は、従来の容量分割方式では、保持容量配線幹には多数の保持容量配線が接続されて、AC（交流）信号が伝達されているため、保持容量配線幹における信号遅延が発生しやすく、それが表示に与える影響が大きく、さらに高速化に対応しようとすると保持容量配線幹の線幅を大幅に太くせざるを得ないためである。

【0249】

しかしながら、本構成例7のように、複数の保持回路を有するCSドライバを用いて、容量分割方式による画素分割方式を有する液晶パネルを作製すれば、AC（交流）信号が伝達されるような保持容量配線幹を用いることがないので、額縁はほとんど大きくなりません。したがって、高速駆動パネルにおいて、本構成例7は、特に額縁を小さくする効果が高い。

【0250】

（液晶パネルの構成例8）

図44は、本発明の液晶パネルの構成例8における液晶パネル113dの一部を示す等価回路図である。図44に示すように、本液晶パネル113dでは、列方向（図中上下方向）に延伸するデータ信号線4x、4X、行方向（図中左右方向）に延伸する走査信号線2c、2a、行および列方向に並べられた画素100、101、103、104、保持容量配線3a、3c、および共通電極（対向電極）comを備え、各画素の構造は同一である。

【0251】

本液晶パネル113dでは、1つの画素に対応して1本のデータ信号線と1本の走査信号線と1本の保持容量配線とが設けられている。また、1画素に、2つの画素電極が、その一方が他方を取り囲むように設けられ、画素100に、画素電極5dとこれを取り囲む画素電極5cとが設けられ、画素101に、画素電極5bとこれを取り囲む画素電極5aとが設けられ、画素103に、画素電極5Dとこれを取り囲む画素電極5Cとが設けられ、画素104に、画素電極5Bとこれを取り囲む画素電極5Aとが設けられている。

【0252】

各画素の構造は同一であるため、以下では、主に画素101を例に挙げて説明する。

【0253】

画素101では、画素電極5aが、走査信号線2aに接続されたトランジスタ15aを介してデータ信号線4xに接続され、画素電極5bが、走査信号線2aに接続されたトランジスタ15bを介してデータ信号線4xに接続され、画素電極5aおよび保持容量配線3a間に保持容量Chaが形成され、画素電極5aおよび共通電極com間に液晶容量Cl aが形成され、画素電極5bおよび共通電極com間に液晶容量Cl bが形成されている。

【0254】

このように、画素電極5a、5bそれぞれは、同一の走査信号線2abに接続されたそれぞれのトランジスタ15a、15bを介して、同一のデータ信号線4xに接続されているため、画素電極5a、5bそれぞれに対して、同一の信号電位（データ信号）を、トランジスタ15a、15bそれぞれを介して直接供給することができる。そして、画素電極

5 aは、保持容量配線 3 aと保持容量C h aを形成しているため、例えば、画素電極 5 a、5 bにデータ信号を書き込んだ後に、保持容量配線信号を変動させることで、容量結合による画素電極電位（画素電位）の突き上げまたは突き下げを行うことにより、画素電極 5 a、5 bそれぞれの画素電位を異ならせることができる。このような方法を用いて、例えば、画素電極 5 aを含む副画素を暗副画素、画素電極 5 bを含む副画素は明副画素とすることができる。これにより、画素分割方式の液晶表示装置を実現できる。

【0255】

本構成例 8における液晶パネル 113 dの具体的な構成を図 45に示す。図 45は、液晶パネル 113 dの構成例 8を示す平面図である。図 45の液晶パネル 113 dでは、データ信号線 4 xおよび走査信号線 2 aの交差部近傍にトランジスタ 15 a、15 bが配され、両データ信号線 4 x、4 Xで画される画素領域に、矩形状の画素電極 5 bとこれを取り囲む矩形状の画素電極 5 aとが配され、保持容量配線 3 aが画素電極 5 aを横切って行方向に延伸している。なお、画素電極 5 a、5 bの形状は、一方の画素電極が他方の画素電極を取り囲む形状であればよく、特に限定されるものではない。

【0256】

画素 101では、走査信号線 2 a上には、トランジスタ 15 aのソース電極 16 a bおよびドレイン電極 17 aと、トランジスタ 15 bのソース電極 16 a bおよびドレイン電極 17 bとが形成されている。このように、ソース電極 16 a bは、トランジスタ 15 a、15 bの両方のソース電極を兼ねてデータ信号線 4 xに接続される。ドレイン電極 17 aはドレイン引き出し配線 18 aに接続され、ドレイン引き出し配線 18 aは容量電極 19 aに接続され、容量電極 19 aはコンタクトホール 20 aを介して画素電極 5 aに接続される。ドレイン電極 17 bはドレイン引き出し配線 18 bに接続され、ドレイン引き出し配線 18 bはコンタクトホール 20 bを介して画素電極 5 bに接続される。

【0257】

ここで、容量電極 19 aがゲート絶縁膜を介して保持容量配線 3 aに重なるとともに、画素電極 5 aがゲート絶縁膜および層間絶縁膜を介して保持容量配線 3 aに重なっており、これらの重なりの方によって保持容量C h a（図 44参照）が形成されている。

【0258】

一方、画素電極 5 bには容量電極、保持容量配線は設けられず、保持容量配線による保持容量は設けられていない。画素電極 5 bを明画素としているので、液晶パネルのV-T曲線（液晶印加電圧ーパネル透過率曲線）を考えれば、画素電極 5 bの電位がフレーム間で多少変わったとしても表示輝度変化の影響が現れにくい。また、本構成例 8では、一方の副画素について保持容量配線を用いた保持容量を設けていないので、CSドライバの出力（CS信号）の本数を減らして、CSドライバの構成を簡略化できるので、狭額縁化により有利である。

【0259】

なお、他の画素の構成（各部材の形状および配置並びに接続関係）は画素 101のそれと同じである。

【0260】

ところで、構成例 1～7に示した各液晶パネルは、1つの画素領域内に形成される複数の画素電極それぞれが、保持容量配線と保持容量を形成する構成であるが、本発明はこれに限定されるものではなく、構成例 8で示したように、1つの画素電極内の少なくとも1つの画素電極が保持容量配線と保持容量を形成していれば良い。例えば、1つの画素領域内に2つの画素電極（5 a、5 b）が形成されている構成において、一方の画素電極（5 a）のみが保持容量配線と保持容量を形成している構成である。この構成においても、一方の画素電極（5 a）にデータ信号を書き込んだ後に、保持容量配線に保持容量配線信号を供給して、容量結合による画素電極電位（画素電位）の突き上げまたは突き下げを行うことにより、画素電極（5 a）の画素電位を変化させることができる。よって、1画素を明副画素および暗副画素で構成することができるため、画素分割方式の液晶表示装置を実現できる。

【0261】

なお、本願でいう「電位の極性」とは、基準となる電位以上（プラス）あるいは基準となる電位以下（マイナス）を意味する。ここで、基準となる電位は、共通電極（対向電極）の電位である V_{com} （コモン電位）であってもその他任意の電位であってもよい。また、構成例1～8で示した本発明の各液晶パネルにおいて、多数のデータ信号線の極性配置はどのような配置であってもよく、隣接するデータ信号線がすべて逆極性であってもよいし、同極性であってもよいし、データ信号線の極性配置は、2ラインおきに極性が反転してもよく、本発明の効果はこのようなデータ信号線の極性配置に影響されず効果を奏する。

【0262】

また、構成例1～7で示した本発明の各液晶パネルにおいて、列方向に隣り合う画素の間に、両画素で共用する保持容量配線が設けられているが、本実施形態はこれに限定されず、構成例1～7で示した本発明の各液晶パネルにおいて、列方向に隣り合う画素の間に、両画素で実質的に共用する保持容量配線が設けられていてもよい。すなわち、本発明において、列方向に隣り合う画素に対応して、両画素で同一信号が与えられるなどの特徴を有して実質上共用する保持容量配線があればよく、その保持容量配線が複数本からなってもよい。

【0263】

（テレビジョン受像機の構成例）

最後に、本発明のテレビジョン受像機の構成例について説明する。以下では、本発明の液晶表示装置をテレビジョン受像機に適用するときの一構成例について説明する。なお、ここでは本液晶表示装置110、110bを、液晶表示装置800として表す。図46は、テレビジョン受像機用の液晶表示装置800の構成を示すブロック図である。液晶表示装置800は、液晶表示ユニット84と、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、バックライト駆動回路85と、バックライト86と、マイコン（マイクロコンピュータ）87と、階調回路88とを備えている。なお、液晶表示ユニット84は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

【0264】

上記構成の液晶表示装置800では、まず、テレビジョン信号としての複合カラー映像信号 S_{cv} が外部からY/C分離回路80に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するアナログRGB信号に変換され、さらに、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に入力される。また、Y/C分離回路80では、外部から入力された複合カラー映像信号 S_{cv} から水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介して液晶コントローラ83に入力される。

【0265】

液晶表示ユニット84には、液晶コントローラ83からデジタルRGB信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路88では、カラー表示の3原色R、G、Bそれぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット84に供給される。液晶表示ユニット84では、これらのRGB信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号＝信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット84によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある。この液晶表示装置800では、マイコン87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイコン87が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号の

10

20

30

40

50

みならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置 800 では、様々な映像信号に基づいた画像表示が可能である。

【0266】

液晶表示装置 800 でテレビジョン放送に基づく画像を表示する場合には、図 47 に示すように、液晶表示装置 800 にチューナ部 90 が接続され、これによって本テレビジョン受像機 601 が構成される。このチューナ部 90 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 S c v を取り出す。この複合カラー映像信号 S c v は、既述のように液晶表示装置 800 に入力され、この複合カラー映像信号 S c v に基づく画像が液晶表示装置 800 によって表示される。

10

【0267】

図 48 は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機 601 は、その構成要素として、液晶表示装置 800 の他に第 1 筐体 801 および第 2 筐体 806 を有しており、液晶表示装置 800 を第 1 筐体 801 と第 2 筐体 806 とで包み込むようにして挟持した構成となっている。第 1 筐体 801 には、液晶表示装置 800 で表示される画像を透過させる開口部 801 a が形成されている。また、第 2 筐体 806 は、液晶表示装置 800 の背面側を覆うものであり、液晶表示装置 800 を操作するための操作用回路 805 が設けられると共に、下方に支持用部材 808 が取り付けられている。

20

【0268】

また、上記アクティブマトリクス基板では、上記保持容量配線駆動回路が、ガラス基板上にモノリシックに形成されている構成とすることもできる。

【0269】

また、上記アクティブマトリクス基板では、上記保持容量配線駆動回路と、走査信号線駆動回路とが、モノリシックに形成されている構成とすることもできる。

【0270】

また、上記アクティブマトリクス基板では、上記保持容量配線駆動回路は、画素電極と保持容量を形成する保持容量配線に上記保持容量配線信号を供給することによって、データ信号線から該画素電極に書き込まれた画素電位を該画素電位の極性に応じた向きに変化させる構成とすることもできる。

30

【0271】

また、上記アクティブマトリクス基板では、1つの画素領域内において、各画素電極と該画素電極に対応する保持容量配線との間に形成される各保持容量が、互いに異なっている構成とすることもできる。

【0272】

また、上記アクティブマトリクス基板では、
上記保持容量配線駆動回路は、保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

40

1つの保持容量配線駆動内部回路は、少なくとも1本の保持容量配線に上記保持容量配線信号を供給する構成とすることもできる。

【0273】

また、上記アクティブマトリクス基板では、
1つの画素領域内に、第1および第2副画素電極と、上記走査信号線に接続された第1および第2トランジスタとを備え、

上記第1副画素電極は、上記第1トランジスタを介して上記データ信号線に接続されるときともに、上記保持容量配線と第1保持容量を形成し、上記第2副画素電極は、上記第2トランジスタを介して上記データ信号線に接続されるときともに、上記保持容量配線と第2保持容量を形成している構成とすることもできる。

50

【0274】

また、上記アクティブマトリクス基板では、
各データ信号線の延伸方向を列方向として、

第1および第2画素領域がこの順に列方向に並べられるとともに、各画素領域内において、第1および第2副画素電極がこの順に列方向に並べられ、

上記第1画素領域内の上記第2副画素電極と上記第2画素領域内の上記第1副画素電極とが隣り合っており、それぞれの副画素電極が、同一の保持容量配線と保持容量を形成している構成とすることもできる。

【0275】

また、上記アクティブマトリクス基板では、

上記保持容量配線駆動回路は、保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

各保持容量配線駆動内部回路に保持対象信号が入力され、

自段よりも後の後段の画素に対応する走査信号線に供給される走査信号がアクティブになると、自段の画素に対応する保持容量配線駆動内部回路が上記保持対象信号を取り込んでこれを保持し、

自段の画素に対応する保持容量配線駆動内部回路の出力を、自段の画素に対応する保持容量配線に、上記保持容量配線信号として供給する構成とすることもできる。

【0276】

また、上記アクティブマトリクス基板では、

上記保持容量配線駆動回路は、複数の上記保持容量配線に上記保持容量配線信号を供給する複数の保持容量配線駆動内部回路を備え、

各保持容量配線駆動内部回路に保持対象信号が入力され、

自段に対応する保持容量配線駆動内部回路は、

自段よりも後の後段の画素に対応する走査信号線に供給される走査信号を入力する第1入力部と、上記保持対象信号を入力する第2入力部と、上記第2入力部に入力される保持対象信号とは位相が180度ずれた保持対象信号を入力する第3入力部と、上記保持容量配線信号を出力する出力部とを備え、

上記第1入力部に入力された上記走査信号がアクティブになったときの上記第2入力部に入力された上記保持対象信号の電位がハイレベルのときは、ハイレベルの電位の上記保持容量配線信号を出力し、

上記第1入力部に入力された上記走査信号がアクティブになったときの上記第3入力部に入力された上記保持対象信号の電位がハイレベルのときは、ローレベルの電位の上記保持容量配線信号を出力し、

上記第1入力部に入力された上記走査信号が非アクティブの期間では、上記第2および／または第3入力部に入力された上記保持対象信号の電位を保持する構成とすることもできる。

【0277】

また、上記アクティブマトリクス基板では、

各データ信号線の延伸方向を列方向として、複数の副画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して第1および第2データ信号線が設けられるとともに、1つの画素領域行に対応して1本の走査信号線が設けられ、

列方向に隣り合う2つの画素領域の一方に含まれる各副画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各副画素電極にトランジスタを介して接続されるデータ信号線とが異なる構成とすることもできる。

【0278】

また、上記アクティブマトリクス基板では、隣り合う走査信号線を2本ずつ同時に選択する構成とすることもできる。

【0279】

また、上記アクティブマトリクス基板では、上記第1データ信号線および上記第2データ

10

20

30

40

50

タ信号線には、互いに逆極性のデータ信号が供給される構成とすることもできる。

【0280】

また、上記アクティブマトリクス基板では、

1つの画素領域内に2つの副画素電極を備え、

一方の副画素電極が他方の副画素電極を取り囲んでいる構成とすることもできる。

【0281】

また、上記アクティブマトリクス基板では、

1つの画素領域は、2つの副画素で構成されており、

上記一方の副画素電極を含む副画素が相対的に輝度の低い暗副画素となり、上記他方の副画素電極を含む副画素が相対的に輝度の高い明副画素となる構成とすることもできる。

10

【0282】

本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【産業上の利用可能性】

【0283】

本発明のアクティブマトリクス基板及びこれを備えた液晶パネルは、例えば液晶テレビに好適である。

【符号の説明】

【0284】

20

5、5a～5f、5A～5F 画素電極

6 表示領域

7 周辺領域

9、9a、45 ゲートドライバ（走査信号線駆動回路）

11、43 ソースドライバ（データ信号線駆動回路）

13、46、49、51、53、55、57 CSドライバ（保持容量配線駆動回路）

44、48、50、52、54、56 ゲート・CSドライバ（走査信号線駆動回路・保持容量配線駆動回路）

41 表示部

42 表示制御回路

30

CSD 保持回路（保持容量配線駆動内部回路）

15a～15f、15A～12F トランジスタ

4、4x、4X、4y、4Y ソースライン（データ信号線）

4x、4X ソースライン（第1データ信号線）

4y、4Y ソースライン（第2データ信号線）

2、2ab、2cd、2ef、2a、2c ゲートライン（走査信号線）

3、3w、3x、3y、3z、3a、3b、3c、3d CSライン（保持容量配線）

111 アクティブマトリクス基板

112 対向基板（カラーフィルタ基板）

113a、113b、113c、113d 液晶パネル

40

100～105 画素

110 液晶表示装置

601 テレビジョン受像機

VDD 信号

VSS 信号

COM 共通電極電位（保持容量配線信号、第2保持容量配線信号）

s、s1 端子（第1入力部）

sel1 端子（第2入力部）

sel2 端子（第3入力部）

sel3 端子（第4入力部）

50

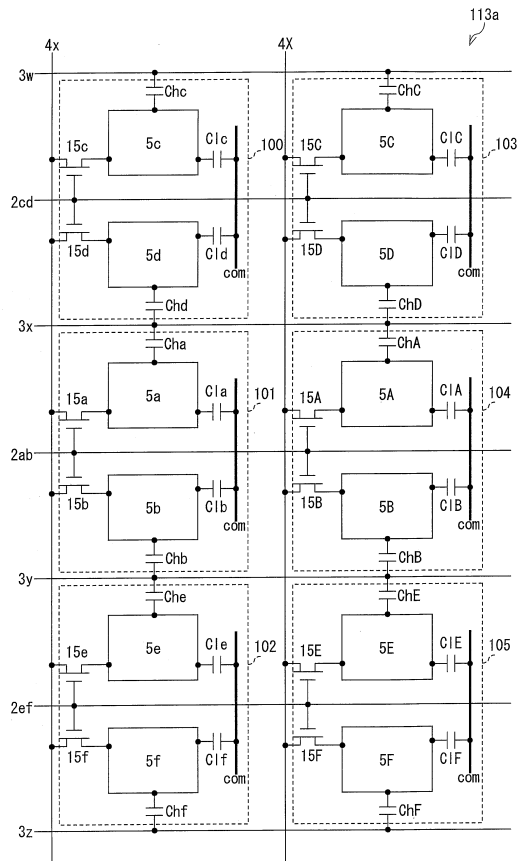
sel 1 4 端子 (第 5 入力部)

SEL、SEL 1、SEL 2 信号 (保持対象信号)

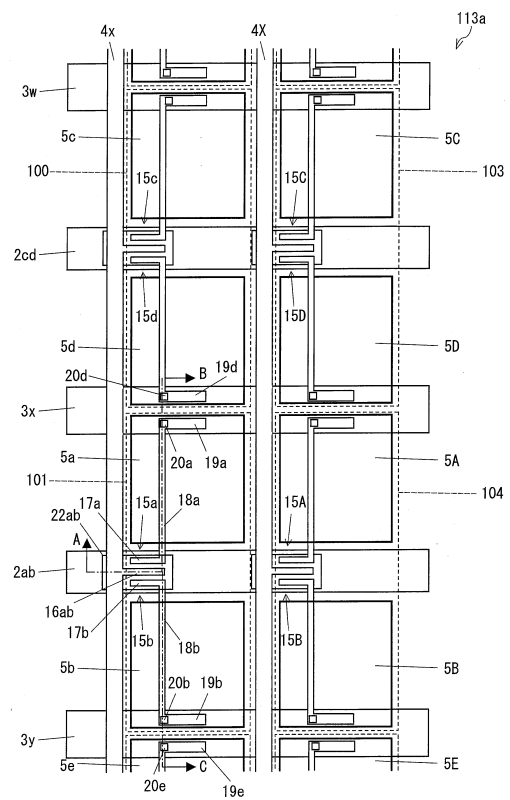
SEL 3、SEL 4 信号 (第 2 保持対象信号)

CS CS 信号 (保持容量配線信号、第 1 保持容量配線信号)

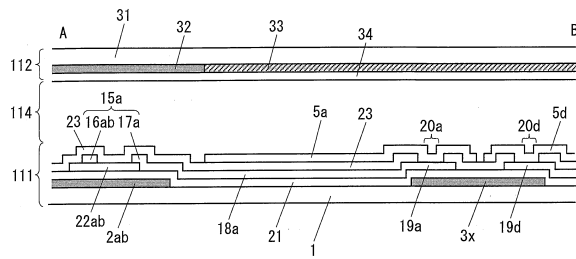
【図 1】



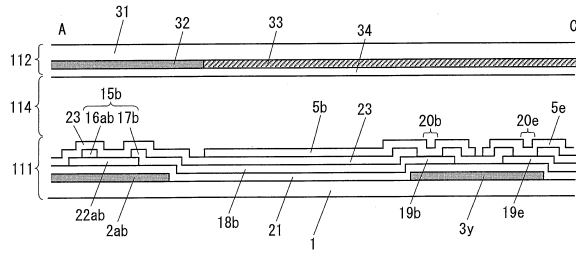
【図 2】



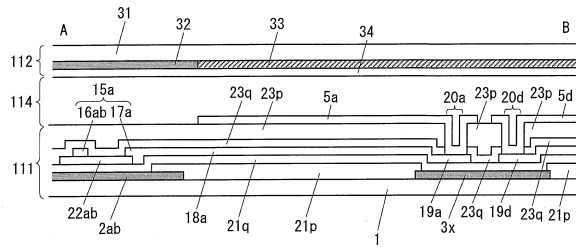
【図 3】



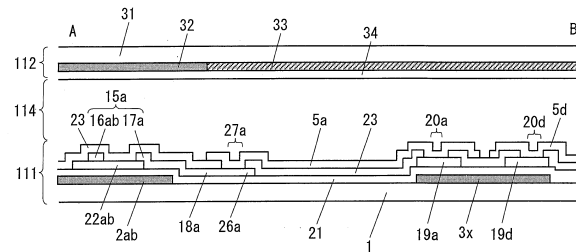
【図 4】



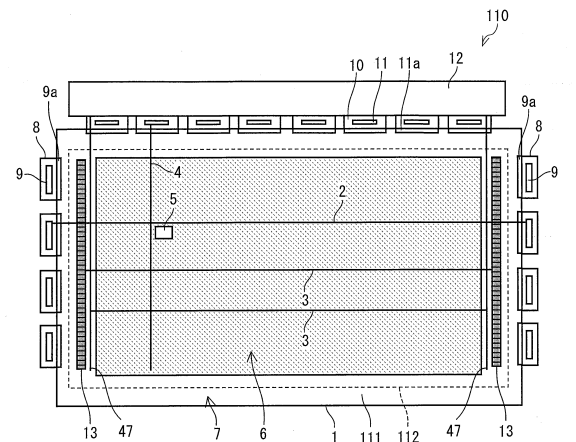
【図 5】



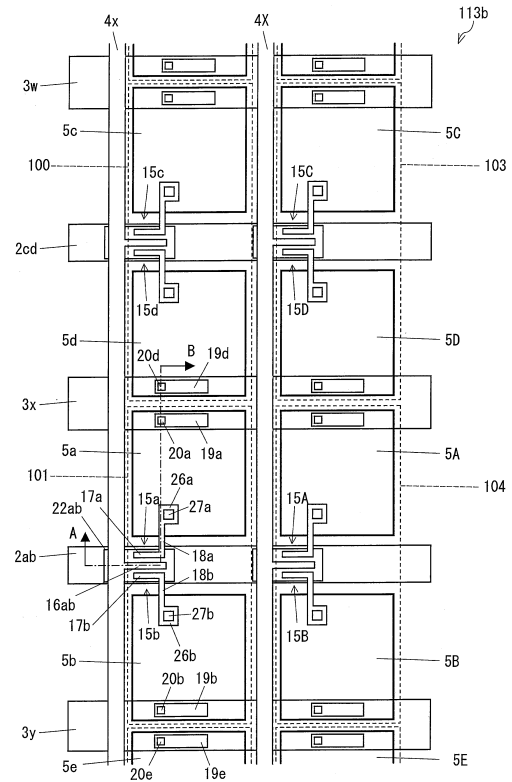
【図 7】



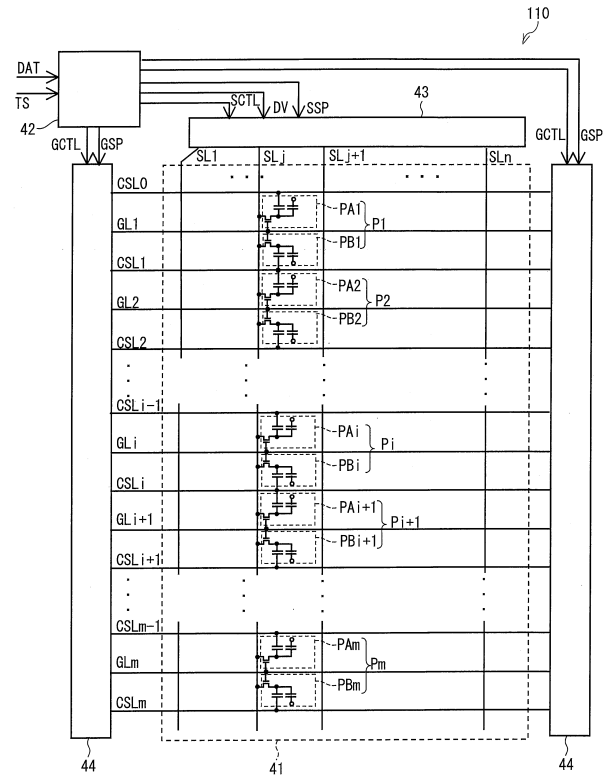
【図 8】



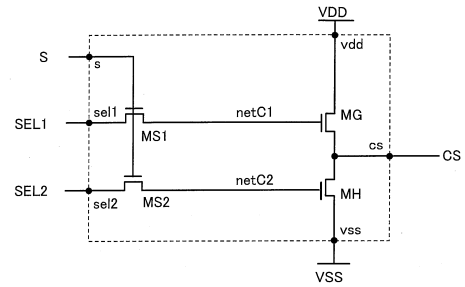
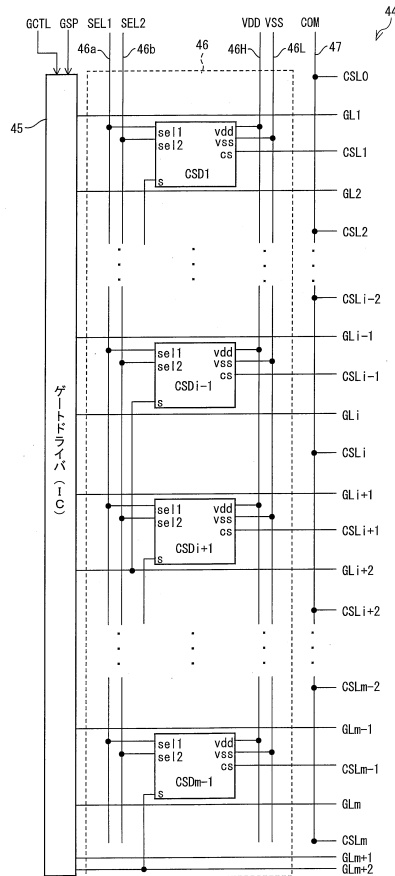
【図 6】



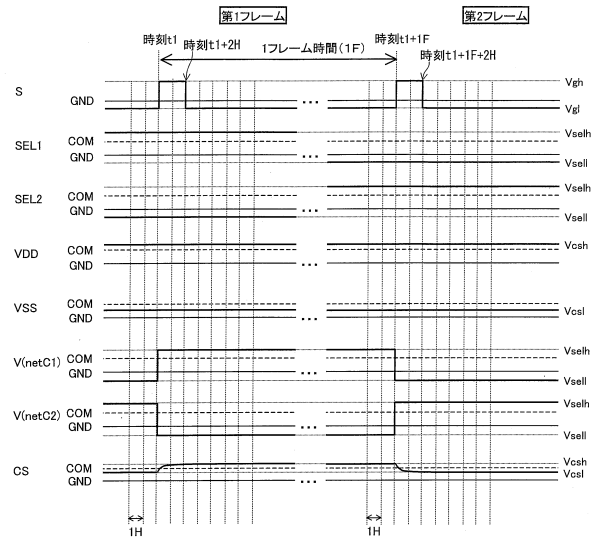
【図 9】



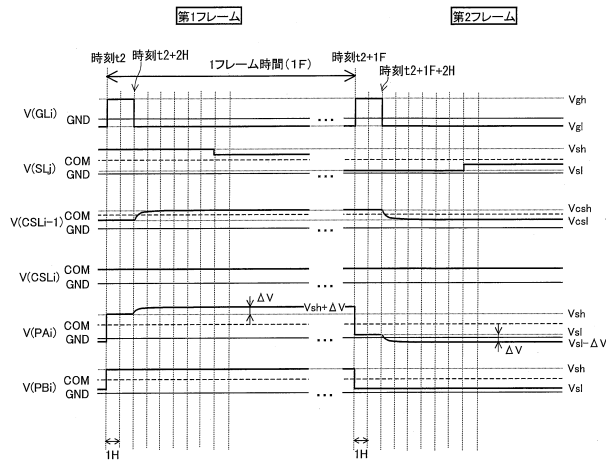
【図 1 1】



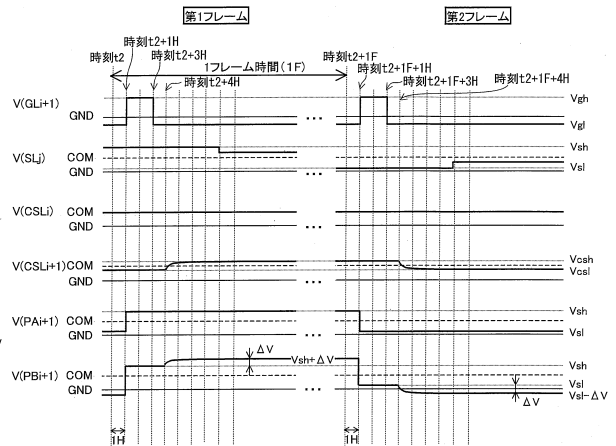
【図 1 2】



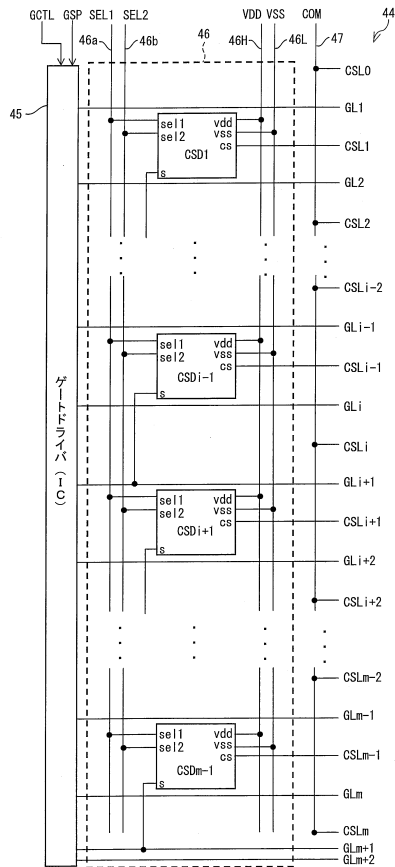
【図 1 3】



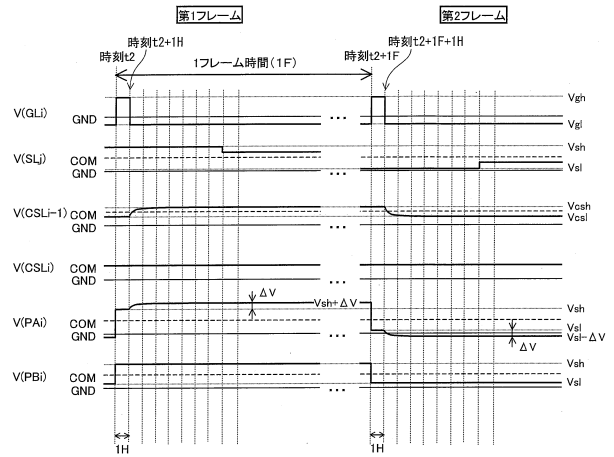
【図 14】



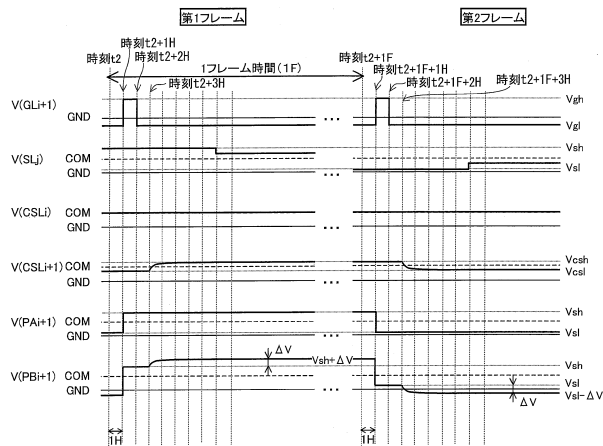
【図 15】



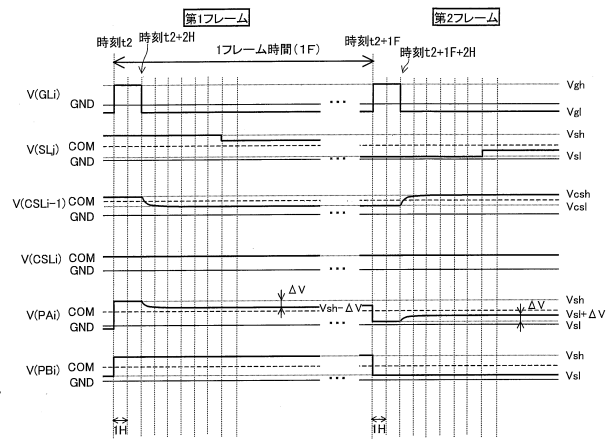
【図 16】



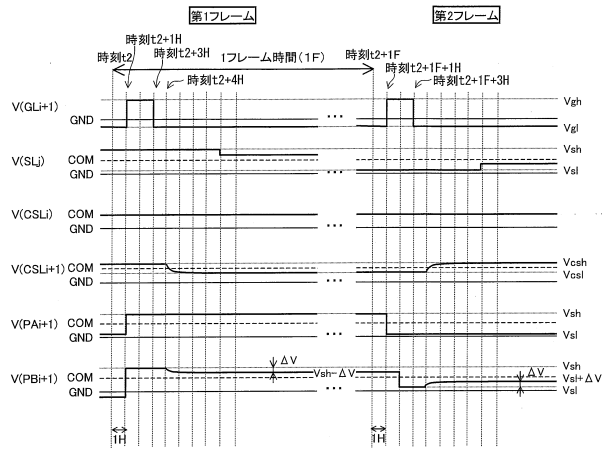
【図 17】



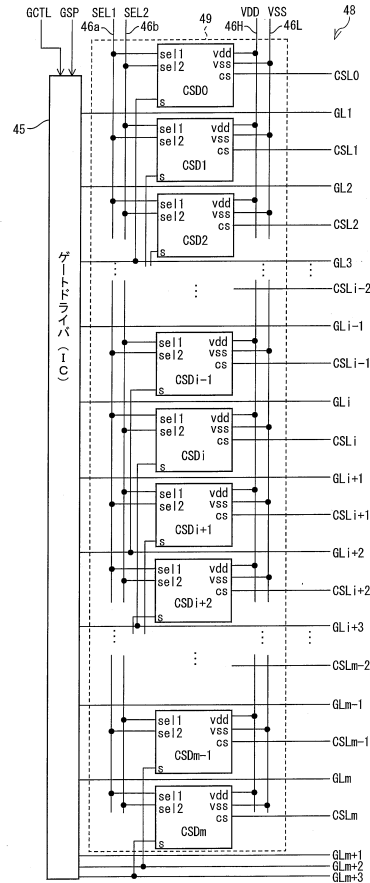
【図 18】



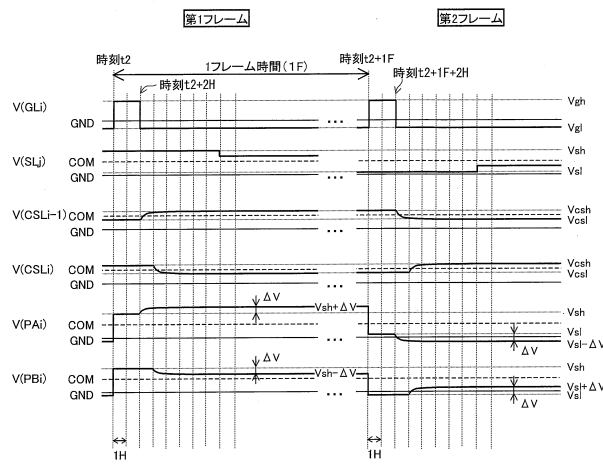
【図 19】



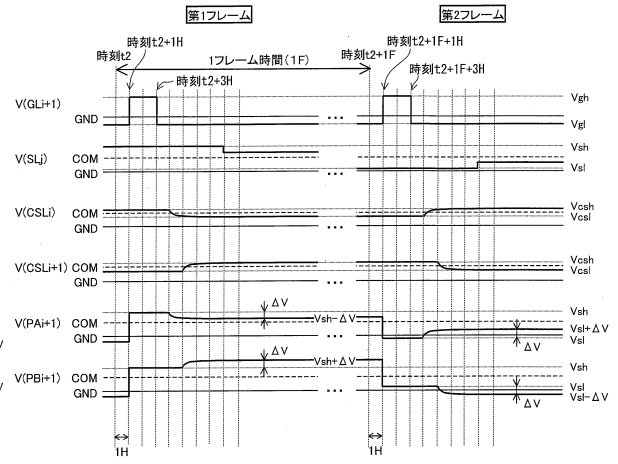
【図 20】



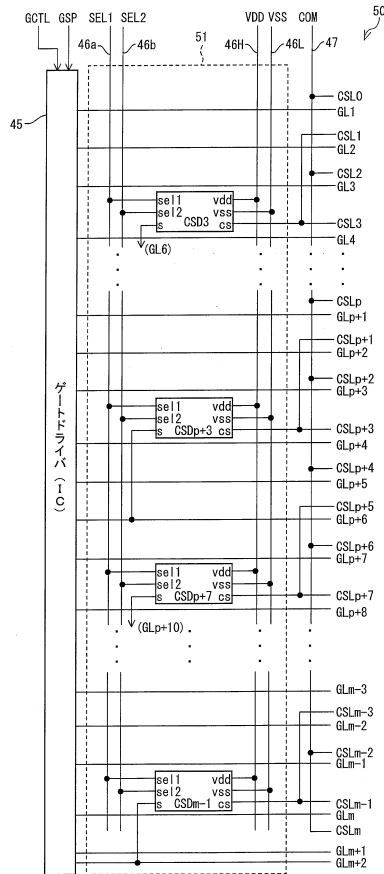
【図 21】



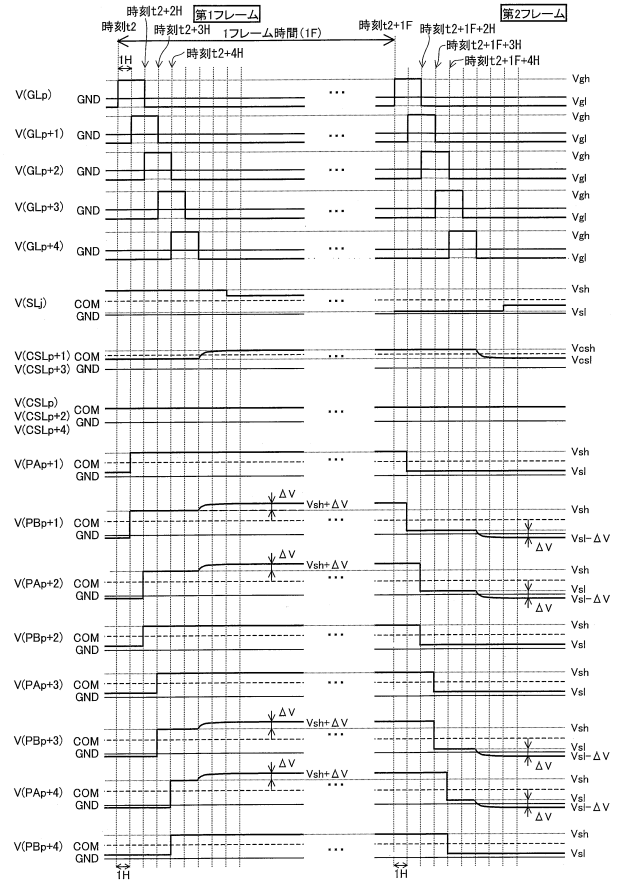
【図 22】



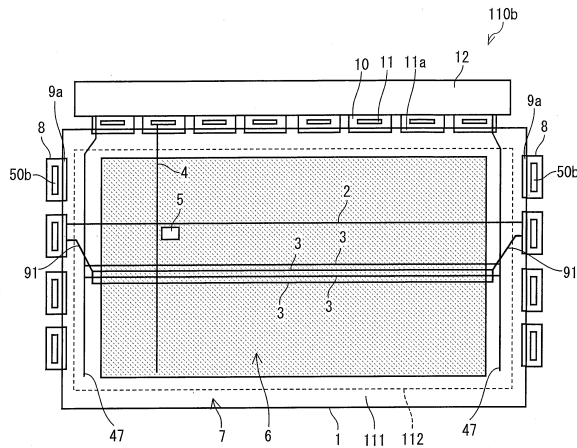
【図 23】



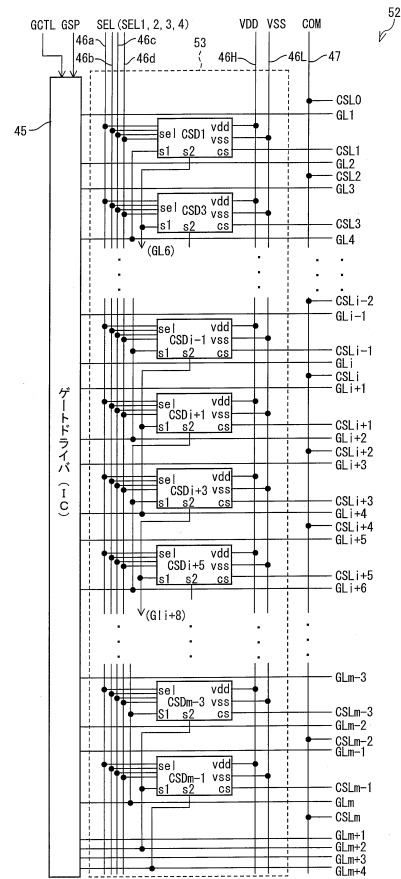
【図 24】



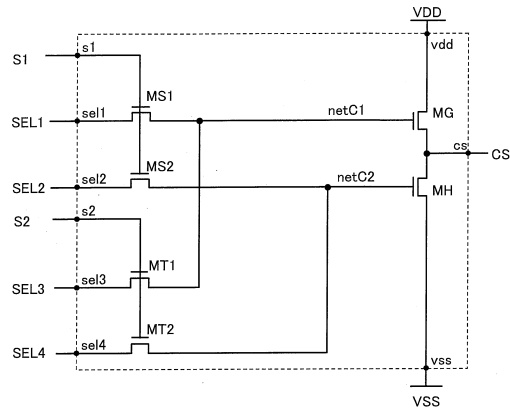
【図 25】



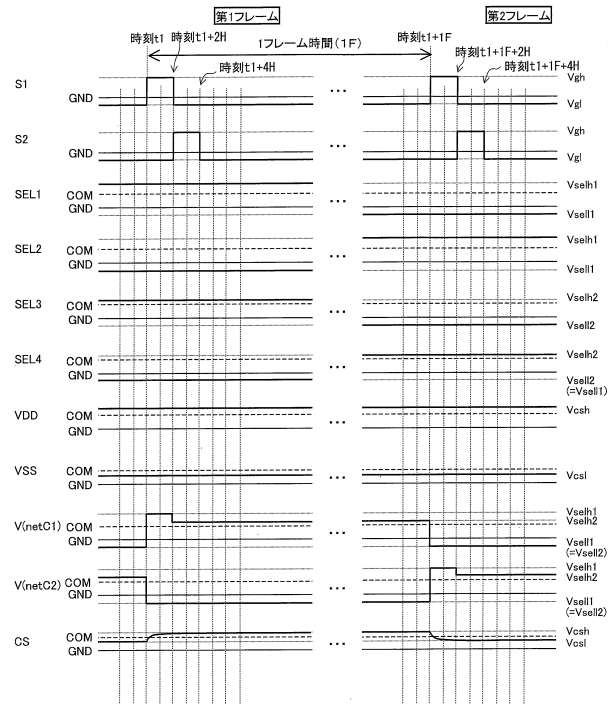
【図 26】



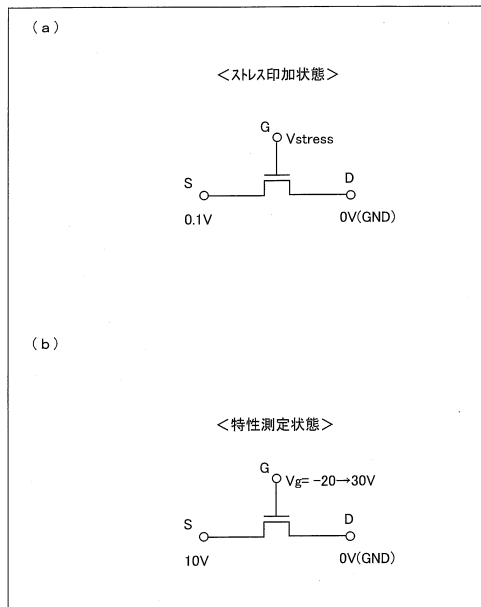
【図 27】



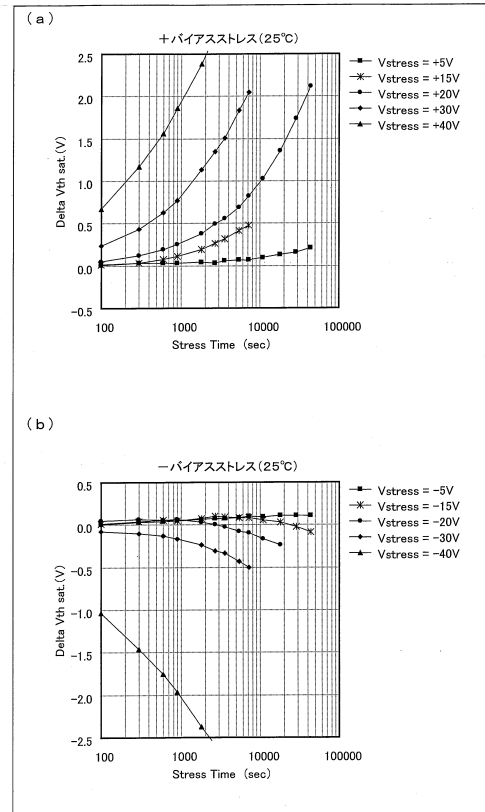
【図 28】



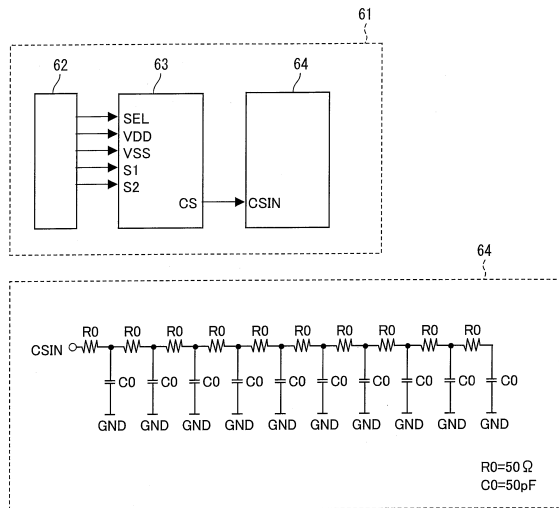
【図 29】



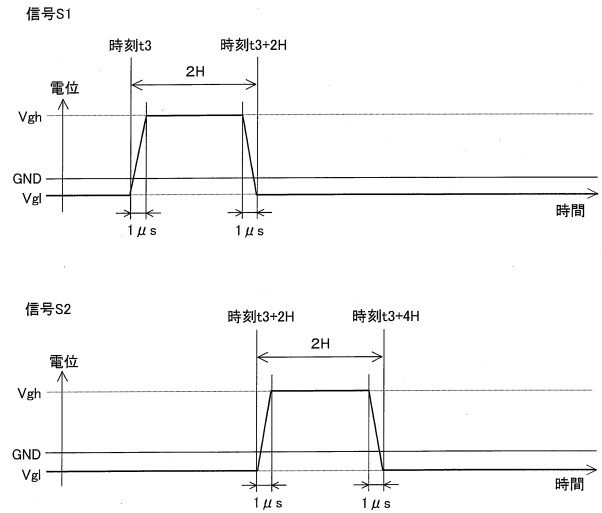
【図 30】



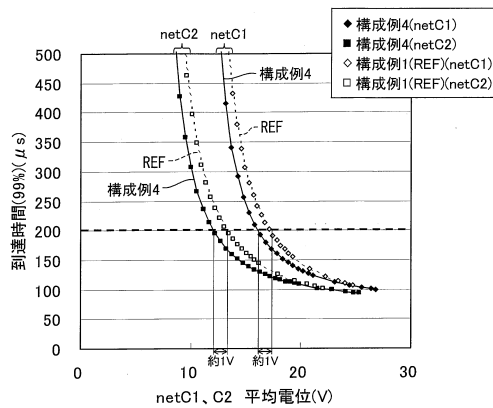
【図 3 1】



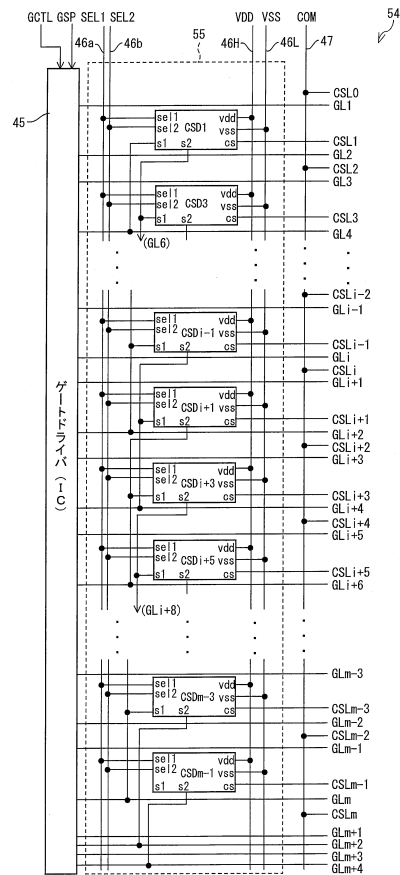
【図 3 2】



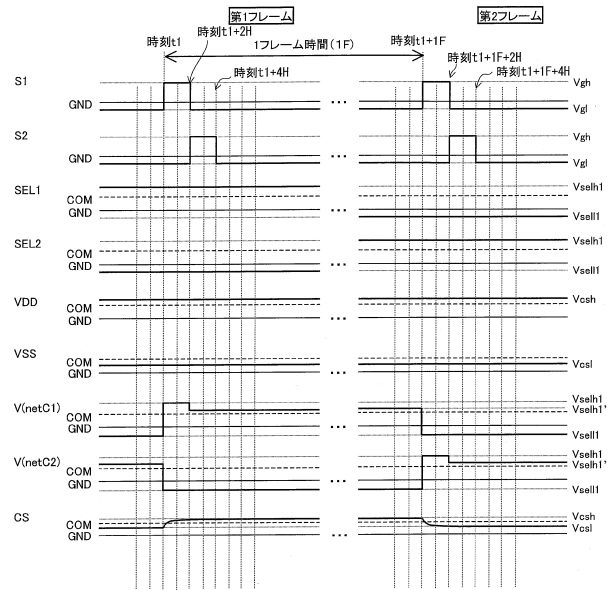
【図 3 3】



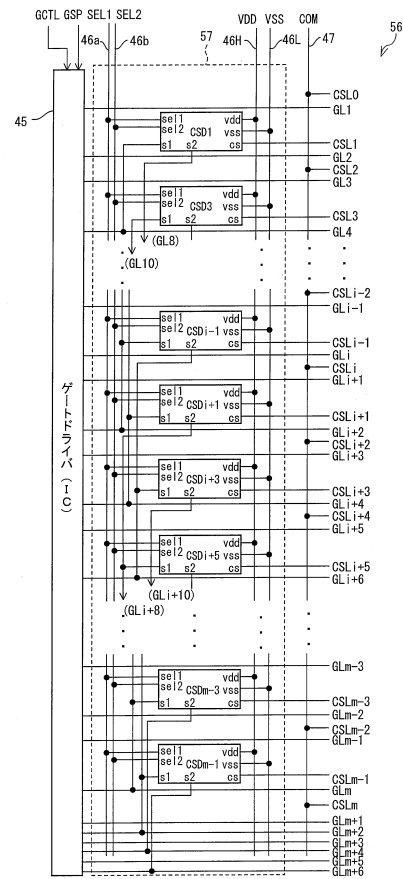
【図 3 4】



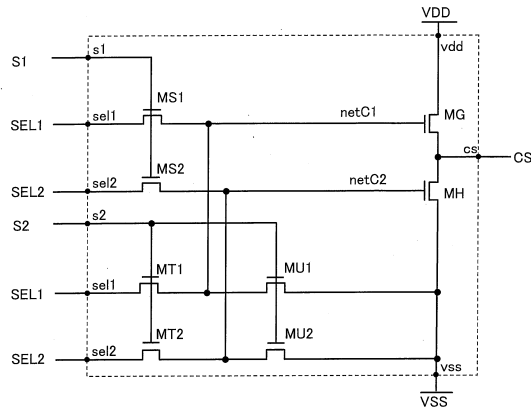
【図 3 6】



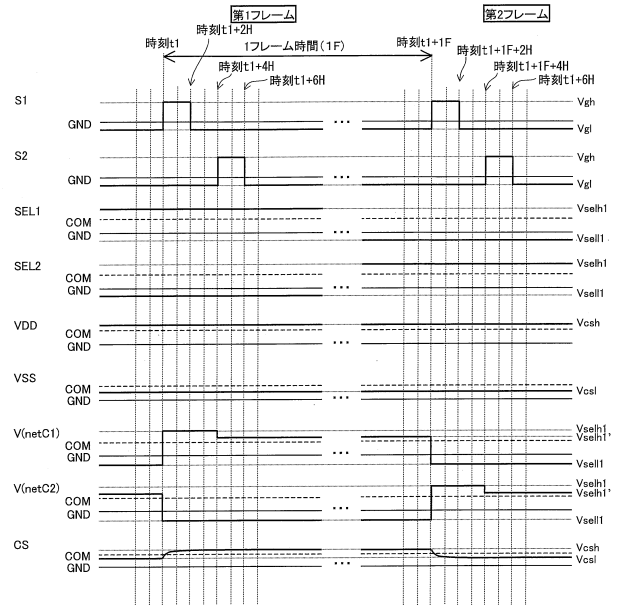
【図 38】



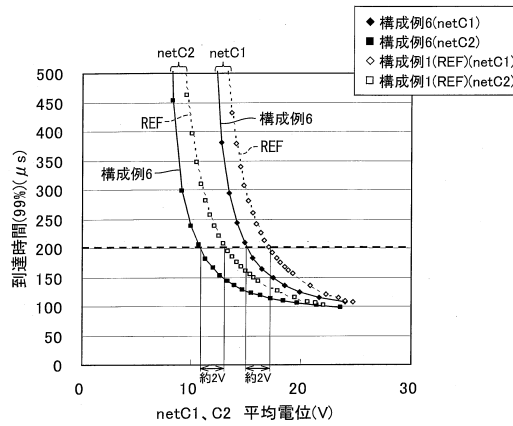
【図 39】



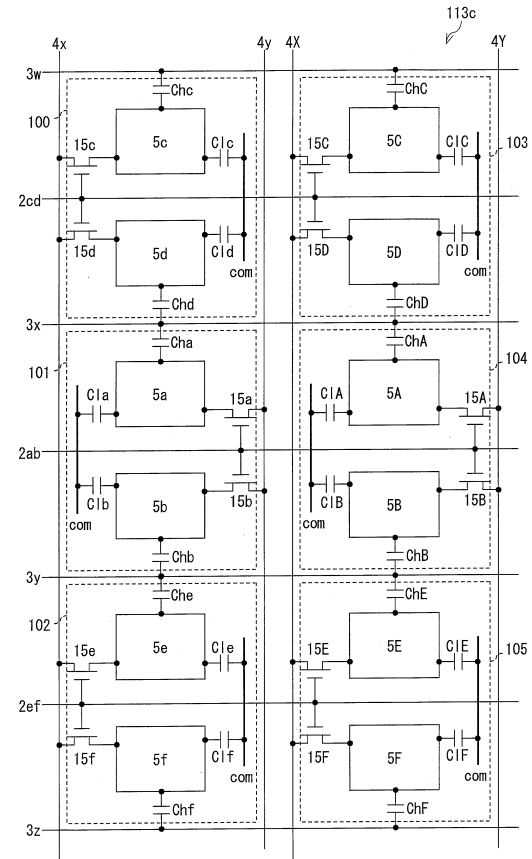
【図 40】



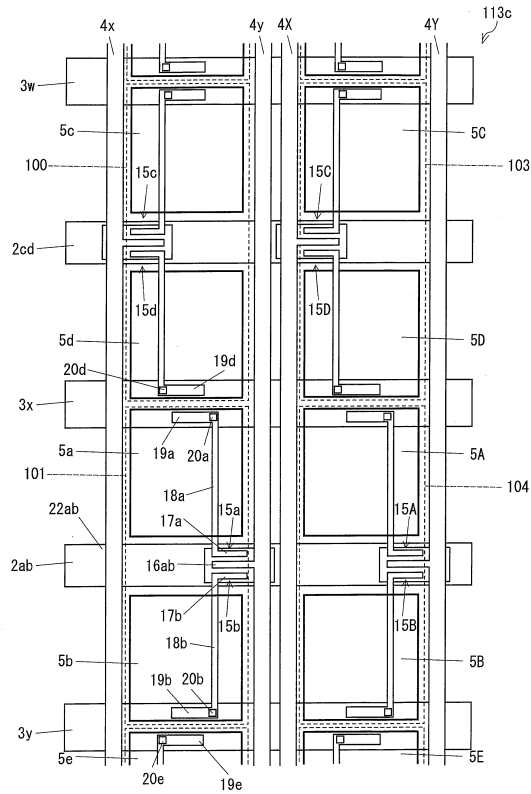
【図 41】



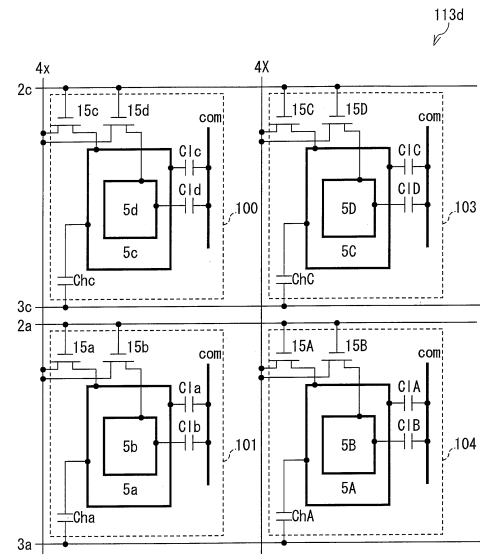
【図 42】



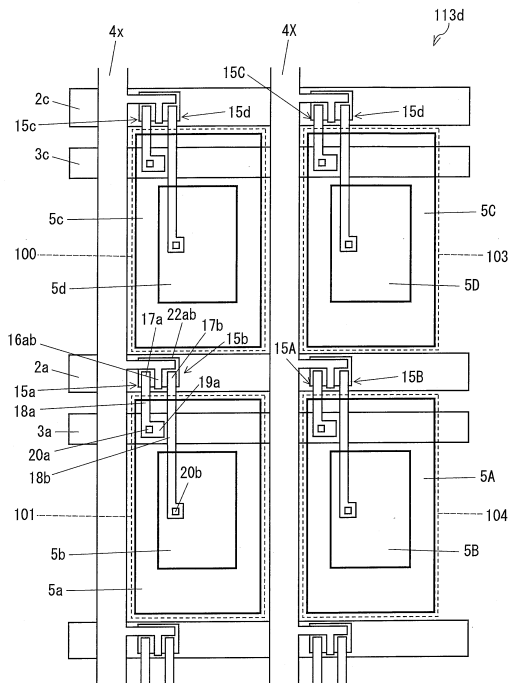
【図 4 3】



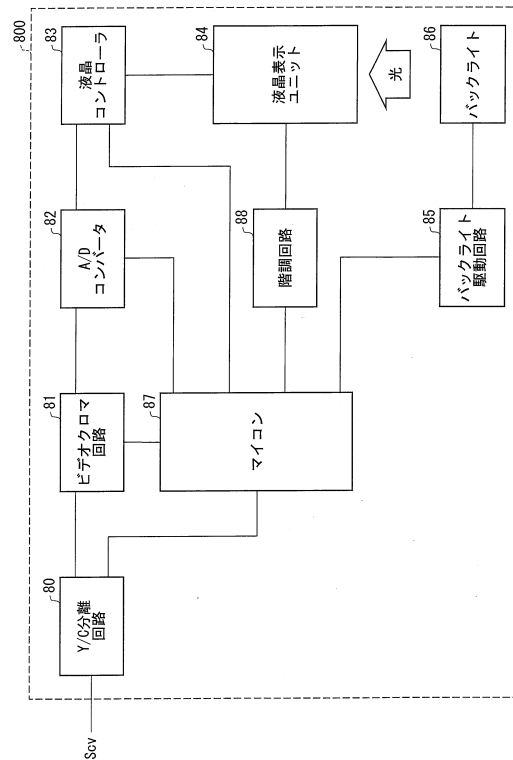
【図 4 4】



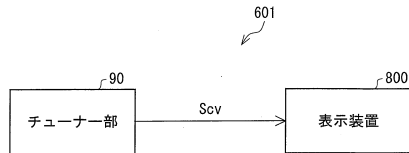
【図 4 5】



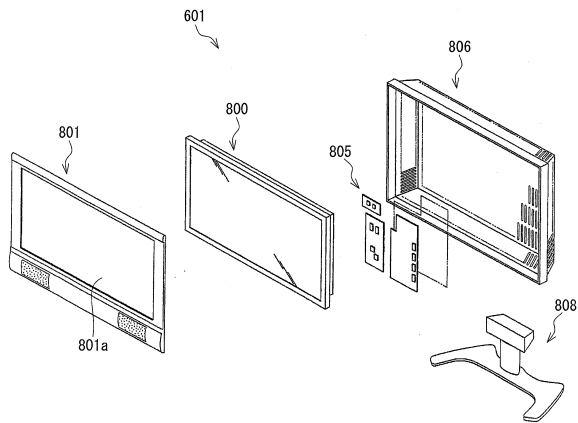
【図 4 6】



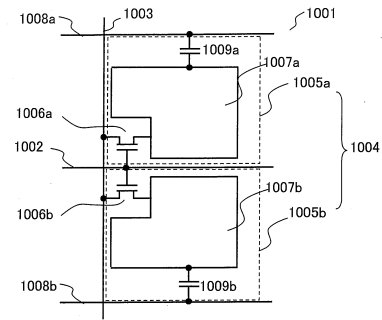
【図 47】



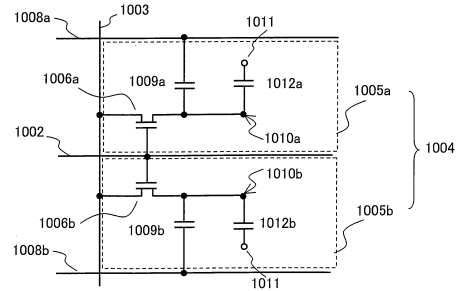
【図 48】



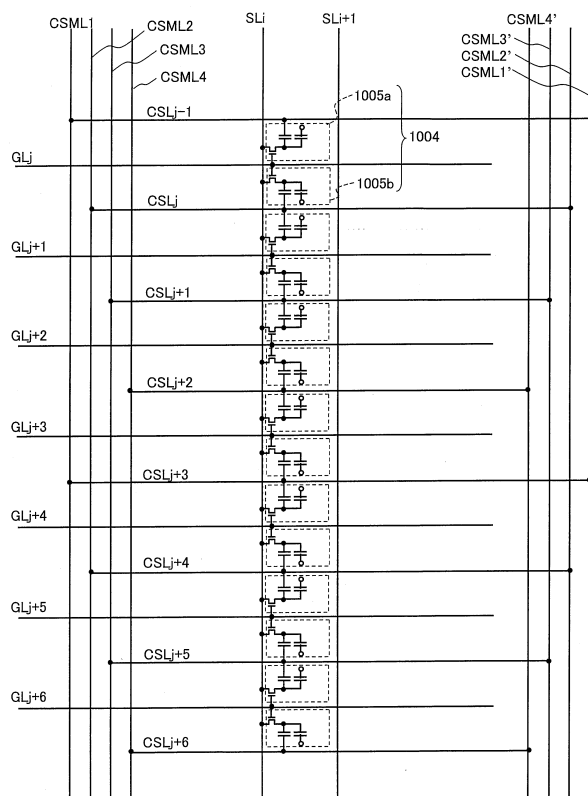
【図 49】



【図 50】



【図 51】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01) G 0 9 G 3/20 6 2 4 D
H 0 1 L 29/786 (2006.01) G 0 9 G 3/20 6 2 4 E
G 0 9 G 3/20 6 2 2 Q
H 0 1 L 29/78 6 1 2 Z
H 0 1 L 29/78 6 1 2 B

(56)参考文献 特開 2 0 0 5 - 1 8 9 8 0 4 (J P, A)
特開 2 0 0 6 - 2 2 0 9 4 7 (J P, A)
国際公開第 2 0 0 9 / 0 8 4 3 3 1 (W O, A 1)
国際公開第 2 0 0 7 / 0 9 1 3 6 5 (W O, A 1)

(58)調査した分野(Int.Cl., D B名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 3 6

专利名称(译)	有源矩阵基板，液晶面板，液晶显示装置，电视接收器		
公开(公告)号	JP5619787B2	公开(公告)日	2014-11-05
申请号	JP2011553723	申请日	2010-12-08
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	齊藤裕一		
发明人	齊藤 裕一		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09G3/36 G09G3/20 H01L21/336 H01L29/786		
CPC分类号	G09G3/3607 G09G3/3614 G09G3/3655 G09G2300/0426 G09G2300/0447 G09G2300/0876 G09G2320/0223 G09G2320/028 G06F3/038 G09G3/3648		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.624.D G09G3/20.624.E G09G3/20.622.Q H01L29/78.612.Z H01L29/78.612.B		
审查员(译)	铃木俊光		
优先权	2010030569 2010-02-15 JP		
其他公开文献	JPWO2011099217A1		
外部链接	Espacenet		

摘要(译)

本发明的有源矩阵基板包括：数据信号线;扫描信号线 (GLi);晶体管与数据信号线和扫描信号线 (GLi) 连接;和保持电容线 (CSLi) 。一个像素区域包括多个像素电极。用于输出保持电容器线信号以驱动保持电容器线的CS驱动器 (46) 单片地形成。在一个像素区域中，像素电极和与像素电极对应的保持电容线在它们之间形成保持电容。这使得基于像素分割系统的液晶显示装置具有带有较窄框架的液晶面板。

netG2> selh設定 f)	到達時間(99%) (μ s)	netG2平均電位 (V)
35	101.6	22.1
30	105.5	21.3
27.5	108.5	20.7
25	114.6	19.5
22.5	125.7	18.0
20	143.9	16.2
19.5	148.9	15.8
19	154.7	15.4
18.5	160.5	15.0
18	167.9	14.6
17.5	175.6	14.2
17	184.5	13.8
16.5	194.7	13.4
16	206.7	13.0
15.5	220.7	12.6
15	237.3	12.2
14.5	257.0	11.8
14	280.8	11.3
13.5	310.2	10.9
13	347.9	10.5
12.5	396.2	10.1
12	462.5	9.6
11.5	557.8	9.2