

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5585127号
(P5585127)

(45) 発行日 平成26年9月10日(2014.9.10)

(24) 登録日 平成26年8月1日(2014.8.1)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

請求項の数 5 (全 14 頁)

(21) 出願番号 特願2010-50537 (P2010-50537)
(22) 出願日 平成22年3月8日(2010.3.8)
(65) 公開番号 特開2011-186138 (P2011-186138A)
(43) 公開日 平成23年9月22日(2011.9.22)
審査請求日 平成25年1月28日(2013.1.28)

(73) 特許権者 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100112210
弁理士 稲葉 忠彦
(74) 代理人 100108431
弁理士 村上 加奈子
(74) 代理人 100153176
弁理士 松井 重明
(74) 代理人 100109612
弁理士 倉谷 泰孝
(72) 発明者 永野 慎吾
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 アレイ基板、および液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に、走査配線と、これに交差する信号配線によって規定される複数の画素がマトリクス状に配置された表示領域と、

前記画素は、スイッチング素子と、
該スイッチング素子と接続された下部電極と、
該下部電極上に形成された絶縁膜と、
該絶縁膜上に形成され、前記下部電極との間でフリンジ電界を発生させる上部電極とを備え、

該上部電極が形成されない光透過しない領域において、前記下部電極と同一電位の導電パターン上の前記絶縁膜にコンタクトホールが設けられ、該絶縁膜が除去されており、
前記コンタクトホールは、基準電位の共通配線上に設けられているアレイ基板。

【請求項 2】

前記導電パターンは、前記下部電極の一部である請求項 1 に記載のアレイ基板。

【請求項 3】

前記コンタクトホール近傍において、前記上部電極と同一層からなる電極パターンが、前記上部電極とは電氣的に分離して設けられ、前記下部電極と接続されている請求項 1 または請求項 2 に記載のアレイ基板。

【請求項 4】

前記上部電極は、隣接する前記画素の前記上部電極と接続されている請求項 1 乃至 3 の

10

20

いずれか 1 項に記載のアレイ基板。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載のアレイ基板から構成されている液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、アレイ基板、および液晶表示装置に関するものである。特に詳しくは、フリンジフィールドスイッチング (FFS: Fringe Field Switching) 方式のアレイ基板、および液晶表示装置の構成に関するものである。

【背景技術】

10

【0002】

近年、従来のブラウン管に代わって、液晶、エレクトロルミネセンス、帯電微粒子等の原理を利用した薄型で平面形状の表示パネルを有する新しい表示装置が多く使用されるようになった。これらの新しい表示装置の代表である液晶表示装置は、薄型、軽量だけでなく、低消費電力で低電圧駆動できる特徴を有している。液晶表示装置は、2 枚の基板の間に液晶を封入する。片方の基板は、複数の画素がマトリクス状に配置された表示領域を有するアレイ基板であり、もう片方の基板は、カラーフィルタ、ブラックマトリクス (遮光膜) 等が形成された対向基板である。

【0003】

特に、薄膜トランジスタ (TFT: Thin Film Transistor) 型液晶表示装置は、アレイ基板上の各画素に、スイッチング素子である TFT が設けられ、各画素が独立して液晶を駆動する電圧を保持できるので、クロストークの少ない高画質な表示が可能である。また、各画素には、TFT の ON、OFF を制御する走査配線 (ゲート配線) と、これに交差する画像データ入力用の信号配線 (ソース配線) が設けられている。通常、各画素は、走査配線と信号配線に囲まれた領域が対応する。

20

【0004】

インプレーンスイッチング (IPS: In-Plane Switching) 方式の液晶表示装置は、片側のアレイ基板に複数の画素電極と対向電極 (共通電極) を交互に隙間を空けて配置して、基板面に対して略横電界を印加して表示を行う方式である。IPS 方式は、通常の TN (Twisted Nematic) 方式と比較して、視野角特性に優れている利点がある。しかし、従来の IPS 方式の液晶表示装置は、通常の TN 方式と比べて、光透過率が小さいという欠点がある。

30

【0005】

この欠点を改善した方式として、フリンジフィールドスイッチング (FFS) 方式が提案されている (例えば、特許文献 1)。FFS 方式の液晶表示装置は、液晶にフリンジ電界 (横電界と縦電界の両成分を含む斜め電界) を印加して表示を行う方式である。FFS 方式の液晶表示装置では、画素電極と対向電極は、IPS 方式と同様に、片側のアレイ基板上に形成されるが、画素電極と対向電極は絶縁膜を介して上下に配置される。通常、下部電極は板形状で、上部電極は隙間部と枝電極部を有するスリット形状、または櫛歯形状をしている。

40

【0006】

FFS 方式では、画素電極は、下部電極でも上部電極でもどちら側の構成も可能である。FFS 方式は、上部電極と下部電極間で、フリンジ電界により液晶を駆動するようにしているため、上部電極の枝電極部上の液晶も駆動して表示に寄与することができる。これにより、画素電極および対向電極の部分は殆ど表示に寄与しない IPS 方式よりも光透過率が向上する利点がある。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開平 11 - 202356 号公報 (例えば、図 19 ~ 図 21)

50

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、従来の F F S 方式では、アレイ基板と液晶の界面に形成される配向膜を除いて、下部電極は絶縁膜で覆われるが、上部電極は絶縁膜で覆われていないという電極構成に非対称性があった。このため、絶縁膜で覆われた下部電極に残留電荷が生じやすく、この影響として、表示に残像が生じる現象である焼き付きが発生しやすいという問題を有していた。

【0009】

特に、下部電極が画素電極の場合、下部電極は、画素毎にスイッチング素子の T F T で分離されており、T F T が O F F 状態では、電氣的にフローティング（浮遊）状態になる。そして、下部電極は絶縁膜で覆われているために、残留電荷が残りやすかった。このため、下部電極が全画素共通の基準電位の対向電極で、上部電極が画素電極の構成と比較して、焼き付きが発生しやすいという問題があった。

【0010】

本発明は、上記のような問題点を解決するためになされたものであり、特に、下部電極が画素電極で、上部電極が対向電極の F F S 方式のアレイ基板、および液晶表示装置において、焼き付きの発生を抑制できる構成を得ることを目的としている。

【課題を解決するための手段】

【0011】

本発明のアレイ基板は、走査配線と、これに交差して形成される信号配線とによって規定される複数の画素がマトリクス状に配置された表示領域と、画素は、スイッチング素子と、このスイッチング素子に接続された画素電極の下部電極と、この上層に絶縁膜を介して配置された対向電極の上部電極とを備え、上部電極が配置されない光透過しない領域において、下部電極と同一電位の導電パターン上の絶縁膜にコンタクトホールが設けられ、絶縁膜が除去されており、当該コンタクトホールは、基準電位の共通配線上に設けられているものである。

【発明の効果】

【0012】

本発明によれば、焼き付きの発生を抑制できる構成の F F S 方式のアレイ基板、および液晶表示装置を得ることができる。

【図面の簡単な説明】

【0013】

【図1】実施の形態1に係るアレイ基板、および液晶表示装置の模式図を示す平面図である。

【図2】実施の形態1に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。

【図3】図2の A - A 線における液晶表示装置の断面図である。

【図4】実施の形態2に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。

【図5】図4の B - B 断面図である。

【図6】実施の形態3に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。

【図7】図6の C - C 断面図である。

【図8】実施の形態4に係るアレイ基板の画素を拡大して示す平面図である。

【図9】図8の D - D 断面図である。

【図10】実施の形態5に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。

【図11】図10の E - E 断面図である。

【図12】実施の形態6に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図で

10

20

30

40

50

ある。

【図 1 3】図 1 2 の F - F 断面図である。

【発明を実施するための形態】

【0014】

以下、本発明のアレイ基板、および液晶表示装置についての実施の形態を図面に基づいて説明する。なお、以下の実施の形態を説明するための各図において、同一符号は、同一または相当部分を示しているのので、適宜、重複する説明は省略する。

【0015】

実施の形態 1 .

はじめに、本発明のアレイ基板、および液晶表示装置の構成を簡単に説明する。図 1 は、実施の形態 1 に係るアレイ基板、および液晶表示装置を模式的に示す平面図である。

【0016】

液晶表示装置 100 は、表示領域 50 に複数の画素 30 がマトリクス状に配置されて構成される。そして、画素 30 を構成する走査配線、信号配線、TFT、および画素電極等（図示せず）が形成されたアレイ基板 10 と、アレイ基板 10 と液晶を介して対向配置され、カラーフィルタやブラックマトリクス等が形成された対向基板 20 とを貼り合わせた液晶セル等から構成される。液晶セルの両面に偏光板や位相板（図示せず）が貼り付けられ、バックライト、外部回路や筐体（図示せず）等が取り付けられて、液晶表示装置 100 が完成する。

【0017】

アレイ基板 10 は、ガラス、プラスチック等の絶縁性基板 1 上において、表示領域 50 と、表示領域 50 の外周の額縁領域 55 に分けられる。額縁領域 55 には、COG (Chip On Glass) 実装技術により、走査配線駆動回路 60 および信号配線駆動回路 65 が実装されている。また、絶縁性基板 1 の端部には、走査配線駆動回路 60 および信号配線駆動回路 65 に、制御信号、クロック、画像データ等を供給する外部回路と接続するフレキシブル基板 70、75 用の複数の端子（図示せず）が設けられている。

【0018】

なお、図 1 では、表示領域 50 から、走査配線駆動回路 60 または信号配線駆動回路 65 の出力部へ延びる走査配線または信号配線の引き出し配線や、走査配線駆動回路 60 および信号配線駆動回路 65 の入力部と、絶縁性基板 1 の端部に設けられたフレキシブル基板 70、75 用の複数の端子とを接続する入力配線が多数本あるが、図の簡略化のためにこれらの多数の配線は図示していない。

【0019】

小型パネルでは、配線の総本数が比較的少ないので、走査配線用駆動回路 60 および信号配線用駆動回路 70 を一体化した駆動回路が使用されることが多い。同時に、フレキシブル基板 70、75 も、まとめて 1 枚にすることが多い。

【0020】

図 2 は、実施の形態 1 に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。図 3 は、実施の形態 1 に係る液晶表示装置の図 2 の A - A 断面図である。

【0021】

図 2、3 に示すように、ガラス、プラスチック等の絶縁性基板 1 上に、Al、Cr、Mo、Ti、Ta、W、Ni、Cu、Au、Ag 等の金属や、これらの合金または積層膜からなる走査配線 2 と、これに並行して基準電位を対向電極に供給する共通配線 21 が同一層で形成されている。

【0022】

次に、この上層の全面に酸化膜、窒化膜等からなるゲート絶縁膜 3 が形成されている。走査配線 2 上の一部分のゲート絶縁膜 3 上には、半導体膜 4 と、これに不純物が注入されたオーミックコンタクト膜 41 が積層して形成されている。

【0023】

次に、走査配線 2 と交差するように、Al、Cr、Mo、Ti、Ta、W、Ni、Cu

10

20

30

40

50

、Au、Ag等の金属や、これらの合金または積層膜からなる信号配線5が、ゲート絶縁膜3上に形成されている。また、信号配線5と同一層からなるソース電極51とドレイン電極52が、オーミックコンタクト膜41と重なるように形成されている。ソース電極51とドレイン電極52から露出するオーミックコンタクト膜41は除去される。ソース電極51とドレイン電極52との間のオーミックコンタクト膜41は除去されて、TFTのチャンネル部となる。このチャンネル部の下層の走査配線2は、ゲート電極としても作用し、スイッチング素子であるTFTが構成されている。

【0024】

なお、半導体膜4およびオーミックコンタクト膜41は、TFT領域だけでなく、信号配線5に沿って延在して配置される場合もある。

10

【0025】

板形状の下部電極6は画素電極であり、ITO(Indium Tin Oxide)等の酸化透明導電膜からなる。反射型では、Al、Ag、Pt等の金属や、これらの合金または積層膜で、表面が高反射率の導電膜からなる場合もある。下部電極6の一部分は、ドレイン電極52の上に積層して形成され、電氣的に接続されている。なお、下部電極6の一部分を、ドレイン電極52の下層に形成して、電氣的に接続することもできる。

【0026】

信号配線5、TFT、および下部電極6の上層には、酸化膜、窒化膜等、または有機樹脂の絶縁膜や、これらの積層膜からなる保護膜7が形成されている。

【0027】

20

保護膜7上には、ITO等の酸化透明導電膜からなる上部電極8が形成されている。図2に示すように、上部電極8は、酸化透明導電膜がない複数の隙間部81と、電氣的に共通に接続されている複数の枝電極部82とを有する。実施の形態1では、上部電極8は、隙間部81が酸化透明導電膜で囲まれているスリット形状である。この枝電極部82と、隙間部81の保護膜7を介して露出する下部電極6との間にフリンジ電界を発生させて液晶15を駆動する。

【0028】

上部電極8は、コンタクトホール9を介して、共通配線21に接続されており、基準電位の対向電極となっている。酸化透明導電膜からなる上部電極8は、比抵抗が金属膜からなる走査配線2や信号配線5に比較して大きいので、画素30毎に、走査配線2と同一層からなる共通配線21に接続することで、低抵抗化を図っている。なお、上部電極8が所定の基準電位になる構成であれば、画素30毎に、コンタクトホール9を設ける必要は必ずしもない。

30

【0029】

図示していないが、COG用の端子部やフレキシブル基板用の端子部等の領域には、端子電極が設けられており、各端子部には、走査配線2または信号配線5と電氣的接続をとるために、ゲート絶縁膜3または保護膜7にコンタクトホールが形成されている。通常、耐腐食性を向上するために、上部電極8と同一層からなる酸化透明導電膜が、端子電極の表面に形成されている。

【0030】

40

また、各画素30の保護膜7には、コンタクトホール9以外に、光透過しない領域において、画素電極の下部電極6と同一電位の導電パターン55上の保護膜7が除去された第2コンタクトホール12が形成されている。また、第2コンタクトホール12近傍の領域には、上部電極8は形成されていない。

【0031】

実施の形態1では、上または下に隣接する画素30の走査配線2上まで延在する画素電極の下部電極6の一部分の領域上に、コンタクトホール12が形成されている。コンタクトホール12の領域の下部電極6は、上部電極8と同じITO等の酸化透明導電膜の場合、上部電極8のエッチング工程でなくなる場合がある。これを回避するために、コンタクトホール12の領域の下部電極6は、信号配線5と同一層からなり、下部電極6と同一電

50

位となる導電パターン 55 上に積層して形成されている。この構成により、コンタクトホール 12 の領域の下部電極 6 が、上部電極 8 のエッチング工程でなくなっても、下部電極 6 と同一電位の導電パターン 55 を、コンタクトホール 12 に露出することができる。

【0032】

なお、コンタクトホール 12 の領域の下部電極 6 が、上部電極 8 のエッチング工程で、なくならない場合は、コンタクトホール 12 の領域の下部電極 6 の一部分を、下部電極 6 と同一電位の導電パターンとすることができ、信号配線 5 と同一層からなる導電パターン 55 を下層に形成しなくてもよい。

【0033】

第 2 コンタクトホール 12 は、表示に寄与しない走査配線 2 の領域にあるので、第 2 コンタクトホール 12 を設けることによる光透過率の低下はない。

10

【0034】

また、実施の形態 1 では、対向電極の上部電極 8 を、信号配線 5（上下）方向および走査配線 2（左右）方向に、隣接する画素 30 の上部電極 8 と、それぞれ上部電極 8 と同一層で繋がった接続部 85、86 で接続している。接続部 85、86 で走査配線 2 および信号配線 5 の一部分を覆い、格子（メッシュ）形状とすることで、上部電極 8 のさらなる低抵抗化を図っている。

【0035】

この格子形状により、共通配線 21 に断線が生じて、上部電極 8 にコンタクトホール 9 を介して共通配線 21 から基準電位が供給されなくなっても、隣接する画素 30 の上部電極 8 から接続部 85、86 を通じて、上部電極 8 に基準電位が供給されるので、表示不良にはならず、歩留まりの向上を図ることができる。

20

【0036】

また、接続部 85、86 が、走査配線 2 または信号配線 5 上を覆うことにより、走査配線 2 または信号配線 5 から液晶 15 への漏れ電界を遮蔽することができるので、走査配線 2 または信号配線 5 近傍に発生しやすい漏れ電界の影響による表示不良を抑制することができる。

【0037】

走査配線 2 または信号配線 5 の漏れ電界を有効に遮蔽するためには、走査配線 2 または信号配線 5 を覆う接続部 85、86 等の導電膜の幅は、走査配線 2 または信号配線 5 の端より片側 2 μm 以上大きい形状とすることが望ましい。

30

【0038】

また、接続部 85、86 は、遮光膜の機能も有するので、通常、絶縁性基板 11 上にカラーフィルタ 13、ブラックマトリクス等が形成される対向基板 20 において、走査配線 2 または信号配線 5 に沿ったブラックマトリクスをなくすこともできる。

【0039】

また、接続部 85、86 は、信号配線 5（上下）方向または走査配線 2（左右）方向の一方だけとして、隣接する画素 30 の上部電極 8 と接続する構成でもよい。

【0040】

アレイ基板 10 と対向基板 20 は、液晶セルの組み立て工程において、それぞれにポリイミド等の有機樹脂からなる配向膜 14 を塗布形成した後、ラビング、光配向等の手法を用いて、液晶 15 の液晶分子が所定の方

40

【0041】

向に動くように配向処理を施す。
アレイ基板 10 と対向基板 20 とを、互いの配向膜 14 が対向するように重ね合わせ、スペーサ材で数 μm 程度の間隙を空けて、表示領域 50 の周辺部に形成されるシール材によって貼り合わせる。このシール材の内側の隙間に、液晶 15 が封入される。

【0042】

このようにして形成された液晶セルの両面に偏光板や位相板を貼り付けた後、走査線用駆動回路 60、信号線用駆動回路 65 やフレキシブル基板 70、75 が実装される。液晶セルに各種電気信号を供給するための外部回路や、透過型では液晶セルの背面にバックラ

50

イトユニットを取り付け、筐体に収納することにより液晶表示装置 100 が完成する。

【0043】

次に、本発明の作用、効果について詳述する。実施の形態 1 では、アレイ基板 10 において、第 2 コンタクトホール 12 の領域では、画素電極の下部電極 6 と同一電位である導電パターン 55 が表面に露出した構成を得ることができる。また、対向電極の上部電極 8 が、表面に露出する。

【0044】

図 3 より、液晶表示装置 100 は、アレイ基板 10 および対向基板 20 の隙間に液晶 15 封入され、アレイ基板 10 および対向基板 20 と、液晶 15 の各界面には、配向膜 14 が形成されている。

10

【0045】

液晶表示装置 100 では、表示に寄与する画素電極の下部電極 6 と、対向電極の下部電極 8 との電氣的経路（電界の経路）は、矢印 L で示すように、第 2 コンタクトホール 12 以外の領域では、下部電極 6 から上部電極 8 の間に、保護膜 7、配向膜 14、液晶 15、配向膜 14 がある。

【0046】

このように、下部電極 6 から液晶 15 までの電氣的経路間には、保護膜 7、配向膜 14 がある。一方、上部電極 8 から液晶 15 までの電氣的経路間には、配向膜 14 だけである。つまり、下部電極 6 と上部電極 8 は、液晶 15 までの電氣的経路に保護膜 7 の有無の非対称性が存在する。

20

【0047】

通常、液晶表示装置 100 の駆動方式は、1 フレーム毎に極性反転を行う交流駆動である。しかし、電氣的経路に非対称性が存在すると、下部電極 6 と上部電極 8 とで電荷の移動に差が生じ、その結果、保護膜 7 の下層にある下部電極 6 の方に、残留電荷が生じやすくなる。

【0048】

一方、実施の形態 1 のように、表示に寄与しない光透過しない領域に、第 2 コンタクトホール 12 を設けた場合、この領域では、下部電極 6 と同一電位の導電パターン 55 から液晶 15 までの電氣的経路間には、配向膜 14 だけである。

【0049】

下部電極 6 は導電膜であるので、下部電極 6 の残留電荷は、第 2 コンタクトホール 12 の領域の導電パターン 55 に容易に移動できる。つまり、第 2 コンタクトホール 12 の領域は、液晶 15 までの電氣的経路に、上部電極 8 と同じ対称性を有する領域となる。したがって、下部電極 6 と上部電極 8 とで、残留電荷に差が生じにくくなる。

30

【0050】

なお、下部電極 6 の第 2 コンタクトホール 12 の領域、および上部電極 8 上には、有機樹脂からなる配向膜 14 が存在するが、配向膜 14 の抵抗は、通常、膜厚が 50 ~ 200 nm 程度と薄く、保護膜 7 の絶縁性よりも小さいので、下部電極 6 および上部電極 8 の残留電荷は、配向膜 14 を経由して液晶 15 へ移動しやすい状態にある。その結果、下部電極 6 および上部電極 8 に、残留電荷が生じにくくなる。

40

【0051】

以上のように、実施の形態 1 では、上部電極 8 が形成されない光透過しない領域において、保護膜 7 に下部電極 6 と同一電位の導電パターン 55 が露出する第 2 コンタクトホール 12 を設けたアレイ基板 10 により、画素電極が下部電極 6 の構成の FFS 方式の液晶表示装置 100 において課題であった下部電極 6 の残留電荷を抑制でき、焼き付きを軽減することができる。

【0052】

また、第 2 コンタクトホール 12 を、走査配線 2 上に設けることで、第 2 コンタクトホール 12 を設けることによる光透過率の低下を防止できる。

【0053】

50

実施の形態 2 .

図 4 は、実施の形態 2 に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。図 5 は、図 4 の B - B 断面図である。

【 0 0 5 4 】

なお、実施の形態 2 以降の液晶表示装置 1 0 0 の断面図においては、配向膜 1 4、液晶 1 5、および対向基板 2 0 の構成は、実施の形態 1 と同様であるので、アレイ基板 1 0 だけの断面図を示す。

【 0 0 5 5 】

実施の形態 2 は、第 2 コンタクトホール 1 2 を、走査配線 2 と同一層からなる共通配線 2 1 上において、信号配線 5 と同一層からなる下部電極 6 と同一電位の導電パターン 5 5 上に設けたものである。また、第 2 コンタクトホール 1 2 近傍の領域には、上部電極 8 は形成されていない。

【 0 0 5 6 】

なお、コンタクトホール 1 2 の領域の下部電極 6 が、上部電極 8 のエッチング工程で、なくならない場合は、コンタクトホール 1 2 の領域の下部電極 6 の一部分を、下部電極 6 と同一電位の導電パターンとすることができ、信号配線 5 と同一層からなる導電パターン 5 5 を下層に形成しなくてもよい。

【 0 0 5 7 】

また、実施の形態 1 のように、上または下に隣接する画素 3 0 の走査配線 2 と、画素電極の下部電極 6 とを重ねる必要はない。したがって、走査配線 2 と下部電極 6 を重ねることによる走査配線 2 の容量の増加がなく、走査配線 2 の駆動負荷の増大を抑制することができる。

【 0 0 5 8 】

実施の形態 2 は、保護膜 7 に画素電極の下部電極 6 と同一電位の導電パターン 5 5 が露出する第 2 コンタクトホール 1 2 を、走査配線 2 と同一層からなる共通配線 2 1 上に設けることにより、実施の形態 1 と同様に、下部電極 6 の残留電荷を抑制でき、焼き付きを軽減することができる。

【 0 0 5 9 】

また、共通配線 2 1 も表示に寄与しない光透過しない領域であるため、実施の形態 1 と同様に、第 2 コンタクトホール 1 2 を設けることによる光透過率の低下を防止できる。

【 0 0 6 0 】

実施の形態 3 .

図 6 は、実施の形態 3 に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。図 7 は、図 6 の C - C 断面図である。

【 0 0 6 1 】

実施の形態 3 は、第 2 コンタクトホール 1 2 を、ドレイン電極 5 2 の領域に設けたものである。図 6 では、第 2 コンタクトホール 1 2 は、下部電極 6 と同一電位の導電パターンとしてドレイン電極 5 2 が露出するようになっている。なお、コンタクトホール 1 2 の領域の下部電極 6 が、上部電極 8 のエッチング工程で、なくならない場合は、ドレイン電極 5 2 上の下部電極 6 を、下部電極 6 と同一電位の導電パターンとすることができる。

【 0 0 6 2 】

実施の形態 3 は、保護膜 7 に画素電極の下部電極 6 と同一電位の導電パターンが露出する第 2 コンタクトホール 1 2 を、ドレイン電極 5 2 上に設けることにより、実施の形態 1、2 と同様に、下部電極 6 の残留電荷を抑制でき、焼き付きを軽減することができる。

【 0 0 6 3 】

また、ドレイン電極 5 2 は、表示に寄与しない光透過しない領域であるため、実施の形態 1、2 と同様に、第 2 コンタクトホール 1 2 を設けることによる光透過率の低下を防止できる。

【 0 0 6 4 】

実施の形態 4 .

図 8 は、実施の形態 3 に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。図 9 は、図 8 の D - D 断面図である。

【 0 0 6 5 】

実施の形態 4 は、実施の形態 1 を改良したものである。上または下に隣接する画素 3 0 の走査配線 2 上の第 2 コンタクトホール 1 2 の領域近傍に、電極パターン 8 8 を配置して、下部電極 6 と同一電位の導電パターン（ここでは下部電極 6 の一部分）と接続したものである。電極パターン 8 8 は画素電極の下部電極 6 と同一電位になる。この電極パターン 8 8 は、上部電極 8 と同一層で形成されているが、上部電極 8 とは電氣的に分離している。

【 0 0 6 6 】

実施の形態 4 は、第 2 コンタクトホール 1 2 を、上部電極 8 と同一層からなる電極パターン 8 8 で覆っているため、上部電極 8 のエッチング工程で、第 2 コンタクトホール 1 2 領域の下部電極 6 は保護される。したがって、下部電極 6 と同一電位の導電パターンは、下部電極 6 の一部分とすることができるので、実施の形態 1 のように、下部電極 6 の下層に下部電極 6 と同一電位の導電パターン 5 5 を設けなくてもよい。

【 0 0 6 7 】

このように、第 2 コンタクトホール 1 2 の領域近傍に、電極パターン 8 8 を設けることで、電極パターン 8 8 の表面積を、下部電極 6 と同一電位の導電パターンが露出する第 2 コンタクトホール 1 2 の穴面積よりも大きくすることができる。よって、下部電極 6 と同一電位の電極パターン 8 8 と液晶 1 5 との界面の面積が大きくなるので、実施の形態 1

【 0 0 6 8 】

また、液晶 1 5 との界面に近い上部電極 8 と同一面に電極パターン 8 8 が形成されるので、第 2 コンタクトホール 1 2 内で、配向膜 1 4 の膜厚が、上部電極 8 上よりも大きくなったとしても、電極パターン 8 8 は上部電極 8 と同一面に露出しているため、下部電極 6 の残留電荷を効率的に逃がすことができる。したがって、実施の形態 1 よりも、焼き付きを軽減することが、さらに効果的になる。

【 0 0 6 9 】

実施の形態 5 .

図 1 0 は、実施の形態 5 に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。図 1 1 は、図 1 0 の E - E 断面図である。

【 0 0 7 0 】

実施の形態 5 は、実施の形態 2 を改良したものである。走査配線 2 と並行して配置された基準電位の共通配線 2 1 上の第 2 コンタクトホール 1 2 の領域近傍に、電極パターン 8 8 を配置して、下部電極 6 と同一電位の導電パターン（ここでは下部電極 6 の一部分）と接続したものである。電極パターン 8 8 は画素電極の下部電極 6 と同一電位になる。この電極パターン 8 8 は、上部電極 8 と同一層で形成されているが、上部電極 8 とは電氣的に分離している。

【 0 0 7 1 】

実施の形態 5 は、第 2 コンタクトホール 1 2 を、上部電極 8 と同一層からなる電極パターン 8 8 で覆っているため、上部電極 8 のエッチング工程で、第 2 コンタクトホール 1 2 領域の下部電極 6 は保護される。したがって、下部電極 6 と同一電位の導電パターンは、下部電極 6 の一部分とすることができるので、実施の形態 2 のように、下部電極 6 の下層に下部電極 6 と同一電位の導電パターン 5 5 を設けなくてもよい。

【 0 0 7 2 】

このように、第 2 コンタクトホール 1 2 の領域近傍に、電極パターン 8 8 を設けることで、電極パターン 8 8 の表面積を、下部電極 6 が露出する第 2 コンタクトホール 1 2 の穴面積よりも大きくすることができる。よって、下部電極 6 と同一電位の電極パターン 8 8 と液晶 1 5 との界面の面積が大きくなるので、実施の形態 2 よりも、下部電極 6 の残留電荷が液晶 1 5 へ移動しやすくなる。

【 0 0 7 3 】

また、液晶 1 5 との界面に近い上部電極 8 と同一面に電極パターン 8 8 が形成されるので、第 2 コンタクトホール 1 2 内で、配向膜 1 4 の膜厚が、上部電極 8 上よりも大きくなったとしても、電極パターン 8 8 は上部電極 8 と同一面に露出しているため、下部電極 6 の残留電荷を効率的に逃がすことができる。したがって、実施の形態 2 よりも、焼き付きを軽減することが、さらに効果的になる。

【 0 0 7 4 】

実施の形態 6 .

図 1 2 は、実施の形態 6 に係る液晶表示装置のアレイ基板の画素を拡大して示す平面図である。図 1 3 は、図 1 2 の F - F 断面図である。

10

【 0 0 7 5 】

実施の形態 6 は、実施の形態 3 を改良したものである。第 2 コンタクトホール 1 2 をドレイン電極 5 2 上に設けると共に、第 2 コンタクトホール 1 2 の領域近傍に、電極パターン 8 8 を配置して、ドレイン電極 5 2 上に積層して形成された下部電極 6 の一部分と接続したものである。電極パターン 8 8 は画素電極の下部電極 6 と同一電位になる。この電極パターン 8 8 は、上部電極 8 と同一層で形成されているが、上部電極 8 とは電氣的に分離している。

【 0 0 7 6 】

実施の形態 6 は、第 2 コンタクトホール 1 2 を、上部電極 8 と同一層からなる電極パターン 8 8 で覆っているため、上部電極 8 のエッチング工程で、第 2 コンタクトホール 1 2 領域の下部電極 6 は保護される。第 2 コンタクトホール 1 2 に露出する下部電極 6 と同一電位の導電パターンは、下部電極 6 またはドレイン電極 5 2 の一部分のどちらでもよい。

20

【 0 0 7 7 】

このように、第 2 コンタクトホール 1 2 の領域近傍に、電極パターン 8 8 を設けることで、電極パターン 8 8 の表面積を、下部電極 6 が露出する第 2 コンタクトホール 1 2 の穴面積よりも大きくすることができる。よって、下部電極 6 と同一電位の電極パターン 8 8 と液晶 1 5 との界面の面積が大きくなるので、実施の形態 3 よりも、下部電極 6 の残留電荷が液晶 1 5 へ移動しやすくなる。

【 0 0 7 8 】

また、液晶 1 5 との界面に近い上部電極 8 と同一面に電極パターン 8 8 が形成されるので、第 2 コンタクトホール 1 2 内で、配向膜 1 4 の膜厚が、上部電極 8 上よりも大きくなったとしても、電極パターン 8 8 は上部電極 8 と同一面に露出しているため、下部電極 6 の残留電荷を効率的に逃がすことができる。したがって、実施の形態 3 よりも、焼き付きを軽減することが、さらに効果的になる。

30

【 0 0 7 9 】

以上の実施の形態では、T F T はチャネルエッチ逆スタガ型構造の場合を示したが、エッチストップ逆スタガ型、トップゲート型等の T F T を使用した F F S 方式のアレイ基板、および液晶表示装置にも適用できる。

【 0 0 8 0 】

また、以上の実施の形態では、駆動回路が C O G 実装の場合を示したが、T A B (T a p e A u t o m a t e d B o n d i n g) 実装や、アレイ基板上に駆動回路を T F T で形成した駆動回路内蔵の F F S 方式のアレイ基板、および液晶表示装置にも適用できる。

40

【 符号の説明 】

【 0 0 8 1 】

- 1 絶縁性基板
- 2 走査配線
- 3 ゲート絶縁膜
- 4 半導体膜
- 5 信号配線

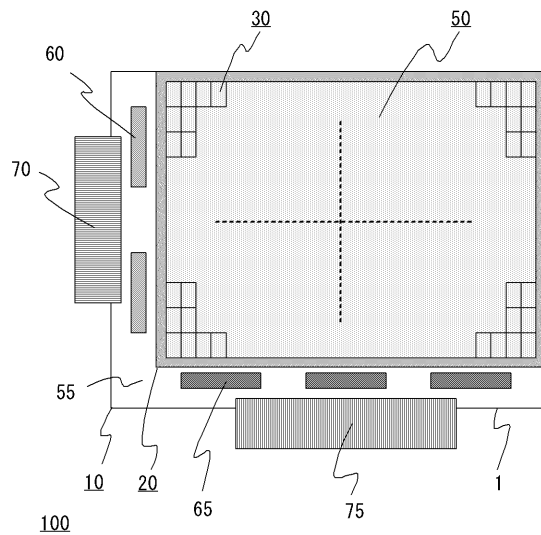
50

- 6 下部電極
- 7 保護膜
- 8 上部電極
- 9 コンタクトホール
- 10 アレイ基板
- 11 絶縁性基板
- 12 第2コンタクトホール
- 13 カラーフィルタ
- 14 配向膜
- 15 液晶
- 20 対向基板
- 21 共通配線
- 30 画素
- 41 オーミックコンタクト膜
- 50 表示領域
- 55 導電パターン
- 81 隙間部
- 82 枝電極部
- 85、86 接続部
- 88 電極パターン
- 100 液晶表示装置

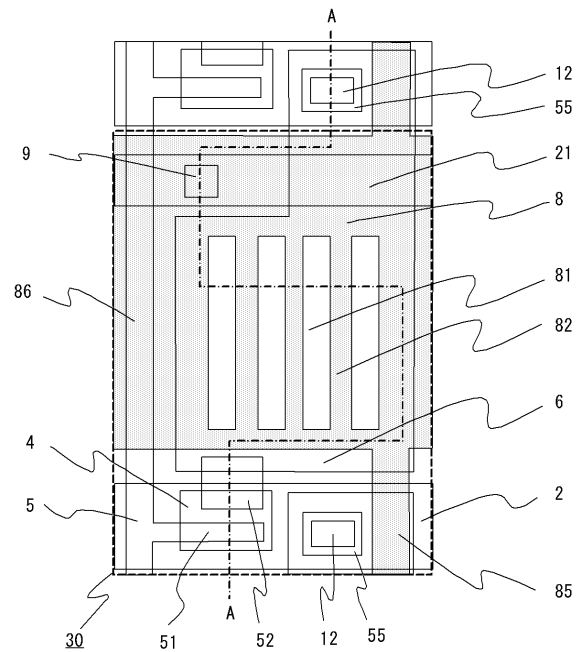
10

20

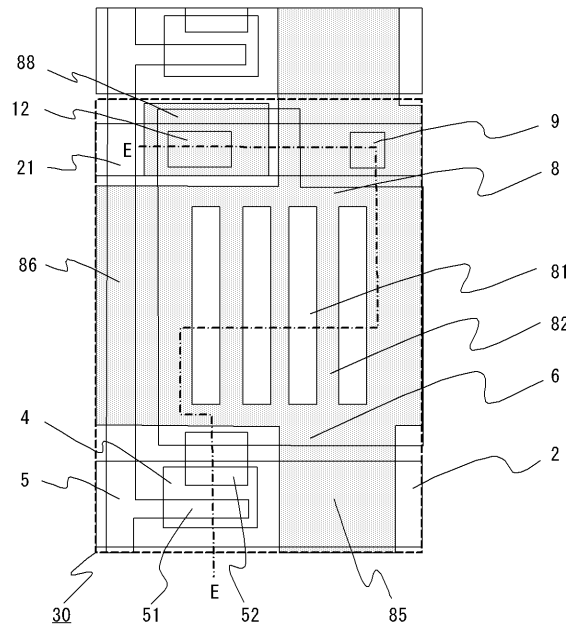
【図1】



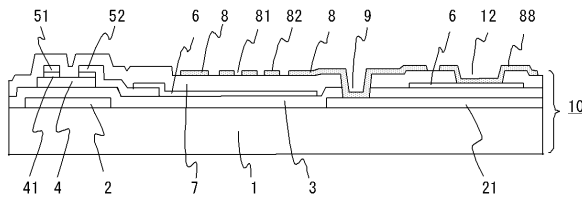
【図2】



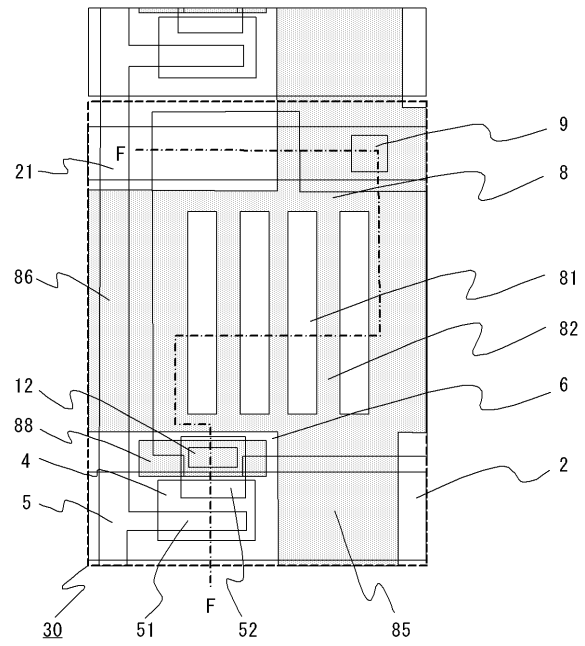
【図10】



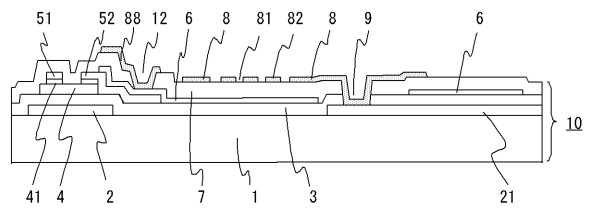
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 大土井 雄三
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 磯野 光司

(56)参考文献 特開2009-128397(JP,A)
特開2008-180928(JP,A)
特開平09-054342(JP,A)

(58)調査した分野(Int.Cl., DB名)
G02F 1/1343
G02F 1/1368

专利名称(译)	阵列基板和液晶显示装置		
公开(公告)号	JP5585127B2	公开(公告)日	2014-09-10
申请号	JP2010050537	申请日	2010-03-08
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	永野慎吾 大土井雄三		
发明人	永野 慎吾 大土井 雄三		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/1333		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA44 2H092/JB05 2H092/JB13 2H092/JB16 2H092/JB64 2H092/JB66 2H092/JB68 2H092/NA25 2H192/AA24 2H192/BB12 2H192/BB84 2H192/BC32 2H192/BC35 2H192/CB05 2H192/CC04 2H192/EA04 2H192/EA17 2H192/FB22 2H192/GA03 2H192/JA33		
代理人(译)	稻叶忠彦 村上佳菜子 松井茂明		
其他公开文献	JP2011186138A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决在传统FFS系统的液晶显示装置的配置中容易发生由于残余电荷的影响导致的图像残留的问题，其中下电极是像素电极。解决方案：液晶显示装置100的像素30配备有：扫描配线2;信号线5;连接到TFT的漏电极51的下电极6和通过保护膜7布置在上层中的上电极8.在没有形成上电极8并且不透光的区域中，第二触点孔12设置在保护膜7上的导电图案55上，导电图案55具有与下电极6相同的电位，其中保护膜7被去除。

【图 2】

