

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5457286号
(P5457286)

(45) 発行日 平成26年4月2日 (2014.4.2)

(24) 登録日 平成26年1月17日 (2014.1.17)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

G09G 3/36
G09G 3/20 621A
G09G 3/20 612L
G09G 3/20 623P
G09G 3/20 623H

請求項の数 15 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2010-143187 (P2010-143187)
(22) 出願日 平成22年6月23日 (2010.6.23)
(65) 公開番号 特開2012-8286 (P2012-8286A)
(43) 公開日 平成24年1月12日 (2012.1.12)
審査請求日 平成23年6月24日 (2011.6.24)

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番22号
(74) 代理人 100078282
弁理士 山本 秀策
(74) 代理人 100062409
弁理士 安村 高明
(74) 代理人 100107489
弁理士 大塩 竹志
(72) 発明者 鈴木 貴光
大阪府大阪市阿倍野区長池町2番22号
シャープ株式会社内
(72) 発明者 小林 勝敏
大阪府大阪市阿倍野区長池町2番22号
シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 駆動回路、液晶表示装置、および電子情報機器

(57) 【特許請求の範囲】

【請求項 1】

表示装置を表示データおよび制御信号に基づいて駆動する駆動回路であって、
入力された制御信号を遅延する第1遅延回路と、
入力側に該第1遅延回路の出力側が接続され、出力側に該表示装置の複数のデータ信号
ラインのそれぞれが接続され、該第1遅延回路で遅延された該制御信号が入力されるタイ
ミングで、該入力側とは別の入力側から入力された表示データを該表示装置の複数のデー
タ信号ラインにそれぞれ出力して該複数のデータ信号ラインをロードするデータロード部
とを備え、

該第1遅延回路は、該制御信号を、該表示データが該表示装置にロードされるロードタ
イミングが、一定周期により決まる固定タイミングに対して変動するよう遅延させ、

該入力された制御信号は、該一定周期で該固定タイミングを生成する信号であり、

該第1遅延回路は、該一定周期の整数倍の期間が経過する度に、該ロードタイミングを
該固定タイミングから一定の遅延時間だけ遅らせる該制御信号の遅延処理を、該ロードタ
イミングの遅延時間の制限内で繰り返すものであり、

該複数のデータ信号ラインのうちの所定数のデータ信号ライン毎に該データロード部を
複数のグループに分け、該データロード部の各グループの入力側にそれぞれ該第1遅延回
路を介して該各グループに対応する遅延時間固定の第2遅延回路が順次直列に更に備えら
れている、駆動回路。

【請求項 2】

10

20

請求項 1 に記載の駆動回路において、
前記表示データおよび前記制御信号は、前記表示装置に供給される映像信号に含まれており、

前記一定周期は該映像信号の水平同期期間に基づいたものである、駆動回路。

【請求項 3】

請求項 1 に記載の駆動回路において、

前記遅延回路は、

前記入力された制御信号が生成する固定タイミングをカウントするカウント回路と、

該カウント回路のカウント出力をデコードするデコーダとを備え、

該デコーダの出力に基づいて、前記制御信号の遅延量を決定するものである、駆動回路

10

【請求項 4】

請求項 3 に記載の駆動回路において、

前記遅延回路は、

直列接続の複数の遅延素子と、

前記デコーダの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう信号経路を切り替える複数のスイッチとを備えている、駆動回路。

【請求項 5】

請求項 1 に記載の駆動回路において、

前記遅延回路は、

前記入力された制御信号により生成される固定タイミングに基づいてシフト動作するシフトレジスタと、

直列接続の複数の遅延素子と、

該シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチとを備えている、駆動回路。

20

【請求項 6】

請求項 2 に記載の駆動回路において、

前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバと、

前記液晶表示パネルの複数の走査ラインを駆動する走査ドライバと、

入力された映像信号に基づいて、該データドライバに供給する前記表示データを生成するとともに、前記制御信号として、該データドライバに供給するデータ制御信号、および前記走査ドライバに供給する走査制御信号を生成するタイミングコントローラとを備え、

前記遅延回路は、該データドライバを構成するものであり、

該遅延回路は、該データドライバに入力された前記制御信号を、該データドライバから該液晶表示パネルのデータラインに前記表示データが出力されるタイミングが、水平同期信号に対して決まる固定タイミングに対して 1 水平走査ライン毎に変化するよう遅延させるものである、駆動回路。

30

40

【請求項 7】

請求項 2 に記載の駆動回路において、

前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバと、

前記液晶表示パネルの複数の走査ラインを駆動する走査ドライバと、

入力された映像信号に基づいて、該データドライバに供給する前記表示データを生成するとともに、前記制御信号として、該データドライバに供給するデータ制御信号、および前記走査ドライバに供給する走査制御信号を生成するタイミングコントローラとを備え、

前記遅延回路は、該タイミングコントローラを構成するものであり、

該遅延回路は、該タイミングコントローラで該映像信号に基づいて生成された前記制御

50

信号を、該データドライバから該液晶表示パネルのデータラインに前記表示データが出力されるタイミングが、水平同期信号に対して決まる固定タイミングに対して1水平走査ライン毎に変化するように遅延させるものである、駆動回路。

【請求項8】

請求項1に記載の駆動回路において、

前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバを備え、

前記遅延回路は、該データドライバを構成し、該データドライバに入力された制御信号を遅延するものであり、

該データドライバは、

10

該液晶表示パネルのデータライン毎に設けられ、対応するデータラインを駆動する、複数のグループにグループ分けされた複数のドライバ回路と、

同一のグループのドライバ回路が、同一タイミングで前記表示データを該データラインに供給し、かつ、異なるグループのドライバ回路が、異なるタイミングで前記表示データを該データラインに供給するように、各グループのドライバ回路に供給される制御信号を遅延する信号遅延部とを備えている、駆動回路。

【請求項9】

請求項8に記載の駆動回路において、

前記信号遅延部は、複数段に直列に接続された複数の遅延部を備え、初段の遅延部は、前記遅延回路から出力される制御信号を遅延するものであり、2段目以降の遅延部は、前段の遅延部から出力される制御信号を遅延するものである、駆動回路。

20

【請求項10】

請求項9に記載の駆動回路において、

前記信号遅延部を構成する遅延部は、それぞれ入力される制御信号を所定量だけ遅延するものである、駆動回路。

【請求項11】

請求項9に記載の駆動回路において、

前記複数の遅延部は、

前記入力された制御信号が生成する固定周期のタイミングをカウントするカウント回路と、

30

該カウント回路のカウント出力をデコードするデコーダとを備え、

該デコーダの出力に基づいて、前記制御信号の遅延量を決定するものである、駆動回路。

【請求項12】

請求項11に記載の駆動回路において、

前記複数の遅延部は、

直列接続の複数の遅延素子と、

前記デコーダの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう信号経路を切り替える複数のスイッチとを備えている、駆動回路。

40

【請求項13】

請求項9に記載の駆動回路において、

前記遅延回路は、

前記入力された制御信号により生成される固定周期のタイミングに基づいてシフト動作するシフトレジスタと、

直列接続の複数の遅延素子と、

該シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチとを備えている、駆動回路。

【請求項14】

50

液晶表示パネルを有し、映像信号に基づいて該液晶表示パネルに画像を表示する液晶表示装置であって、

該映像信号に基づいて該液晶表示パネルを駆動する駆動装置を備え、

該駆動装置は、請求項 1 ～ 13 のいずれかに記載の駆動回路を有する、液晶表示装置。

【請求項 15】

液晶表示装置を備えた電子情報機器であって、

該液晶表示装置は、請求項 14 に記載の液晶表示装置である、電子情報機器。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、駆動回路、液晶表示装置、および電子情報機器に関し、特に、液晶表示パネル等の表示パネルを駆動する駆動回路においてピーク電流を分散させるよう構成したもの、このような駆動回路を搭載した液晶表示装置、およびこのような液晶表示装置を含む電子情報機器に関するものである。

【背景技術】

【0002】

従来から、液晶表示装置等の平面表示装置は、液晶表示パネルなどの表示パネル、その表示パネルを駆動するドライバ、及びドライバを制御する制御回路とを備えている。

【0003】

20

ところで、近年、このような表示装置の大型化、高精細化、高速駆動化に伴い、表示パネルに表示データとして出力する表示信号（階調電圧）の出力周波数や、出力する表示信号の数も増大し、表示パネルの駆動用データドライバにおいては、データ出力時に発生する不要輻射が問題となってきた。

【0004】

以下、従来の表示パネルを駆動するデータドライバを挙げて具体的に説明する。

【0005】

図14は、従来のデータドライバの構成を説明するブロック図である。

【0006】

図14に示すデータドライバ901は、n本の信号出力端子911-1～911-nを有し、それぞれの出力端子から、p階調の表示データを示す表示信号を表示パネルのデータラインに出力可能なものである。

30

【0007】

つまり、このデータドライバ901は、外部からの信号を入力するための信号入力端子として、クロック入力端子902と、複数の階調データ入力端子903と、制御信号入力端子904と、基準電源端子905～909とを備えている。またデータドライバ901は、液晶表示パネルへの信号出力用として、n個の信号出力端子911-1～911-nを備えている。

【0008】

また、データドライバ901は、内部に設けられる回路として、基準電源補正回路921と、クロック信号CLKに基づいて動作するポインタ用シフトレジスタ923と、表示データをサンプルラッチするラッチ回路部924と、サンプルラッチされた表示データをホールドラッチするホールド回路部925と、ホールドラッチされた表示データをDA変換するD/Aコンバータ(Digital Analog Converter)部926と、DA変換された表示データを出力する出力バッファ部927とを備えている。

40

【0009】

ここで、ポインタ用シフトレジスタ回路923は、n段のシフトレジスタ923-1～923-nを有している。ラッチ回路部924は、n個のラッチ回路924-1～924-nを有している。ホールド回路部925は、n個のホールド回路925-1～925-nを有している。D/Aコンバータ部926は、n個のD/Aコンバータ回路926-1

50

～ 9 2 6 - n を有している。出力バッファ部 9 2 7 は、オペアンプにより構成される n 個の出力バッファ 9 2 7 - 1 ～ 9 2 7 - n を有している。

【 0 0 1 0 】

次に動作について説明する。

【 0 0 1 1 】

このような構成のデータドライバ 9 0 1 では、このドライバ 9 0 1 を制御する制御回路（図示せず）から表示データ DATA、データ制御信号 LOAD、およびクロック信号 CLK が入力されると、ポインタ用シフトレジスタ回路部 9 2 3 は、クロック入力端子 9 0 2 に入力されたクロック信号 CLK に応じて、ラッチ回路 9 2 4 - 1 ～ 9 2 4 - n のうち 1 つのラッチ回路を選択する。この状態で、階調データ DATA が階調データ入力端子 9 0 3 から入力されると、ラッチ回路部 9 2 4 では、選択されたラッチ回路に階調データのサンプリング値が格納される。

10

【 0 0 1 2 】

また、ポインタ用シフトレジスタ回路 9 2 3 から出力されるラッチ回路選択信号は、クロック入力端子 9 0 2 から入力されるクロック信号により第 1 段のラッチ回路 9 2 4 - 1 から第 n 段のラッチ回路 9 2 4 - n まで順次選択する。よって、n 個のクロックが入力された場合、全てのラッチ回路 9 2 4 - 1 ～ 9 2 4 - n に階調データを記憶させることができる。また、ラッチ回路 9 2 4 - 1 ～ 9 2 4 - n に記憶された階調データは、制御信号 LOAD により、それぞれ対応する n 個のホールド回路 9 2 5 - 1 ～ 9 2 5 - n へ転送され、D/A コンバータ 9 2 6 - 1 ～ 9 2 6 - n のデジタル入力データとなる。

20

【 0 0 1 3 】

D/A コンバータ回路 9 2 6 ～ 9 2 6 - n は、上記デジタル入力データにより、入力される p 種類の階調電圧から 1 つを選択して出力する。p 種類の階調電圧は、基準電源端子 9 0 5 ～ 9 0 9 からそれぞれ入力された基準電圧 V0 ～ V4 に基いて、基準電源補正回路 9 2 1 によって生成される。

【 0 0 1 4 】

さらに、D/A コンバータ回路 9 2 6 - 1 ～ 9 2 6 - n から出力された階調電圧は、出力バッファ部 9 2 7 でインピーダンス変換されて、それぞれの信号出力端子 9 1 1 - 1 ～ 9 1 1 - n から液晶表示パネル（図示せず）の駆動信号として、該液晶表示パネルの各データ線に出力される。

30

【 0 0 1 5 】

このような構成の従来のデータドライバ 9 0 1 では、上記のように、制御信号 LOAD により一括してホールド回路から D/A コンバータ回路へのデータ転送が行われるため、D/A コンバータ回路 9 2 6 - 1 ～ 9 2 6 - n から出力される階調電圧が同時に変化する。このため、データドライバ 9 0 1 に瞬間的に大電流が発生する。この電流は、信号出力端子 9 1 1 - 1 ～ 9 1 1 - n の個数が増加したことと、出力バッファ部 9 2 7 の駆動能力が増大したことにより、非常に大きな値となってくる。それゆえ、データドライバ 9 0 1 の消費電流が増大するだけでなく、この電流により発生する不要輻射が問題になる。

【 0 0 1 6 】

そこで、電流集中によるピーク電流の増大を防ぐための手法として、従来から特許文献 1 などに開示の方法が提案されている。

40

【 0 0 1 7 】

図 1 5 は、この文献に開示のデータドライバの構成を示している。

【 0 0 1 8 】

このデータドライバ 3 0 0 は、図 1 4 に示すデータドライバにおけるホールド回路、D/A コンバータ回路、および出力バッファに相等する回路ブロック CB1 ～ CB4 は、複数のグループ CG1 ～ CGn にグループ化されている。つまり、各グループにおける回路ブロック CB1 ～ CB4 は、それぞれ液晶表示パネルの各データラインに対応し、対応するデータラインに表示データを出力するものである。

50

【 0 0 1 9 】

また、このデータドライバ 3 0 0 では、第 1 の回路グループ C G 1 には、入力保護回路 (E) 3 0 を介して入力された制御信号 L O A D が直接入力され、また、第 2 の回路グループ C G 2 には、入力保護回路 (E) 3 0 からの制御信号 L O A D は、第 1 の遅延回路 3 1 a 1 を介して入力され、第 3 の回路グループ C G 3 には、第 1 および第 2 の遅延回路 3 1 a 1 および 3 1 a 2 を介して入力される。つまり、第 n の回路グループ C G n には、第 1 ~ 第 n - 1 の遅延回路 3 1 a 1 ~ 3 1 a n を介して入力される。

【 0 0 2 0 】

従って、このようなデータドライバを搭載した液晶表示装置では、回路グループ C G 間に遅延回路 D を有しているため、遅延回路 D の遅延時間だけずれて、各回路グループ C G から表示出力信号 (階調電圧) が出力される。

10

【 0 0 2 1 】

これにより、表示出力信号が回路グループ C G ごとに分散されて出力されるために、高精細化や高画面化により信号数の数が増大しても電源線に流れるピーク電流が分散されて流れることになり、不要輻射も低減される。

【 0 0 2 2 】

また、特許文献 2 にはデータドライバ間で階調データをホールド回路に取り込むタイミングを異ならせるものが開示されている。

【 先行技術文献 】

【 特許文献 】

20

【 0 0 2 3 】

【 特許文献 1 】 特開平 8 - 2 2 2 6 7 号公報

【 特許文献 2 】 特開 2 0 0 8 - 2 6 2 1 3 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 4 】

上述したように、特許文献 1 に記載のデータドライバでは、各回路グループ C G からは表示出力信号 (階調電圧) が遅延回路 D の遅延時間だけずれて出力されるが、各回路グループから表示信号が出力される周期は一定であるため、駆動信号の周波数成分の拡散が十分ではなく、表示装置が大画面化、高精細化、高速化されるにつれ、不要輻射が大きくなるという問題がある。

30

【 0 0 2 5 】

また特許文献 2 に開示の液晶表示装置においても、特許文献 1 に記載のデータドライバと同様の問題がある。

【 0 0 2 6 】

本発明は、上記の問題に鑑みてなされたものであり、液晶表示装置などの表示装置を駆動する駆動信号の周波数成分を拡散させ、不要輻射を低減させることができる駆動回路、およびこのような駆動回路を搭載した液晶表示装置、並びにこのような液晶表示装置を備えた電子情報機器を得ることを目的とする。

【 課題を解決するための手段 】

40

【 0 0 2 7 】

本発明に係る駆動回路は、表示装置を表示データおよび制御信号に基づいて駆動する駆動回路であって、入力された制御信号を遅延する第 1 遅延回路と、入力側に該第 1 遅延回路の出力側が接続され、出力側に該表示装置の複数のデータ信号ラインのそれぞれが接続され、該第 1 遅延回路で遅延された該制御信号が入力されるタイミングで、該入力側とは別の入力側から入力された表示データを該表示装置の複数のデータ信号ラインにそれぞれ出力して該複数のデータ信号ラインをロードするデータロード部とを備え、該第 1 遅延回路は、該制御信号を、該表示データが該表示装置にロードされるロードタイミングが、一定周期により決まる固定タイミングに対して変動するよう遅延させ、該入力された制御信号は、該一定周期で該固定タイミングを生成する信号であり、該第 1 遅延回路は、該一定

50

周期の整数倍の期間が経過する度に、該ロードタイミングを該固定タイミングから一定の遅延時間だけ遅らせる該制御信号の遅延処理を、該ロードタイミングの遅延時間の制限内で繰り返すものであり、該複数のデータ信号ラインのうちの所定数のデータ信号ライン毎に該データロード部を複数のグループに分け、該データロード部の各グループの入力側にそれぞれ該第1遅延回路を介して該各グループに対応する遅延時間固定の第2遅延回路が順次直列に更に備えられているものであり、そのことにより上記目的が達成される。

【0029】

本発明は、上記駆動回路において、前記表示データおよび前記制御信号は、前記表示装置に供給される映像信号に含まれており、前記一定周期は該映像信号の水平同期期間に基づいたものであることが好ましい。

10

【0030】

本発明は、上記駆動回路において、前記遅延回路は、前記入力された制御信号が生成する固定タイミングをカウントするカウント回路と、該カウント回路のカウント出力をデコードするデコーダとを備え、該デコーダの出力に基づいて、前記制御信号の遅延量を決定するものであることが好ましい。

【0031】

本発明は、上記駆動回路において、前記遅延回路は、直列接続の複数の遅延素子と、前記デコーダの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう信号経路を切り替える複数のスイッチとを備えていることが好ましい。

20

【0032】

本発明は、上記駆動回路において、前記遅延回路は、前記入力された制御信号により生成される固定タイミングに基づいてシフト動作するシフトレジスタと、直列接続の複数の遅延素子と、該シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチとを備えていることが好ましい。

【0033】

本発明は、上記駆動回路において、前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバと、前記液晶表示パネルの複数の走査ラインを駆動する走査ドライバと、入力された映像信号に基づいて、該データドライバに供給する前記表示データを生成するとともに、前記制御信号として、該データドライバに供給するデータ制御信号、および前記走査ドライバに供給する走査制御信号を生成するタイミングコントローラとを備え、前記遅延回路は、該データドライバを構成するものであり、該遅延回路は、該データドライバに入力された前記制御信号を、該データドライバから該液晶表示パネルのデータラインに前記表示データが出力されるタイミングが、水平同期信号に対して決まる固定タイミングに対して1水平走査ライン毎に変化するよう遅延させるものであることが好ましい。

30

【0034】

本発明は、上記駆動回路において、前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバと、前記液晶表示パネルの複数の走査ラインを駆動する走査ドライバと、入力された映像信号に基づいて、該データドライバに供給する前記表示データを生成するとともに、前記制御信号として、該データドライバに供給するデータ制御信号、および前記走査ドライバに供給する走査制御信号を生成するタイミングコントローラとを備え、前記遅延回路は、該タイミングコントローラを構成するものであり、該遅延回路は、該タイミングコントローラで該映像信号に基づいて生成された前記制御信号を、該データドライバから該液晶表示パネルのデータラインに前記表示データが出力されるタイミングが、水平同期信号に対して決まる固定タイミングに対して1水平走査ライン毎に変化するよう遅延させるものであることが好ましい。

40

【0035】

本発明は、上記駆動回路において、前記表示装置としての液晶表示パネルの複数のデー

50

タラインを駆動するデータドライバを備え、前記遅延回路は、該データドライバを構成し、該データドライバに入力された制御信号を遅延するものであり、該データドライバは、該液晶表示パネルのデータライン毎に設けられ、対応するデータラインを駆動する、複数のグループにグループ分けされた複数のドライバ回路と、同一のグループのドライバ回路が、同一タイミングで前記表示データを該データラインに供給し、かつ、異なるグループのドライバ回路が、異なるタイミングで前記表示データを該データラインに供給するように、各グループのドライバ回路に供給される制御信号を遅延する信号遅延部とを備えていることが好ましい。

【0036】

本発明は、上記駆動回路において、前記信号遅延部は、複数段に直列に接続された複数の遅延部を備え、初段の遅延部は、前記遅延回路から出力される制御信号を遅延するものであり、２段目以降の遅延部は、前段の遅延部から出力される制御信号を遅延するものであることが好ましい。

10

【0037】

本発明は、上記駆動回路において、前記信号遅延部を構成する遅延部は、それぞれ入力される制御信号を所定量だけ遅延するものであることが好ましい。

【0038】

本発明は、上記駆動回路において、前記複数の遅延部は、前記入力された制御信号が生成する固定周期のタイミングをカウントするカウント回路と、該カウント回路のカウント出力をデコードするデコーダとを備え、該デコーダの出力に基づいて、前記制御信号の遅延量を決定するものであることが好ましい。

20

【0039】

本発明は、上記駆動回路において、前記複数の遅延部は、直列接続の複数の遅延素子と、前記デコーダの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう信号経路を切り替える複数のスイッチとを備えていることが好ましい。

【0040】

本発明は、上記駆動回路において、前記遅延回路は、前記入力された制御信号により生成される固定周期のタイミングに基づいてシフト動作するシフトレジスタと、直列接続の複数の遅延素子と、該シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチとを備えていることが好ましい。

30

【0041】

本発明に係る液晶表示装置は、液晶表示パネルを有し、映像信号に基づいて該液晶表示パネルに画像を表示する液晶表示装置であって、該映像信号に基づいて該液晶表示パネルを駆動する駆動装置を備え、該駆動装置は、上述した本発明に係る駆動回路を有するものであり、そのことにより上記目的が達成される。

【0042】

本発明に係る電子情報機器は、液晶表示装置を備えた電子情報機器であって、該液晶表示装置は、上述した本発明に係る液晶表示装置であり、そのことにより上記目的が達成される。

40

【0043】

以下、本発明の作用について説明する。

【0044】

本発明においては、入力された制御信号を遅延する遅延回路と、入力された表示データを、遅延された制御信号が生成するタイミングで表示装置にロードするデータロード部とを備え、該制御信号を、該表示データが該表示装置にロードされるロードタイミングが、一定周期により決まる固定タイミングに対して変動するよう遅延させるので、従来技術では不十分であった不要輻射低減の効果が得られる。

【0045】

50

本発明においては、制御信号の遅延により、固定タイミングに対する制御信号のロードタイミングを時系列に複数作り出すので、制御信号のロードタイミングを複数作り出す回路規模が大きくなり、コスト低減につながる。

【 0 0 4 6 】

本発明においては、上記駆動回路において、制御信号のパルス立ち上がりをカウントするカウンタ回路を持つことで、1 水平期間毎にロードタイミングを変化させることのできる遅延回路を回路規模を増大させることなく構成でき、コスト低減につながる。

【 0 0 4 7 】

本発明においては、駆動回路を構成する、各データ信号線毎に対応する複数の回路ブロックを、所定数のデータ信号線を単位としてグループ化することで、固定タイミングに対する制御信号のロードタイミングを時系列で複数持つことにより、駆動回路内で発生する駆動信号の周波数成分を拡散をさせ、不要輻射を低減できるだけでなく、複数の回路グループ毎にロードするタイミングをずらすことができるため、更なる不要輻射低減が実現できる。

【発明の効果】

【 0 0 4 8 】

以上のように、本発明によれば、液晶表示装置などの表示装置を駆動する駆動信号の周波数成分を拡散させ、不要輻射を低減させることができる駆動回路、およびこのような駆動回路を搭載した液晶表示装置、並びにこのような液晶表示装置を備えた電子情報機器を得ることができる。

【図面の簡単な説明】

【 0 0 4 9 】

【図 1】図 1 は、本発明の実施形態 1 による駆動回路を含む表示装置の構成を示す図である。

【図 2】図 2 は、本発明の実施形態 1 による駆動回路であるデータドライバを示すブロック図である。

【図 3】図 3 は、本発明の実施形態 1 による駆動回路（データドライバ）を構成する遅延回路を示すブロック図である。

【図 4】図 4 は、本発明の実施形態 1 による遅延回路の動作を説明する図であり、遅延されたロード信号（制御信号）をタイミングチャートで示している。

【図 5】図 5 は、本発明の実施形態 2 によるタイミングコントローラを含む表示装置の構成を示す図である。

【図 6】図 6 は、本発明の実施形態 2 によるタイミングコントローラを示すブロック図である。

【図 7】図 7 は、本発明の実施形態 3 による駆動回路を含む表示装置の構成を示す図である。

【図 8】図 8 は、本発明の実施形態 3 による駆動回路であるデータドライバを示すブロック図である。

【図 9】図 9 は、本発明の実施形態 3 による駆動回路（データドライバ）を構成する遅延回路を示すブロック図である。

【図 10】図 10 は、本発明の実施形態 4 による駆動回路を含む表示装置の構成を示す図である。

【図 11】図 11 は、本発明の実施形態 4 による駆動回路であるデータドライバを示すブロック図である。

【図 12】図 12 は、本発明の実施形態 4 による駆動回路（データドライバ）を構成する遅延回路を示すブロック図である。

【図 13】図 13 は、本発明の実施形態 5 による駆動回路（データドライバ）を示すブロック図である。

【図 14】図 14 は、従来の駆動回路の構成の一例を示すブロック図である。

【図 15】図 15 は、従来の他の駆動回路の構成の一例として特許文献 1 に開示のものを

10

20

30

40

50

示すブロック図である。

【発明を実施するための最良の形態】

【0050】

以下、本発明の実施形態について説明する。

(実施形態1)

図1は、本発明の実施形態1による駆動回路を含む液晶表示装置の構成を示す図である。

【0051】

本実施形態1の液晶表示装置100は、映像信号に基づいて画像表示を行う液晶表示パネル101と、液晶表示パネルのデータ信号ラインを駆動する複数のデータドライバ102～109と、液晶表示パネルの走査信号ラインを駆動する複数の走査ドライバ110～113と、映像信号から表示データ、データ制御信号、および走査制御信号を生成し、表示データおよびデータ制御信号によりデータドライバ102～109を制御し、走査制御信号により走査ドライバ110を制御するタイミングコントローラ114とを備えている。

10

【0052】

具体的には、データドライバ102～109は、液晶表示パネル101のデータ信号ラインに接続され、タイミングコントローラ114からの表示データおよびデータ制御信号に基づいてデータ信号ラインを駆動する。また、データドライバ102～109は、半導体集積回路で構成されたドライバチップが、COF(Chip On Film)のような実装構造としてフィルム基板上に実装されることにより構成されている。また、走査ドライバ110～113は、表示パネル101の走査信号ラインに接続され、タイミングコントローラ114からの走査制御信号により走査信号ラインを駆動する。この走査ドライバ110～113も、半導体集積回路で構成されたドライバチップがCOF(Chip On Film)のような実装構造でフィルム基板上に実装されることにより構成されている。また、タイミングコントローラ114は、データドライバ102～109の内少なくとも一つ、及び走査ドライバ110～113の内少なくとも一つに信号線を介して接続されており、データドライバ102～109の内少なくとも一つ、及び走査ドライバ110～113の内少なくとも一つをコントロールすることにより、液晶表示パネル101に映像データを表示させる。つまり、タイミングコントローラ114と、各データドライバおよび各走査ドライバとがデータバスにより直接接続されていても、あるいはタイミングコントローラ114には、初段のデータドライバおよび初段の走査ドライバが接続され、次段以降のデータドライバおよび次段以降の走査ドライバには、初段のデータドライバおよび初段の走査ドライバからタイミングコントローラからの信号を伝えるようにしてもよい。

20

30

【0053】

図2は、上記データドライバ102の構成を示している。なお、データドライバ103～109は、データドライバ102と同様な構成を有しているため、その説明を省略する。

【0054】

図2に示すように、データドライバ102は、クロック信号CLKに基づいてシフト動作するポインタ用シフトレジスタ回路部115と、表示データDATAをサンプルラッチするラッチ回路部116と、サンプルラッチされた表示データをホールドラッチするホールド回路部117と、ホールドラッチされた表示データをDA変換するD/Aコンバータ部118と、DA変換された表示データを出力する出力バッファ部119とを有している。

40

【0055】

ここで、ポインタ用シフトレジスタ回路115は、n段のシフトレジスタ115-1～115-nを有している。ラッチ回路部116は、n個のラッチ回路116-1～116-nを有している。ホールド回路部117は、n個のホールド回路117-1～117-n

50

nを有している。D/Aコンバータ部118は、n個のD/Aコンバータ回路118-1~118-nを有している。出力バッファ部119は、オペアンプにより構成されるn個の出力バッファ119-1~119-nを有している。

【0056】

また、このデータドライバ102は、データ制御信号を遅延する遅延回路120と、入力された基準電圧V0~V4に基づいてm種類の階調電圧を生成する基準電源補正回路121とを備えている。

【0057】

また、データドライバ102は、入力端子として、クロック入力端子122と、表示データ入力端子123と、制御信号入力端子124と、基準電源端子125~129とを備えている。

10

【0058】

また、データドライバ102は、液晶表示パネル101への信号出力のために設けられる出力端子として、n個の信号出力端子130-1~130-nを備えている。これらの信号出力端子130-1~130-nは、それぞれ前述の液晶表示パネル101のデータ信号ラインと個々に接続されている。

【0059】

ここで、クロック入力端子122は、ポイント用シフトレジスタ回路115に与えるクロック信号CLKを入力するために設けられている。表示データ入力端子123は、複数ビットの階調データの各ビットに対応した複数の信号入力端子からなる。制御信号入力端子124は、遅延回路120を介してホールド回路部117に接続され、データロード信号LOADを入力されるために設けられている。このデータロード信号は、ホールド回路部117がラッチ回路部116でラッチされた表示データを保持するための制御信号として用いられる。基準電源端子125~129は、それぞれ基準電圧補正回路121に与えられる基準電圧V0~V4を入力するために設けられている。

20

【0060】

信号出力端子130-1~130-nは、出力バッファ部119を構成するn個の出力バッファ119-1~119-nから出力された階調電圧を液晶表示パネル101に出力するために設けられている。

【0061】

次に動作について説明する。

30

【0062】

本実施形態1の液晶表示装置100では、外部から映像信号が入力されると、タイミングコントローラ114はこの映像信号から表示データDATA、データ制御信号LOAD、走査制御信号およびクロック信号CLKを生成する。表示データDATA、データ制御信号LOAD、およびクロック信号CLKがデータドライバ102~109に供給されると、データドライバ102~109は、表示データおよびデータ制御信号に基づいてデータ信号ラインを駆動する。また、走査制御信号が走査ドライバ110~113に供給されると、走査ドライバ110~113は、この走査制御信号に基づいて走査信号ラインを駆動する。これにより液晶表示パネルには映像信号に応じて画像表示が行われる。

40

【0063】

このとき、データドライバ102では、タイミングコントローラ114からの表示データDATA、データ制御信号LOAD、およびクロック信号CLKがそれぞれの入力端子に供給されると、ポイント用シフトレジスタ回路部115は、クロック入力端子122に入力されたクロック信号CLKを各段のシフトレジスタ115-1~115-nによってシフトさせて、各段のシフトレジスタよりラッチ回路選択信号を出力する。つまりポイント用シフトレジスタ回路部115は、ラッチ回路選択信号によって、ラッチ回路部116を構成する1段目のラッチ回路116-1からn段目のラッチ回路116-nまでを順次選択する。

【0064】

50

ラッチ回路部 116 の n 個のラッチ回路 116 - 1 ~ 116 - n は、上記ラッチ回路選択信号が入力されると、表示データ入力端子 123 から入力された表示データ DATA を記憶可能なアクティブな状態となる。この状態では、ラッチ回路 116 - 1 ~ 116 - n にそれぞれ異なる値のデータを記憶することが可能である。よってポイント用シフトレジスタ回路部 115 にクロック信号の n 個のクロックが入力された場合、全てのラッチ回路 116 - 1 ~ 116 - n が各データラインに対応した表示データを記憶できる。各ラッチ回路がデータを記憶可能な状態で、表示データ DATA が、表示データ入力端子 123 から入力されると、表示データ DATA の各データラインに対応する値が、対応するラッチ回路 116 - 1 ~ 116 - n にそれぞれ選択されて格納される。

【0065】

10

n 個のホールド回路 117 - 1 ~ 117 - n は、それぞれに対応するラッチ回路 116 - 1 ~ 116 - n に記憶されているデータを、ロード信号（データ制御信号）LOAD がアクティブ（例えば H レベル）となるタイミングで一斉に取り込んで保持する。ホールド回路 116 - 1 ~ 116 - n に保持されたデータは、D/A コンバータ 118 - 1 ~ 118 - n に入力されるデジタルデータになる。

【0066】

ここでデータ制御信号 LOAD は、タイミングコントローラ 114 から出力され、信号線を介して制御信号入力端子 124 から入力された後、遅延回路 120 を介してホールド回路部 117 に入力されるので、遅延回路 120 で所定時間だけ遅延されてホールド回路部 117 に入力される。

20

【0067】

D/A コンバータ回路 118 - 1 ~ 118 - n は、上記デジタルデータに基づいて、基準電圧補正回路 121 から入力される p 種類の階調電圧から 1 つを選択して出力する。このような D/A コンバータ回路 118 - 1 ~ 118 - n の詳細については、例えば、特開 2003 - 130921 号公報に記載されているので、ここではその説明を省略する。

【0068】

出力バッファ 119 - 1 ~ 119 - n は、D/A コンバータ 118 - 1 ~ 118 - n からそれぞれ出力された階調電圧をインピーダンス変換して出力する。出力バッファ 119 - 1 ~ 119 - n から出力された階調電圧は、それぞれ信号出力端子 130 - 1 ~ 130 - n から階調データ（駆動データ）として液晶表示パネル 101 の対応するデータ信号ラインに出力される。

30

【0069】

なお、以上説明した動作はデータドライバ 102 の動作であるが、その他のデータドライバ 103 ~ 109 もデータドライバ 102 と同様に動作する。

【0070】

次に、本実施形態 1 の駆動回路（データドライバ）120 における遅延回路 120 について詳しく説明する。

【0071】

図 3 は、本実施形態 1 による駆動回路（データドライバ）120 を構成する遅延回路を示すブロック図である。

40

【0072】

この遅延回路 120 は、制御入力端子 124 に接続された 2 ビットカウンタ 131 と、カウンタ 131 の出力をデコードする 4 出力デコーダ 132 と、デコーダ 132 に接続された 4 個のスイッチ 133 と、スイッチ 133 に接続された遅延素子 De とを有している。

【0073】

具体的には、この遅延回路 120 では、第 1 ~ 第 4 のスイッチ 133 - 0 ~ 133 - 3 と、3 つの遅延素子を直列接続してなる遅延部 134 a と、2 つの遅延素子を直列接続してなる遅延部 134 b と、1 つの遅延素子からなる遅延部 134 c とを有し、遅延回路 120 の入力ノード（制御入力端子 124）と、その出力ノードとの間には、入力ノード側

50

から順に第4のスイッチ133-3と上記遅延部134a~134cが直列に接続されている。

【0074】

ここで、第3のスイッチ133-2は、第4のスイッチ133-3と上記遅延部134aとの直列接続体に並列に接続され、第2のスイッチ133-1は、第4のスイッチ133-3、遅延部134a、および遅延部134bの直列接続体に並列に接続され、第1のスイッチ133-0は、第4のスイッチ133-3、遅延部134a、遅延部134b、および遅延部134cの直列接続体に並列に接続されている。

【0075】

このような遅延回路120では、カウンタ131は、外部から制御入力端子124に入力されたパルス信号としての制御信号LOAD(IN)(図4参照)のパルス数をカウントし、デコーダ132は、このカウント数に応じてその出力Y0~Y3を順次アクティブ状態とする。ここで、制御信号は映像信号の水平同期信号に同期したパルス信号であり、従って、1水平同期期間が経過する毎に、オン状態となるスイッチが、上記第1~第4のスイッチ133-0~133-3の順次切り換わり、このスイッチの切替りは、4水平同期期間で繰り返しされる。

【0076】

つまり、制御信号LOADは、カウント数に応じて、制御信号が通過する経路が、3つの遅延部134a~134cを通過する経路と、2つの遅延部134bおよび134cを通過する経路と、1つの遅延部134cを通過する経路と、いずれの遅延部も通過しない経路のいずれかに切替られ、カウント数に応じた経路を介してホールド回路117に入力される。

【0077】

この時、第1のスイッチ133-0を通った制御信号は遅延されずに出力ノードLOAD(OUT)から出力され、第2のスイッチ133-1を通った制御信号は、遅延素子Deを1個経由して出力され、第3のスイッチ133-2を通った制御信号は、遅延素子Deを3個経由して出力され、第4のスイッチ133-3を通った制御信号は、遅延素子Deを6個経由して出力される。

【0078】

このため、1水平同期期間を1H、1個の遅延素子Deでの遅延時間を α とすると、ホールド117に入力される制御信号LOAD(OUT)のパルス立ち上がりタイミングは、1水平同期期間毎に、1水平同期期間を基準とする固定の周期により決まるタイミングに対して遅延時間1H+ α 、1H+2 α 、1H+3 α 、0だけ遅れたものとなる。言い換えると、制御信号における各パルスは、直前のパルス立ち上がりタイミングから時間1H+ α 、1H+2 α 、1H+3 α 、1H-6 α が経過した後に立ち上がることとなり、図4に示すように、1H+ α 、1H+2 α 、1H+3 α 、1H-6 α の4通りの周期を持つことができる。

【0079】

これにより、データドライバ回路内の制御信号の周波数が拡散され、不要輻射が低減される。

【0080】

このように本実施形態1では、液晶表示パネル101を表示データおよび制御信号に基づいて駆動する駆動回路102~109において、入力された制御信号を遅延する遅延回路120を備えるとともに、入力された表示データを、遅延された制御信号が生成するタイミングで該液晶表示装置101にロードするデータロード部としてホールド回路部117、D/Aコンバータ回路部118および出力バッファ部119を備え、該遅延回路120は、該制御信号を、該表示データが該液晶表示パネルにロードされるロードタイミングが、一定周期(1水平同期期間)により決まる固定タイミングに対して変動するよう遅延させるので、駆動回路がデータをロードする出力タイミングを、一水平同期期間毎に周期的に変動させることが可能となる。これにより、液晶表示パネルに出力される表示データ

10

20

30

40

50

の周波数成分を拡散させて、不要輻射を低減させることができる。

【 0 0 8 1 】

なお、上記実施形態 1 では、駆動回路がデータをロードする出力タイミングを、一水平同期期間毎に周期的に変動させているが、駆動回路がデータをロードする出力タイミングは、2 以上の水平同期期間毎に周期的に変動させるようにしてもよい。

(実施形態 2)

図 5 は、本発明の実施形態 2 によるタイミングコントローラを含む液晶表示装置の構成を示す図である。

【 0 0 8 2 】

この実施形態 2 の液晶表示装置 1 0 0 a は、実施形態 1 の液晶表示装置 1 0 0 におけるタイミングコントローラ 1 1 4 に代えて、実施形態 1 の遅延回路 1 2 0 と同一構成の遅延回路 1 4 b を搭載したタイミングコントローラ 1 1 4 a を備えたものであり、この実施形態 2 の液晶表示装置 1 0 0 a では、データドライバ 1 0 2、1 0 3、1 0 9 は、従来のデータドライバ 9 0 1 と同一構成としたものである。なお、この実施形態 2 の液晶表示装置におけるその他の構成は、実施形態 1 の液晶表示装置と同一である。

【 0 0 8 3 】

図 6 は、本発明の実施形態 2 によるタイミングコントローラを示している。

【 0 0 8 4 】

この実施形態 2 のタイミングコントローラ 1 1 4 a は、液晶表示装置 1 0 0 a の外部から供給される映像信号に基づいて表示データ、データ制御信号、クロック信号、および走査制御信号を生成する制御部 1 4 a と、この制御部 1 4 a から出力されたデータ制御信号 L O A D を遅延する遅延回路 1 4 b とを備えている。この遅延回路 1 4 b は実施形態 1 のデータドライバ 1 0 2 に含まれる遅延回路 1 2 0 と同一の構成を有している。

【 0 0 8 5 】

このような構成の実施形態 2 の液晶表示装置 1 0 0 a では、タイミングコントローラ 1 1 4 a を、データ制御信号を遅延する遅延回路 1 4 b を有する構成としたので、遅延回路 1 1 4 a から各データドライバ 1 0 2 ~ 1 0 9 に供給される制御信号は、該表示データが該液晶表示パネルにロードされるロードタイミングが、一定周期 (1 水平同期期間) により決まる固定タイミングに対して変動するよう遅延したものとなる。これにより、駆動回路がデータを液晶表示パネルにロードする出力タイミングを、一水平同期期間毎に周期的に変動させることが可能となる。これにより、液晶表示パネルに出力される表示データの周波数成分を拡散させて、不要輻射を低減させることができる。

(実施形態 3)

図 7 は、本発明の実施形態 3 による駆動回路を含む液晶表示装置の構成を示す図であり、図 8 は、本発明の実施形態 3 による駆動回路であるソースドライバを示す図である。

【 0 0 8 6 】

この実施形態 3 の液晶表示装置 1 0 0 b は、実施形態 1 の液晶表示装置 1 0 0 における、遅延回路 1 2 0 を有するソースドライバ 1 0 2 a ~ 1 0 9 a に代えて、該遅延回路 1 2 0 とは回路構成の異なる遅延回路 1 2 0 b を備えたソースドライバ 1 0 2 b ~ 1 0 9 b を備えたものであり、この実施形態 3 の液晶表示装置におけるその他の構成は、実施形態 1 の液晶表示装置と同一である。

【 0 0 8 7 】

図 9 は、本発明の実施形態 3 による駆動回路 (データドライバ) を構成する遅延回路 1 2 0 b を示すブロック図である。

【 0 0 8 8 】

この遅延回路 1 2 0 b は、実施形態 1 のデータドライバ 1 0 2 を構成する遅延回路 1 2 0 におけるカウンタ 1 3 1 およびデコーダ 1 3 2 に代えてシフトレジスタ 1 3 2 a を備えたものであり、その他の構成は、実施形態 1 の遅延回路 1 2 0 と同一である。

【 0 0 8 9 】

つまり、この実施形態 3 のデータドライバ 1 0 2 b における遅延回路 1 2 0 b は、入力

10

20

30

40

50

された制御信号 $LOAD$ により生成される固定タイミングに基づいてシフト動作するシフトレジスタ $132a$ と、直列接続の複数の遅延素子 De と、前記シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチ $133-0 \sim 133-3$ とを備えている。ここで、遅延素子 De およびスイッチ $133-0 \sim 133-3$ は、実施形態 1 の遅延回路 120 と同一のものである。

【0090】

このような構成の遅延回路 $120b$ では、シフトレジスタ $132a$ は、外部から制御入力端子 124 に入力されたパルス信号としての制御信号 $LOAD(IN)$ (図 4 参照) のパルスが立ち上がるたびに、その出力 $Y0 \sim Y3$ を順次アクティブ状態とする。ここで、制御信号は映像信号の水平同期信号に同期したパルス信号であり、従って、1 水平同期期間が経過する毎に、オン状態となるスイッチが、上記第 1 ～ 第 4 のスイッチ $133-0 \sim 133-3$ の順次切り換わり、このスイッチの切替りは、4 水平同期期間で繰り替えされる。

10

【0091】

この時、実施形態 1 の遅延回路 120 と同様に、第 1 のスイッチ $133-0$ を通った制御信号は遅延されずに出力ノード $LOAD(OUT)$ から出力され、第 2 のスイッチ $133-1$ を通った制御信号は、遅延素子 De を 1 個経由して出力され、第 3 のスイッチ $133-2$ を通った制御信号は、遅延素子 De を 3 個経由して出力され、第 4 のスイッチ $133-3$ を通った制御信号は、遅延素子 De を 6 個経由して出力される。

20

【0092】

このため、1 水平同期期間を $1H$ 、1 個の遅延素子 De での遅延時間を α とすると、ホールド 117 に入力される制御信号 $LOAD(OUT)$ のパルス立ち上がりタイミングは、1 水平期間毎に、1 水平同期期間を基準とする固定の周期により決まるタイミングに対して遅延時間 $1H + \alpha$ 、 $1H + 2\alpha$ 、 $1H + 3\alpha$ 、 0 だけ遅れたものとなる。

【0093】

これにより、データドライバ回路内の制御信号の周波数成分が拡散され、不要輻射が低減される。

(実施形態 4)

図 10 は、本発明の実施形態 4 による駆動回路を含む表示装置の構成を示す図である。

30

【0094】

この実施形態 4 の液晶表示装置 200 は、実施形態 1 の液晶表示装置 100 におけるデータドライバ $102a \sim 109a$ に代えて、これとは構成の異なるデータドライバ $202 \sim 209$ を備えたものである。

【0095】

具体的には、この実施形態 4 のデータドライバ 202 は、実施形態 1 のデータドライバ $102a$ の構成に加えて、 n 個の全データ信号ラインのうちの所定数 (ここでは k 個) のデータ信号ライン毎に、シフトレジスタ、ラッチ回路、ホールド岐路、 D/A コンバータ回路、出力バッファを、 m 個のグループ $20a1 \sim 20am$ にグループ化し、各グループの前段にグループに対応する遅延時間固定の遅延回路 $24a1 \sim 24am$ を備えたものである。

40

【0096】

また、この遅延回路 $24a1 \sim 24am$ は、実施形態 1 の遅延回路 120 と同一構成の遅延量可変の遅延回路 220 からの制御信号が順次一定時間だけ遅延するよう直列に接続されており、各グループ $20a1 \sim 20ak$ のホールド回路には、各グループの前段に設けられた遅延量固定の遅延回路 $24a1 \sim 24ak$ の出力が供給されるようになっている。

【0097】

従って、この実施形態 4 の液晶表示装置 200 におけるタイミングコントローラ 214 、走査ドライバ $210 \sim 213$ 、および液晶表示パネル 201 は、実施形態 1 の液晶表示

50

装置１００におけるタイミングコントローラ１１４、走査ドライバ１０２ａ～１０９ａ、および液晶表示パネル１０１と同一のものである。

【００９８】

つまり、データドライバ２０２～２０９は、液晶表示パネル２０１のデータ信号ラインに接続され、データ信号ラインを駆動する。また、データドライバ２０２～２０９は、半導体集積回路で構成されたドライバチップがＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）のような実装構造でフィルム基板上に実装されることにより構成されている。走査ドライバ２１０～２１３は、表示パネル２０１の走査信号ラインに接続され、走査信号ラインを駆動する。また、走査ドライバ２１０～２１３は、半導体集積回路で構成されたドライバチップがＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）のような実装構造でフィルム基板上に実装されることにより構成されている。タイミングコントローラ２１４は、データドライバ２０２～２０９の内少なくとも一つ、及び走査ドライバ２１０～２１３の内少なくとも一つに信号線を介して接続されており、データドライバ２０２～２０９の内少なくとも一つ、及び走査ドライバ２１０～２１３の内少なくとも一つをコントロールすることにより、液晶表示パネル２０１に映像データを表示させる。

10

【００９９】

また、図１１は、本発明の実施形態４による駆動回路であるデータドライバを示すブロック図であり、データドライバ２０２の構成を示している。なお、データドライバ２０３～２０９については、データドライバ２０２と同様の構成を有するので、説明を省略する。

20

【０１００】

データドライバ２０２は、実施形態１のデータドライバ１０２と同様に、ポインタ用シフトレジスタ回路部２１５と、ラッチ回路部２１６と、ホールド回路部２１７と、Ｄ／Ａコンバータ部２１８と、出力バッファ部２１９とを有している。

【０１０１】

ただし、このデータドライバ２０２では、ｋ本のデータ信号ライン毎に、ポインタ用シフトレジスタ回路部２１５を構成するシフトレジスタ２１５－１～２１５－ｎがグループ化されている。また、ラッチ回路部２１６を構成するラッチ回路２１６－１～２１６－ｎと、ホールド回路部２１７を構成するホールド回路２１７－１～２１７－ｎと、Ｄ／Ａコンバータ部２１８を構成するＤ／Ａコンバータ２１８－１～２１８－ｎと、出力バッファ部２１９を構成する出力バッファ２１９－１～２１９－ｎとがグループ化されている。

30

【０１０２】

各グループ２０ａ１～２０ａｍは、ポインタ用シフトレジスタ回路部２１５を構成するシフトレジスタ２１５－１～２１５－ｋと、ラッチ回路部２１６を構成するラッチ回路２１６－１～２１６－ｋと、ホールド回路部２１７を構成するホールド回路２１７－１～２１７－ｋと、Ｄ／Ａコンバータ部２１８を構成するＤ／Ａコンバータ２１８－１～２１８－ｋと、出力バッファ部２１９を構成する出力バッファ２１９－１～２１９－ｋを含んでいる。

【０１０３】

また、データドライバ２０２は、遅延回路２２０と、基準電源補正回路２２１とを備えている。また、データドライバ２０２は、入力端子として、クロック入力端子２２２と、表示データ入力端子２２３と、制御信号入力端子２２４と、基準電源端子２２５～２２９とを備えている。また、データドライバ２０２は、液晶表示パネル２０１への信号出力のために設けられる出力端子として、ｎ個の信号出力端子２３０－１～２３０－ｎを備えている。信号出力端子２３０－１～２３０－ｎは、それぞれ前述の液晶表示パネル２０１のデータ信号ラインと個々に接続されている。

40

【０１０４】

クロック入力端子２２２は、ポインタ用シフトレジスタ回路２１５に与えるクロック信号ＣＬＫを入力するために設けられている。表示データ入力端子２２３は、複数ビットの階調データの各ビットに対応した複数の信号入力端子からなる。制御信号入力端子２２４

50

は、遅延回路 220 を介してホールド回路部 217 に接続され、制御信号を入力されるために設けられている。この制御信号は、ホールド 217 がラッチ回路部 216 でラッチされた表示データを保持するための信号として用いられる。基準電源端子 225 ~ 229 は、それぞれ基準電圧補正回路 221 に与えられる基準電圧 $V_0 \sim V_4$ を入力するために設けられている。

【0105】

信号出力端子 230 - 1 ~ 230 - n は、出力バッファ 219 を構成する 219 - 1 ~ 219 - n から出力された階調電圧を液晶表示パネル 201 に出力するために設けられている。

【0106】

図 12 は、本実施形態 4 による駆動回路（データドライバ）を構成する遅延回路を示すブロック図である。

【0107】

この実施形態 4 の遅延回路 220 は実施形態 1 における図 3 に示す遅延回路 120 と同一の構成を有している。

【0108】

この遅延回路 220 は、制御入力端子 224 に接続された 2 ビットカウンタ 231 と、カウンタ 231 に接続された 4 出力デコーダ 232 と、デコーダ 232 に接続された 4 個のスイッチ 233 と、スイッチ 233 に接続された遅延素子 D_e とで構成されている。ここで、2 ビットカウンタ 231、4 出力デコーダ 232、スイッチ 233、遅延素子 D_e を含む遅延部 134 a ~ 134 c は、実施形態 1 の遅延回路におけるものと同一である。

【0109】

次に動作について説明する。

【0110】

本実施形態 4 の液晶表示装置 200 では、外部から映像信号が入力されると、タイミングコントローラ 214 はこの映像信号から表示データ DATA、データ制御信号 LOAD、走査制御信号およびクロック信号 CLK を生成する。表示データ DATA、データ制御信号 LOAD、およびクロック信号 CLK がデータドライバ 202 ~ 209 に供給されると、データドライバ 202 ~ 209 は、表示データおよびデータ制御信号に基づいてデータ信号ラインを駆動する。また、走査制御信号が走査ドライバ 210 ~ 213 に供給されると、走査ドライバ 210 ~ 213 は、この走査制御信号に基づいて走査信号ラインを駆動する。これにより液晶表示パネルには映像信号に応じて画像表示が行われる。

【0111】

このとき、データドライバ 202 では、タイミングコントローラ 214 からの表示データ DATA、データ制御信号 LOAD、およびクロック信号 CLK がそれぞれの入力端子に供給されると、ポインタ用シフトレジスタ回路部 215 は、クロック入力端子 222 に入力されたクロック信号 CLK を各段のシフトレジスタによってシフトさせて、各段のシフトレジスタ 215 - 1 ~ 215 - n よりラッチ回路選択信号を出力する。ポインタ用シフトレジスタ回路部 215 は、ラッチ回路選択信号によって、ラッチ回路部 216 を構成する 1 段目のラッチ 216 - 1 から n 段目のラッチ回路 216 - n までを順次選択する。

【0112】

ラッチ回路 216 - 1 ~ 216 - n は、上記ラッチ回路選択信号が入力されると、表示データ入力端子 223 から入力された表示データを記憶可能なアクティブな状態とする。この状態では、ラッチ回路 216 - 1 ~ 216 - n にそれぞれ異なる値のデータを記憶することが可能である。よってポインタ用シフトレジスタ回路部 215 にクロック信号の n 個のクロックが入力された場合、全てのラッチ回路 216 - 1 ~ 216 - n が各データラインに対応した表示データを記憶できる。この状態で、表示データは、表示データ入力端子 223 から入力されると、対応するラッチ回路 216 - 1 ~ 216 - n にそれぞれ選択されて格納される。

【0113】

10

20

30

40

50

ホールド回路部 217 は、 n 個のホールド回路 217-1 ~ 217- n によって構成され、複数 (m 個) のグループに分かれている。グループ分けの個数は特に限定されるものではないが、具体的には 4 グループや 8 グループなどに分けることができる。

【0114】

またホールド回路部 217 を構成する、グループ分けされた各グループのホールド回路には、遅延量固定の遅延回路 24a1 ~ 24a n が、各グループに応じて、入力される制御信号が通過する遅延量固定の遅延回路 24a1 ~ 24a n の個数が異なるように接続されている。これにより、制御信号を、各グループのホールド回路毎に所定の遅延時間だけ遅延させる。

【0115】

10

ホールド回路部 217 を構成するホールド回路 217-1 ~ 217- n は、それぞれに対応するラッチ回路 216-1 ~ 216- n に記憶されているデータを、複数グループ (m 個) 毎に設定された所定の遅延時間だけ遅延された制御信号がアクティブ (例えば H レベル) となるタイミングで複数グループ毎に取り込んで保持する。ホールド回路 216-1 ~ 216- n に保持されたデータは、D/A コンバータ 218-1 ~ 218- n に入力されるデジタルデータになる。

【0116】

ここで制御信号は、タイミングコントローラ 214 から出力され、信号線を介して制御信号入力端子 224 から入力された後、遅延回路 220 を介してホールド回路に入力されるので、遅延回路 220 で所定時間だけ遅延されてホールド回路 217 に入力される。したがって、タイミングコントローラ 214 から出力された制御信号タイミングに対して、ホールド回路 217 内のデータ取り込みタイミングは、遅延量可変の遅延回路 220 と遅延量固定の遅延回路 24a1 ~ 24a n で遅延される時間の合計分だけ遅延されることになる。

20

【0117】

また、D/A コンバータ回路 218-1 ~ 218- n は、上記デジタルデータに基づいて、基準電圧補正回路 221 から入力される p 種類の階調電圧から 1 つを選択して出力する。D/A コンバータ回路 218-1 ~ 218- n の詳細については、例えば特開 2003-130921 号公報に記載されているので、ここではその説明を省略する。

【0118】

30

出力バッファ 219-1 ~ 219- n は、D/A コンバータ 218-1 ~ 218- n からそれぞれ出力された階調電圧をインピーダンス変換する。出力バッファ 219-1 ~ 219- n から出力された階調電圧は、それぞれ信号出力端子 230-1 ~ 230- n から階調データ (駆動データ) として液晶表示パネル 201 に出力される。

【0119】

また、遅延回路 220 では、外部から制御入力端子 224 に入力された信号をカウンタ 231 でカウントし、制御信号はカウント数に応じて遅延素子 D_e で遅延され、ホールド回路 217 に入力される。この時、スイッチ 233-0 を通った信号は遅延されずに LOAD (OUT) から出力され、スイッチ 233-1 を通った信号は遅延素子 D_e を 1 個経由して出力され、スイッチ 233-2 を通った信号は遅延素子 D_e を 3 個経由して出力され、スイッチ 233-3 を通った信号は、遅延素子 D_e を 6 個経由して出力されるため、1 水平同期期間を $1H$ 、1 個の遅延素子 D_e での遅延時間を α とすると、ホールド 217 に入力される信号周期は、図 4 に示すように、 $1H + \alpha$ 、 $1H + 2\alpha$ 、 $1H + 3\alpha$ 、 $1H - 6\alpha$ の 4 通りの周期を持つこととなる。

40

【0120】

これにより、制御信号の周波数が拡散され、更にグループ毎にデータロードタイミングが異なるため、不要輻射が低減される。

【0121】

なお、実施形態 4 では、タイミングコントローラから出力された制御信号をデータドライバ内で遅延回路にて遅延させることにより制御信号のロードタイミングとして複数周期

50

のタイミングを作り出し、駆動回路で発生する駆動信号の周波数成分を拡散させたが、実施形態 2 で説明したように、タイミングコントローラ内に遅延回路を設け、制御信号の遅延処理により、制御信号としてそのパルス立ち上がりタイミングが、一定周期で決まる固定タイミングに対して変化する信号を作り出し、このような遅延処理を施した制御信号をタイミングコントローラから出力させ、データドライバ内での遅延を行わない手法であっても良い。

【 0 1 2 2 】

また、上記実施形態 4 では、データドライバにおけるラッチ回路 2 1 6 - 1 ~ 2 1 6 - n、ホールド回路 2 1 7 - 1 ~ 2 1 7 - n、D / A コンバータ 2 1 8 - 1 ~ 2 1 8 - n、出力バッファ 2 1 9 - 1 ~ 2 1 9 - n がすべてグループ分けされている構成を示したが、データドライバは、ホールド回路 2 1 7 - 1 ~ 2 1 7 - n のみグループ分けしたものでよい。

10

(実施形態 5)

図 1 3 は、本発明の実施形態 5 による駆動回路 (データドライバ) を示すブロック図である。

【 0 1 2 3 】

この実施形態 5 の駆動回路は、実施形態 4 のデータドライバにおける各グループに対応する遅延量固定の遅延回路を、制御信号のカウント数に基づいて遅延量を変化させる図 1 2 に示す遅延回路と同一の回路構成としたものであり、その他の構成は、実施形態 4 のデータドライバと同一である。

20

【 0 1 2 4 】

このような構成の実施形態 5 のデータドライバでは、実施形態 4 の効果に加えて、各グループ毎により細かく制御信号の遅延量を変化させることができる効果がある。

【 0 1 2 5 】

なお、上記実施形態 4 および 5 では、1 つのソースドライバ内でグループ分けした複数のグループの回路間で、表示データを液晶表示パネルにロードするタイミングを異なるタイミングとしているが、複数のソースドライバの間で表示データを液晶表示パネルにロードするタイミングを異なるタイミングとしてもよい。

【 0 1 2 6 】

これにより、不要輻射を低減させた複数の駆動回路 (ソースドライバ) 間で、表示データのロードタイミングをずらすことにより、表示装置全体での不要輻射を更に低減できる。

30

【 0 1 2 7 】

また、上記実施形態 5 では、駆動回路として、実施形態 4 のデータドライバにおける各グループに対応する遅延量固定の遅延回路を、図 1 2 に示す遅延回路と同一の回路構成としたものを示したが、実施形態 4 のデータドライバにおける各グループに対応する遅延量固定の遅延回路は、図 9 に示す遅延回路と同一の回路構成としてもよい。

また、上記実施形態 1 ~ 5 で示した駆動回路を備えた液晶表示装置は、携帯電話、パーソナルコンピュータ、テレビジョンセットなどの電子情報機器のディスプレイ装置として利用されるものである。

40

【 0 1 2 8 】

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

【 産業上の利用可能性 】

【 0 1 2 9 】

50

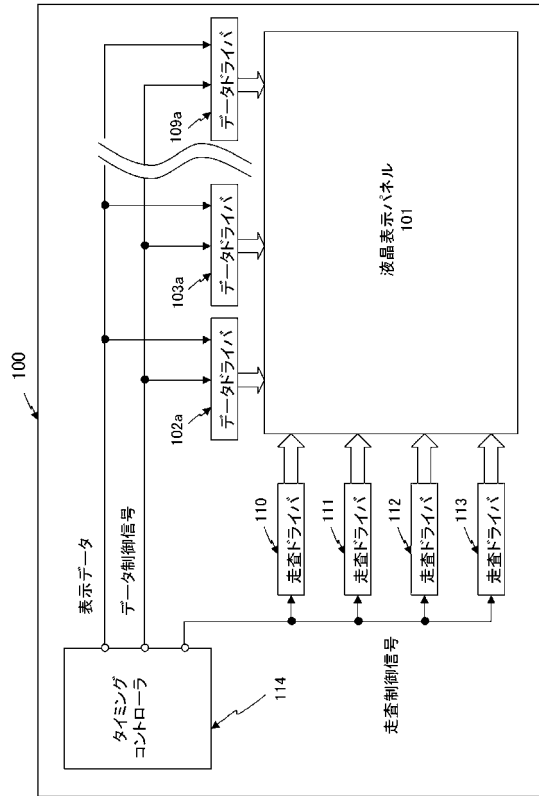
本発明は、駆動回路、液晶表示装置、および電子情報機器の分野において、駆動回路の出力タイミングを一水平同期期間毎、あるいは複数水平同期期間毎に周期的に変動させることにより、周波数を拡散させ、不要輻射を低減させることができる駆動回路、およびこのような駆動回路を搭載した液晶表示装置、並びにこのような液晶表示装置を備えた電子情報機器を提供することができる。

【符号の説明】

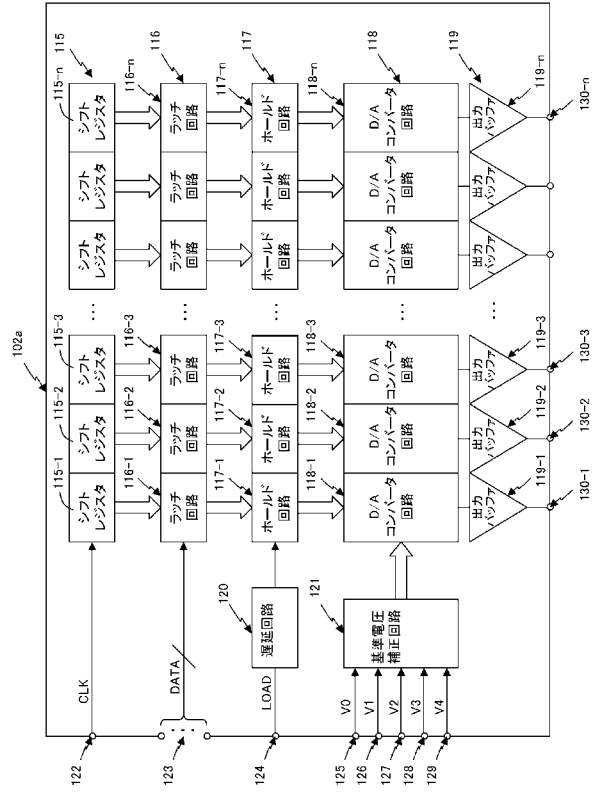
【0130】

14a	制御部	
14b、120、120b、220、D	遅延回路	
20a1～20am	回路ブロック	10
24a1～24am、24b1～24bm	ブロック遅延回路	
100、100a、100b、200	液晶表示装置	
101、201、901	液晶表示パネル	
102、102b、～109、202～209、LS1	データドライバ	
110～113、210～213	走査ドライバ	
114、114a、214	タイミングコントローラ	
115、215、923	シフトレジスタ部	
115-1～115-n、215-1～215-k	シフトレジスタ	
116、216、924	ラッチ回路部	
116-1～116-n、216-1～216-k	ラッチ回路	20
117、217、925	ホールド回路部	
117-1～117-n、217-1～217-k	ホールド回路	
118、218、926	D/Aコンバータ部	
118-1～118-n、218-1～218-k	D/Aコンバータ	
119、219、927	出力バッファ部	
119-1～119-n、219-1～219-k	出力バッファ	
121、221	基準電圧補正回路	
122、222、902	クロック入力端子	
123、223、903	データ入力端子	
124、224、904	制御入力端子	30
125～129、225～229、905～909	基準電圧入力端子	
130、230、911	出力端子部	
130-1～130-n	出力端子	
131、231	カウンタ	
132、232	デコーダ	
133-1～130-4	スイッチ	
134a、134b、134c	遅延部	
De	遅延素子	

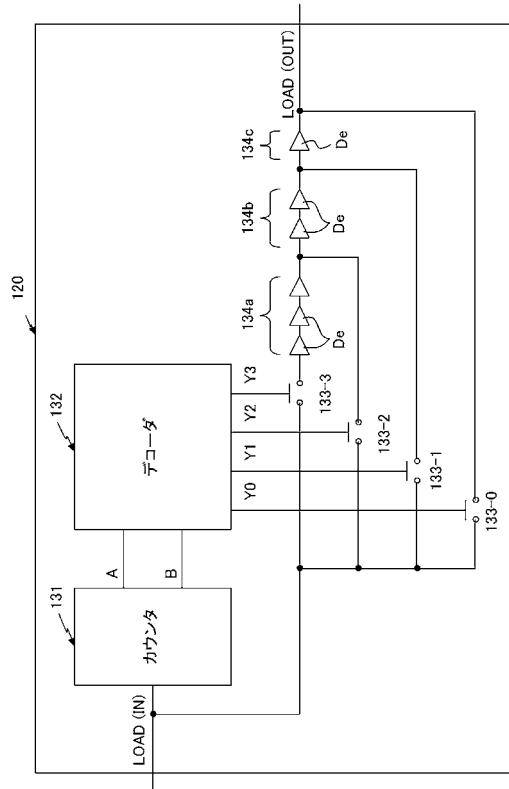
【図 1】



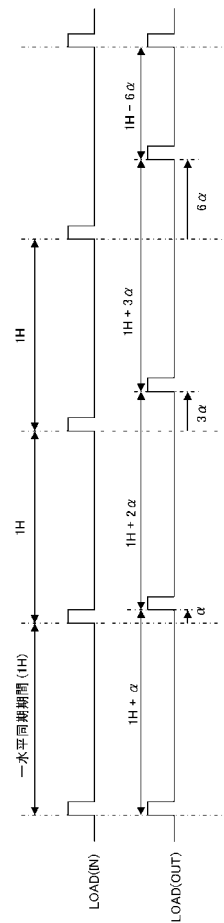
【図 2】



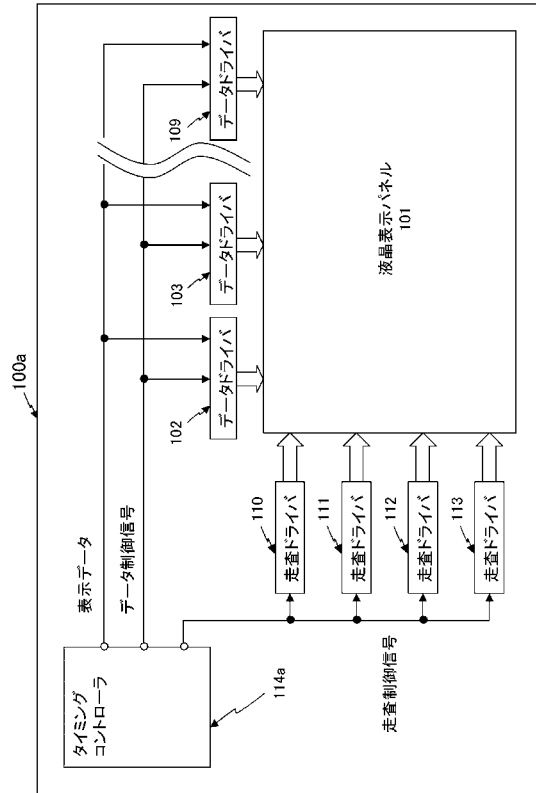
【図 3】



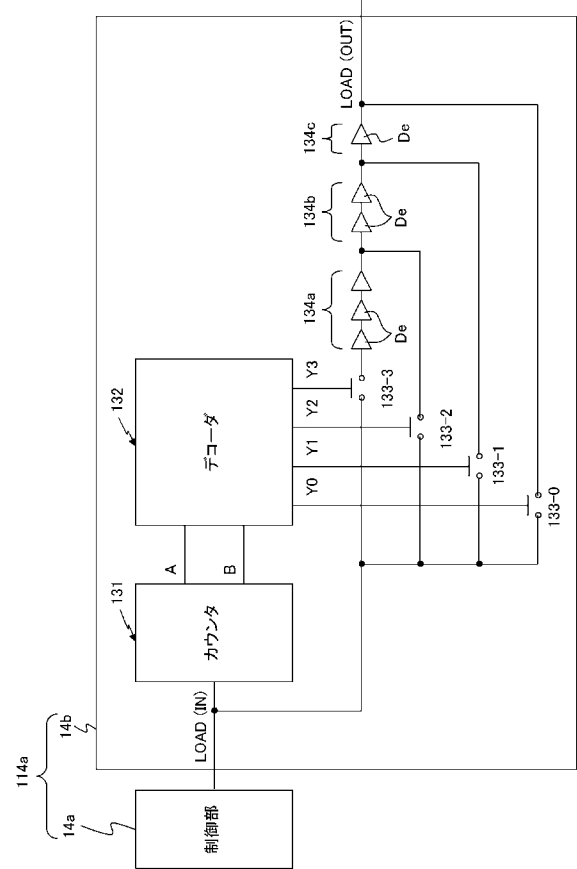
【図 4】



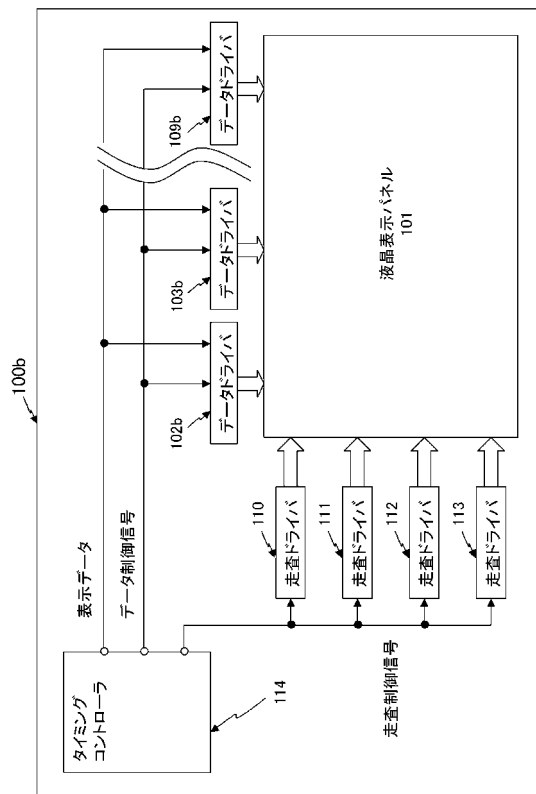
【図 5】



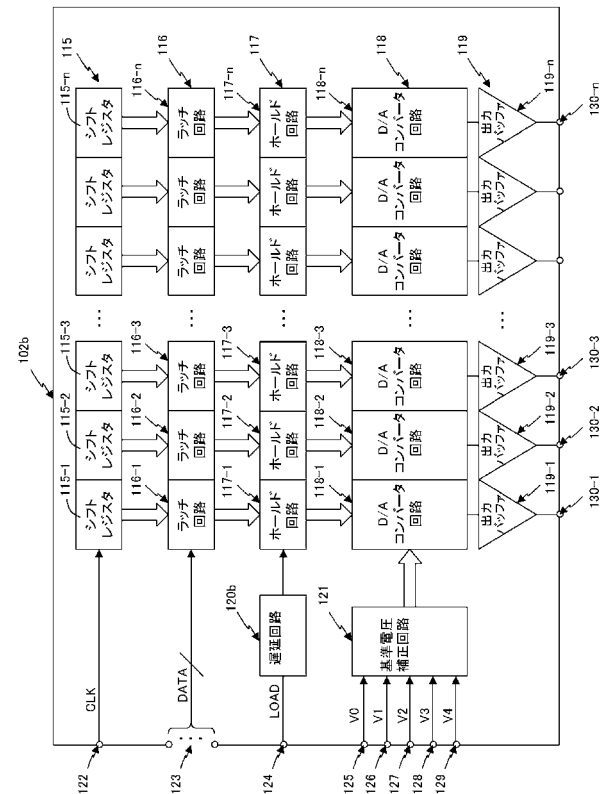
【図 6】



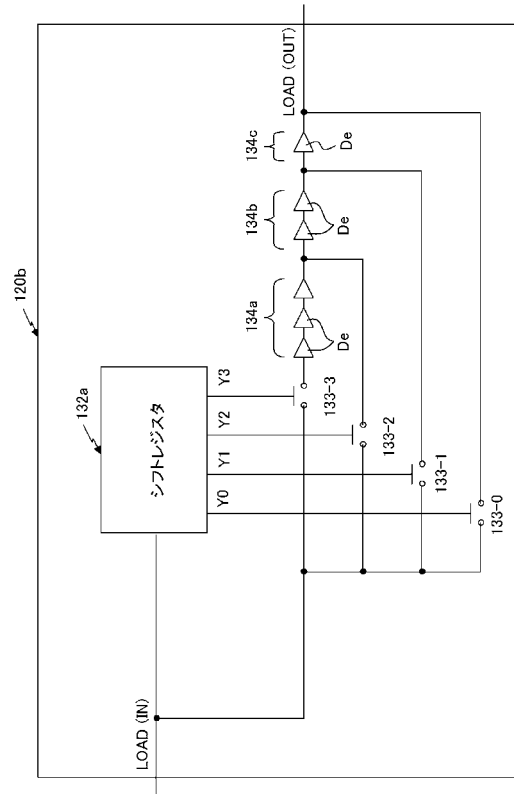
【図 7】



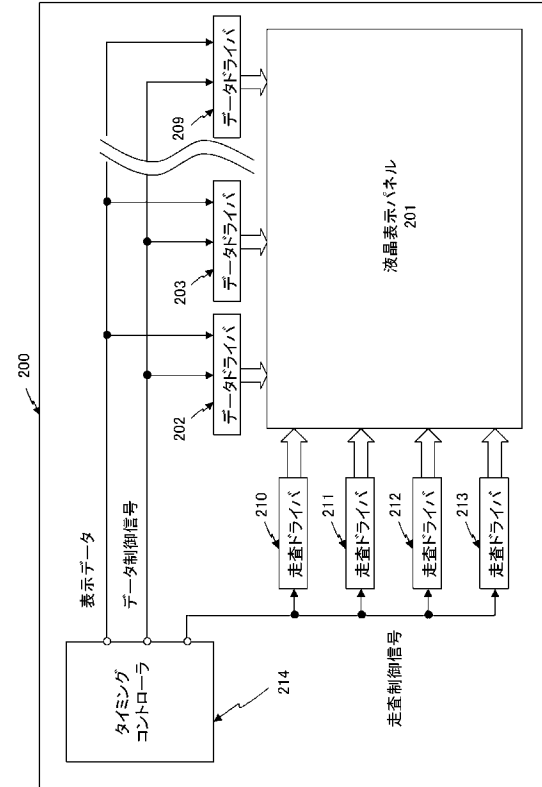
【図 8】



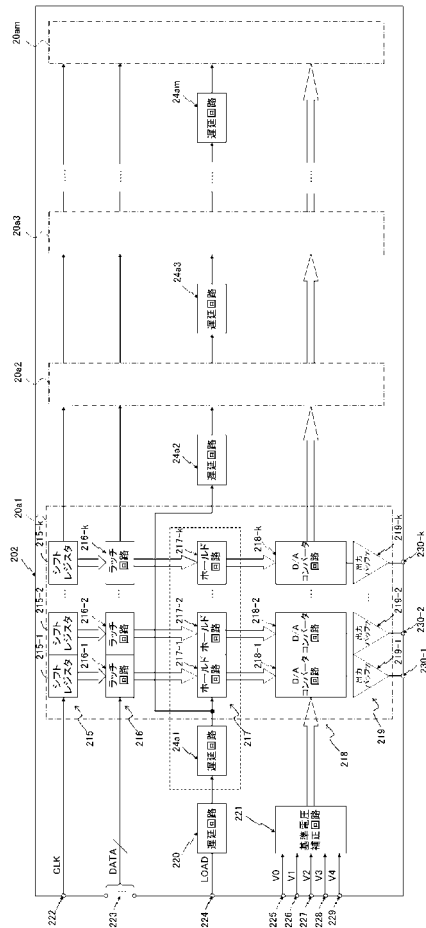
【図 9】



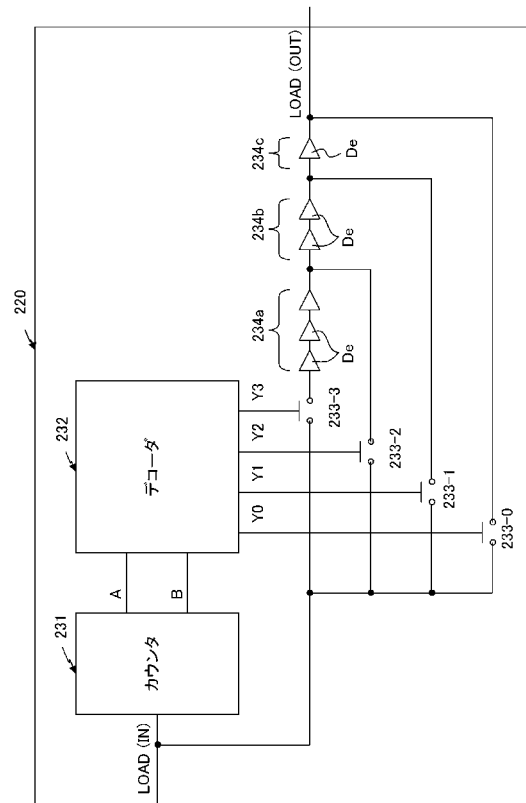
【図 10】



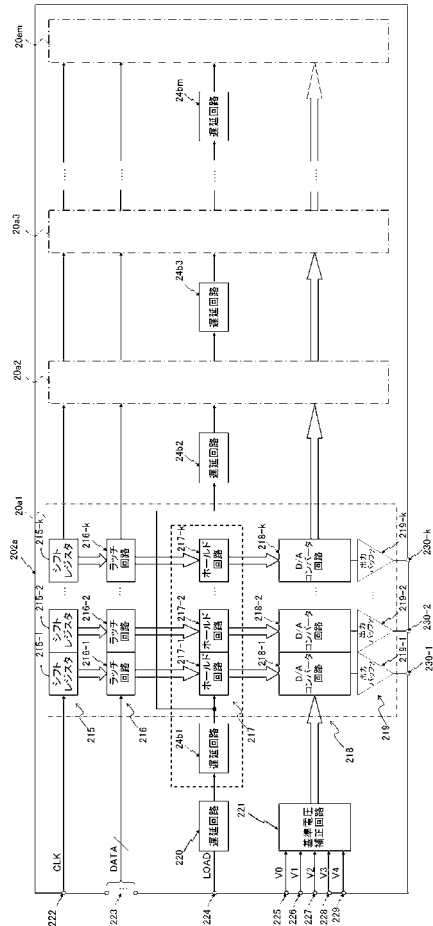
【図 11】



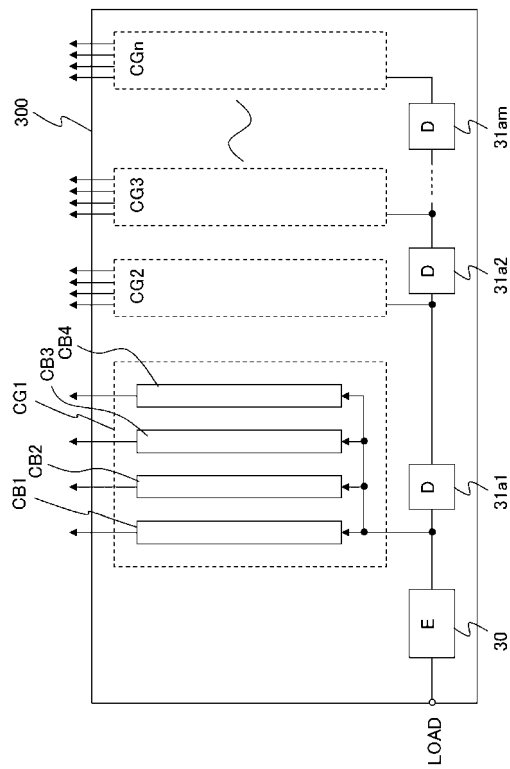
【図 12】



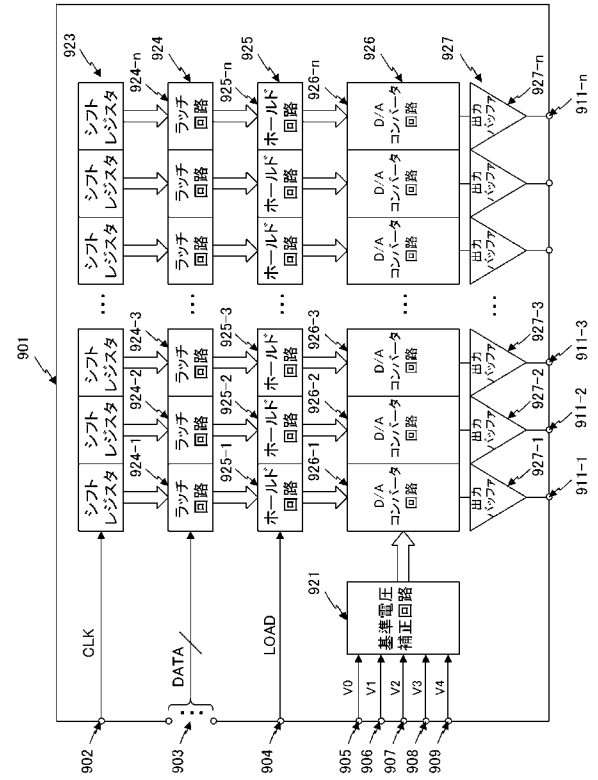
【図 13】



【図 15】



【図 14】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 B
	G 0 9 G	3/20	6 2 3 U
	G 0 9 G	3/20	6 3 3 E
	G 0 2 F	1/133	5 0 5
	G 0 2 F	1/133	5 5 0
	G 0 9 G	3/20	6 1 1 C

審査官 居島 一仁

(56)参考文献 特開平07-013509(JP,A)
特開平03-107994(JP,A)
特開平08-022267(JP,A)
特開平11-133922(JP,A)
特開2006-267999(JP,A)
特開2007-086584(JP,A)
特開2008-070641(JP,A)
特開2003-233358(JP,A)
特開2002-108287(JP,A)
特開2004-301946(JP,A)
特開2006-352554(JP,A)
特開2009-015203(JP,A)
特開2005-338421(JP,A)
特開2002-287691(JP,A)
特開2000-035777(JP,A)
特開平07-239675(JP,A)
特開平11-288339(JP,A)
特開2010-039061(JP,A)
特開2008-262132(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	驱动电路，液晶显示装置和电子信息装置		
公开(公告)号	JP5457286B2	公开(公告)日	2014-04-02
申请号	JP2010143187	申请日	2010-06-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	鈴木貴光 小林勝敏		
发明人	鈴木 貴光 小林 勝敏		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/027 G09G2310/08 G09G2330/025 G09G2330/06		
FI分类号	G09G3/36 G09G3/20.621.A G09G3/20.612.L G09G3/20.623.P G09G3/20.623.H G09G3/20.623.B G09G3/20.623.U G09G3/20.633.E G02F1/133.505 G02F1/133.550 G09G3/20.611.C		
F-TERM分类号	2H193/ZA01 2H193/ZB03 2H193/ZC24 2H193/ZE31 2H193/ZE40 2H193/ZF32 2H193/ZF33 2H193/ZF34 2H193/ZF35 2H193/ZH25 2H193/ZH38 2H193/ZH79 2H193/ZJ11 2H193/ZJ20 5C006/AF71 5C006/AF83 5C006/BF03 5C006/BF04 5C006/BF07 5C006/BF11 5C006/BF22 5C006/FA32 5C080/AA10 5C080/BB05 5C080/CC06 5C080/DD07 5C080/DD08 5C080/DD12 5C080/DD22 5C080/DD27 5C080/JJ02 5C080/JJ04		
其他公开文献	JP2012008286A		
外部链接	Espacenet		

摘要(译)

液晶显示装置 (100) 将从液晶显示面板的驱动电路输出的显示数据的频率成分扩散到液晶显示面板，以减少不必要的辐射。用于基于显示数据和控制信号驱动液晶显示面板的驱动电路包括用于延迟输入控制信号的延迟电路，并且输入显示数据被延迟。提供保持电路单元117，D / A转换器电路单元118和输出缓冲器单元119作为用于在产生控制信号的时刻加载液晶显示装置101的数据加载单元。将显示数据加载到液晶显示面板的加载定时延迟，以便相对于由固定周期 (一个水平同步周期) 确定的固定定时波动。 [选图]图1

【 图 3 】

