

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5290419号

(P5290419)

(45) 発行日 平成25年9月18日 (2013. 9. 18)

(24) 登録日 平成25年6月14日 (2013. 6. 14)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 5 0

G O 9 G 3/36 (2006. 01)

G O 9 G 3/36

G O 9 G 3/20 (2006. 01)

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 2 2 D

請求項の数 30 (全 50 頁) 最終頁に続く

(21) 出願番号 特願2011-523538 (P2011-523538)
 (86) (22) 出願日 平成22年4月15日 (2010. 4. 15)
 (86) 国際出願番号 PCT/JP2010/002732
 (87) 国際公開番号 W02011/010417
 (87) 国際公開日 平成23年1月27日 (2011. 1. 27)
 審査請求日 平成23年10月11日 (2011. 10. 11)
 (31) 優先権主張番号 特願2009-171308 (P2009-171308)
 (32) 優先日 平成21年7月22日 (2009. 7. 22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 津幡 俊英
 日本国大阪府大阪市阿倍野区長池町2番
 2号 シャープ株式会社内

審査官 福田 知喜

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、液晶パネル、液晶表示装置、液晶表示ユニット、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項 1】

各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、

1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、

上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方に電気的に接続されるとともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極の他方に電気的に接続され、かつ上記各トランジスタが、上記2本のデータ信号線のいずれかである同一のデータ信号線に電気的に接続されていることを特徴とするアクティブマトリクス基板。

【請求項 2】

各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、

1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、

上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方と上記2本のデータ信号線の一方とに電気的に接続されるとともに、上記2本の走査信号線の他方に

接続されたトランジスタが上記 2 つの画素電極の他方と保持容量配線とに電氣的に接続されていることを特徴とするアクティブマトリクス基板。

【請求項 3】

各データ信号線の延伸方向を列方向として、容量を介して接続された 2 つの画素電極を含む画素領域が行および列方向に並べられ、

1 つの画素領域列に対応して 2 本のデータ信号線が設けられるとともに、1 つの画素領域行に対応して 2 本の走査信号線が設けられ、

上記画素領域列および画素領域行に属する画素領域について、上記 2 本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる 2 つの画素電極の一方と上記 2 本のデータ信号線の一方とに電氣的に接続されるとともに、上記 2 本の走査信号線の他方に接続されたトランジスタが上記 2 つの画素電極それぞれに電氣的に接続されていることを特徴とするアクティブマトリクス基板。

10

【請求項 4】

列方向に隣り合う 2 つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なることを特徴とする請求項 1～3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 5】

1 つの画素領域には 2 つの画素電極が列方向に並べられ、

行方向に隣り合う 2 つの画素領域に含まれ、それぞれがトランジスタを介してデータ信号線に接続されるとともに互いに斜め向かいとなる 2 つの画素電極の一方に電氣的に接続されるトランジスタと、該 2 つの画素電極の他方に電氣的に接続されるトランジスタとが同一の走査信号線に接続されていることを特徴とする請求項 1～3 のいずれか 1 項に記載のアクティブマトリクス基板。

20

【請求項 6】

1 つの画素領域行に対応する 2 本の走査信号線は、該画素領域行の両側に配されているか、あるいは画素領域行の両端部に重なるように配されていることを特徴とする請求項 1～3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 7】

1 つの画素領域に、該画素領域に含まれる 2 つの画素電極の一方に電氣的に接続されるとともに層間絶縁膜を介して上記 2 つの画素電極の他方に重なる容量電極と、層間絶縁膜を介して上記 2 つの画素電極の一方に重なるとともに上記 2 つの画素電極の他方に電氣的に接続される容量電極とを備えることを特徴とする請求項 1 に記載のアクティブマトリクス基板。

30

【請求項 8】

上記各容量電極がゲート絶縁膜を介して保持容量配線と重なっていることを特徴とする請求項 7 に記載のアクティブマトリクス基板。

【請求項 9】

上記画素領域に含まれる 2 つの画素電極の一方に電氣的に接続される容量電極と、他方に電氣的に接続される容量電極とが、互いに点対称となるようにレイアウトされていることを特徴とする請求項 7 に記載のアクティブマトリクス基板。

40

【請求項 10】

上記層間絶縁膜は無機絶縁膜と有機絶縁膜とからなるが、各容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去あるいは薄く形成されていることを特徴とする請求項 7 に記載のアクティブマトリクス基板。

【請求項 11】

請求項 1 に記載のアクティブマトリクス基板を備え、

所定のフレームでは、2 つの画素領域行の一方に対応する 2 本の走査信号線のうち 1 本と、他方に対応する 2 本の走査信号線のうち 1 本とが同時選択されることで、該 2 つの画素領域行に同時にデータ信号が書き込まれ、

50

上記所定のフレーム以外のフレームでは、上記 2 つの画素領域行の一方に対応する 2 本の走査信号線のうち残る 1 本と、他方に対応する 2 本の走査信号線のうち残る 1 本とが同時選択されることで、該 2 つの画素領域行に同時にデータ信号が書き込まれることを特徴とする液晶表示装置。

【請求項 1 2】

上記 2 つの画素領域行が互いに隣り合うことを特徴とする請求項 1 1 記載の液晶表示装置。

【請求項 1 3】

列方向に隣り合う 2 つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なり、かつ互いに逆極性のデータ信号が供給されることを特徴とする請求項 1 2 記載の液晶表示装置。

10

【請求項 1 4】

行方向に隣り合う 2 つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給されることを特徴とする請求項 1 1 記載の液晶表示装置。

【請求項 1 5】

奇数番目のフレームでは、2 つの画素領域行の一方に対応する 2 本の走査信号線のうち 1 本と、他方に対応する 2 本の走査信号線のうち 1 本とが同時選択され、

20

偶数番目のフレームでは、上記 2 つの画素領域行の一方に対応する 2 本の走査信号線のうち残る 1 本と、他方に対応する 2 本の走査信号線のうち残る 1 本とが同時選択されることを特徴とする請求項 1 1 記載の液晶表示装置。

【請求項 1 6】

同一データ信号線に供給されるデータ信号の極性が 2 フレームごとに反転することを特徴とする請求項 1 5 記載の液晶表示装置。

【請求項 1 7】

連続する 2 フレームそれぞれでは、2 つの画素領域行の一方に対応する 2 本の走査信号線のうち 1 本と、他方に対応する 2 本の走査信号線のうち 1 本とが同時選択され、

上記 2 フレームに続く連続する 2 フレームそれぞれでは、上記 2 つの画素領域行の一方に対応する 2 本の走査信号線のうち残る 1 本と、他方に対応する 2 本の走査信号線のうち残る 1 本とが同時選択されることを特徴とする請求項 1 1 記載の液晶表示装置。

30

【請求項 1 8】

同一データ信号線に供給されるデータ信号の極性が 1 フレームごとに反転することを特徴とする請求項 1 7 記載の液晶表示装置。

【請求項 1 9】

各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、

同時選択中のプリチャージ期間に、上記 2 つの画素領域行に対応する 4 本の走査信号線のうち同時選択されていない各走査信号線が ON・OFF されることを特徴とする請求項 1 1 記載の液晶表示装置。

40

【請求項 2 0】

各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、

同時選択までのプリチャージ期間に、上記 2 つの画素領域行に対応する 4 本の走査信号線それぞれが同期して ON・OFF されることを特徴とする請求項 1 1 記載の液晶表示装置。

【請求項 2 1】

請求項 1 ～ 3 のいずれか 1 項に記載のアクティブマトリクス基板を備え、

2 つの画素領域行の一方に対応する 2 本の走査信号線の一方と、上記 2 つの画素領域行

50

の他方に対応する２本の走査信号線の一方とが同時選択されることで、２つの画素領域行に同時にデータ信号が書き込まれることを特徴とする液晶表示装置。

【請求項２２】

上記２つの画素領域行が互いに隣り合うことを特徴とする請求項２１記載の液晶表示装置。

【請求項２３】

列方向に隣り合う２つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該２つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なり、かつ互いに逆極性のデータ信号が供給されることを特徴とする請求項２２記載の液晶表示装置。

10

【請求項２４】

行方向に隣り合う２つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該２つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給されることを特徴とする請求項２１記載の液晶表示装置。

【請求項２５】

各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、

同時選択中のプリチャージ期間に、上記２つの画素領域行に対応する４本の走査信号線のうち同時選択されていない各走査信号線がＯＮ・ＯＦＦされることを特徴とする請求項２１記載の液晶表示装置。

20

【請求項２６】

各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、

同時選択までのプリチャージ期間に、上記２つの画素領域行に対応する４本の走査信号線それぞれが同期してＯＮ・ＯＦＦされることを特徴とする請求項２１記載の液晶表示装置。

【請求項２７】

請求項１～３のいずれか１項に記載のアクティブマトリクス基板を備えた液晶パネル。

【請求項２８】

請求項２７記載の液晶パネルとドライバとを備えることを特徴とする液晶表示ユニット。

30

【請求項２９】

請求項２８記載の液晶表示ユニットと光源装置とを備えることを特徴とする液晶表示装置。

【請求項３０】

請求項２９記載の液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

40

【０００１】

本発明は、容量結合型の画素分割方式のアクティブマトリクス基板およびこれを備えた液晶パネル等に関する。

【背景技術】

【０００２】

特許文献１（図５２参照）には、１つの画素列に２本のデータ線（左側データ線および右側データ線）を設け、同一画素列に含まれる奇数番目の画素の画素電極を左側データ線に接続する一方、偶数番目の画素の画素電極を右側データ線に接続し、連続する２本の走査信号線（奇数番目の画素に接続する走査信号線および偶数番目の画素に接続する走査信号線）を同時選択することで、画面の書き換え速度を高める液晶表示装置が開示されてい

50

る。また、例えば特許文献2には、容量結合型の画素分割方式の液晶表示装置が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】日本国公開特許公報「特開平10-253987号公報（公開日：1998年9月25日）」

【特許文献2】日本国公開特許公報「特開2006-39290号公報（公開日：2006年2月9日）」

【発明の概要】

10

【発明が解決しようとする課題】

【0004】

本願発明者は、1つの画素列に対応して2本のデータ信号線が設けられる液晶パネルを容量結合型の画素分割方式とした場合に、画素内で電氣的にフローティングとなる画素電極にDC電圧がかかり易く、これが画素の焼き付き等の原因となっていることを見出した。本発明は、この場合の表示品位を改善することを目的とする。

【課題を解決するための手段】

【0005】

本発明のアクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方に電氣的に接続されるとともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極の他方に電氣的に接続され、かつ上記各トランジスタが、上記2本のデータ信号線のいずれかである同一のデータ信号線に電氣的に接続されていることを特徴とする。

20

【0006】

また、本発明のアクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方と上記2本のデータ信号線の一方とに電氣的に接続されるとともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極の他方と保持容量配線とに電氣的に接続されていることを特徴とする。

30

【0007】

また、本アクティブマトリクス基板では、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方と上記2本のデータ信号線の一方とに電氣的に接続されるとともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極それぞれに電氣的に接続されていることを特徴とする。

40

【発明の効果】

【0008】

本アクティブマトリクス基板では、まず、1つの画素領域列に対応して2本のデータ信号線が設けられているため、本アクティブマトリクス基板を備えた液晶表示装置では、2本の走査信号線を同時選択して2つの画素行を同時に書き込むことができる。そして、各

50

画素領域の容量結合された２つの画素電極それぞれが電氣的にフローティングとならない。これにより、本アクティブマトリクス基板を備えた液晶表示装置では画素の焼き付き等が低減され、高い表示品位が実現される。

【図面の簡単な説明】

【０００９】

【図１】実施の形態１にかかる液晶パネルの構成を示す回路図である。

【図２】図１の液晶パネルの駆動方法を示すタイミングチャートである。

【図３】図２のＦ１（ n 番目の水平走査期間）の駆動方法を説明する模式図である。

【図４】図２のＦ１（ $n+1$ 番目の水平走査期間）の駆動方法を説明する模式図である。

【図５】図２のＦ２（ n 番目の水平走査期間）の駆動方法を説明する模式図である。

【図６】図２のＦ２（ $n+1$ 番目の水平走査期間）の駆動方法を説明する模式図である。

【図７】図２のＦ３（ n 番目の水平走査期間）の駆動方法を説明する模式図である。

【図８】図２のＦ３（ $n+1$ 番目の水平走査期間）の駆動方法を説明する模式図である。

【図９】図２のＦ４（ n 番目の水平走査期間）の駆動方法を説明する模式図である。

【図１０】図２のＦ４（ $n+1$ 番目の水平走査期間）の駆動方法を説明する模式図である。

。

【図１１】図１に示す液晶パネルの他の駆動方法を示すタイミングチャートである。

【図１２】図１に示す液晶パネルのさらに他の駆動方法を示すタイミングチャートである。

。

【図１３】図１に示す液晶パネルの構成を示す平面図である。

【図１４】図１３におけるＡ－Ｂ断面図（層間絶縁膜が薄い場合）である。

【図１５】図１３におけるＡ－Ｂ断面図（層間絶縁膜が厚い場合）である。

【図１６】図１に示す液晶パネルの他の構成を示す平面図である。

【図１７】図１６に示す液晶パネルの変形例を示す平面図である。

【図１８】図１７におけるＡ－Ｂ断面図（層間絶縁膜が厚い場合）である。

【図１９】実施の形態１にかかる液晶パネルの他の構成を示す回路図である。

【図２０】図１９の液晶パネルの駆動方法を示すタイミングチャートである。

【図２１】図１９に示す液晶パネルの構成を示す平面図である。

【図２２】図１９に示す液晶パネルの他の構成を示す平面図である。

【図２３】実施の形態２の駆動方法（図１の液晶パネルの場合）を示すタイミングチャートである。

【図２４】図２３のＦ１（ n 番目の水平走査期間）の駆動方法を説明する模式図である。

【図２５】図２３のＦ１（ $n+1$ 番目の水平走査期間）の駆動方法を説明する模式図である。

【図２６】図２３のＦ２（ n 番目の水平走査期間）の駆動方法を説明する模式図である。

【図２７】図２３のＦ２（ $n+1$ 番目の水平走査期間）の駆動方法を説明する模式図である。

【図２８】実施の形態２の駆動方法（図１９の液晶パネルの場合）を示すタイミングチャートである。

【図２９】実施の形態３にかかる液晶パネルの構成を示す回路図である。

【図３０】図２９の液晶パネルの駆動方法を示すタイミングチャートである。

【図３１】図２９に示す液晶パネルの、Ｆ１（ n 番目の水平走査期間）の駆動方法を説明する模式図である。

【図３２】図２９に示す液晶パネルの、Ｆ１（ $n+1$ 番目の水平走査期間）の駆動方法を説明する模式図である。

【図３３】図２９に示す液晶パネルの、Ｆ２（ n 番目の水平走査期間）の駆動方法を説明する模式図である。

【図３４】図２９に示す液晶パネルの、Ｆ２（ $n+1$ 番目の水平走査期間）の駆動方法を説明する模式図である。

【図３５】図２９に示す液晶パネルの構成を示す平面図である。

10

20

30

40

50

【図 3 6】実施の形態 3 にかかる液晶パネルの他の構成を示す回路図である。

【図 3 7】実施の形態 4 にかかる液晶パネルの構成を示す回路図である。

【図 3 8】図 3 7 に示す液晶パネルの、F 1 (n 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 3 9】図 3 7 に示す液晶パネルの、F 1 (n + 1 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 4 0】図 3 7 に示す液晶パネルの、F 2 (n 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 4 1】図 3 7 に示す液晶パネルの、F 2 (n + 1 番目の水平走査期間) の駆動方法を説明する模式図である。

10

【図 4 2】図 3 7 に示す液晶パネルの構成を示す平面図である。

【図 4 3】実施の形態 4 にかかる液晶パネルの他の構成を示す回路図である。

【図 4 4】実施の形態 2 ~ 4 の他の駆動方法を示すタイミングチャートである。

【図 4 5】実施の形態 2 ~ 4 のさらに他の駆動方法を示すタイミングチャートである。

【図 4 6】(a) は本液晶表示ユニットの構成を示す模式図であり、(b) は本液晶表示装置の構成を示す模式図である。

【図 4 7】ソースドライバの構成を示す回路図である。

【図 4 8】本液晶表示装置の全体構成を説明するブロック図である。

【図 4 9】本液晶表示装置の機能を説明するブロック図である。

【図 5 0】本テレビジョン受像機の機能を説明するブロック図である。

20

【図 5 1】本テレビジョン受像機の構成を示す分解斜視図である。

【図 5 2】従来の液晶パネルの構成を示す模式図である。

【発明を実施するための形態】

【0010】

本発明にかかる実施の形態の例を、図 1 ~ 4 9 を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下ではデータ信号線の延伸方向を列方向、走査信号線の延伸方向を行方向とする。ただし、本液晶表示装置（あるいはこれに用いられる液晶パネルやアクティブマトリクス基板）の利用（視聴）状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。また、アクティブマトリクス基板の 1 つの画素領域は、液晶パネルの 1 つの画素に対応している。

30

【0011】

〔実施の形態 1〕

図 1 は本液晶パネルの一部を示す等価回路図である。図 1 に示すように、容量を介して接続された 2 つの画素電極を含む画素が行および列方向に並べられ、1 つの画素列に対応して 2 本のデータ信号線が設けられるとともに、1 つの画素行に対応して 2 本の走査信号線が設けられ、上記画素列および画素行に属する画素について、上記 2 本の走査信号線の一方に接続されたトランジスタが該画素に含まれる 2 つの画素電極の一方に電氣的に接続されるとともに、上記 2 本の走査信号線の他方に接続されたトランジスタが上記 2 つの画素電極の他方に電氣的に接続され、かつ上記各トランジスタが、上記 2 本のデータ信号線のいずれかである同一のデータ信号線に電氣的に接続されている。なお、1 つの画素行に対応する 2 本の走査信号線は、該画素行の両側に配されているか、あるいは画素行の両端部に重なるように配されている。また、列方向に隣り合う 2 つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なっている。さらに、1 つの画素に 2 つの画素電極が列方向に並べられ、同一画素行に含まれる、互いに斜め向かいとなる 2 つの画素電極の一方に電氣的に接続されるトランジスタと、他方に電氣的に接続されるトランジスタとが同一の走査信号線に接続されている。

40

【0012】

例えば、画素 101・105 が行方向に並べられるとともに、画素 101 ~ 104 が列方向に並べられ、1 つの画素列をなす画素 101 ~ 104 に対応して 2 本のデータ信号線 1

50

5 x・15 yが設けられるとともに、1つの画素行をなす画素101・105に対応して、2本の走査信号線16a・16bがこの画素行の両側に設けられる。

【0013】

ここで、画素101には、容量C a bを介して接続された2つの画素電極17a・17bが列方向に並べられ、走査信号線16aに接続されたトランジスタ12aのドレイン電極が画素電極17aに電氣的に接続されるとともに、走査信号線16bに接続されたトランジスタ12bのドレイン電極が画素電極17bに電氣的に接続され、かつトランジスタ12a・12bそれぞれのソース電極が、同一のデータ信号線15xに電氣的に接続されている。なお、画素電極17aと共通電極（対向電極）c o mとの間に液晶容量C l aが形成されるとともに、画素電極17bと共通電極（対向電極）c o mとの間に液晶容量C l bが形成される。

10

【0014】

また、画素101と列方向に隣り合う画素102には、容量C c dを介して接続された2つの画素電極17c・17dが列方向に並べられ、走査信号線16cに接続されたトランジスタ12cのドレイン電極が画素電極17cに電氣的に接続されるとともに、走査信号線16dに接続されたトランジスタ12dのドレイン電極が画素電極17dに電氣的に接続され、かつトランジスタ12c・12dそれぞれのソース電極が、同一のデータ信号線15yに電氣的に接続されている。なお、画素電極17cと共通電極（対向電極）c o mとの間に液晶容量C l cが形成されるとともに、画素電極17dと共通電極（対向電極）c o mとの間に液晶容量C l dが形成される。

20

【0015】

また、画素103には、容量C e fを介して接続された2つの画素電極17e・17fが列方向に並べられ、走査信号線16eに接続されたトランジスタ12eのドレイン電極が画素電極17eに電氣的に接続されるとともに、走査信号線16fに接続されたトランジスタ12fのドレイン電極が画素電極17fに電氣的に接続され、かつトランジスタ12e・12fそれぞれのソース電極が、同一のデータ信号線15xに電氣的に接続されている。

【0016】

また、画素104には、容量C g hを介して接続された2つの画素電極17g・17hが列方向に並べられ、走査信号線16gに接続されたトランジスタ12gのドレイン電極が画素電極17gに電氣的に接続されるとともに、走査信号線16hに接続されたトランジスタ12hのドレイン電極が画素電極17hに電氣的に接続され、かつトランジスタ12g・12hそれぞれのソース電極が、同一のデータ信号線15yに電氣的に接続されている。

30

【0017】

また、画素101と行方向に隣り合う画素105には、容量C A Bを介して接続された2つの画素電極17A・17Bが列方向に並べられ、走査信号線16aに接続されるトランジスタ12Aのドレイン電極が、画素電極17aの斜め向かいとなる画素電極17Bに接続され、走査信号線16bに接続されるトランジスタ12Bのドレイン電極が、画素電極17bの斜め向かいとなる画素電極17Aに接続され、トランジスタ12A・12Bそれぞれのソース電極が、同一のデータ信号線15Xに電氣的に接続されている。なお、画素電極17Aと共通電極（対向電極）c o mとの間に液晶容量C l Aが形成されるとともに、画素電極17Bと共通電極（対向電極）c o mとの間に液晶容量C l Bが形成される。

40

【0018】

また、画素102と行方向に隣り合う画素106には、容量C C Dを介して接続された2つの画素電極17C・17Dが列方向に並べられ、走査信号線16cに接続されるトランジスタ12Cのドレイン電極が、画素電極17cの斜め向かいとなる画素電極17Dに接続され、走査信号線16dに接続されるトランジスタ12Dのドレイン電極が、画素電極17dの斜め向かいとなる画素電極17Cに接続され、トランジスタ12C・12Dそ

50

それぞれのソース電極が、同一のデータ信号線 15 Y に電氣的に接続されている。なお、画素電極 17 C と共通電極（対向電極）com との間に液晶容量 C1C が形成されるとともに、画素電極 17 D と共通電極（対向電極）com との間に液晶容量 C1D が形成される。

【0019】

また、画素 103 と行方向に隣り合う画素 107 には、容量 CEF を介して接続された 2 つの画素電極 17 E・17 F が列方向に並べられ、走査信号線 16 e に接続されるトランジスタ 12 E のドレイン電極が、画素電極 17 e の斜め向かいとなる画素電極 17 F に接続され、走査信号線 16 f に接続されるトランジスタ 12 F のドレイン電極が、画素電極 17 f の斜め向かいとなる画素電極 17 E に接続され、トランジスタ 12 E・12 F それぞれのソース電極が、同一のデータ信号線 15 X に電氣的に接続されている。なお、画素電極 17 E と共通電極（対向電極）com との間に液晶容量 C1E が形成されるとともに、画素電極 17 F と共通電極（対向電極）com との間に液晶容量 C1F が形成される。

【0020】

また、画素 104 と行方向に隣り合う画素 108 には、容量 CGH を介して接続された 2 つの画素電極 17 G・17 H が列方向に並べられ、走査信号線 16 g に接続されるトランジスタ 12 G のドレイン電極が、画素電極 17 g の斜め向かいとなる画素電極 17 H に接続され、走査信号線 16 h に接続されるトランジスタ 12 H のドレイン電極が、画素電極 17 h の斜め向かいとなる画素電極 17 G に接続され、トランジスタ 12 G・12 H それぞれのソース電極が、同一のデータ信号線 15 Y に電氣的に接続されている。なお、画素電極 17 G と共通電極（対向電極）com との間に液晶容量 C1G が形成されるとともに、画素電極 17 H と共通電極（対向電極）com との間に液晶容量 C1H が形成される。

【0021】

図 2 は液晶パネル 5 a の駆動方法を示すタイミングチャートである。図中、15 x・15 y・15 X・15 Y は、データ信号線 15 x・15 y・15 X・15 Y に供給されるデータ信号を示し、sh はプリチャージ期間を規定する信号を示し、16 a～16 h は走査信号線 16 a～16 h に供給される信号（アクティブ High）を示し、17 a～17 d・17 A・17 B は、画素電極 17 a～17 d・17 A・17 B の電位を示している。また、図 3・4 は、図 2 の F1（第 1 フレーム）での駆動を、図 5・6 は、図 2 の F2（第 2 フレーム）での駆動を、図 7・8 は、図 2 の F3（第 3 フレーム）での駆動を、図 9・10 は、図 2 の F4（第 4 フレーム）での駆動を説明している。図 3 等では選択される走査信号線に☆マークを付している。

【0022】

図 2 の駆動方法においては、奇数番目のフレームで、隣り合う 2 つの画素行の一方に対応する 2 本の走査信号線の一方と、該 2 つの画素行の他方に対応する 2 本の走査信号線の一方とが同時選択されることで、該 2 つの画素行に同時にデータ信号が書き込まれ、偶数番目のフレームで、上記隣り合う 2 つの画素行の一方に対応する 2 本の走査信号線の他方と、該 2 つの画素行の他方に対応する 2 本の走査信号線の他方とが同時選択されることで、該 2 つの画素行に同時にデータ信号が書き込まれる。この場合、副画素の明・暗が 1 フレームごとに入れ替わる。

【0023】

例えば、F1・F3 では、画素 101・105 を含む画素行に対応する 2 本の走査信号線の一方である 16 a と、画素 102・106 を含む画素行に対応する 2 本の走査信号線の一方である 16 c とが同時選択されることで、画素 101・105 を含む画素行と画素 102・106 を含む画素行とに同時にデータ信号が書き込まれ、F2・F4 では、画素 101・105 を含む画素行に対応する 2 本の走査信号線の他方である 16 b と、画素 102・106 を含む画素行に対応する 2 本の走査信号線の他方である 16 d とが同時選択されることで、画素 101・105 を含む画素行と画素 102・106 を含む画素行とに

10

20

30

40

50

同時にデータ信号が書き込まれる。

【0024】

また、列方向に隣り合う2つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される。

【0025】

例えばF1では、画素101に含まれる各画素電極(17a・17b)にトランジスタ(12a・12b)を介して接続されるデータ信号線15xに、プラス極性のデータ信号が供給される一方、画素101と列方向に隣り合う画素102に含まれる各画素電極(17c・17d)にトランジスタ(12c・12d)を介して接続されるデータ信号線15yに、マイナス極性のデータ信号が供給される。

10

【0026】

また、行方向に隣り合う2つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、逆極性のデータ信号が供給される。

【0027】

例えば、画素101に含まれる各画素電極(17a・17b)にトランジスタ(12a・12b)を介して接続されるデータ信号線15xに、プラス極性のデータ信号が供給される一方、画素101と行方向に隣り合う画素105に含まれる各画素電極(17A・17B)にトランジスタ(12A・12B)を介して接続されるデータ信号線15Xに、マ

20

【0028】

また、同一のデータ信号線に供給されるデータ信号の極性が2フレームごとに反転する。すなわち、画素の極性が2フレームごとに反転する。

【0029】

例えば、F1・F2では、データ信号線15x・15Yにプラス極性のデータ信号を供給するとともに、データ信号線15y・15Xにマイナス極性のデータ信号を供給する一方、F3・F4では、データ信号線15x・15Yにマイナス極性のデータ信号を供給するとともに、データ信号線15y・15Xにプラス極性のデータ信号を供給する。

【0030】

30

さらに、各水平走査期間に、データ信号線に一定電位(ここでは、共通電極電位VC)が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、(同時書き込みを行う)上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされる。

【0031】

例えば、図1～3に示すように、F1のn番目の水平走査期間では、走査信号線16a・16cの同時選択中のプリチャージ期間に、画素101・105を含む画素行および画素102・106を含む画素行に対応する4本の走査信号線(16a・16b・16c・16d)のうち同時選択されていない各走査信号線(16b・16d)がON・OFFされる(アクティブ化された後に非アクティブとされる)。これにより、トランジスタを介して走査信号線16bに接続された画素電極17b・17Aと、トランジスタを介して走査信号線16dに接続された画素電極17d・17Cとがディスチャージされる。

40

【0032】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16aに接続される画素電極17a・17Bと、トランジスタを介して走査信号線16cに接続される画素電極17c・17Dとにデータ信号が書き込まれる。

【0033】

これにより、画素101では、画素電極17aを含む副画素がプラス極性の明副画素(M+)、画素電極17bを含む副画素がプラス極性の暗副画素(K+)となり、画素105では、画素電極17Aを含む副画素がマイナス極性の暗副画素(K-)、画素電極17

50

Bを含む副画素がマイナス極性の明副画素（M－）となり、画素102では、画素電極17cを含む副画素がマイナス極性の明副画素（M－）、画素電極17dを含む副画素がマイナスの暗副画素（K－）となり、画素106では、画素電極17Cを含む副画素がプラス極性の暗副画素（K＋）、画素電極17Dを含む副画素がプラス極性の明副画素（M＋）となる。

【0034】

また、図1・2・4に示すように、F1のn+1番目の水平走査期間では、走査信号線16e・16gの同時選択中のプリチャージ期間に、画素103・107を含む画素行および画素104・108を含む画素行に対応する4本の走査信号線（16e・16f・16g・16h）のうち同時選択されていない各走査信号線（16f・16h）がON・OFFされる。これにより、トランジスタを介して走査信号線16fに接続された画素電極17f・17Eと、トランジスタを介して走査信号線16hに接続された画素電極17h・17Gとがディスチャージされる。

10

【0035】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16eに接続される画素電極17e・17Fと、トランジスタを介して走査信号線16gに接続される画素電極17g・17Hとにデータ信号が書き込まれる。

【0036】

これにより、画素103では、画素電極17eを含む副画素がプラス極性の明副画素（M＋）、画素電極17fを含む副画素がプラス極性の暗副画素（K＋）となり、画素107では、画素電極17Eを含む副画素がマイナス極性の暗副画素（K－）、画素電極17Fを含む副画素がマイナス極性の明副画素（M－）となり、画素104では、画素電極17gを含む副画素がマイナス極性の明副画素（M－）、画素電極17hを含む副画素がマイナスの暗副画素（K－）となり、画素108では、画素電極17Gを含む副画素がプラス極性の暗副画素（K＋）、画素電極17Hを含む副画素がプラス極性の明副画素（M＋）となる。

20

【0037】

また、図1・2・5に示すように、F2のn番目の水平走査期間では、走査信号線16b・16dの同時選択中のプリチャージ期間に、画素101・105を含む画素行および画素102・106を含む画素行に対応する4本の走査信号線（16a・16b・16c・16d）のうち同時選択されていない各走査信号線（16a・16c）がON・OFFされる。これにより、トランジスタを介して走査信号線16aに接続された画素電極17a・17Bと、トランジスタを介して走査信号線16cに接続された画素電極17c・17Dとがディスチャージされる。

30

【0038】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16bに接続される画素電極17b・17Aと、トランジスタを介して走査信号線16dに接続される画素電極17d・17Cとにデータ信号が書き込まれる。

【0039】

これにより、画素101では、画素電極17aを含む副画素がプラス極性の暗副画素（K＋）、画素電極17bを含む副画素がプラス極性の明副画素（M＋）となり、画素105では、画素電極17Aを含む副画素がマイナス極性の明副画素（M－）、画素電極17Bを含む副画素がマイナス極性の暗副画素（K－）となり、画素102では、画素電極17cを含む副画素がマイナスの暗副画素（K－）、画素電極17dを含む副画素がマイナス極性の明副画素（M－）となり、画素106では、画素電極17Cを含む副画素がプラス極性の明副画素（M＋）、画素電極17Dを含む副画素がプラス極性の暗副画素（K＋）となる。

40

【0040】

また、図1・2・6に示すように、F2のn+1番目の水平走査期間では、走査信号線16f・16hの同時選択中のプリチャージ期間に、画素103・107を含む画素行お

50

よび画素104・108を含む画素行に対応する4本の走査信号線(16e・16f・16g・16h)のうち同時選択されていない各走査信号線(16e・16g)がON・OFFされる。これにより、トランジスタを介して走査信号線16eに接続された画素電極17e・17Fと、トランジスタを介して走査信号線16gに接続された画素電極17g・17Hとがディスチャージされる。

【0041】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16fに接続される画素電極17f・17Eと、トランジスタを介して走査信号線16hに接続される画素電極17h・17Gとにデータ信号が書き込まれる。

【0042】

これにより、画素103では、画素電極17eを含む副画素がプラス極性の暗副画素(K+)、画素電極17fを含む副画素がプラス極性の明副画素(M+)となり、画素107では、画素電極17Eを含む副画素がマイナス極性の明副画素(M-)、画素電極17Fを含む副画素がマイナス極性の暗副画素(K-)となり、画素104では、画素電極17gを含む副画素がマイナスの暗副画素(K-)、画素電極17hを含む副画素がマイナス極性の明副画素(M-)となり、画素108では、画素電極17Gを含む副画素がプラス極性の明副画素(M+)、画素電極17Hを含む副画素がプラス極性の暗副画素(K+)となる。

【0043】

またF3・F4では、各データ信号線に供給されるデータ信号の極性が反転し、F1・F2と同様の走査が行われる(図7~10参照)。

【0044】

液晶パネル5aを備えた液晶表示装置は、容量結合型の画素分割方式であり、また、2つの画素行に同時に書き込みを行うことができるため、視野角特性が良好であるとともに、画素充電時間を維持しつつ、書き換え周波数60Hz以上の高速駆動(例えば、倍速駆動)を行うことができる。

【0045】

そして、画素内の2つの画素電極それぞれがトランジスタを介してデータ信号線に接続されている(すなわち、電氣的にフローティングとならない)ことから、容量結合型の画素分割方式で問題となっていた画素の焼き付等を抑制することができる。また、1つの副画素を明副画素にしたり暗副画素にしたりすることができるため、1つの副画素が明副画素あるいは暗副画素に固定される液晶表示装置と比較して視野角特性を高めることができる。例えばMVAの液晶表示装置では、時間的にみて1副画素あたり4×2(明・暗)ドメインを形成することができる。また、各フレームにおいて、1画素に含まれる2つの画素電極の一方(明副画素に対応する画素電極)にデータ信号を書き込む前に他方(暗副画素に対応する画素電極)をディスチャージしているため、明・暗副画素の輝度を(1フレーム前にこの他方の画素電極に書き込まれたデータ信号に左右されることなく)適正に制御することができる。

【0046】

さらに、各フレームでは、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並ぶ(明・暗副画素が市松配置される)ため、ざらつき感の少ない自然な表示が可能となる。また、同一データ信号線に供給されるデータ信号の極性が2垂直期間同一であるため、データ信号の極性が1水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。なお、各フレームで書き込まれるデータ信号の極性分布はドット反転状となるため、画面のチラツキも抑制することができる。また、各水平走査期間にプリチャージ期間を設けているため、過去フレームの階調による(例えば、256階調表示で0階調→100階調に遷移する場合と100階調→100階調に遷移する場合の)充電率の波形や到達値のばらつきを小さくすることができる。

【0047】

また、図2の駆動方法においては、奇数番目のフレームでは、2つの画素領域行の一方に

10

20

30

40

50

対応する2本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とが同時選択され、偶数番目のフレームでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とが同時選択され、かつ同一データ信号線に供給されるデータ信号の極性が1フレームごとに反転するが、これに限定されない。例えば、図11に示すように、連続する2フレームそれぞれでは、2つの画素領域行の一方に対応する2本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とを同時選択し、上記2フレームに続く連続する2フレームそれぞれでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とを同時選択し、かつ同一データ信号線に供給するデータ信号の極性を2フレームごとに反転させてもよい。この場合、1つの副画素では、2フレームごとに明・暗が入れ替わり、1フレームごとに極性が反転することになる。

10

【0048】

また、図2・11の駆動方法では、同時選択中のプリチャージ期間に、（同時書き込みを行う）上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされるが、これに限定されない。例えば、図12に示すように、同時選択が開始されるまでのプリチャージ期間に、（同時書き込みを行う）上記2つの画素領域行に対応する4本の走査信号線それぞれを同期してON・OFFしてもよい。この場合、同時選択の1/2～1/5垂直走査期間前に、上記4本の走査信号線それぞれを同期してON・OFFすることもできる。こうすれば、上記2つの画素領域行には1/2～1/5垂直走査期間だけ黒表示がなされるため、いわゆる黒挿入の効果が得られ、動画等での尾引き感を抑えることができる。

20

【0049】

図13は、図1に示す液晶パネル5aの一部の構成例を示す平面図である。図13に示すように、液晶パネル5aには、行方向に延伸する走査信号線16a～16dがこの順に配されるとともに、列方向に延伸するデータ信号線15x・15y・15X・15Yがこの順に配され、平面的に視ると、走査信号線16a・16bおよびデータ信号線15x・15yで画される領域に画素電極17a・17bが列方向に並べられるとともに、走査信号線16a・16bおよびデータ信号線15X・15Yで画される領域に画素電極17A・17Bが列方向に並べられ、かつ走査信号線16c・16dおよびデータ信号線15x・15yで画される領域に画素電極17c・17dが列方向に並べられるとともに、走査信号線16c・16dおよびデータ信号線15X・15Yで画される領域に画素電極17C・17Dが列方向に並べられている。また、走査信号線16a・16b間に保持容量配線18pが配されるとともに、走査信号線16c・16d間に保持容量配線18qが配されている。

30

【0050】

なお、走査信号線16aはトランジスタ12a・12Aのゲート電極として、走査信号線16bはトランジスタ12b・12Bのゲート電極として、走査信号線16cはトランジスタ12c・12Cのゲート電極として、走査信号線16dはトランジスタ12d・12Dのゲート電極として機能する。また、トランジスタ12a・12bのソース電極はデータ信号線15xに接続されるとともに、トランジスタ12c・12dのソース電極はデータ信号線15yに接続され、トランジスタ12A・12Bのソース電極はデータ信号線15Xに接続されるとともに、トランジスタ12C・12Dのソース電極はデータ信号線15Yに接続されている。

40

【0051】

また、トランジスタ12aのドレイン電極9aが容量電極37aに接続され、該容量電極37aと画素電極17aとがコンタクトホール11aを介して接続され、容量電極37aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17bと重なる部分とを有している。なお、ドレイン電極9aと容量電極37aの境界は走査信号線16aのエッジ上とする。一方、トランジスタ12bのドレイン電極9

50

bが容量電極37bに接続され、容量電極37bと画素電極17bとがコンタクトホール11bを介して接続され、容量電極37bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17aに重なる部分とを有している。なお、ドレイン電極9bと容量電極37bの境界は走査信号線16bのエッジ上とする。

【0052】

ここでは、容量電極37aおよび画素電極17bの重なり部分と、容量電極37bおよび画素電極17aの重なり部分とに、結合容量C_{ab}（図1参照）が形成され、容量電極37aおよび保持容量配線18pの重なり部分に、保持容量C_{ha}（図1参照）の大半が形成され、容量電極37bおよび保持容量配線18pの重なり部分に、保持容量C_{hb}（図1参照）の大半が形成されている。このように、容量電極37aおよび画素電極17bの重なり部分に形成される容量と、容量電極37bおよび画素電極17aの重なり部分に形成される容量とが並列に接続された構成とすることで結合容量C_{ab}の値を大きくすることができる。

10

【0053】

また、容量電極37aおよび容量電極37bは、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極9a・9bも、それぞれの面積が等しくなるようにレイアウトされている。したがって、画素電極17aを含む副画素が明副画素で画素電極17bを含む副画素が暗副画素となるフレームと、画素電極17aを含む副画素が暗副画素で画素電極17bを含む副画素が明副画素となるフレームとで同一の表示が可能となる。

20

【0054】

また、トランジスタ12Aのドレイン電極9Aが容量電極37Aに接続され、該容量電極37Aと画素電極17Bとがコンタクトホール11Aを介して接続され、容量電極37Aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17Aと重なる部分とを有している。なお、ドレイン電極9Aと容量電極37Aの境界は走査信号線16aのエッジ上とする。一方、トランジスタ12Bのドレイン電極9Bが容量電極37Bに接続され、容量電極37Bと画素電極17Aとがコンタクトホール11Bを介して接続され、容量電極37Bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17Bに重なる部分とを有している。なお、ドレイン電極9Bと容量電極37Bの境界は走査信号線16bのエッジ上とする。

30

【0055】

ここでは、容量電極37Aおよび画素電極17Aの重なり部分と、容量電極37Bおよび画素電極17Bの重なり部分とに、結合容量C_{AB}（図1参照）が形成され、容量電極37Bおよび保持容量配線18pの重なり部分に、保持容量C_{hA}（図1参照）の大半が形成され、容量電極37Aおよび保持容量配線18pの重なり部分に、保持容量C_{hB}（図1参照）の大半が形成されている。このように、容量電極37Aおよび画素電極17Aの重なり部分に形成される容量と、容量電極37Bおよび画素電極17Bの重なり部分に形成される容量とが並列に接続された構成とすることで結合容量C_{AB}の値を大きくすることができる。

【0056】

また、容量電極37Aおよび容量電極37Bは、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極9A・9Bも、それぞれの面積が等しくなるようにレイアウトされている。したがって、画素電極17Aを含む副画素が明副画素で画素電極17Bを含む副画素が暗副画素となるフレームと、画素電極17Aを含む副画素が暗副画素で画素電極17Bを含む副画素が明副画素となるフレームとで同一の表示が可能となる。

40

【0057】

図14は図13のA-B断面図である。同図に示すように、液晶パネル5aは、アクティブマトリクス基板3と、これに対向するカラーフィルタ基板30と、両基板（3・30）間に配される液晶層40とを備える。

50

【0058】

アクティブマトリクス基板3では、ガラス基板31上に走査信号線16a・16bおよび保持容量配線18pが形成され、これらを覆うようにゲート絶縁膜22が形成されている。ゲート絶縁膜22上には、半導体層24(i層およびn+層)、n+層に接するソース電極8a、ドレイン電極9a・9b、および容量電極37aが形成され、これらを覆うように層間絶縁膜51が形成されている。層間絶縁膜51上には画素電極17a・17bが形成され、さらに、これら(画素電極17a・17b)を覆うように配向膜(図示せず)が形成されている。ここで、コンタクトホール11aでは、層間絶縁膜51が削り貫かれ、これによって、画素電極17aと容量電極37aとが接続される。また、容量電極37aの先端部は層間絶縁膜51を介して画素電極17bと重なっており、これによって、結合容量Cab(図1参照)の一部が形成される。また、容量電極37aの先端部はゲート絶縁膜22を介して保持容量配線18pと重なっており、これによって、保持容量Cha(図1参照)の一部が形成されている。

10

【0059】

一方、カラーフィルタ基板30では、ガラス基板32上にブラックマトリクス13および着色層14が形成され、その上層に共通電極(com)28が形成され、さらにこれを覆うように配向膜(図示せず)が形成されている。

【0060】

以下に、本液晶パネルの製造方法について説明する。液晶パネルの製造方法には、アクティブマトリクス基板製造工程と、カラーフィルタ基板製造工程と、両基板を貼り合わせて液晶を充填する組み立て工程とが含まれる。

20

【0061】

まず、ガラス、プラスチックなどの基板上に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜(厚さ1000Å~3000Å)をスパッタリング法により成膜し、その後、フォトリソグラフィー技術(Photo Engraving Process、以下、「PEP技術」と称し、これにはエッチング工程が含まれるものとする)によりパターニングを行い、走査信号線(各トランジスタのゲート電極)および保持容量配線を形成する。

【0062】

次いで、走査信号線が形成された基板全体に、CVD(Cheical Vapor Deposition)法により窒化シリコンや酸化シリコンなどの無機絶縁膜(厚さ3000Å~5000Å程度)を成膜し、フォトレジストの除去を行い、ゲート絶縁膜を形成する。

30

【0063】

続いて、ゲート絶縁膜上(基板全体)に、CVD法により真性アモルファスシリコン膜(厚さ1000Å~3000Å)と、リンがドーパされたn+アモルファスシリコン膜(厚さ400Å~700Å)とを連続して成膜し、その後、PEP技術によってパターニングを行い、フォトレジストを除去することにより、ゲート電極上に、真性アモルファスシリコン層とn+アモルファスシリコン層とからなるシリコン積層体を島状に形成する。

【0064】

続いて、シリコン積層体が形成された基板全体に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜(厚さ1000Å~3000Å)をスパッタリング法により成膜し、その後、PEP技術によりパターニングを行い、データ信号線、トランジスタのソース電極・ドレイン電極、および容量電極を形成する(メタル層の形成)。ここでは必要に応じてレジストを除去する。

40

【0065】

さらに、上記メタル配線形成時のフォトレジスト、またはソース電極およびドレイン電極をマスクとして、シリコン積層体を構成するn+アモルファスシリコン層をエッチング除去し、フォトレジストを除去することにより、トランジスタのチャンネルを形成する。ここで、半導体層は、上記のようにアモルファスシリコン膜により形成させてもよいが、ポ

50

リシリコン膜を成膜させてもよく、また、アモルファスシリコン膜およびポリシリコン膜にレーザアニール処理を行って結晶性を向上させてもよい。これにより、半導体層内の電子の移動速度が速くなり、トランジスタ（TFT）の特性を向上させることができる。

【0066】

次いで、データ信号線などが形成された基板全体に層間絶縁膜を形成する。具体的には、 SiH_4 ガスと NH_3 ガスと N_2 ガスとの混合ガスを用い、基板全面を覆うように、厚さ約 $3000 \text{ \AA}$ の SiN_x からなる無機絶縁膜（パッシベーション膜）を CVD にて形成する。

【0067】

その後、PEP 技術により、層間絶縁膜をエッチング除去してコンタクトホールを形成する。

10

【0068】

続いて、コンタクトホールが形成された層間絶縁膜上の基板全体に、ITO（Indium Tin Oxide）、IZO（Indium Zinc Oxide）、酸化亜鉛、酸化スズなどからなる透明導電膜（厚さ $1000 \text{ \AA} \sim 2000 \text{ \AA}$ ）をスパッタリング法により成膜し、その後、PEP 技術によりパターンニングを行い、レジストを除去して各画素電極を形成する。

【0069】

最後に、画素電極上の基板全体に、ポリイミド樹脂を厚さ $500 \text{ \AA} \sim 1000 \text{ \AA}$ で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。以上のようにして、アクティブマトリクス基板製造される。

20

【0070】

以下に、カラーフィルタ基板製造工程について説明する。

【0071】

まず、ガラス、プラスチックなどの基板上（基板全体）に、クロム薄膜、または黒色顔料を含有する樹脂を成膜した後に PEP 技術によってパターンニングを行い、ブラックマトリクスを形成する。次いで、ブラックマトリクスの間隙に、顔料分散法などを用いて、赤、緑および青のカラーフィルタ層（厚さ $2 \mu\text{m}$ 程度）をパターン形成する。

【0072】

続いて、カラーフィルタ層上の基板全体に、ITO、IZO、酸化亜鉛、酸化スズなどからなる透明導電膜（厚さ $1000 \text{ \AA}$ 程度）を成膜し、共通電極（com）を形成する。

30

【0073】

最後に、共通電極上の基板全体に、ポリイミド樹脂を厚さ $500 \text{ \AA} \sim 1000 \text{ \AA}$ で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。上記のようにして、カラーフィルタ基板を製造することができる。

【0074】

以下に、組み立て工程について、説明する。

【0075】

まず、アクティブマトリクス基板およびカラーフィルタ基板の一方に、スクリーン印刷により、熱硬化性エポキシ樹脂などからなるシール材料を液晶注入口の部分に欠いた枠状パターンに塗布し、他方の基板に液晶層の厚さに相当する直径を持ち、プラスチックまたはシリカからなる球状のスペーサーを散布する。なお、スペーサーを散布する代わりに、PEP 技術により CF 基板の BM 上あるいはアクティブマトリクス基板のメタル配線の上にスペーサーを形成してもよい。

40

【0076】

次いで、アクティブマトリクス基板とカラーフィルタ基板とを貼り合わせ、シール材料を硬化させる。

【0077】

最後に、アクティブマトリクス基板およびカラーフィルタ基板並びにシール材料で囲まれる空間に、減圧法により液晶材料を注入した後、液晶注入口に UV 硬化樹脂を塗布し、UV 照射によって液晶材料を封止することで液晶層を形成する。以上のようにして、液晶

50

パネルが製造される。

【0078】

なお、MVA（マルチドメインバーティカルアライメント）方式の液晶パネルでは、例えば、アクティブマトリクス基板の各画素電極に配向規制用のスリットが設けられるとともに、カラーフィルタ基板に配向規制用のリブ（線状突起）が設けられる。なお、リブの代わりに、カラーフィルタ基板の共通電極に配向規制用のスリットを設けることもできる。

【0079】

なお、アクティブマトリクス基板の層間絶縁膜（チャンネル保護膜）を、図15に示すように、無機絶縁膜25と有機絶縁膜26とで構成してもよい。こうすれば、各種寄生容量の低減や配線同士の短絡防止の効果が得られる。なお、この有機絶縁膜26については、容量電極37aおよび画素電極17bと重畳する部分を、図15のように削り貫くかあるいは周囲よりも薄く形成することが好ましい。こうすれば、結合容量Cab（図1参照）の容量値を大きくすることができる。このように層間絶縁膜を厚く形成する場合には、図16のように各画素電極のエッジ領域をデータ信号線および走査信号線に重ねて開口率を高めることもできる。さらに、図16の構成においては、互いに隣り合う2本のデータ信号線であって、かつそれぞれが別々の画素領域列に対応して設けられたものの間隙（データ信号線と同層）あるいは間隙上（画素電極と同層）に、データ信号とは別の信号が供給される間配線を設けてもよい。例えば、図17に示すように、データ信号線15y・15Xの間隙に間配線66を設ける（図17の断面図である図18参照）。こうすれば、例えば、データ信号線15Xと画素電極17aのクロストーク、およびデータ信号線15yと画素電極17Aのクロストークを低減することができる。

【0080】

図19は本液晶パネル5bの構成を示す回路図である。液晶パネル5bと液晶パネル5a（図1参照）との違いは、同一画素行内で行方向に隣り合う2つの画素電極の一方に電氣的に接続されるトランジスタと、他方に電氣的に接続されるトランジスタとが同一の走査信号線に接続されている点である。

【0081】

例えば、画素101と行方向に隣り合う画素105には、容量CABを介して接続された2つの画素電極17A・17Bが列方向に並べられ、走査信号線16aに接続されるトランジスタ12Aのドレイン電極が、画素電極17aと行方向に隣り合う画素電極17Aに接続され、走査信号線16bに接続されるトランジスタ12Bのドレイン電極が、画素電極17bと行方向に隣り合う画素電極17Bに接続され、トランジスタ12A・12Bそれぞれのソース電極が、同一のデータ信号線15Xに電氣的に接続されている。

【0082】

また、画素102と行方向に隣り合う画素106には、容量CCDを介して接続された2つの画素電極17C・17Dが列方向に並べられ、走査信号線16cに接続されるトランジスタ12Cのドレイン電極が、画素電極17cと行方向に隣り合う画素電極17Cに接続され、走査信号線16dに接続されるトランジスタ12Dのドレイン電極が、画素電極17dと行方向に隣り合う画素電極17Dに接続され、トランジスタ12C・12Dそれぞれのソース電極が、同一のデータ信号線15Yに電氣的に接続されている。

【0083】

図20は液晶パネル5bの駆動方法を示すタイミングチャートである。図中、15x・15y・15X・15Yは、データ信号線15x・15y・15X・15Yに供給されるデータ信号を示し、shはプリチャージ期間を規定する信号を示し、16a～16hは走査信号線16a～16hに供給される信号（アクティブHigh）を示し、17a～17d・17A・17Bは、画素電極17a～17d・17A・17Bの電位を示している。液晶パネル5bを駆動したときには、同一画素行内で行方向に隣り合う2つの画素電極の一方を含む副画素と他方を含む副画素とがともに明副画素あるいはともに暗副画素となり、それ以外は液晶パネル5aを駆動したときと同様である。

【0084】

図21は、図17に示す液晶パネル5bの一具体例を示す平面図である。図21における、各データ信号線、各走査信号線および各保持容量配線並びに各トランジスタの構成は図13におけるそれらの構成と同一である。そして、トランジスタ12aのドレイン電極9aが容量電極37aに接続され、該容量電極37aと画素電極17aとがコンタクトホール11aを介して接続され、容量電極37aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17bと重なる部分とを有している。なお、ドレイン電極9aと容量電極37aの境界は走査信号線16aのエッジ上とする。一方、トランジスタ12bのドレイン電極9bが容量電極37bに接続され、容量電極37bと画素電極17bがコンタクトホール11bを介して接続され、容量電極37bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17aに重なる部分とを有している。なお、ドレイン電極9bと容量電極37bの境界は走査信号線16bのエッジ上とする。また、容量電極37aおよび容量電極37bは、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極9a・9bも、それぞれの面積が等しくなるようにレイアウトされている。

10

【0085】

また、トランジスタ12Aのドレイン電極9Aが容量電極37Aに接続され、該容量電極37Aと画素電極17Aとがコンタクトホール11Aを介して接続され、容量電極37Aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17Bと重なる部分とを有している。なお、ドレイン電極9Aと容量電極37Aの境界は走査信号線16aのエッジ上とする。一方、トランジスタ12Bのドレイン電極9Bが容量電極37Bに接続され、容量電極37Bと画素電極17Bとがコンタクトホール11Bを介して接続され、容量電極37Bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17Aに重なる部分とを有している。なお、ドレイン電極9Bと容量電極37Bの境界は走査信号線16bのエッジ上とする。また、容量電極37Aおよび容量電極37Bは、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極9A・9Bも、それぞれの面積が等しくなるようにレイアウトされている。

20

【0086】

図22は、図19に示す液晶パネル5bの別具体例を示す平面図である。図20における、各データ信号線、各走査信号線および各保持容量配線並びに各トランジスタの構成は図13におけるそれらの構成と同一である。そして、トランジスタ12aのドレイン電極9aがドレイン引き出し電極およびコンタクトホール11aを介して画素電極17aに接続され、コンタクトホール41aを介して画素電極17aに接続される容量電極37aが、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17bと重なる部分とを有している。また、トランジスタ12bのドレイン電極9bがドレイン引き出し電極およびコンタクトホール11bを介して画素電極17bに接続され、コンタクトホール41bを介して画素電極17bに接続される容量電極37bが、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17aと重なる部分とを有している。

30

40

【0087】

ここでは、容量電極37aおよび画素電極17bの重なり部分と、容量電極37bおよび画素電極17aの重なり部分とに、結合容量C_{ab}（図19参照）が形成され、容量電極37aおよび保持容量配線18pの重なり部分に、保持容量C_{ha}（図19参照）が形成され、容量電極37bおよび保持容量配線18pの重なり部分に、保持容量C_{hb}（図19参照）が形成されている。このように、容量電極37aおよび画素電極17bの重なり部分に形成される容量と、容量電極37bおよび画素電極17aの重なり部分に形成される容量とが並列に接続された構成とすることで結合容量C_{ab}の値を大きくすることができる。

【0088】

50

また、容量電極 37 a および容量電極 37 b は、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極 9 a・9 b も、それぞれの面積が等しくなるようにレイアウトされている。したがって、画素電極 17 a を含む副画素が明副画素で画素電極 17 b を含む副画素が暗副画素となるフレームと、画素電極 17 a を含む副画素が暗副画素で画素電極 17 b を含む副画素が明副画素となるフレームとで同一の表示が可能となる。

【0089】

また、トランジスタ 12 A のドレイン電極 9 A がドレイン引き出し電極およびコンタクトホール 11 A を介して画素電極 17 A に接続され、コンタクトホール 41 A を介して画素電極 17 A に接続される容量電極 37 A が、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 B と重なる部分とを有している。また、トランジスタ 12 B のドレイン電極 9 B がドレイン引き出し電極およびコンタクトホール 11 B を介して画素電極 17 B に接続され、コンタクトホール 41 B を介して画素電極 17 B に接続される容量電極 37 B が、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 A と重なる部分とを有している。

【0090】

ここでは、容量電極 37 A および画素電極 17 B の重なり部分と、容量電極 37 B および画素電極 17 A の重なり部分とに、結合容量 C A B (図 19 参照) が形成され、容量電極 37 A および保持容量配線 18 p の重なり部分に、保持容量 C h A (図 19 参照) が形成され、容量電極 37 B および保持容量配線 18 p の重なり部分に、保持容量 C h B (図 19 参照) が形成されている。このように、容量電極 37 A および画素電極 17 B の重なり部分に形成される容量と、容量電極 37 B および画素電極 17 A の重なり部分に形成される容量とが並列に接続された構成とすることで結合容量 C A B の値を大きくすることができる。

【0091】

また、容量電極 37 A および容量電極 37 B は、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極 9 A・9 B も、それぞれの面積が等しくなるようにレイアウトされている。したがって、画素電極 17 A を含む副画素が明副画素で画素電極 17 B を含む副画素が暗副画素となるフレームと、画素電極 17 A を含む副画素が暗副画素で画素電極 17 B を含む副画素が明副画素となるフレームとで同一の表示が可能となる。

【0092】

〔実施の形態 2〕

実施の形態 2 では、図 1 の液晶パネル 5 a を、図 23 のように駆動する。図中、15 x・15 y・15 X・15 Y は、データ信号線 15 x・15 y・15 X・15 Y に供給されるデータ信号を示し、s h はプリチャージ期間を規定する信号を示し、16 a~16 h は走査信号線 16 a~16 h に供給される信号 (アクティブ High) を示し、17 a~17 d・17 A・17 B は、画素電極 17 a~17 d・17 A・17 B の電位を示している。また、図 24・25 は、図 23 の f1 (第 1 フレーム) での駆動を、図 26・27 は、図 23 の f2 (第 2 フレーム) での駆動を説明している。

【0093】

図 23 の駆動方法においては、各フレームで、隣り合う 2 つの画素行の一方に対応する 2 本の走査信号線の一方と、該 2 つの画素行の他方に対応する 2 本の走査信号線の一方とが同時選択される (各フレームで同じ 2 本の走査信号線が選択される) ことで、該 2 つの画素行に同時にデータ信号が書き込まれる。この場合、副画素の明・暗は入れ替わらない。

【0094】

また、列方向に隣り合う 2 つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される。

【0095】

例えばf1では、画素101に含まれる各画素電極(17a・17b)にトランジスタ(12a・12b)を介して接続されるデータ信号線15xに、プラス極性のデータ信号が供給される一方、画素101と列方向に隣り合う画素102に含まれる各画素電極(17c・17d)にトランジスタ(12c・12d)を介して接続されるデータ信号線15yに、マイナス極性のデータ信号が供給される。

【0096】

また、行方向に隣り合う2つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、逆極性のデータ信号が供給される。

10

【0097】

例えば、画素101に含まれる各画素電極(17a・17b)にトランジスタ(12a・12b)を介して接続されるデータ信号線15xに、プラス極性のデータ信号が供給される一方、画素101と行方向に隣り合う画素105に含まれる各画素電極(17A・17B)にトランジスタ(12A・12B)を介して接続されるデータ信号線15Xに、マイナス極性のデータ信号が供給される。

【0098】

また、同一のデータ信号線に供給されるデータ信号の極性が1フレームごとに反転する。すなわち、画素の極性が1フレームごとに反転する。

【0099】

20

例えば、f1では、データ信号線15x・15Yにプラス極性のデータ信号を供給するとともに、データ信号線15y・15Xにマイナス極性のデータ信号を供給する一方、f2では、データ信号線15x・15Yにマイナス極性のデータ信号を供給するとともに、データ信号線15y・15Xにプラス極性のデータ信号を供給する。

【0100】

さらに、各水平走査期間に、データ信号線に一定電位(ここでは、共通電極電位VC)が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、(同時書き込みを行う)上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされる。

【0101】

30

例えば、図22～24に示すように、f1のn番目の水平走査期間では、走査信号線16a・16cの同時選択中のプリチャージ期間に、画素101・105を含む画素行および画素102・106を含む画素行に対応する4本の走査信号線(16a・16b・16c・16d)のうち同時選択されていない各走査信号線(16b・16d)がON・OFFされる(アクティブ化された後に非アクティブとされる)。これにより、トランジスタを介して走査信号線16bに接続された画素電極17b・17Aと、トランジスタを介して走査信号線16dに接続された画素電極17d・17Cとがディスチャージされる。

【0102】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16aに接続される画素電極17a・17Bと、トランジスタを介して走査信号線16cに接続される画素電極17c・17Dとにデータ信号が書き込まれる。

40

【0103】

これにより、画素101では、画素電極17aを含む副画素がプラス極性の明副画素(M+)、画素電極17bを含む副画素がプラス極性の暗副画素(K+)となり、画素105では、画素電極17Aを含む副画素がマイナス極性の暗副画素(K-)、画素電極17Bを含む副画素がマイナス極性の明副画素(M-)となり、画素102では、画素電極17cを含む副画素がマイナス極性の明副画素(M-)、画素電極17dを含む副画素がマイナスの暗副画素(K-)となり、画素106では、画素電極17Cを含む副画素がプラス極性の暗副画素(K+)、画素電極17Dを含む副画素がプラス極性の明副画素(M+)となる。

50

【0104】

また、図22・23・25に示すように、f1のn+1番目の水平走査期間では、走査信号線16e・16gの同時選択中のプリチャージ期間に、画素103・107を含む画素行および画素104・108を含む画素行に対応する4本の走査信号線(16e・16f・16g・16h)のうち同時選択されていない各走査信号線(16f・16h)がON・OFFされる。これにより、トランジスタを介して走査信号線16fに接続された画素電極17f・17Eと、トランジスタを介して走査信号線16hに接続された画素電極17h・17Gとがディスチャージされる。

【0105】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16eに接続される画素電極17e・17Fと、トランジスタを介して走査信号線16gに接続される画素電極17g・17Hとにデータ信号が書き込まれる。

10

【0106】

これにより、画素103では、画素電極17eを含む副画素がプラス極性の明副画素(M+)、画素電極17fを含む副画素がプラス極性の暗副画素(K+)となり、画素107では、画素電極17Eを含む副画素がマイナス極性の暗副画素(K-)、画素電極17Fを含む副画素がマイナス極性の明副画素(M-)となり、画素104では、画素電極17gを含む副画素がマイナス極性の明副画素(M-)、画素電極17hを含む副画素がマイナスの暗副画素(K-)となり、画素108では、画素電極17Gを含む副画素がプラス極性の暗副画素(K+)、画素電極17Hを含む副画素がプラス極性の明副画素(M+)となる。

20

【0107】

またf2では、各データ信号線に供給されるデータ信号の極性が反転し、f1と同様の走査が行われる。

【0108】

すなわち、図22・23・26に示すように、f2のn番目の水平走査期間では、走査信号線16a・16cの同時選択中のプリチャージ期間に、画素101・105を含む画素行および画素102・106を含む画素行に対応する4本の走査信号線(16a・16b・16c・16d)のうち同時選択されていない各走査信号線(16b・16d)がON・OFFされる(アクティブ化された後に非アクティブとされる)。これにより、トランジスタを介して走査信号線16bに接続された画素電極17b・17Aと、トランジスタを介して走査信号線16dに接続された画素電極17d・17Cとがディスチャージされる。

30

【0109】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16aに接続される画素電極17a・17Bと、トランジスタを介して走査信号線16cに接続される画素電極17c・17Dとにデータ信号が書き込まれる。

【0110】

また、図22・23・27に示すように、f2のn+1番目の水平走査期間では、走査信号線16e・16gの同時選択中のプリチャージ期間に、画素103・107を含む画素行および画素104・108を含む画素行に対応する4本の走査信号線(16e・16f・16g・16h)のうち同時選択されていない各走査信号線(16f・16h)がON・OFFされる。これにより、トランジスタを介して走査信号線16fに接続された画素電極17f・17Eと、トランジスタを介して走査信号線16hに接続された画素電極17h・17Gとがディスチャージされる。

40

【0111】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16eに接続される画素電極17e・17Fと、トランジスタを介して走査信号線16gに接続される画素電極17g・17Hとにデータ信号が書き込まれる。

【0112】

50

実施の形態2でも、画素内の2つの画素電極それぞれがトランジスタを介してデータ信号線に接続されている（すなわち、電氣的にフローティングとならない）ことから、容量結合型の画素分割方式で問題となっていた画素の焼き付等を抑制することができる。

【0113】

また、各フレームでは、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並ぶ（明・暗副画素が市松配置される）ため、ざらつき感の少ない自然な表示が可能となる。また、同一データ信号線に供給されるデータ信号の極性が2垂直期間同一であるため、データ信号の極性が1水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。なお、各フレームで書き込まれるデータ信号の極性分布はドット反転状となるため、画面のチラツキも抑制することができる。また、各水平走査期間にプリチャージ期間を設けているため、過去フレームの階調による（例えば、256階調表示で0階調→100階調に遷移する場合と100階調→100階調に遷移する場合の）充電率の波形や到達値のばらつきを小さくすることができる。

10

【0114】

図23の駆動方法では、同時選択中のプリチャージ期間に、（同時書き込みを行う）上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされるが、これに限定されない。例えば、図44に示すように、同時選択が開始されるまでのプリチャージ期間に、（同時書き込みを行う）上記2つの画素領域行に対応する4本の走査信号線それぞれを同期してON・OFFしてもよい。この場合、同時選択の1/2～1/5垂直走査期間前に、上記4本の走査信号線それぞれを同期してON・OFFすることもできる。こうすれば、上記2つの画素領域行には1/2～1/5垂直走査期間だけ黒表示がなされるため、いわゆる黒挿入の効果が得られ、動画等での尾引き感を抑えることができる。

20

【0115】

なお、本実施の形態では、図19の液晶パネル5bを、図28あるいは図45のように駆動することもできる。

【0116】

〔実施の形態3〕

実施の形態3で用いる液晶パネル5cの構成を図29に示す。液晶パネル5cと液晶パネル5a（図1参照）の違いは、走査信号線16bに接続されるトランジスタ12b・12Bのソース電極が保持容量配線18pに接続され、走査信号線16dに接続されるトランジスタ12d・12Dのソース電極が保持容量配線18qに接続され、走査信号線16fに接続されるトランジスタ12f・12Fのソース電極が保持容量配線18rに接続され、走査信号線16hに接続されるトランジスタ12h・12Hのソース電極が保持容量配線18sに接続されている点であり、これ以外は同一である。

30

【0117】

実施の形態3では、この液晶パネル5cを、図30のように駆動する。図中、15x・15y・15X・15Yは、データ信号線15x・15y・15X・15Yに供給されるデータ信号を示し、shはプリチャージ期間を規定する信号を示し、16a～16hは走査信号線16a～16hに供給される信号（アクティブHigh）を示し、17a～17d・17A・17Bは、画素電極17a～17d・17A・17Bの電位を示している。また、図31・32は、図30のF1（第1フレーム）での駆動を、図33・34は、図30のF2（第2フレーム）での駆動を説明している。

40

【0118】

図30の駆動方法においては、各フレームで、隣り合う2つの画素行の一方に対応する2本の走査信号線の一方と、該2つの画素行の他方に対応する2本の走査信号線の一方とが同時選択される（各フレームで同じ2本の走査信号線が選択される）ことで、該2つの画素行に同時にデータ信号が書き込まれる。この場合、副画素の明・暗は入れ替わらない。

【0119】

50

また、列方向に隣り合う２つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該２つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される。

【０１２０】

例えばＦ１では、画素１０１に含まれる各画素電極（１７ａ・１７ｂ）にトランジスタ（１２ａ・１２ｂ）を介して接続されるデータ信号線１５ｘに、プラス極性のデータ信号が供給される一方、画素１０１と列方向に隣り合う画素１０２に含まれる各画素電極（１７ｃ・１７ｄ）にトランジスタ（１２ｃ・１２ｄ）を介して接続されるデータ信号線１５ｙに、マイナス極性のデータ信号が供給される。

【０１２１】

また、行方向に隣り合う２つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該２つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、逆極性のデータ信号が供給される。

【０１２２】

例えば、画素１０１に含まれる各画素電極（１７ａ・１７ｂ）にトランジスタ（１２ａ・１２ｂ）を介して接続されるデータ信号線１５ｘに、プラス極性のデータ信号が供給される一方、画素１０１と行方向に隣り合う画素１０５に含まれる各画素電極（１７Ａ・１７Ｂ）にトランジスタ（１２Ａ・１２Ｂ）を介して接続されるデータ信号線１５Ｘに、マイナス極性のデータ信号が供給される。

【０１２３】

また、同一のデータ信号線に供給されるデータ信号の極性が１フレームごとに反転する。すなわち、画素の極性が１フレームごとに反転する。

【０１２４】

例えば、Ｆ１では、データ信号線１５ｘ・１５Ｙにプラス極性のデータ信号を供給するとともに、データ信号線１５ｙ・１５Ｘにマイナス極性のデータ信号を供給する一方、Ｆ２では、データ信号線１５ｘ・１５Ｙにマイナス極性のデータ信号を供給するとともに、データ信号線１５ｙ・１５Ｘにプラス極性のデータ信号を供給する。

【０１２５】

さらに、各水平走査期間に、データ信号線に一定電位（ここでは、共通電極電位ＶＣ）が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、（同時書き込みを行う）上記２つの画素領域行に対応する４本の走査信号線のうち同時選択されていない各走査信号線がＯＮ・ＯＦＦされる。

【０１２６】

例えば、図２９～３１に示すように、Ｆ１のｎ番目の水平走査期間では、走査信号線１６ａ・１６ｃの同時選択中のプリチャージ期間に、画素１０１・１０５を含む画素行および画素１０２・１０６を含む画素行に対応する４本の走査信号線（１６ａ・１６ｂ・１６ｃ・１６ｄ）のうち同時選択されていない各走査信号線（１６ｂ・１６ｄ）がＯＮ・ＯＦＦされる（アクティブ化された後に非アクティブとされる）。これにより、トランジスタを介して走査信号線１６ｂに接続された画素電極１７ｂ・１７Ａと、トランジスタを介して走査信号線１６ｄに接続された画素電極１７ｄ・１７Ｃとが保持容量配線に接続され、ディスチャージされる。

【０１２７】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線１６ａに接続される画素電極１７ａ・１７Ｂと、トランジスタを介して走査信号線１６ｃに接続される画素電極１７ｃ・１７Ｄとにデータ信号が書き込まれる。

【０１２８】

これにより、画素１０１では、画素電極１７ａを含む副画素がプラス極性の明副画素（Ｍ＋）、画素電極１７ｂを含む副画素がプラス極性の暗副画素（Ｋ＋）となり、画素１０５では、画素電極１７Ａを含む副画素がマイナス極性の暗副画素（Ｋ－）、画素電極１７Ｂを含む副画素がマイナス極性の明副画素（Ｍ－）となり、画素１０２では、画素電極１

10

20

30

40

50

7 cを含む副画素がマイナス極性の明副画素（M－）、画素電極 17 dを含む副画素がマイナスの暗副画素（K－）となり、画素 106では、画素電極 17 Cを含む副画素がプラス極性の暗副画素（K＋）、画素電極 17 Dを含む副画素がプラス極性の明副画素（M＋）となる。

【0129】

また、図 29・30・32に示すように、F1のn+1番目の水平走査期間では、走査信号線 16 e・16 gの同時選択中のプリチャージ期間に、画素 103・107を含む画素行および画素 104・108を含む画素行に対応する4本の走査信号線（16 e・16 f・16 g・16 h）のうち同時選択されていない各走査信号線（16 f・16 h）がON・OFFされる。これにより、トランジスタを介して走査信号線 16 fに接続された画素電極 17 f・17 Eと、トランジスタを介して走査信号線 16 hに接続された画素電極 17 h・17 Gとが保持容量配線に接続され、ディスチャージされる。

10

【0130】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 eに接続される画素電極 17 e・17 Fと、トランジスタを介して走査信号線 16 gに接続される画素電極 17 g・17 Hとにデータ信号が書き込まれる。

【0131】

これにより、画素 103では、画素電極 17 eを含む副画素がプラス極性の明副画素（M＋）、画素電極 17 fを含む副画素がプラス極性の暗副画素（K＋）となり、画素 107では、画素電極 17 Eを含む副画素がマイナス極性の暗副画素（K－）、画素電極 17 Fを含む副画素がマイナス極性の明副画素（M－）となり、画素 104では、画素電極 17 gを含む副画素がマイナス極性の明副画素（M－）、画素電極 17 hを含む副画素がマイナスの暗副画素（K－）となり、画素 108では、画素電極 17 Gを含む副画素がプラス極性の暗副画素（K＋）、画素電極 17 Hを含む副画素がプラス極性の明副画素（M＋）となる。

20

【0132】

またF2では、各データ信号線に供給されるデータ信号の極性が反転し、F1と同様の走査が行われる。

【0133】

すなわち、図 29・30・33に示すように、F2のn番目の水平走査期間では、走査信号線 16 a・16 cの同時選択中のプリチャージ期間に、画素 101・105を含む画素行および画素 102・106を含む画素行に対応する4本の走査信号線（16 a・16 b・16 c・16 d）のうち同時選択されていない各走査信号線（16 b・16 d）がON・OFFされる（アクティブ化された後に非アクティブとされる）。これにより、トランジスタを介して走査信号線 16 bに接続された画素電極 17 b・17 Aと、トランジスタを介して走査信号線 16 dに接続された画素電極 17 d・17 Cとが保持容量配線に接続され、ディスチャージされる。

30

【0134】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 aに接続される画素電極 17 a・17 Bと、トランジスタを介して走査信号線 16 cに接続される画素電極 17 c・17 Dとにデータ信号が書き込まれる。

40

【0135】

また、図 29・30・34に示すように、F2のn+1番目の水平走査期間では、走査信号線 16 e・16 gの同時選択中のプリチャージ期間に、画素 103・107を含む画素行および画素 104・108を含む画素行に対応する4本の走査信号線（16 e・16 f・16 g・16 h）のうち同時選択されていない各走査信号線（16 f・16 h）がON・OFFされる。これにより、トランジスタを介して走査信号線 16 fに接続された画素電極 17 f・17 Eと、トランジスタを介して走査信号線 16 hに接続された画素電極 17 h・17 Gとが保持容量配線に接続され、ディスチャージされる。

【0136】

50

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16eに接続される画素電極17e・17Fと、トランジスタを介して走査信号線16gに接続される画素電極17g・17Hとにデータ信号が書き込まれる。

【0137】

実施の形態3では、1画素に含まれる2つの画素電極の一方がトランジスタを介してデータ信号線に接続され、他方がトランジスタを介して保持容量配線に接続されている（すなわち、電氣的にフローティングとならない）ことから、容量結合型の画素分割方式で問題となっていた画素の焼き付等を抑制することができる。

【0138】

また、各フレームでは、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並ぶ（明・暗副画素が市松配置される）ため、ざらつき感の少ない自然な表示が可能となる。また、同一データ信号線に供給されるデータ信号の極性が2垂直期間同一であるため、データ信号の極性が1水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。なお、各フレームで書き込まれるデータ信号の極性分布はドット反転状となるため、画面のチラツキも抑制することができる。また、各水平走査期間にプリチャージ期間を設けているため、過去フレームの階調による（例えば、256階調表示で0階調→100階調に遷移する場合と100階調→100階調に遷移する場合の）充電率の波形や到達値のばらつきを小さくすることができる。

【0139】

図35は、図29に示す液晶パネル5cの一具体例を示す平面図である。図35における、各データ信号線、各走査信号線および各保持容量配線の構成は図13におけるそれらの構成と同一である。そして、走査信号線16aはトランジスタ12a・12Aのゲート電極として、走査信号線16bはトランジスタ12b・12Bのゲート電極として、走査信号線16cはトランジスタ12c・12Cのゲート電極として、走査信号線16dはトランジスタ12d・12Dのゲート電極として機能する。また、トランジスタ12aのソース電極はデータ信号線15xに接続されるとともに、トランジスタ12cのソース電極はデータ信号線15yに接続され、トランジスタ12Aのソース電極はデータ信号線15Xに接続されるとともに、トランジスタ12Cのソース電極はデータ信号線15Yに接続されている。

【0140】

さらに、トランジスタ12aのドレイン電極9aが容量電極37aに接続され、容量電極37aと画素電極17aとがコンタクトホール11aを介して接続され、容量電極37aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17bと重なる部分とを有している。一方、トランジスタ12bのソース電極8bは中継電極47bに接続され、中継電極47bと保持容量配線18pとがコンタクトホール81bを介して接続されている。また、トランジスタ12bのドレイン電極9bは引き出し電極27bに接続され、引き出し電極27bと画素電極17bとがコンタクトホール11bを介して接続され、引き出し電極27bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分を有している。

【0141】

ここでは、容量電極37aおよび画素電極17bの重なり部分に、結合容量Cab（図29参照）が形成され、容量電極37aおよび保持容量配線18pの重なり部分に、保持容量Cha（図29参照）の大半が形成され、引き出し電極27bおよび保持容量配線18pの重なり部分に、保持容量Chb（図29参照）の大半が形成されている。

【0142】

また、トランジスタ12Aのドレイン電極9Aが容量電極37Aに接続され、容量電極37Aと画素電極17Bとがコンタクトホール11Aを介して接続され、容量電極37Aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17Aと重なる部分とを有している。一方、トランジスタ12Bのソース電極8Bは中継電極47Bに接続され、中継電極47Bと保持容量配線18pとがコンタクトホール

8 1 Bを介して接続されている。また、トランジスタ 1 2 Bのドレイン電極 9 Bは引き出し電極 2 7 Bに接続され、引き出し電極 2 7 Bと画素電極 1 7 Aとがコンタクトホール 1 1 Bを介して接続され、引き出し電極 2 7 Bは、ゲート絶縁膜を介して保持容量配線 1 8 pに重なる部分を有している。

【0 1 4 3】

ここでは、容量電極 3 7 Aおよび画素電極 1 7 Aの重なり部分に、結合容量 C A B（図 2 9 参照）が形成され、容量電極 3 7 Aおよび保持容量配線 1 8 pの重なり部分に、保持容量 C h B（図 2 9 参照）の大半が形成され、引き出し電極 2 7 Bおよび保持容量配線 1 8 pの重なり部分に、保持容量 C h A（図 2 9 参照）の大半が形成されている。

【0 1 4 4】

なお、図 2 9 の液晶パネル 5 cを図 4 4 に示すように駆動することもできる。すなわち、同時選択が開始されるまでのプリチャージ期間に、（同時書き込みを行う）上記 2 つの画素領域行に対応する 4 本の走査信号線それぞれを同期して ON・OFF させる。この場合、同時選択の 1 / 2 ~ 1 / 5 垂直走査期間前に、上記 4 本の走査信号線それぞれを同期して ON・OFF することもできる。こうすれば、上記 2 つの画素領域行には 1 / 2 ~ 1 / 5 垂直走査期間だけ黒表示がなされるため、いわゆる黒挿入の効果が得られ、動画等での尾引き感を抑えることができる。

【0 1 4 5】

また、実施の形態 3 では、図 3 6 に示す液晶パネル 5 dを、図 2 8 あるいは図 4 5 のように駆動することもできる。なお、液晶パネル 5 dと液晶パネル 5 b（図 1 9 参照）の違いは、走査信号線 1 6 bに接続されるトランジスタ 1 2 b・1 2 Bのソース電極が保持容量配線 1 8 pに接続され、走査信号線 1 6 dに接続されるトランジスタ 1 2 d・1 2 Dのソース電極が保持容量配線 1 8 qに接続され、走査信号線 1 6 fに接続されるトランジスタ 1 2 f・1 2 Fのソース電極が保持容量配線 1 8 rに接続され、走査信号線 1 6 hに接続されるトランジスタ 1 2 h・1 2 Hのソース電極が保持容量配線 1 8 sに接続されている点であり、これ以外は同一である。

【0 1 4 6】

〔実施の形態 4〕

実施の形態 4 で用いる液晶パネル 5 eの構成を図 3 7 に示す。液晶パネル 5 eと液晶パネル 5 a（図 1 参照）の違いは、走査信号線 1 6 bに接続されるトランジスタ 1 2 bのソース電極が画素電極 1 7 aに接続され、走査信号線 1 6 bに接続されるトランジスタ 1 2 Bのソース電極が画素電極 1 7 Bに接続され、走査信号線 1 6 dに接続されるトランジスタ 1 2 dのソース電極が画素電極 1 7 cに接続され、走査信号線 1 6 dに接続されるトランジスタ 1 2 Dのソース電極が画素電極 1 7 Dに接続され、走査信号線 1 6 fに接続されるトランジスタ 1 2 fのソース電極が画素電極 1 7 eに接続され、走査信号線 1 6 fに接続されるトランジスタ 1 2 Fのソース電極が画素電極 1 7 Fに接続され、走査信号線 1 6 hに接続されるトランジスタ 1 2 hのソース電極が画素電極 1 7 gに接続され、走査信号線 1 6 hに接続されるトランジスタ 1 2 Hのソース電極が画素電極 1 7 Hに接続されている点であり、これ以外は同一である。

【0 1 4 7】

実施の形態 4 では、この液晶パネル 5 eを、図 3 0 のように駆動する。図 3 8・3 9 は、図 3 0 の F 1（第 1 フレーム）での駆動を、図 4 0・4 1 は、図 3 0 の F 2（第 2 フレーム）での駆動を説明している。

【0 1 4 8】

例えば、図 3 0・3 7・3 8 に示すように、F 1 の n 番目の水平走査期間では、走査信号線 1 6 a・1 6 cの同時選択中のプリチャージ期間に、画素 1 0 1・1 0 5を含む画素行および画素 1 0 2・1 0 6を含む画素行に対応する 4 本の走査信号線（1 6 a・1 6 b・1 6 c・1 6 d）のうち同時選択されていない各走査信号線（1 6 b・1 6 d）が ON・OFF される（アクティブ化された後に非アクティブとされる）。これにより、トランジスタ 1 2 bを介して走査信号線 1 6 bに接続された画素電極 1 7 bが画素電極 1 7 aに

10

20

30

40

50

接続され、トランジスタ12Bを介して走査信号線16bに接続された画素電極17Aが画素電極17Bに接続され、トランジスタ12dを介して走査信号線16dに接続された画素電極17dが画素電極17cに接続され、トランジスタ12Dを介して走査信号線16dに接続された画素電極17Cが画素電極17Dに接続され、画素電極17b・17A・17d・17Cがディスチャージされる。

【0149】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16aに接続される画素電極17a・17Bと、トランジスタを介して走査信号線16cに接続される画素電極17c・17Dとにデータ信号が書き込まれる。

【0150】

これにより、画素101では、画素電極17aを含む副画素がプラス極性の明副画素(M+)、画素電極17bを含む副画素がプラス極性の暗副画素(K+)となり、画素105では、画素電極17Aを含む副画素がマイナス極性の暗副画素(K-)、画素電極17Bを含む副画素がマイナス極性の明副画素(M-)となり、画素102では、画素電極17cを含む副画素がマイナス極性の明副画素(M-)、画素電極17dを含む副画素がマイナスの暗副画素(K-)となり、画素106では、画素電極17Cを含む副画素がプラス極性の暗副画素(K+)、画素電極17Dを含む副画素がプラス極性の明副画素(M+)となる。

【0151】

また、図30・37・39に示すように、F1のn+1番目の水平走査期間では、走査信号線16e・16gの同時選択中のプリチャージ期間に、画素103・107を含む画素行および画素104・108を含む画素行に対応する4本の走査信号線(16e・16f・16g・16h)のうち同時選択されていない各走査信号線(16f・16h)がON・OFFされる。これにより、トランジスタ12fを介して走査信号線16fに接続された画素電極17fが画素電極17eに接続され、トランジスタ12Fを介して走査信号線16fに接続された画素電極17Eが画素電極17Fに接続され、トランジスタ12hを介して走査信号線16hに接続された画素電極17hが画素電極17gに接続され、トランジスタ12Hを介して走査信号線16hに接続された画素電極17Gが画素電極17Hに接続され、画素電極17f・17E・17h・17Gがディスチャージされる。

【0152】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16eに接続される画素電極17e・17Fと、トランジスタを介して走査信号線16gに接続される画素電極17g・17Hとにデータ信号が書き込まれる。

【0153】

これにより、画素103では、画素電極17eを含む副画素がプラス極性の明副画素(M+)、画素電極17fを含む副画素がプラス極性の暗副画素(K+)となり、画素107では、画素電極17Eを含む副画素がマイナス極性の暗副画素(K-)、画素電極17Fを含む副画素がマイナス極性の明副画素(M-)となり、画素104では、画素電極17gを含む副画素がマイナス極性の明副画素(M-)、画素電極17hを含む副画素がマイナスの暗副画素(K-)となり、画素108では、画素電極17Gを含む副画素がプラス極性の暗副画素(K+)、画素電極17Hを含む副画素がプラス極性の明副画素(M+)となる。

【0154】

またF2では、各データ信号線に供給されるデータ信号の極性が反転し、F1と同様の走査が行われる。

【0155】

すなわち、図30・37・40に示すように、F2のn番目の水平走査期間では、走査信号線16a・16cの同時選択中のプリチャージ期間に、画素101・105を含む画素行および画素102・106を含む画素行に対応する4本の走査信号線(16a・16b・16c・16d)のうち同時選択されていない各走査信号線(16b・16d)がO

10

20

30

40

50

N・OFFされる（アクティブ化された後に非アクティブとされる）。これにより、トランジスタ12bを介して走査信号線16bに接続された画素電極17bが画素電極17aに接続され、トランジスタ12Bを介して走査信号線16bに接続された画素電極17Aが画素電極17Bに接続され、トランジスタ12dを介して走査信号線16dに接続された画素電極17dが画素電極17cに接続され、トランジスタ12Dを介して走査信号線16dに接続された画素電極17Cが画素電極17Dに接続され、画素電極17b・17A・17d・17Cがディスチャージされる。

【0156】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16aに接続される画素電極17a・17Bと、トランジスタを介して走査信号線16cに接続される画素電極17c・17Dとにデータ信号が書き込まれる。

10

【0157】

また、図30・37・41に示すように、F2のn+1番目の水平走査期間では、走査信号線16e・16gの同時選択中のプリチャージ期間に、画素103・107を含む画素行および画素104・108を含む画素行に対応する4本の走査信号線（16e・16f・16g・16h）のうち同時選択されていない各走査信号線（16f・16h）がON・OFFされる。これにより、トランジスタ12fを介して走査信号線16fに接続された画素電極17fが画素電極17eに接続され、トランジスタ12Fを介して走査信号線16fに接続された画素電極17Eが画素電極17Fに接続され、トランジスタ12hを介して走査信号線16hに接続された画素電極17hが画素電極17gに接続され、トランジスタ12Hを介して走査信号線16hに接続された画素電極17Gが画素電極17Hに接続され、画素電極17f・17E・17h・17Gがディスチャージされる。

20

【0158】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16eに接続される画素電極17e・17Fと、トランジスタを介して走査信号線16gに接続される画素電極17g・17Hとにデータ信号が書き込まれる。

【0159】

実施の形態4では、1画素に含まれる2つの画素電極がトランジスタを介して接続され、プリチャージ期間に上記2つの画素電極それぞれがデータ信号線に接続される（すなわち、上記2つの画素電極が電氣的にフローティングとならない）ことから、容量結合型の画素分割方式で問題となっていた画素の焼き付等を抑制することができる。

30

【0160】

また、各フレームでは、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並ぶ（明・暗副画素が市松配置される）ため、ざらつき感の少ない自然な表示が可能となる。また、同一データ信号線に供給されるデータ信号の極性が2垂直期間同一であるため、データ信号の極性が1水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。なお、各フレームで書き込まれるデータ信号の極性分布はドット反転状となるため、画面のチラツキも抑制することができる。また、各水平走査期間にプリチャージ期間を設けているため、過去フレームの階調による（例えば、256階調表示で0階調→100階調に遷移する場合と100階調→100階調に遷移する場合の）充電率の波形や到達値のばらつきを小さくすることができる。

40

【0161】

図42は、図37に示す液晶パネル5eの一具体例を示す平面図である。図42における、各データ信号線、各走査信号線および各保持容量配線並びに各トランジスタの構成は図35におけるそれらの構成と同一である。そして、トランジスタ12aのドレイン電極9aが容量電極37aに接続され、容量電極37aと画素電極17aとがコンタクトホール11aを介して接続され、容量電極37aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17bと重なる部分とを有している。一方、トランジスタ12bのソース電極8bは中継電極47bに接続され、中継電極47bと画素電極17aとがコンタクトホール91aを介して接続され、中継電極47bは、ゲ

50

ート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 b と重なる部分とを有している。また、トランジスタ 12 b のドレイン電極 9 b は引き出し電極 27 b に接続され、引き出し電極 27 b と画素電極 17 b とがコンタクトホール 11 b を介して接続され、引き出し電極 27 b は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分を有している。

【0162】

ここでは、容量電極 37 a および画素電極 17 b の重なり部分と、中継電極 47 b および画素電極 17 b の重なり部分とに、結合容量 C a b (図 37 参照) が形成され、容量電極 37 a および保持容量配線 18 p の重なり部分と、中継電極 47 b および保持容量配線 18 p の重なり部分とに、保持容量 C h a (図 37 参照) の大半が形成され、引き出し電極 27 b および保持容量配線 18 p の重なり部分に、保持容量 C h b (図 37 参照) の大半が形成されている。

10

【0163】

また、トランジスタ 12 A のドレイン電極 9 A が容量電極 37 A に接続され、容量電極 37 A と画素電極 17 B とがコンタクトホール 11 A を介して接続され、容量電極 37 A は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 A と重なる部分とを有している。一方、トランジスタ 12 B のソース電極 8 B は中継電極 47 B に接続され、中継電極 47 B と画素電極 17 A とがコンタクトホール 91 B を介して接続され、中継電極 47 B は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 B と重なる部分とを有している。また、トランジスタ 12 B のドレイン電極 9 B は引き出し電極 27 B に接続され、引き出し電極 27 B と画素電極 17 B とがコンタクトホール 11 B を介して接続され、引き出し電極 27 B は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分を有している。

20

【0164】

ここでは、容量電極 37 A および画素電極 17 B の重なり部分と、中継電極 47 B および画素電極 17 B の重なり部分とに、結合容量 C A B (図 37 参照) が形成され、中継電極 47 B および保持容量配線 18 p の重なり部分に、保持容量 C h A (図 37 参照) の大半が形成され、容量電極 37 A および保持容量配線 18 p の重なり部分と、引き出し電極 27 b および保持容量配線 18 p の重なり部分に、保持容量 C h B (図 37 参照) の大半が形成されている。

30

【0165】

なお、図 37 の液晶パネル 5 e を図 44 に示すように駆動することもできる。すなわち、同時選択が開始されるまでのプリチャージ期間に、(同時書き込みを行う) 上記 2 つの画素領域行に対応する 4 本の走査信号線それぞれを同期して ON・OFF させる。この場合、同時選択の 1/2 ~ 1/5 垂直走査期間前に、上記 4 本の走査信号線それぞれを同期して ON・OFF することもできる。こうすれば、上記 2 つの画素領域行には 1/2 ~ 1/5 垂直走査期間だけ黒表示がなされるため、いわゆる黒挿入の効果が得られ、動画等での尾引き感を抑えることができる。

【0166】

また、実施の形態 4 では、図 43 に示す液晶パネル 5 f を、図 28 あるいは図 45 のように駆動することもできる。なお、液晶パネル 5 f と液晶パネル 5 b (図 19 参照) の違いは、走査信号線 16 b に接続されるトランジスタ 12 b のソース電極が画素電極 17 a に接続され、走査信号線 16 b に接続されるトランジスタ 12 B のソース電極が画素電極 17 B に接続され、走査信号線 16 d に接続されるトランジスタ 12 d のソース電極が画素電極 17 c に接続され、走査信号線 16 d に接続されるトランジスタ 12 D のソース電極が画素電極 17 D に接続され、走査信号線 16 f に接続されるトランジスタ 12 f のソース電極が画素電極 17 e に接続され、走査信号線 16 f に接続されるトランジスタ 12 F のソース電極が画素電極 17 F に接続され、走査信号線 16 h に接続されるトランジスタ 12 h のソース電極が画素電極 17 g に接続され、走査信号線 16 h に接続されるトランジスタ 12 H のソース電極が画素電極 17 H に接続されている点であり、これ以外は同

40

50

一である。

【0167】

本実施の形態では、以下のようにして、本液晶表示ユニットおよび液晶表示装置を構成する。すなわち、液晶パネル（5a～5f）の両面に、2枚の偏光板A・Bを、偏光板Aの偏光軸と偏光板Bの偏光軸とが互いに直交するように貼り付ける。なお、偏光板には必要に応じて、光学補償シート等を積層してもよい。次に、図46（a）に示すように、ドライバ（ゲートドライバ202、ソースドライバ201）を接続する。ここでは、一例として、ドライバをTCP（Tape Carrier Package）方式による接続について説明する。まず、液晶パネルの端子部にACF（Anisotropic Conductive Film）を仮圧着する。ついで、ドライバが乗せられたTCPをキャリアテープから打ち抜き、パネル端子電極に位置合わせし、加熱、本圧着を行う。その後、ドライバTCP同士を連結するための回路基板203（PWB：Printed wiring board）とTCPの入力端子とをACFで接続する。これにより、液晶表示ユニット200が完成する。その後、図46（b）に示すように、液晶表示ユニットの各ドライバ（201・202）に、回路基板203を介して表示制御回路209を接続し、照明装置（バックライトユニット）204と一体化することで、液晶表示装置210となる。

10

【0168】

図47（a）に、プリチャージ期間を設けるためのソースドライバの構成を示す。図47（a）に示すように、この場合のソースドライバには、各データ信号線に対応してバッファ31と、データ出力用スイッチSWaと、プリチャージ用スイッチSWbとが設けられる。バッファ31には対応するデータdが入力され、バッファ31の出力は、データ出力用スイッチSWaを介してデータ信号線への出力端に接続されている。また、隣り合う2本のデータ信号線それぞれに対応する出力端は、プリチャージ用スイッチSWbを介して互いに接続されている。すなわち、各プリチャージ用スイッチSWbは直列に接続され、その一端がプリチャージ電位供給源35（Vcom）に接続されている。ここで、データ出力用スイッチSWaのゲート端子には、チャージシェア信号（sh）がインバータ33を介して入力され、プリチャージ用スイッチSWbのゲート端子には、sh信号が入力される。

20

【0169】

なお、図47（a）に示すソースドライバを図47（b）のように構成してもよい。すなわち、プリチャージ用スイッチSWcを、対応するデータ信号線とプリチャージ電位供給源35（Vcom）にのみに接続し、各プリチャージ用スイッチSWcを直列に接続しない構成とする。こうすれば、各データ信号線に速やかにプリチャージ電位を供給することができる。

30

【0170】

このように、各水平走査期間にプリチャージ期間（例えば、チャージシェアが行われる期間）を設け、このプリチャージ期間に各データ信号線へプリチャージ電位（例えばVcom）を供給すれば、大型、高精細あるいは高速駆動等、フル充電が難しい液晶表示装置において、一水平走査期間前に同一データ信号線に供給された信号電位のレベル相異に起因する現水平走査期間の到達電位（充電率）のばらつきを抑制することができる。それゆえ、本液晶パネルは、走査信号線が2160本のデジタルシネマ規格の液晶表示装置や走査信号線4320本のスーパーハイビジョン規格の液晶表示装置にも好適である。

40

【0171】

本願でいう「電位の極性」とは、基準となる電位以上（プラス）あるいは基準となる電位以下（マイナス）を意味する。ここで、基準となる電位は、共通電極（対向電極）の電位であるVcom（コモン電位）であってもその他任意の電位であってもよい。

【0172】

図48は、本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部（液晶パネル）と、ソースドライバ（SD）と、ゲートドライバ（GD）と、表示制御回路とを備えている。ソースドライバはデータ信号線を駆動し、ゲ

50

ートドライバは走査信号線を駆動し、表示制御回路は、ソースドライバおよびゲートドライバを制御する。

【0173】

表示制御回路は、外部の信号源（例えばチューナー）から、表示すべき画像を表すデジタルビデオ信号 D_v と、当該デジタルビデオ信号 D_v に対応する水平同期信号 $H_S Y$ および垂直同期信号 $V_S Y$ と、表示動作を制御するための制御信号 D_c とを受け取る。また、表示制御回路は、受け取ったこれらの信号 D_v 、 $H_S Y$ 、 $V_S Y$ 、 D_c に基づき、そのデジタルビデオ信号 D_v の表す画像を表示部に表示させるための信号として、データスタートパルス信号 $S_S P$ と、データクロック信号 $S_C K$ と、チャージシェア信号 s_h と、表示すべき画像を表すデジタル画像信号 D_A （ビデオ信号 D_v に対応する信号）と、ゲートスタートパルス信号 $G_S P$ と、ゲートクロック信号 $G_C K$ と、ゲートドライバ出力制御信号（走査信号出力制御信号） $G_O E$ とを生成し、これらを出力する。

10

【0174】

より詳しくは、ビデオ信号 D_v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 D_A として表示制御回路から出力し、そのデジタル画像信号 D_A の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 $S_C K$ を生成し、水平同期信号 $H_S Y$ に基づき1水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号 $S_S P$ を生成し、垂直同期信号 $V_S Y$ に基づき1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号 $G_S P$ を生成し、水平同期信号 $H_S Y$ に基づきゲートクロック信号 $G_C K$ を生成し、水平同期信号 $H_S Y$ および制御信号 D_c に基づきチャージシェア信号 s_h 、ならびにゲートドライバ出力制御信号 $G_O E$ を生成する。

20

【0175】

上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号 D_A 、チャージシェア信号 s_h 、信号電位（データ信号電位）の極性を制御する信号 $P_O L$ 、データスタートパルス信号 $S_S P$ 、およびデータクロック信号 $S_C K$ は、ソースドライバに入力され、ゲートスタートパルス信号 $G_S P$ とゲートクロック信号 $G_C K$ とゲートドライバ出力制御信号 $G_O E$ とは、ゲートドライバに入力される。

【0176】

ソースドライバは、デジタル画像信号 D_A 、データクロック信号 $S_C K$ 、チャージシェア信号 s_h 、データスタートパルス信号 $S_S P$ 、および極性反転信号 $P_O L$ に基づき、デジタル画像信号 D_A の表す画像の各走査信号線における画素値に相当するアナログ電位（信号電位）を1水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線（例えば、 $15x \cdot 15y$ ）に出力する。

30

【0177】

ゲートドライバは、ゲートスタートパルス信号 $G_S P$ およびゲートクロック信号 $G_C K$ と、ゲートドライバ出力制御信号 $G_O E$ とに基づき、ゲートオンパルス信号を生成し、これらを走査信号線に出力し、これによって走査信号線を2本ずつ順次選択していく。

【0178】

次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図49は、テレビジョン受信機用の液晶表示装置800の構成を示すブロック図である。液晶表示装置800は、液晶表示ユニット84と、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、バックライト駆動回路85と、バックライト86と、マイコン（マイクロコンピュータ）87と、階調回路88とを備えている。なお、液晶表示ユニット84は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

40

【0179】

上記構成の液晶表示装置800では、まず、テレビジョン信号としての複合カラー映像信号 $S_c v$ が外部からY/C分離回路80に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するア

50

ナログRGB信号に変換され、さらに、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に入力される。また、Y/C分離回路80では、外部から入力された複合カラー映像信号Scvから水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介して液晶コントローラ83に入力される。

【0180】

液晶表示ユニット84には、液晶コントローラ83からデジタルRGB信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路88では、カラー表示の3原色R、G、Bそれぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット84に供給される。液晶表示ユニット84では、これらのRGB信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号＝信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット84によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある、この液晶表示装置800では、マイコン87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイコン87が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置800では、様々な映像信号に基づいた画像表示が可能である。

【0181】

液晶表示装置800でテレビジョン放送に基づく画像を表示する場合には、図50に示すように、液晶表示装置800にチューナー部90が接続され、これによって本テレビジョン受像機601が構成される。このチューナー部90は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号Scvを取り出す。この複合カラー映像信号Scvは、既述のように液晶表示装置800に入力され、この複合カラー映像信号Scvに基づく画像が該液晶表示装置800によって表示される。

【0182】

図51は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機601は、その構成要素として、液晶表示装置800の他に第1筐体801および第2筐体806を有しており、液晶表示装置800を第1筐体801と第2筐体806とで包み込むようにして挟持した構成となっている。第1筐体801には、液晶表示装置800で表示される画像を透過させる開口部801aが形成されている。また、第2筐体806は、液晶表示装置800の背面側を覆うものであり、当該表示装置800を操作するための操作用回路805が設けられると共に、下方に支持用部材808が取り付けられている。

【0183】

本発明のアクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方に電氣的に接続されるときに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極の他方に電氣的に接続され、かつ上記各トランジスタが、上記2本のデータ信号線のいずれかである同一のデータ信号線に電氣的に接続されていることを特徴とする。

【0184】

まず、本アクティブマトリクス基板では1つの画素領域列に対応して2本のデータ信号線が設けられているため、本アクティブマトリクス基板を備えた液晶表示装置では、2本の走査信号線を同時選択して2つの画素行を同時に書き込むことができる。

【0185】

そして上記構成では、各画素領域の容量結合された2つの画素電極それぞれがトランジスタを介してデータ信号線に接続されており、各画素電極が電氣的にフローティングとならない。これにより、本アクティブマトリクス基板を備えた液晶表示装置では画素の焼き付き等が低減され、高い表示品位が実現される。

【0186】

本発明のアクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方と上記2本のデータ信号線の一方とに電氣的に接続されるとともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極の他方と保持容量配線とに電氣的に接続されていることを特徴とする。

10

【0187】

まず、本アクティブマトリクス基板では1つの画素領域列に対応して2本のデータ信号線が設けられているため、本アクティブマトリクス基板を備えた液晶表示装置では、2本の走査信号線を同時選択して2つの画素行を同時に書き込むことができる。

20

【0188】

そして上記構成では、各画素領域の容量結合された2つの画素電極の一方がトランジスタを介してデータ信号線に接続されるとともに、他方がトランジスタを介して保持容量配線に接続されており、各画素電極が電氣的にフローティングとならない。これにより、本アクティブマトリクス基板を備えた液晶表示装置では画素の焼き付き等が低減され、高い表示品位が実現される。

【0189】

本アクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方と上記2本のデータ信号線の一方とに電氣的に接続されるとともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極それぞれに電氣的に接続されていることを特徴とする。

30

【0190】

まず、本アクティブマトリクス基板では1つの画素領域列に対応して2本のデータ信号線が設けられているため、本アクティブマトリクス基板を備えた液晶表示装置では、2本の走査信号線を同時選択して2つの画素行を同時に書き込むことができる。

40

【0191】

そして上記構成では、各画素領域の容量結合された2つの画素電極がトランジスタを介して互いに接続されており、各画素電極が電氣的にフローティングとならない。これにより、本アクティブマトリクス基板を備えた液晶表示装置では画素の焼き付き等が低減され、高い表示品位が実現される。

【0192】

本アクティブマトリクス基板では、列方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なる構成とすることもできる。

50

【0193】

本アクティブマトリクス基板では、1つの画素領域には2つの画素電極が列方向に並べられ、行方向に隣り合う2つの画素領域に含まれ、それぞれがトランジスタを介してデータ信号線に接続されるとともに互いに斜め向かいとなる2つの画素電極の一方に電氣的に接続されるトランジスタと、該2つの画素電極の他方に電氣的に接続されるトランジスタとが同一の走査信号線に接続されている構成とすることもできる。

【0194】

本アクティブマトリクス基板では、1つの画素領域に、該画素領域に含まれる2つの画素電極の一方に電氣的に接続されるとともに層間絶縁膜を介して上記2つの画素電極の他方に重なる容量電極と、層間絶縁膜を介して上記2つの画素電極の一方に重なるとともに
10
上記2つの画素電極の他方に電氣的に接続される容量電極とを備える構成とすることもできる。

【0195】

本アクティブマトリクス基板では、1つの画素領域行に対応する2本の走査信号線は、該画素領域行の両側に配されているか、あるいは画素領域行の両端部に重なるように配されている構成とすることもできる。

【0196】

本アクティブマトリクス基板では、上記各容量電極がゲート絶縁膜を介して保持容量配線と重なっている構成とすることもできる。

【0197】

本アクティブマトリクス基板では、上記画素領域に含まれる2つの画素電極の一方に電氣的に接続される容量電極と、他方に電氣的に接続される容量電極とが、互いに点対称となるようにレイアウトされている構成とすることもできる。
20

【0198】

本アクティブマトリクス基板では、上記層間絶縁膜は無機絶縁膜と有機絶縁膜とからなるが、各容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去あるいは薄く形成されている構成とすることもできる。

【0199】

本液晶表示装置は、上記アクティブマトリクス基板を備え、所定のフレームでは、2つの画素領域行の一方に対応する2本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とが同時選択されることで、該2つの画素領域行に同時にデータ信号が書き込まれ、上記所定のフレーム以外のフレームでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とが同時選択されることで、該2つの画素領域行に同時にデータ信号が書き込まれることを特徴とする。
30

【0200】

本液晶表示装置では、上記2つの画素領域行が互いに隣り合う構成とすることもできる。

【0201】

本液晶表示装置では、列方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なり、かつ互いに逆極性のデータ信号が供給される構成とすることもできる。
40

【0202】

本液晶表示装置では、行方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される構成とすることもできる。

【0203】

本液晶表示装置では、奇数番目のフレームでは、2つの画素領域行の一方に対応する2
50

本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とが同時選択され、偶数番目のフレームでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とが同時選択される構成とすることもできる。

【0204】

本液晶表示装置では、同一データ信号線に供給されるデータ信号の極性が2フレームごとに反転する構成とすることもできる。

【0205】

本液晶表示装置では、連続する2フレームそれぞれでは、2つの画素領域行の一方に対応する2本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とが同時選択され、上記2フレームに続く連続する2フレームそれぞれでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とが同時選択される構成とすることもできる。

10

【0206】

本液晶表示装置では、同一データ信号線に供給されるデータ信号の極性が1フレームごとに反転する構成とすることもできる。

【0207】

本液晶表示装置では、各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされる構成とすることもできる。

20

【0208】

本液晶表示装置では、各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、同時選択までのプリチャージ期間に、上記2つの画素領域行に対応する4本の走査信号線それぞれが同期してON・OFFされる構成とすることもできる。

【0209】

本液晶表示装置では、上記アクティブマトリクス基板を備え、2つの画素領域行の一方に対応する2本の走査信号線の一方と、上記2つの画素領域行の他方に対応する2本の走査信号線の一方とが同時選択されることで、2つの画素領域行に同時にデータ信号が書き込まれる構成とすることもできる。

30

【0210】

本液晶表示装置では、上記2つの画素領域行が互いに隣り合う構成とすることもできる。

【0211】

本液晶表示装置では、列方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なり、かつ互いに逆極性のデータ信号が供給される構成とすることもできる。

【0212】

本液晶表示装置では、行方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される構成とすることもできる。

40

【0213】

本液晶表示装置では、各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされる構成とすることもできる。

【0214】

50

本液晶表示装置では、各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、同時選択までのプリチャージ期間に、上記２つの画素領域行に対応する４本の走査信号線それぞれが同期してＯＮ・ＯＦＦされる構成とすることもできる。

【０２１５】

本液晶パネルは、上記アクティブマトリクス基板を備えることを特徴とする。本液晶表示ユニットは、上記液晶パネルとドライバとを備えることを特徴とする。本液晶表示装置は、上記液晶表示ユニットと光源装置とを備えることを特徴とする。本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とする。

10

【０２１６】

以上のように、本発明によれば、２ライン同時選択を行う、容量結合型の画素分割方式の液晶表示装置において、その表示品位を高めることができる。

【０２１７】

本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【産業上の利用可能性】

【０２１８】

本発明の液晶パネルは、例えば液晶テレビに好適である。

20

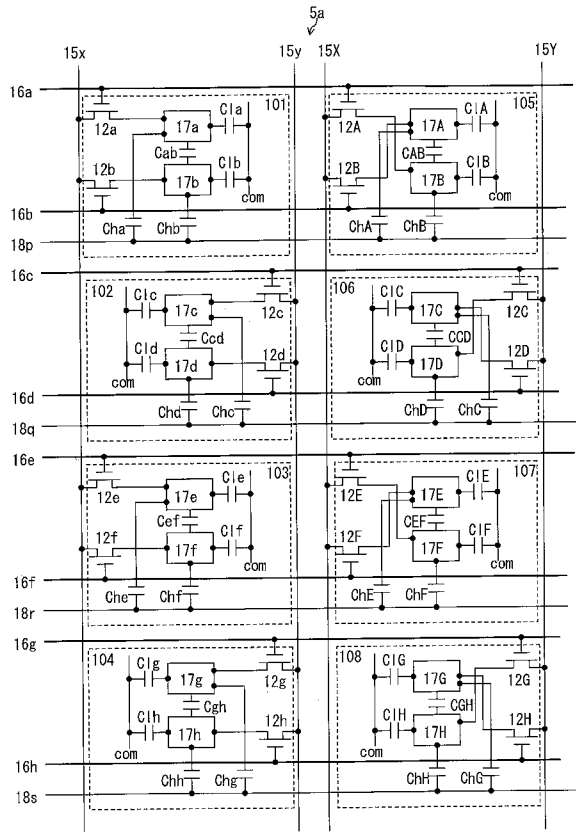
【符号の説明】

【０２１９】

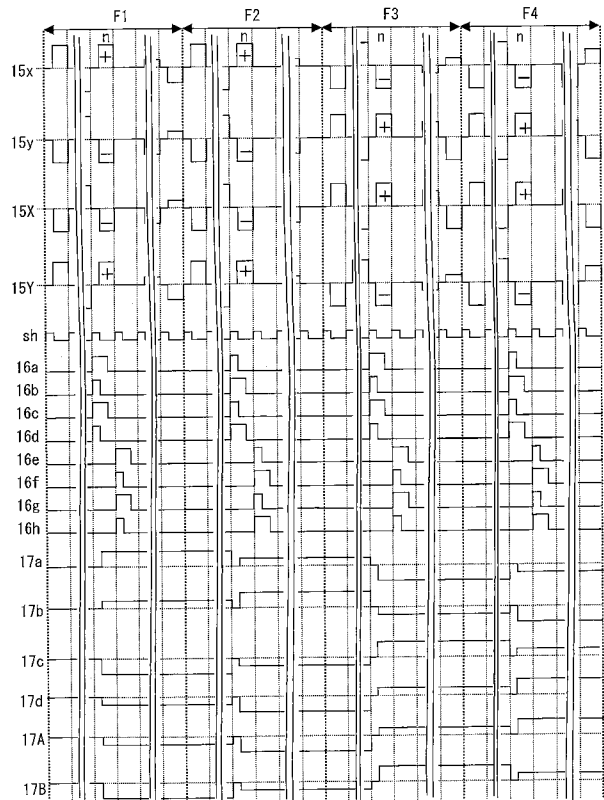
５a～５f 液晶パネル
 １２a～１２h・１２A～１２H トランジスタ
 １５x・１５y・１５X・１５Y データ信号線
 １６a～１６h 走査信号線
 １７a～１７h 画素電極
 １７A～１７H 画素電極
 １８p～１８s 保持容量配線
 ２２ ゲート絶縁膜
 ２４ 半導体層
 ２５ 無機絶縁膜
 ２６ 有機絶縁膜
 ３７a・３７b・３７A・３７B 容量電極
 ８４ 液晶表示ユニット
 １０１～１０８ 画素
 ６０１ テレビジョン受像機
 ８００ 液晶表示装置

30

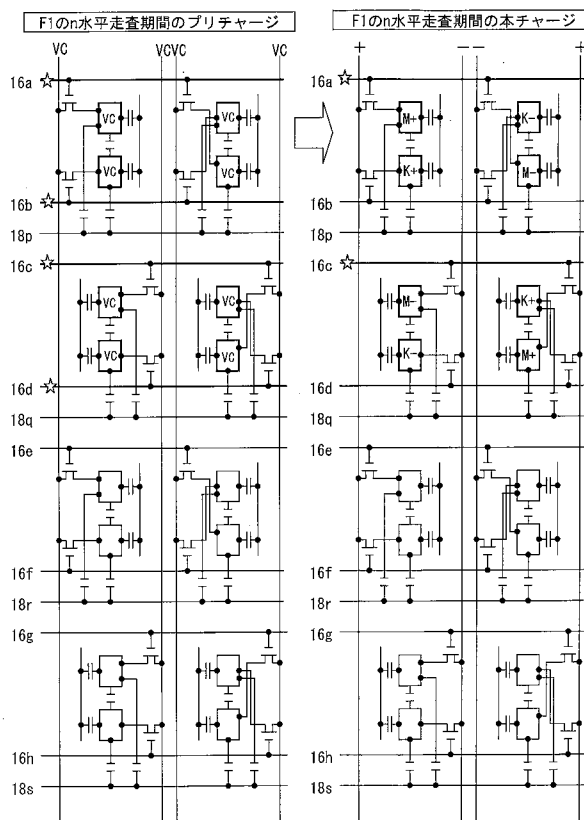
【図 1】



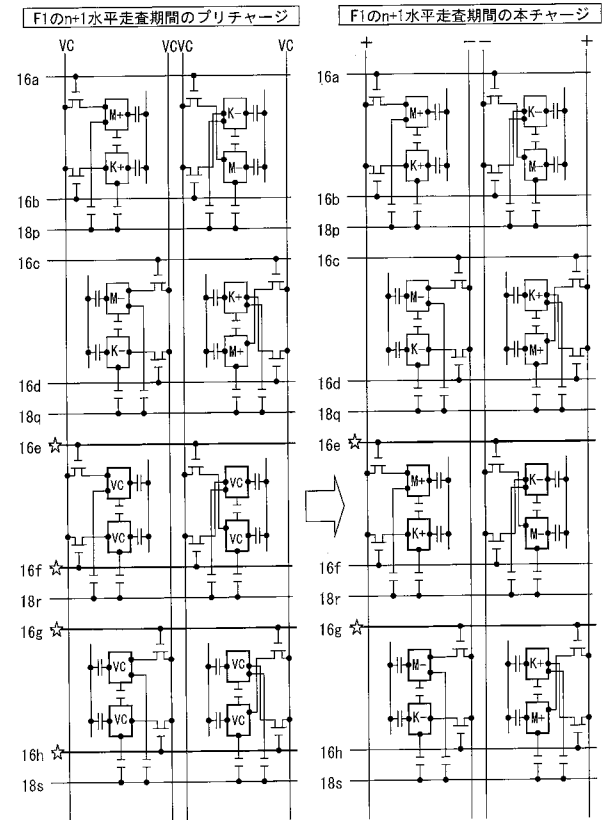
【図 2】



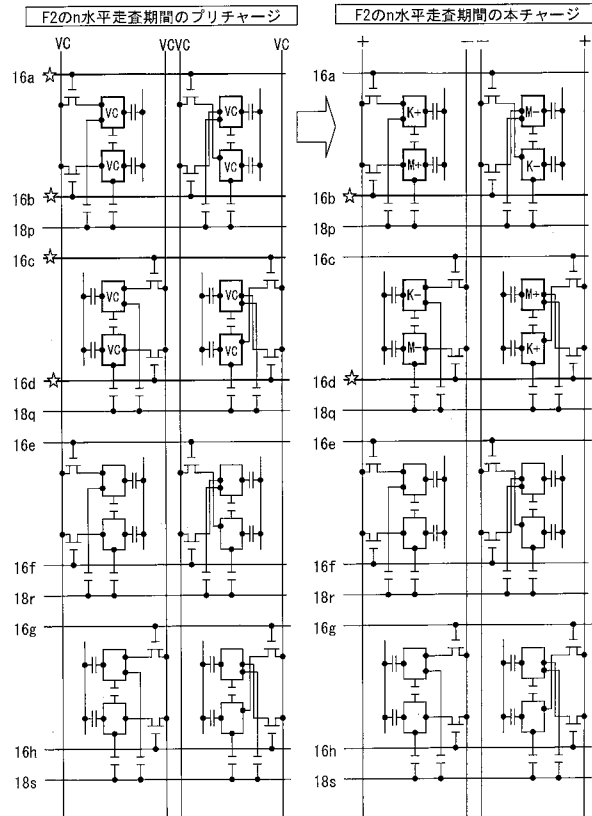
【図 3】



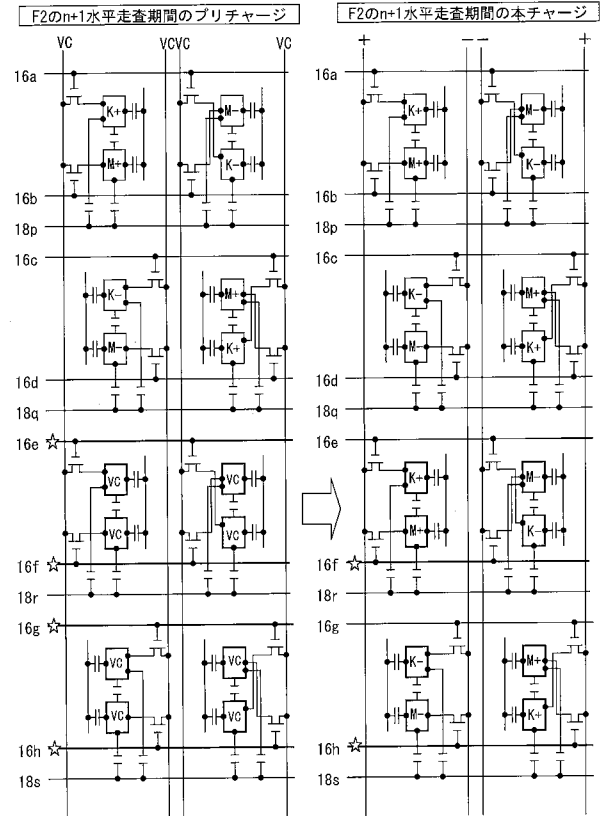
【図 4】



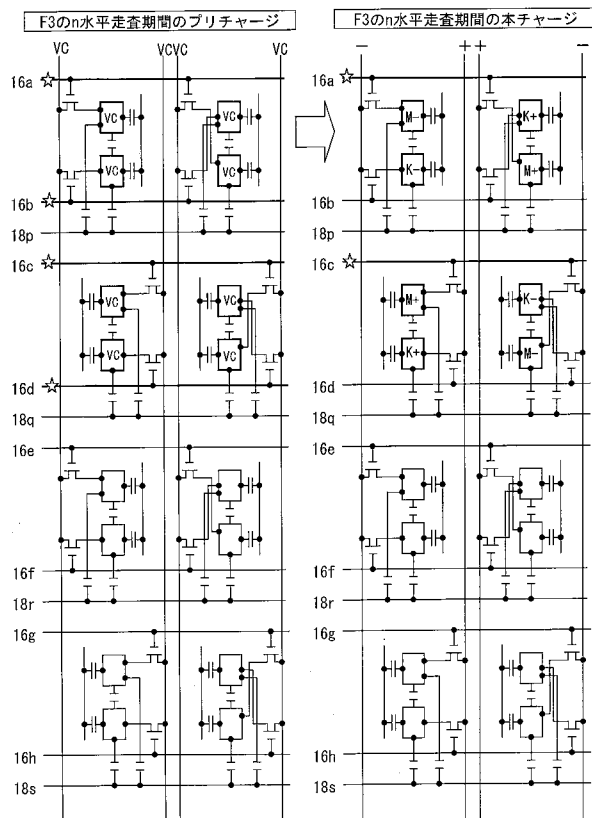
【図 5】



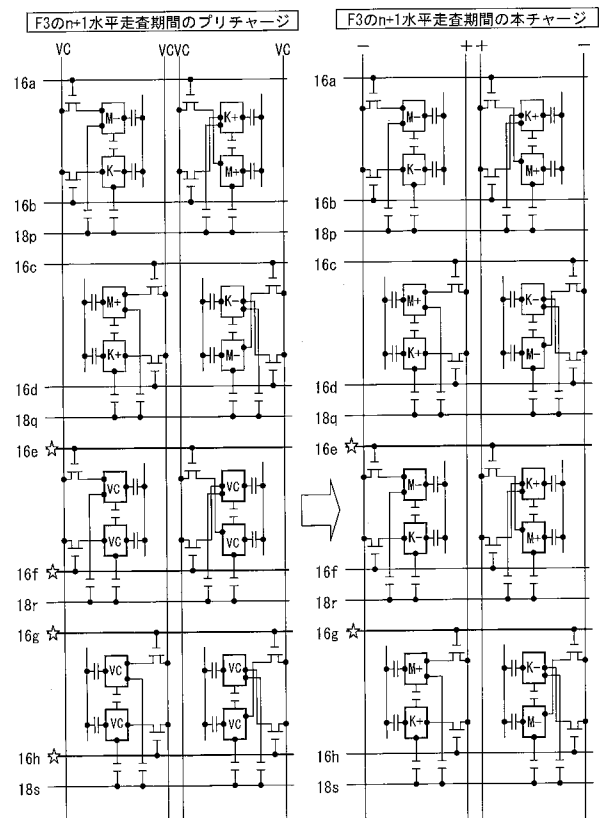
【図 6】



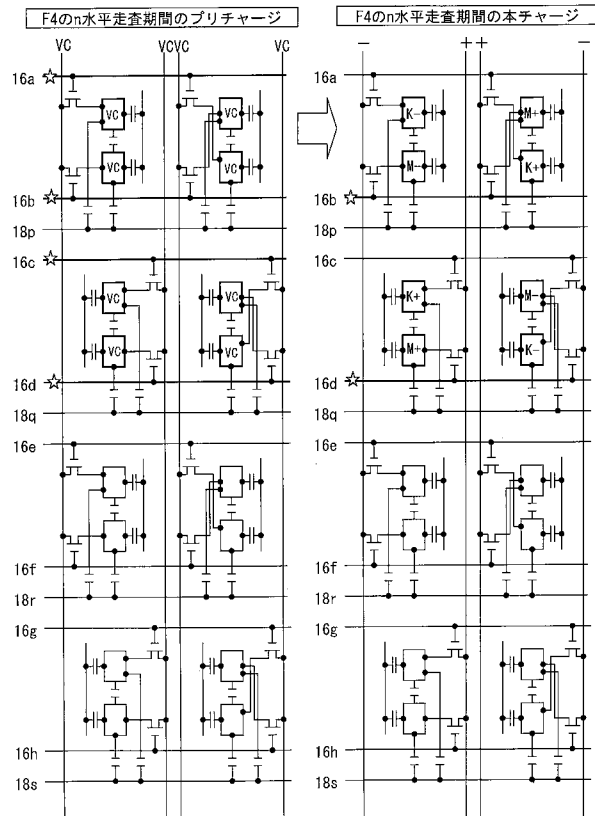
【図 7】



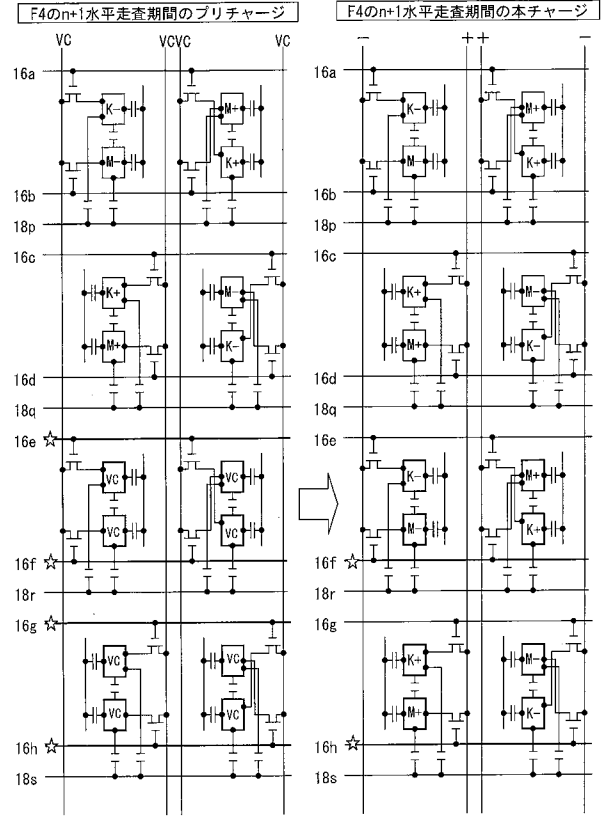
【図 8】



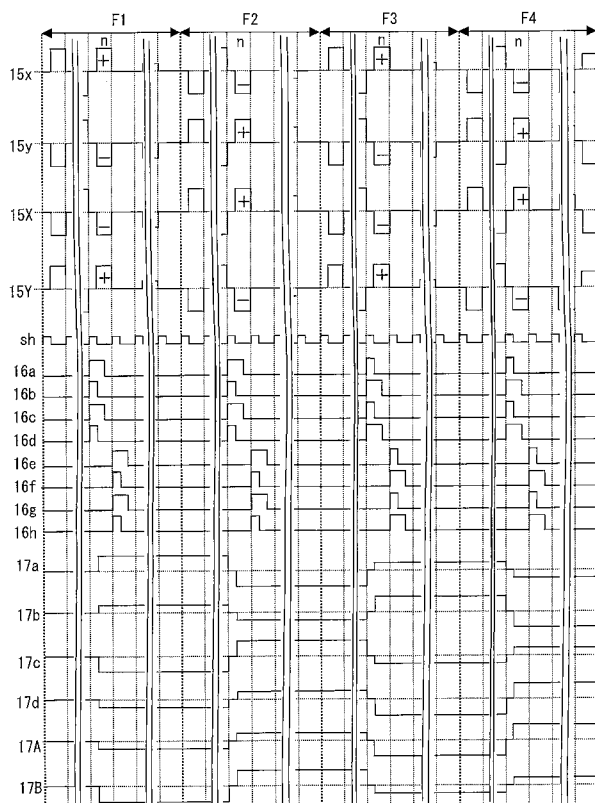
【図 9】



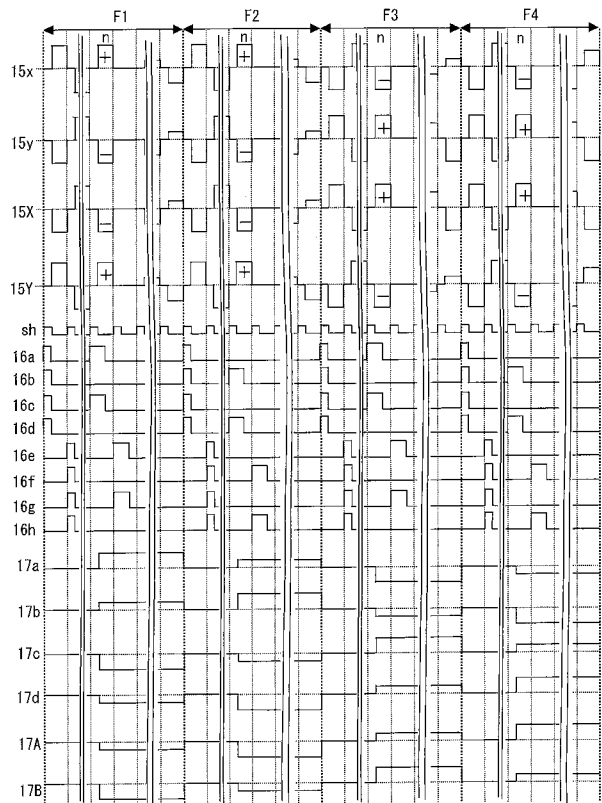
【図 10】



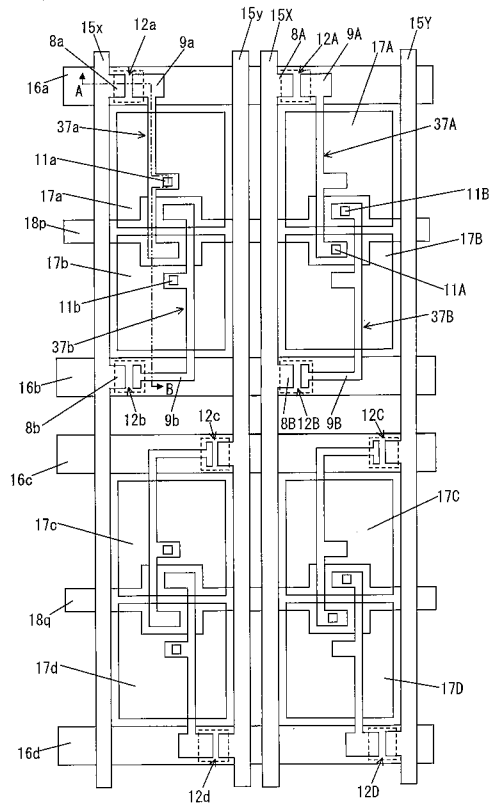
【図 11】



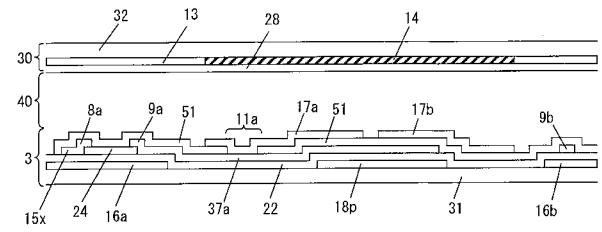
【図 12】



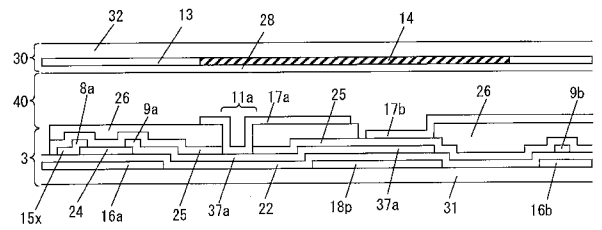
【図 13】



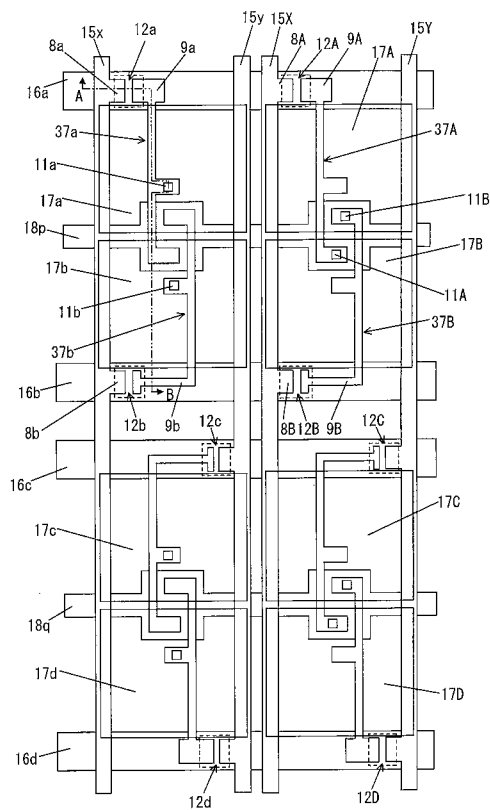
【図 14】



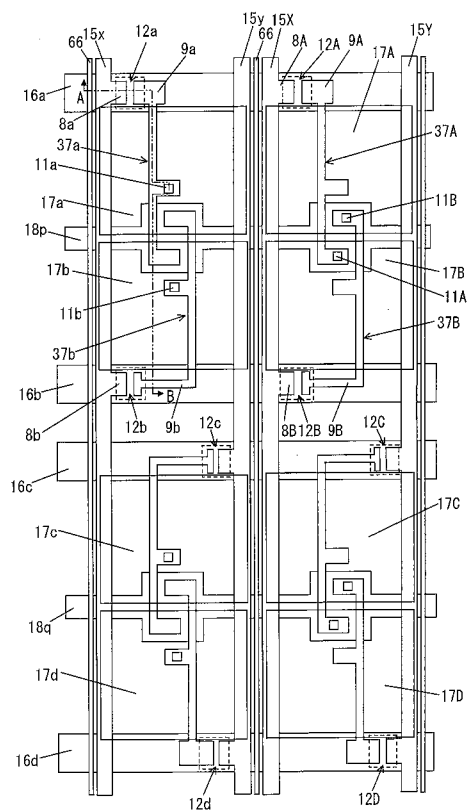
【図 15】



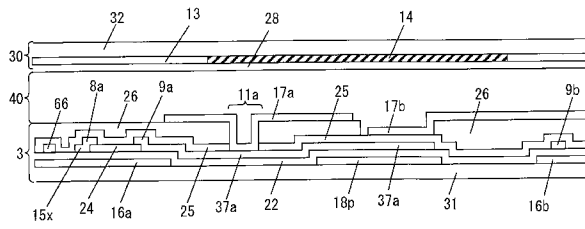
【図 16】



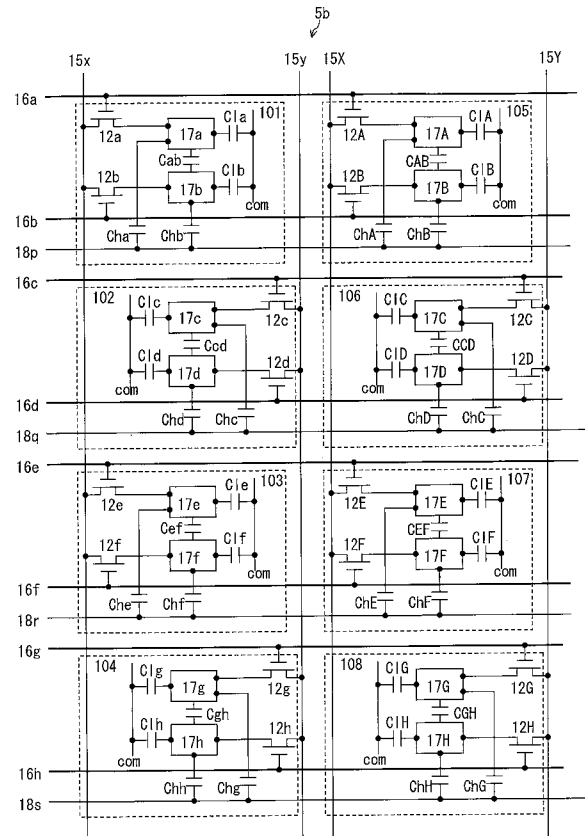
【図 17】



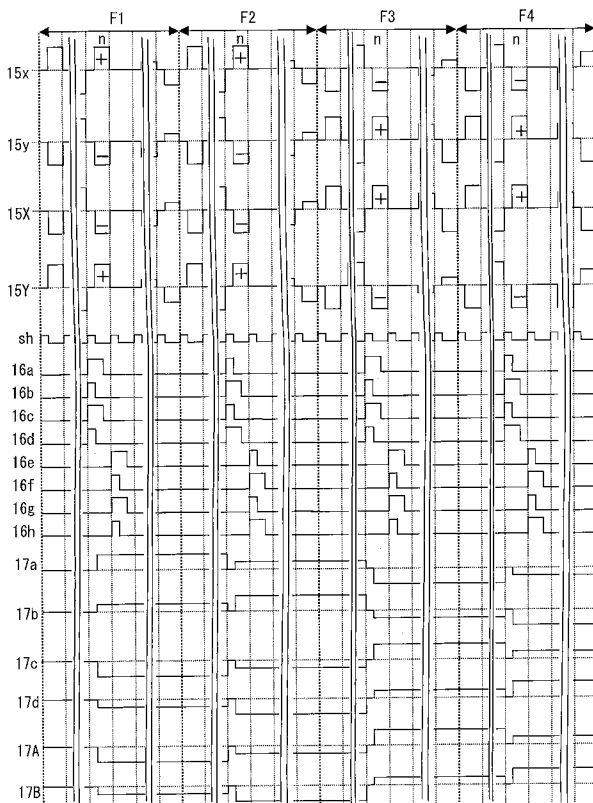
【図 18】



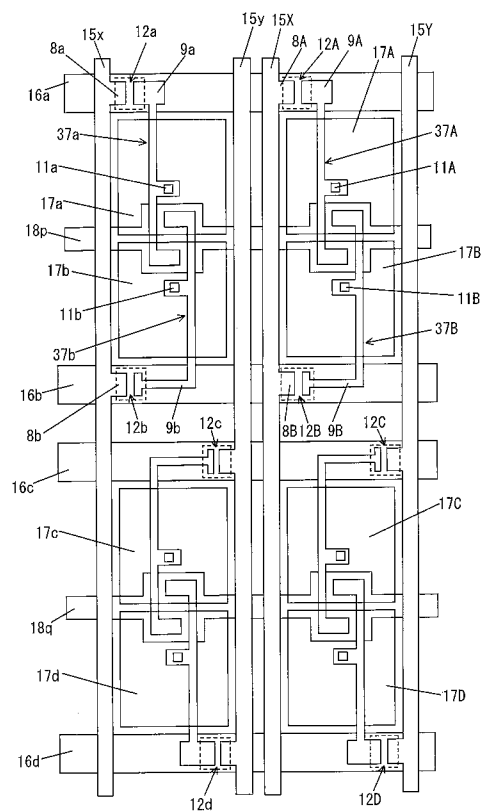
【図 19】



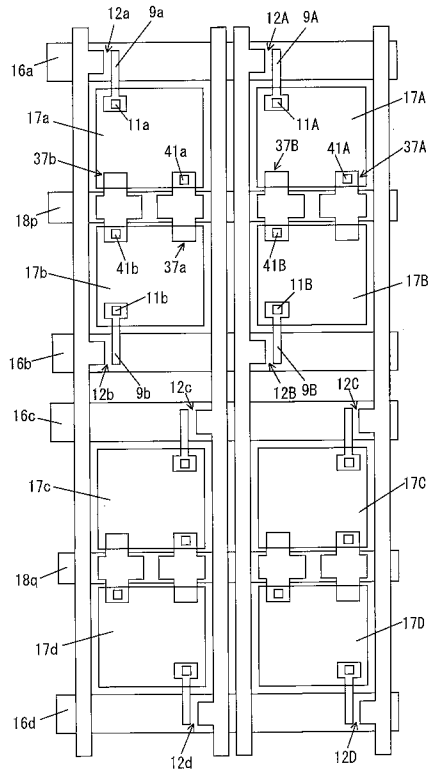
【図 20】



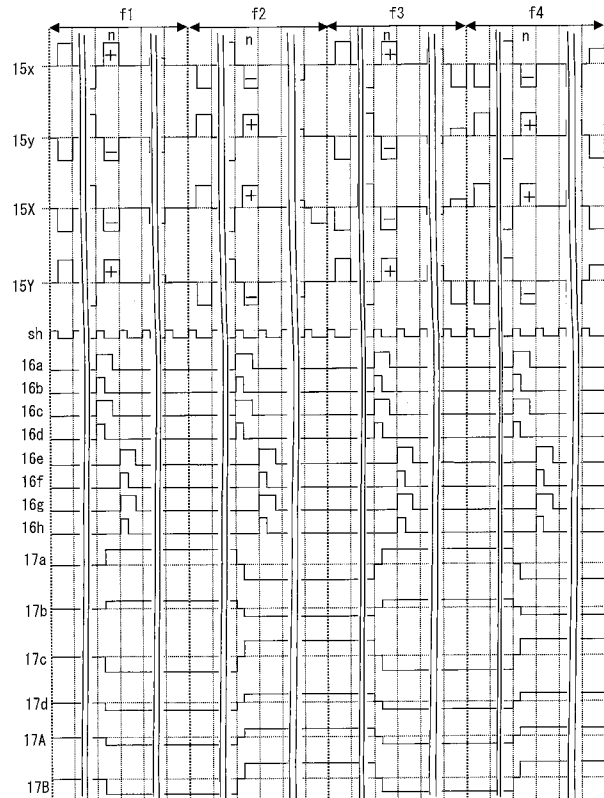
【図 21】



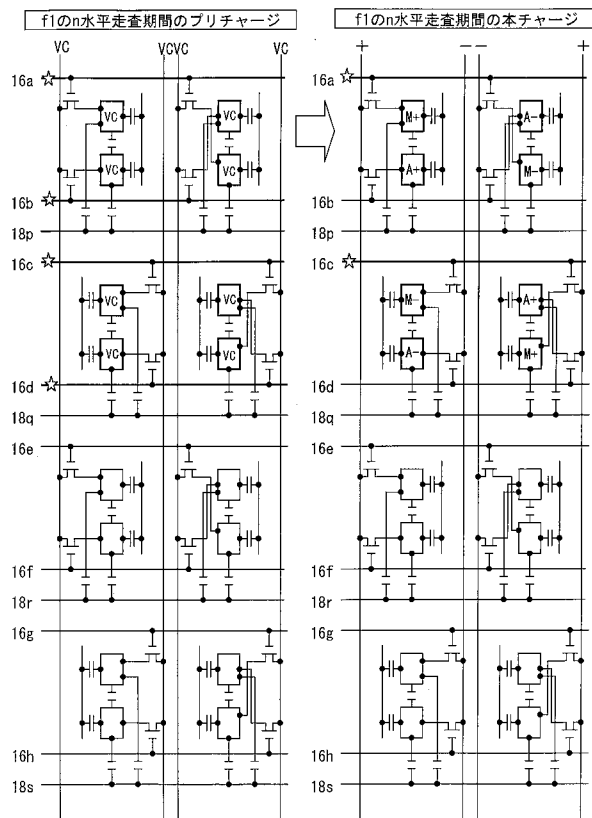
【図 2 2】



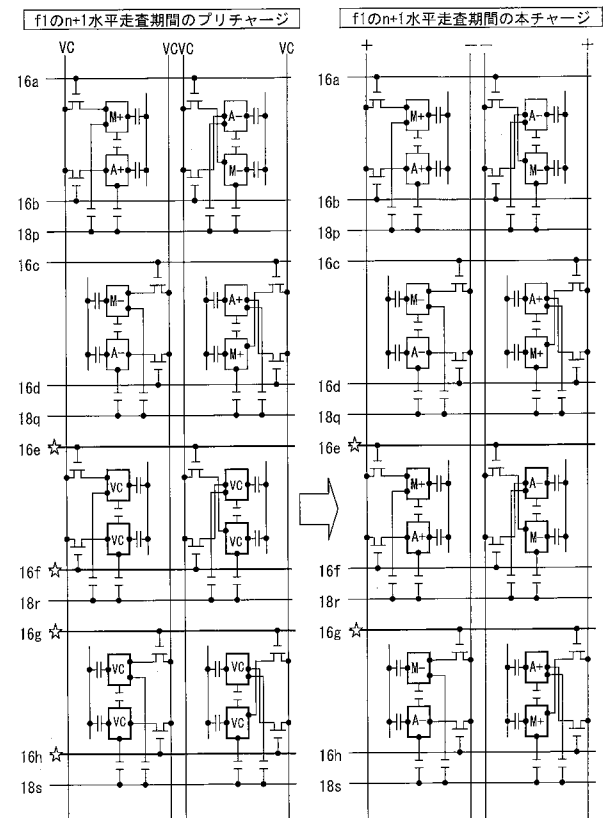
【図 2 3】



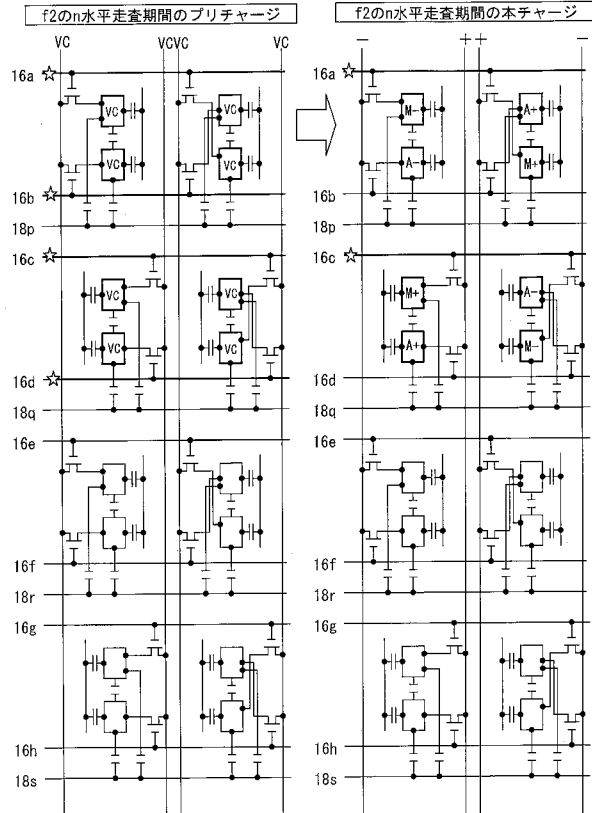
【図 2 4】



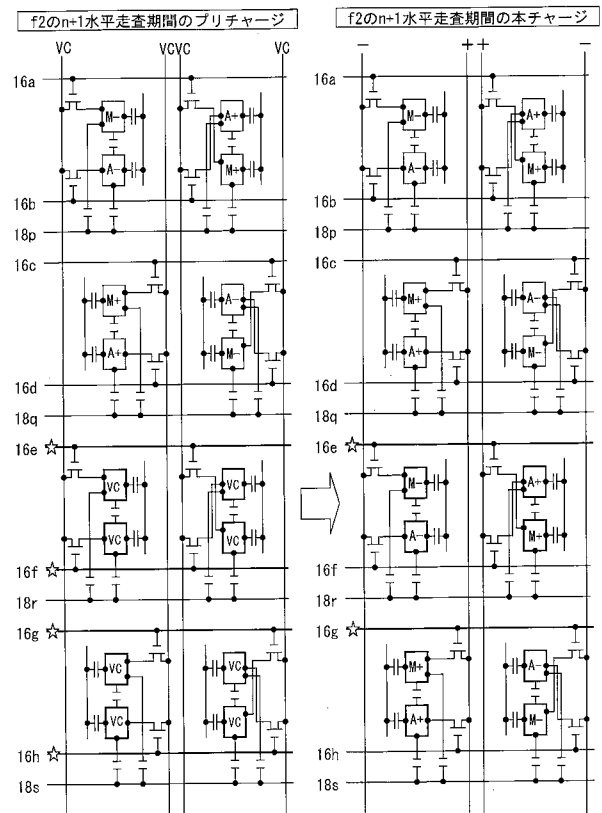
【図 2 5】



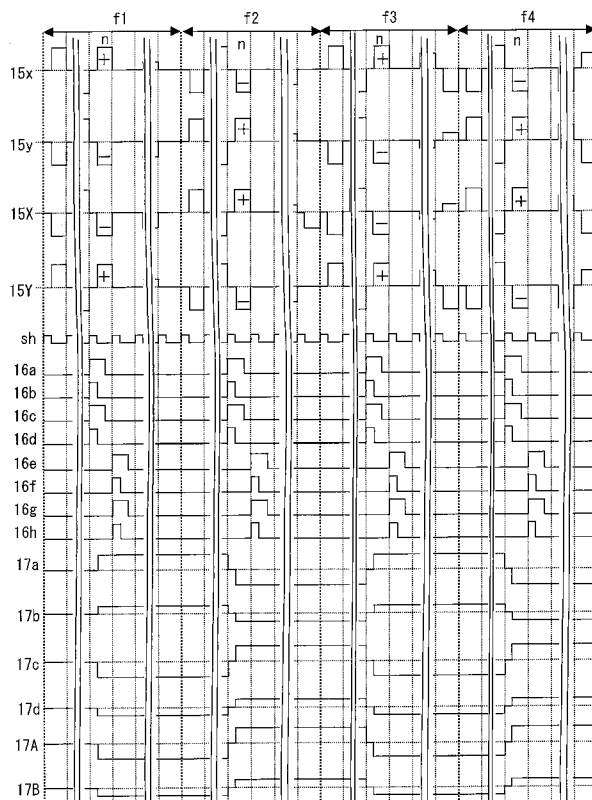
【図 26】



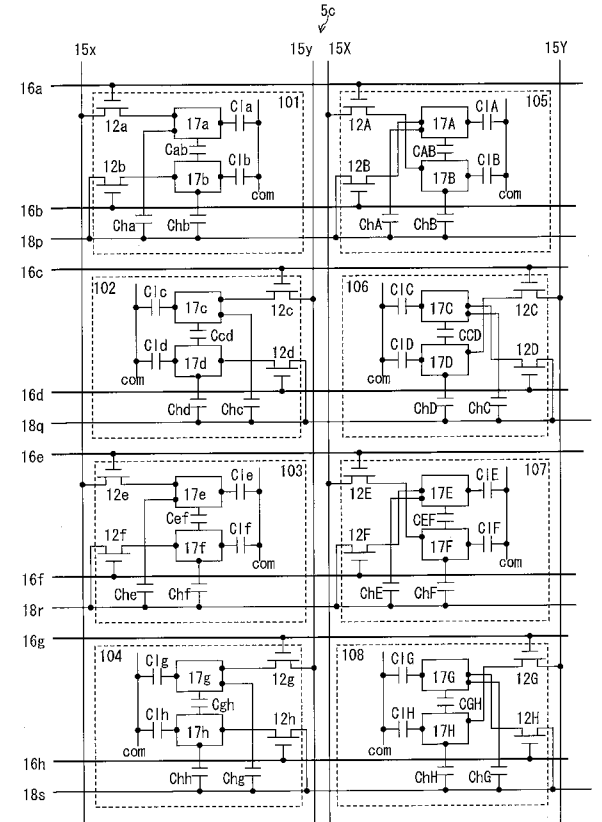
【図 27】



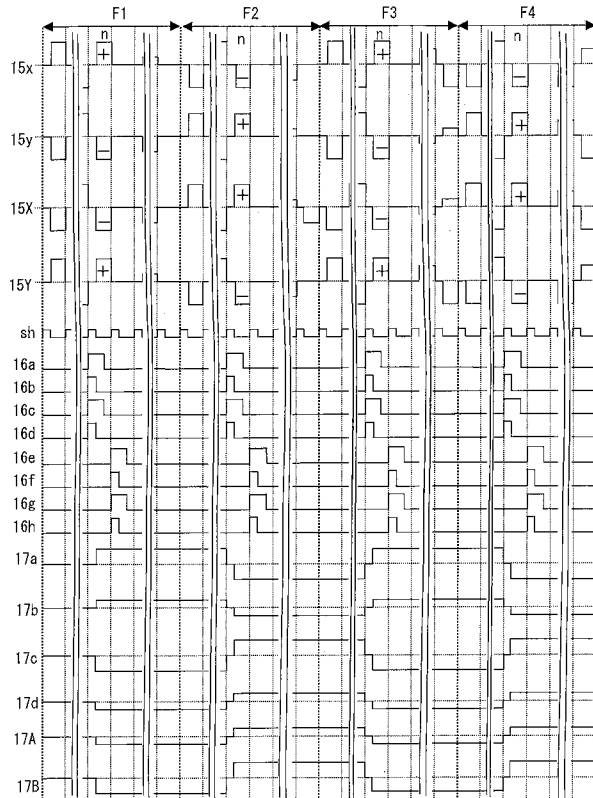
【図 28】



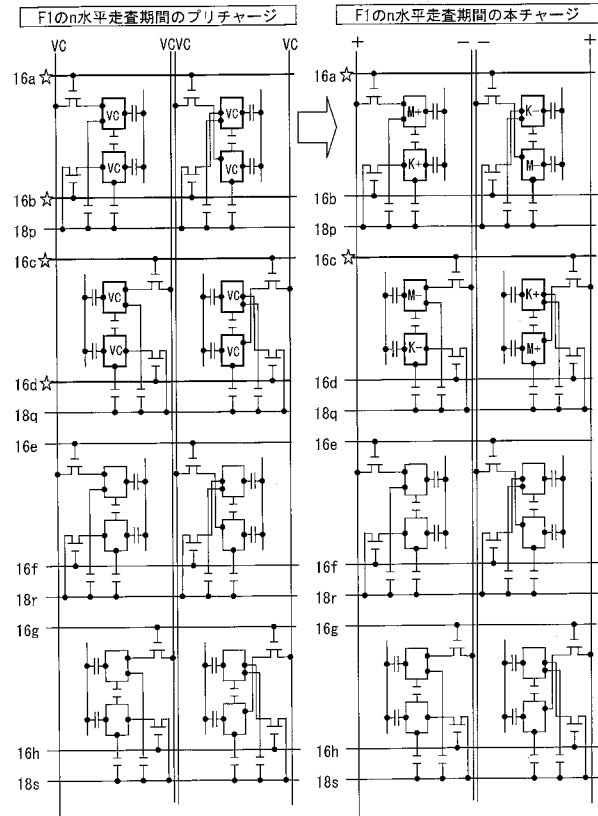
【図 29】



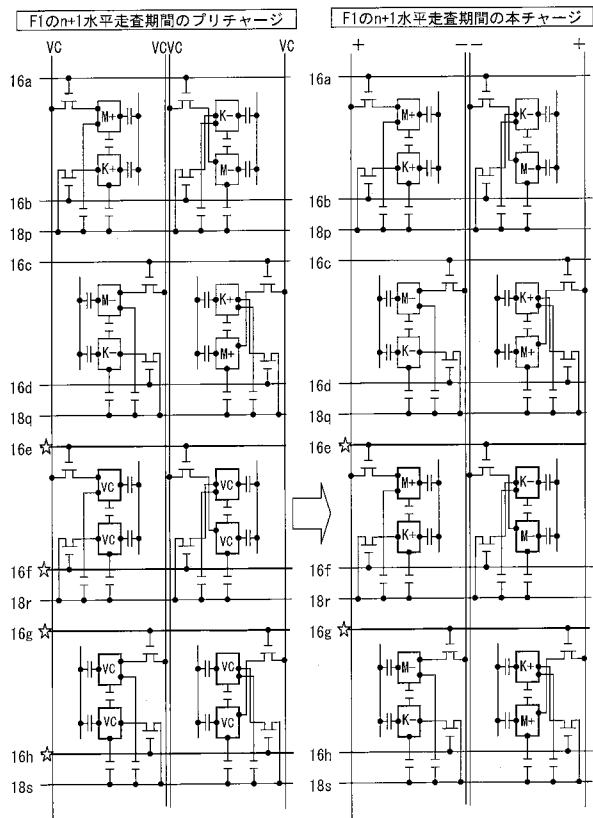
【図 30】



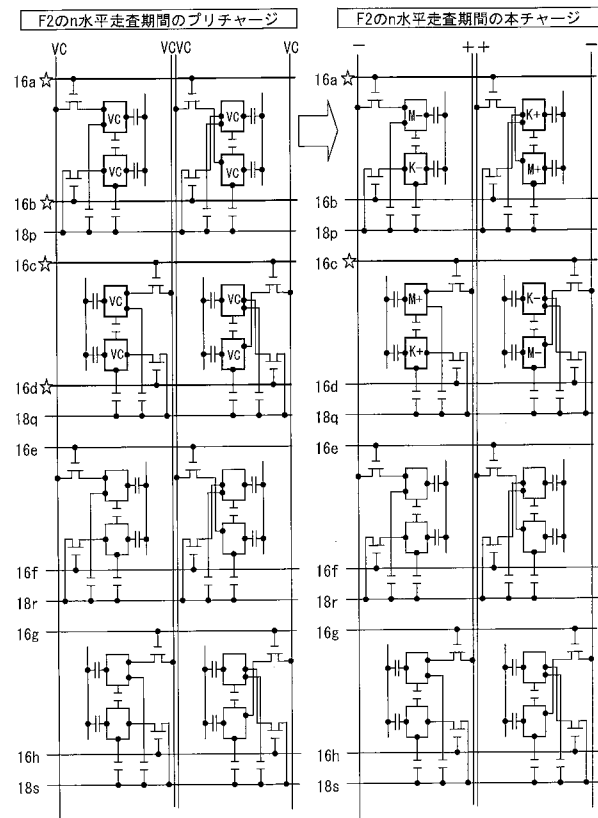
【図 31】



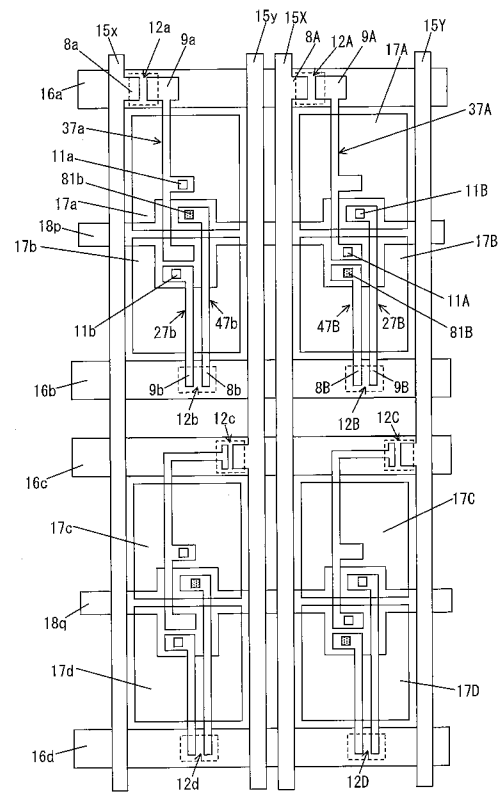
【図 32】



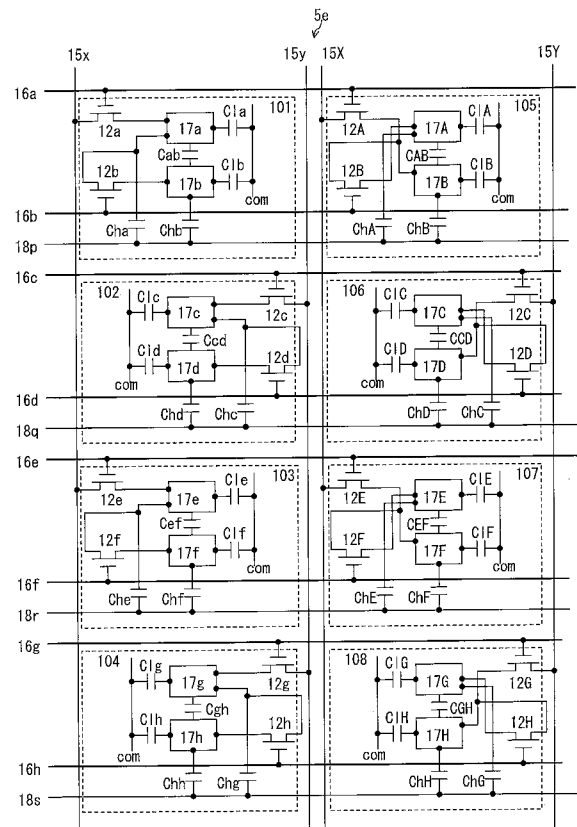
【図 33】



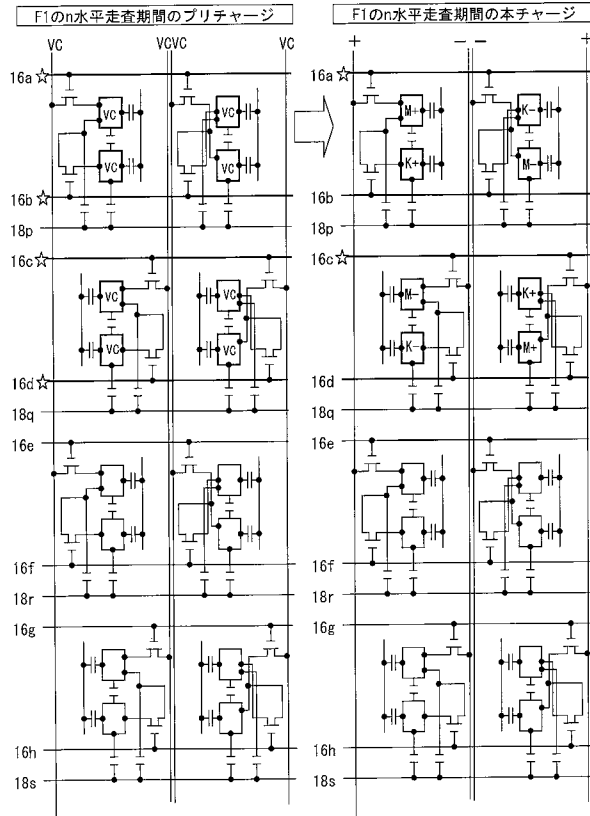
【図 3 5】



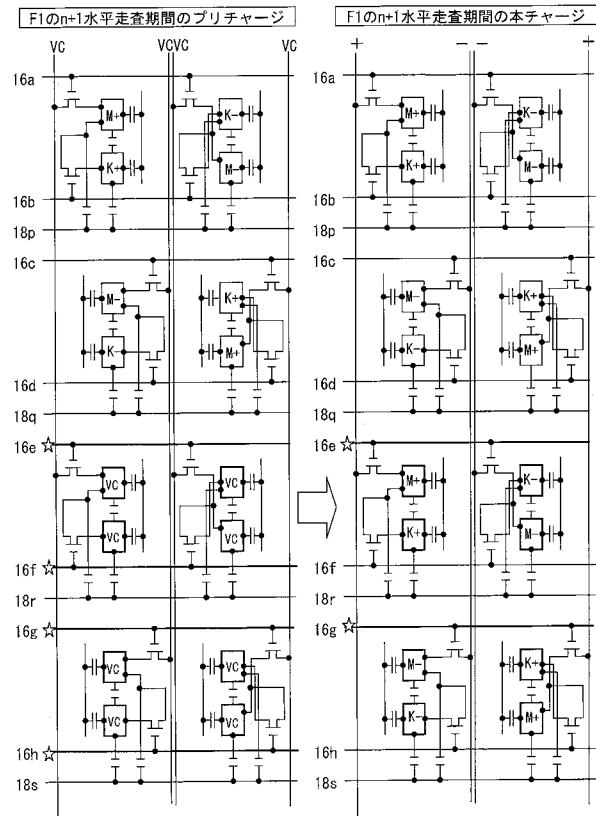
【図 3 7】



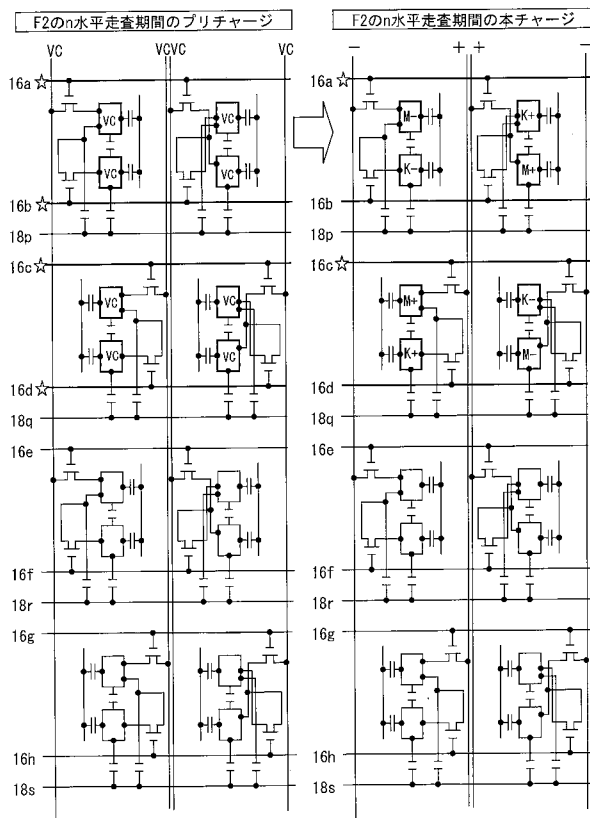
【図 38】



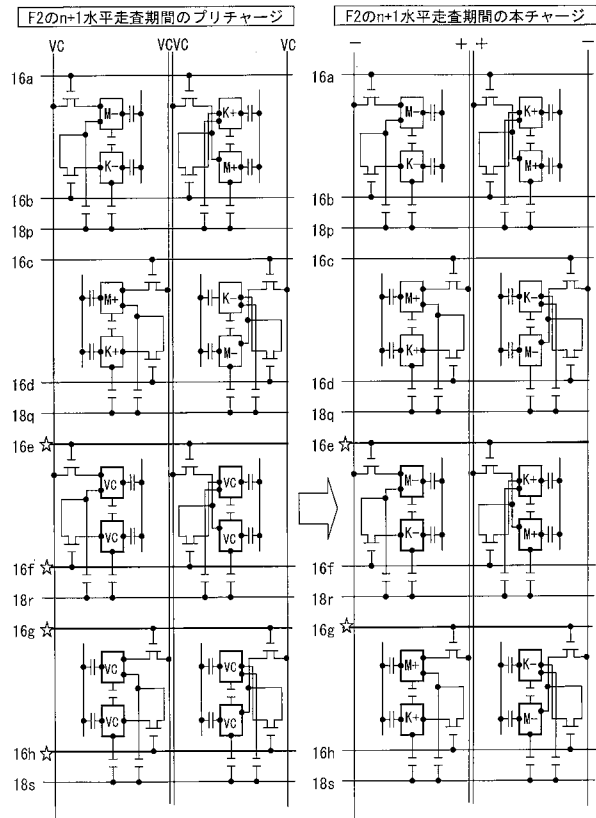
【図 39】



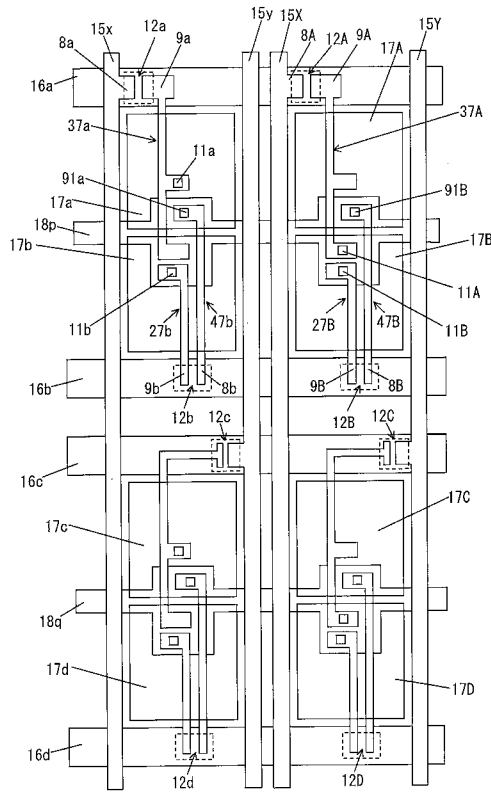
【図 40】



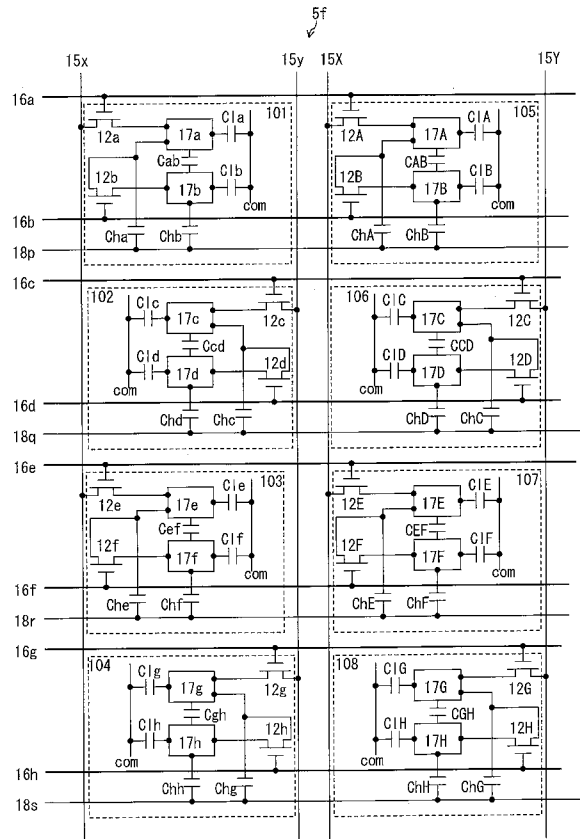
【図 41】



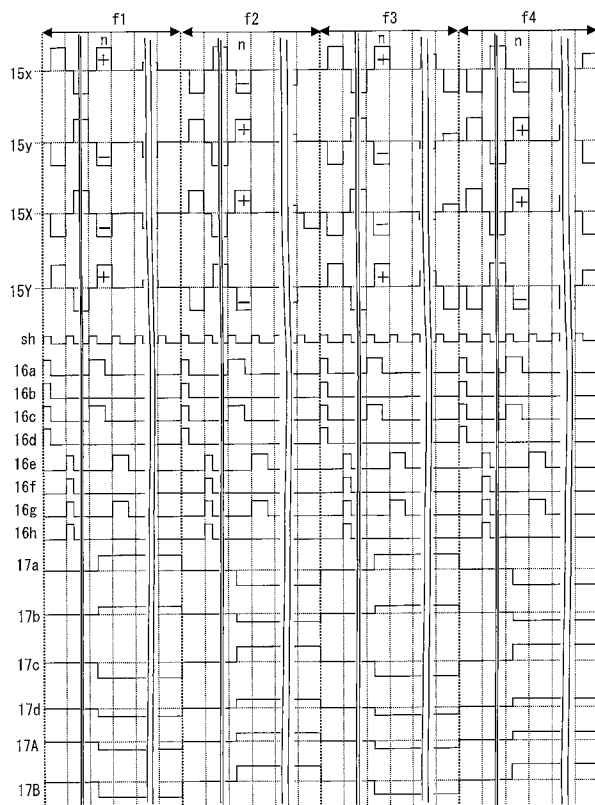
【図 4 2】



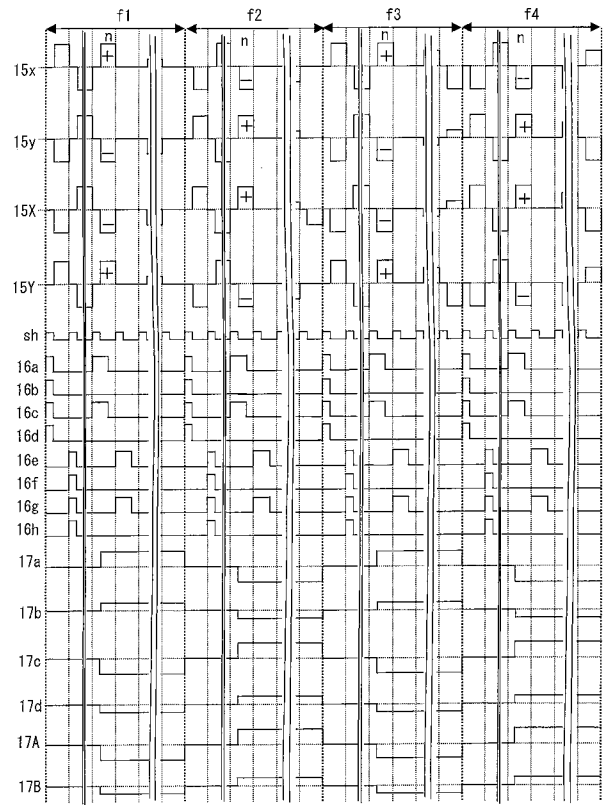
【図 4 3】



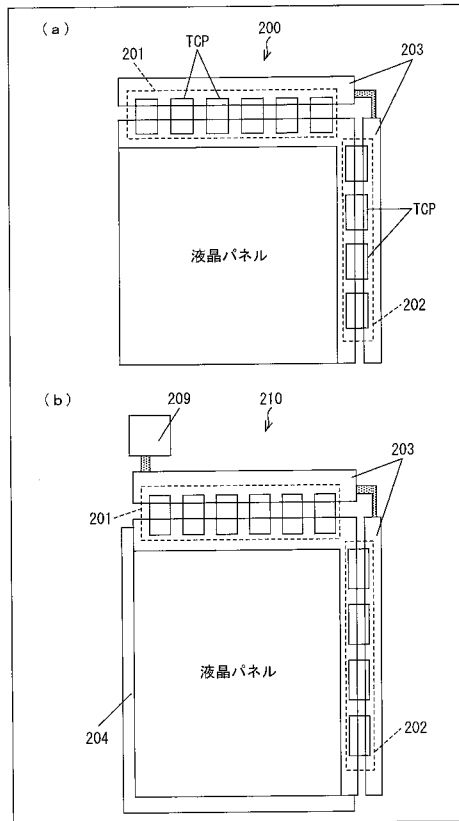
【図 4 4】



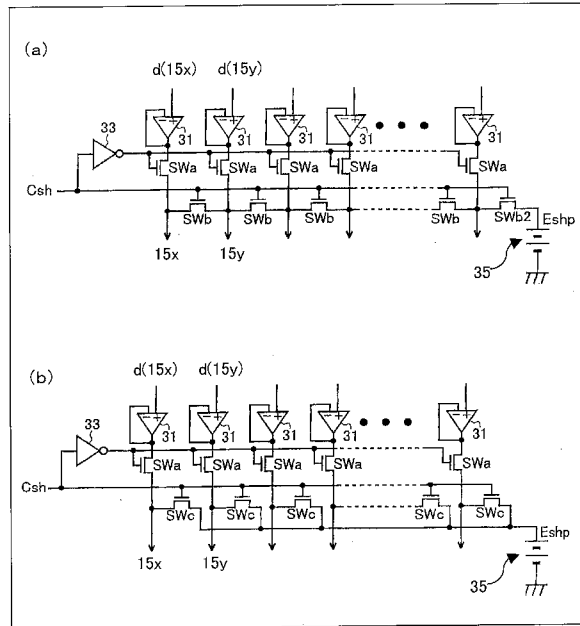
【図 4 5】



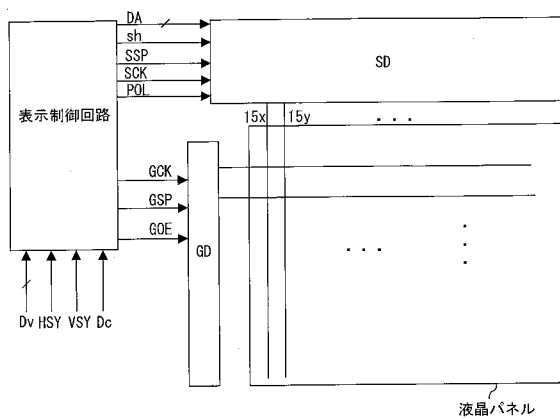
【図 4 6】



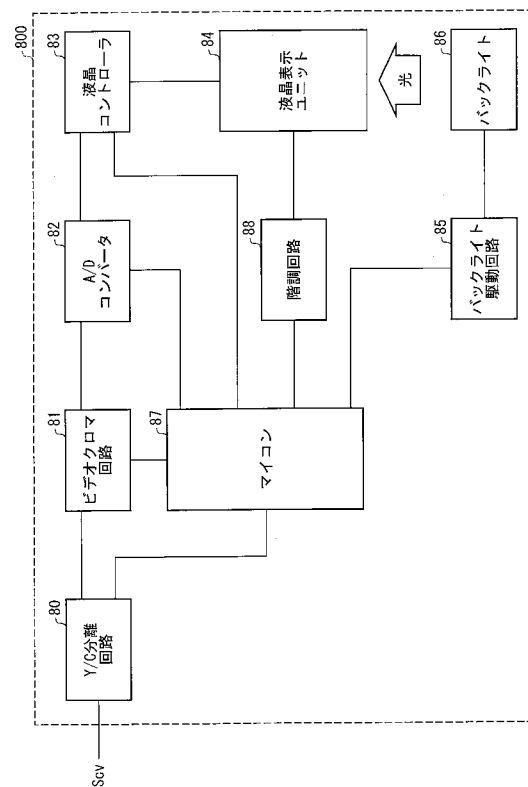
【図 4 7】



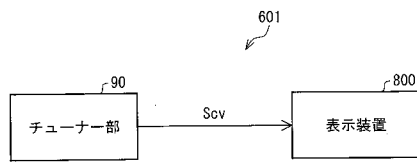
【図 4 8】



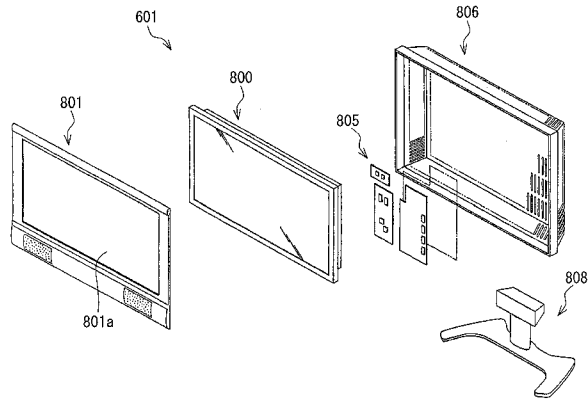
【図 4 9】



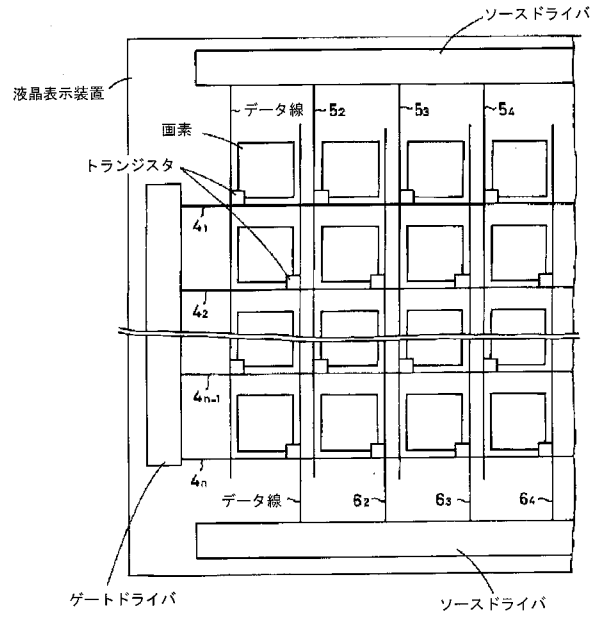
【図 50】



【図 51】



【図 52】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 3 U

(56)参考文献 特開 2 0 0 9 - 0 5 3 5 8 9 (J P, A)
特開 2 0 0 6 - 1 3 9 2 8 8 (J P, A)
特開 2 0 0 8 - 1 7 5 9 8 7 (J P, A)
特開 2 0 0 3 - 2 8 0 6 0 3 (J P, A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	有源矩阵基板，液晶面板，液晶显示装置，液晶显示单元，电视接收器		
公开(公告)号	JP5290419B2	公开(公告)日	2013-09-18
申请号	JP2011523538	申请日	2010-04-15
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3614 G02F2001/134345 G09G3/3659 G09G2300/0426 G09G2300/0443 G09G2300/0447 G09G2300/0814 G09G2300/0876 G09G2310/0251 G09G2320/028		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.622.D G09G3/20.621.B G09G3/20.623.U		
审查员(译)	福田 知喜		
优先权	2009171308 2009-07-22 JP		
其他公开文献	JPWO2011010417A1		
外部链接	Espacenet		

摘要(译)

在该有源矩阵基板中，包括通过电容器连接的两个像素电极的像素沿行和列方向排列，并且两个数据信号线对应于一个像素列设置，并且晶体管（12a）具有对应于像素行的两条扫描信号线，并连接到属于像素列和像素行的像素（101）的两条扫描信号线（16a和16b）之一。电连接到包括在像素（101）中的两个像素电极（17a和17b）之一，并且连接到两个扫描信号线中的另一个的晶体管（12b）是两个像素电极。两条数据信号线（15x和15y）中的两条数据信号线（15x）中的另一条电连接。它们相互连接。由此，可以改善同时选择两条线的像素分割系统（电容耦合型）的液晶显示装置的显示质量。

【图1】

