

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-128361

(P2019-128361A)

(43) 公開日 令和1年8月1日(2019.8.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H189
G09G 3/20 (2006.01)	G09G 3/20 611A	2H192
G09G 3/34 (2006.01)	G09G 3/20 621B	2H193
G02F 1/133 (2006.01)	G09G 3/34 J	2H391
G02F 1/1368 (2006.01)	G09G 3/20 641E	5C006
審査請求 未請求 請求項の数 13 O L (全 38 頁) 最終頁に続く		

(21) 出願番号 特願2018-7524 (P2018-7524)
 (22) 出願日 平成30年1月19日 (2018.1.19)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (72) 発明者 加藤 博文
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 Fターム(参考) 2H189 AA04 CA31 CA35 LA04 LA08
 LA10 LA20
 2H192 AA24 AA32 FA73 GD61 JA53
 2H193 ZA04 ZA34 ZB03 ZB07 ZC04
 ZC16 ZC26 ZD02 ZD11 ZF13
 ZF16 ZF36 ZG14 ZG27 ZG34
 ZG48 ZG50 ZQ13
 最終頁に続く

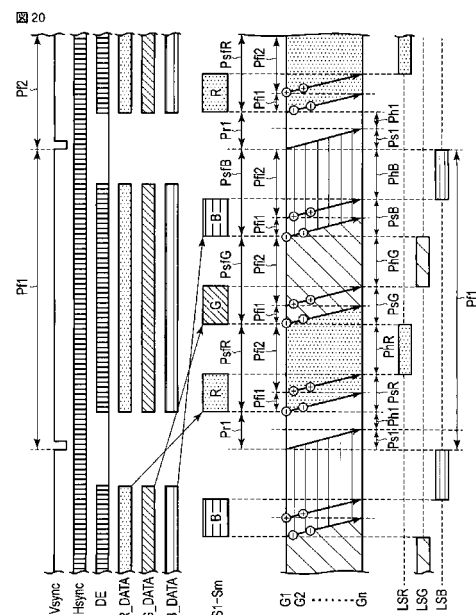
(54) 【発明の名称】 表示装置及び液晶表示装置

(57) 【要約】

【課題】 低消費電力化を図ることが可能な表示装置及び液晶表示装置を提供する。

【解決手段】 表示装置は、複数の第1駆動領域と複数の第2駆動領域とが列方向に交互に配置される表示領域と、複数の第1表示機能層と複数の第2表示機能層とを含み入射される光を透過する透明状態及び入射される光を散乱する散乱状態に切替えられる表示機能層と、を有する、表示パネルと、上記表示パネルの駆動を制御する制御部と、を備える。上記制御部は、第1フィールド期間 $Pf i 1$ に、複数の第1表示機能層に駆動電圧を印加し、第2フィールド期間 $Pf i 2$ に、複数の第2表示機能層に駆動電圧を印加する。第1フィールド期間 $Pf i 1$ と第2フィールド期間 $Pf i 2$ とで上記駆動電圧の極性は互いに異なる。

【選択図】 図20



【特許請求の範囲】

【請求項 1】

それぞれ行方向に延在する複数の第 1 駆動領域とそれぞれ前記行方向に延在する複数の第 2 駆動領域とが列方向に交互に配置される表示領域と、それぞれ前記複数の第 1 駆動領域に位置する複数の第 1 表示機能層とそれぞれ前記複数の第 2 駆動領域に位置する複数の第 2 表示機能層とを含み入射される光を透過する透明状態及び入射される光を散乱する散乱状態に切替えられる表示機能層と、を有する、表示パネルと、

前記表示パネルの駆動を制御し、前記表示機能層を前記透明状態及び前記散乱状態の少なくとも一方に切替える制御部と、を備え、

前記制御部は、

第 1 サブフレーム期間のうちの第 1 フィールド期間に、前記複数の第 1 表示機能層に駆動電圧を印加し、

前記第 1 サブフレーム期間のうち前記第 1 フィールド期間に続く第 2 フィールド期間に、前記複数の第 2 表示機能層に前記駆動電圧を印加し、

前記第 1 フィールド期間と前記第 2 フィールド期間とで前記駆動電圧の極性は互いに異なる、
表示装置。

【請求項 2】

前記表示領域の外側の非表示領域に位置し、前記制御部により前記表示機能層に光を照射する第 1 状態又は前記表示機能層への光の照射を休止する第 2 状態に切替えられる光源ユニットをさらに備え、

前記制御部は、

各々のサブフレーム期間のうち前記第 1 フィールド期間に、前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層の一方に負極性の前記駆動電圧を印加し、

各々の前記サブフレーム期間のうち前記第 2 フィールド期間に、前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層の他方に正極性の前記駆動電圧を印加し、

前記第 2 フィールド期間のうち前記他方への正極性の前記駆動電圧の印加が終わった後の期間に、前記光源ユニットを前記第 1 状態に切替え、

前記第 2 フィールド期間が終わる前に、前記光源ユニットを前記第 1 状態から前記第 2 状態に切替え、

前記サブフレーム期間又はフレーム期間が切替る毎に、前記第 1 フィールド期間に前記負極性の駆動電圧を印加する対象と、前記第 2 フィールド期間に前記正極性の駆動電圧を印加する対象と、を入れ替える、
請求項 1 に記載の表示装置。

【請求項 3】

前記表示領域の外側の非表示領域に位置し、前記表示機能層に第 1 色、第 2 色及び第 3 色の光を照射する光源ユニットをさらに備え、

前記制御部は、前記光源ユニットの駆動を制御し、

第 1 フレーム期間のうちの前記第 1 サブフレーム期間に、前記表示機能層に前記第 1 色の光を照射させ、

前記第 1 フレーム期間のうち前記第 1 サブフレーム期間に続く第 2 サブフレーム期間に、前記表示機能層に前記第 2 色の光を照射させ、

前記第 1 フレーム期間のうち前記第 2 サブフレーム期間に続く第 3 サブフレーム期間に、前記表示機能層に前記第 3 色の光を照射させ、

前記第 1 サブフレーム期間、前記第 2 サブフレーム期間、及び前記第 3 サブフレーム期間は、それぞれ前記第 1 フィールド期間及び前記第 2 フィールド期間を有し、

各々のサブフレーム期間において、前記第 1 フィールド期間と前記第 2 フィールド期間とで前記駆動電圧の極性は互いに異なる、
請求項 1 に記載の表示装置。

【請求項 4】

前記制御部は、

各々のサブフレーム期間のうち前記第 1 フィールド期間に、前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層の一方に負極性の前記駆動電圧を印加し、

各々の前記サブフレーム期間のうち前記第 2 フィールド期間に、前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層の他方に正極性の前記駆動電圧を印加する、請求項 3 に記載の表示装置。

【請求項 5】

前記制御部は、

前記第 1 フィールド期間に前記負極性の駆動電圧を印加する対象を、前記第 1 フレーム期間にて前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層の一方に固定し、

前記第 2 フィールド期間に前記正極性の駆動電圧を印加する対象を、前記第 1 フレーム期間にて前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層の他方に固定し、

フレーム期間が切替る毎に、前記第 1 フィールド期間に前記負極性の駆動電圧を印加する対象と、前記第 2 フィールド期間に前記正極性の駆動電圧を印加する対象と、を入れ替える、

請求項 4 に記載の表示装置。

【請求項 6】

前記制御部は、

前記第 1 フィールド期間に前記負極性の駆動電圧を印加する対象を、サブフレーム期間が切替る毎に前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層の一方に切替え、

前記第 2 フィールド期間に前記正極性の駆動電圧を印加する対象を、前記サブフレーム期間が切替る毎に前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層の他方に切替える、

請求項 4 に記載の表示装置。

【請求項 7】

前記表示機能層に印加される前記駆動電圧が第 1 透明電圧又は第 2 透明電圧である場合に前記表示機能層は前記透明状態に切替えられ、

前記表示機能層に印加される前記駆動電圧が散乱電圧である場合に前記表示機能層は前記散乱状態に切替えられ、

前記第 2 透明電圧が印加された場合に前記表示機能層を透過する光の平行度は、前記第 1 透明電圧が印加された場合に前記表示機能層を透過する光の平行度より高く、

前記第 1 フレーム期間は、前記第 1 フレーム期間の先頭の期間である第 1 リセット期間をさらに有し、

前記制御部は、

前記第 1 リセット期間に、前記複数の第 1 表示機能層及び前記複数の第 2 表示機能層にそれぞれ前記第 2 透明電圧を印加し、前記光源ユニットを前記表示機能層に光を照射しない消灯状態に切替える、

請求項 3 に記載の表示装置。

【請求項 8】

前記表示パネルは、画素電極と、共通電極と、をさらに有し、

前記第 2 透明電圧は、0 V であり、前記画素電極と前記共通電極との間に印加される電圧である、

請求項 7 に記載の表示装置。

【請求項 9】

前記表示パネルは、

それぞれ前記行方向に延在し前記列方向に交互に配置される複数の第 1 走査線及び複数の第 2 走査線と、

各々の前記第 1 駆動領域に位置し前記複数の第 1 走査線のうちの 1 本の第 1 走査線に電氣的に接続され前記行方向に並んだ 1 行分の複数の第 1 画素電極と、

10

20

30

40

50

各々の前記第 2 駆動領域に位置し前記複数の第 2 走査線のうちの 1 本の第 2 走査線に電氣的に接続され前記行方向に並んだ 1 行分の複数の第 2 画素電極と、

複数の第 1 薄膜トランジスタであって、各々の前記第 1 薄膜トランジスタは、対応する前記 1 本の第 1 走査線に接続されたゲート電極と、対応する単個の前記第 1 画素電極に接続されたソース電極と、を含む、前記複数の第 1 薄膜トランジスタと、

複数の第 2 薄膜トランジスタであって、各々の前記第 2 薄膜トランジスタは、対応する前記 1 本の第 2 走査線に接続されたゲート電極と、対応する単個の前記第 2 画素電極に接続されたソース電極と、を含む、前記複数の第 2 薄膜トランジスタと、をさらに有し、

前記第 1 フィールド期間及び前記第 2 フィールド期間の一方は、奇数フィールド期間であり、

前記第 1 フィールド期間及び前記第 2 フィールド期間の他方は、偶数フィールド期間である、

請求項 1 に記載の表示装置。

【請求項 10】

それぞれ行方向に延在する複数の第 1 駆動領域とそれぞれ前記行方向に延在する複数の第 2 駆動領域とが列方向に交互に配置される表示領域と、それぞれ前記複数の第 1 駆動領域に位置する複数の第 1 液晶層とそれぞれ前記複数の第 2 駆動領域に位置する複数の第 2 液晶層とを含みリバース型高分子分散液晶を利用し入射される光を透過する透明状態及び入射される光を散乱する散乱状態に切替えられる液晶層と、を有する、表示パネルと、

前記表示パネルの駆動を制御し、前記液晶層を前記透明状態及び前記散乱状態の少なくとも一方に切替える制御部と、を備え、

前記制御部は、

第 1 サブフレーム期間のうちの第 1 フィールド期間に、前記複数の第 1 液晶層に駆動電圧を印加し、

前記第 1 サブフレーム期間のうち前記第 1 フィールド期間に続く第 2 フィールド期間に、前記複数の第 2 液晶層に前記駆動電圧を印加し、

前記第 1 フィールド期間と前記第 2 フィールド期間とで前記駆動電圧の極性は互いに異なる、

液晶表示装置。

【請求項 11】

前記表示領域の外側の非表示領域に位置し、前記制御部により前記液晶層に光を照射する第 1 状態又は前記液晶層への光の照射を休止する第 2 状態に切替えられる光源ユニットをさらに備え、

前記制御部は、

各々のサブフレーム期間のうち前記第 1 フィールド期間に、前記複数の第 1 液晶層及び前記複数の第 2 液晶層の一方に負極性の前記駆動電圧を印加し、

各々の前記サブフレーム期間のうち前記第 2 フィールド期間に、前記複数の第 1 液晶層及び前記複数の第 2 液晶層の他方に正極性の前記駆動電圧を印加し、

前記第 2 フィールド期間のうち前記他方への正極性の前記駆動電圧の印加が終わった後の期間に、前記光源ユニットを前記第 1 状態に切替え、

前記第 2 フィールド期間が終わる前に、前記光源ユニットを前記第 1 状態から前記第 2 状態に切替え、

前記サブフレーム期間又はフレーム期間が切替る毎に、前記第 1 フィールド期間に前記負極性の駆動電圧を印加する対象と、前記第 2 フィールド期間に前記正極性の駆動電圧を印加する対象と、を入れ替える、

請求項 10 に記載の液晶表示装置。

【請求項 12】

前記表示領域の外側の非表示領域に位置し、前記液晶層に第 1 色、第 2 色及び第 3 色の光を照射する光源ユニットをさらに備え、

前記制御部は、前記光源ユニットの駆動を制御し、

10

20

30

40

50

第 1 フレーム期間のうちの前記第 1 サブフレーム期間に、前記液晶層に前記第 1 色の光を照射させ、

前記第 1 フレーム期間のうち前記第 1 サブフレーム期間に続く第 2 サブフレーム期間に、前記液晶層に前記第 2 色の光を照射させ、

前記第 1 フレーム期間のうちに前記第 2 サブフレーム期間に続く第 3 サブフレーム期間に、前記液晶層に前記第 3 色の光を照射させ、

前記第 1 サブフレーム期間、前記第 2 サブフレーム期間、及び前記第 3 サブフレーム期間は、それぞれ前記第 1 フィールド期間及び前記第 2 フィールド期間を有し、

各々のサブフレーム期間において、前記第 1 フィールド期間と前記第 2 フィールド期間とで前記駆動電圧の極性は互いに異なる、

請求項 10 に記載の液晶表示装置。

【請求項 13】

前記制御部は、

各々のサブフレーム期間のうちに前記第 1 フィールド期間に、前記複数の第 1 液晶層及び前記複数の第 2 液晶層の一方に負極性の前記駆動電圧を印加し、

各々の前記サブフレーム期間のうちに前記第 2 フィールド期間に、前記複数の第 1 液晶層及び前記複数の第 2 液晶層の他方に正極性の前記駆動電圧を印加する、

請求項 12 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、表示装置及び液晶表示装置に関する。

【背景技術】

【0002】

近年、入射した光を拡散する拡散状態と入射した光を透過させる透過状態とを切り替え可能な高分子分散液晶 (Polymer Dispersed Liquid Crystal: 以下、『P D L C』と称する場合がある) パネルを含み、画像を表示するとともに背景を透かして視認することが可能な表示装置が提案されている。このような表示装置においては、1 フレーム期間が複数のサブフレーム期間を有し、サブフレーム期間毎に表示色を切り替えながら画像を表示することで多色表示が実現される。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2004 - 287087 号公報

【特許文献 2】特開 2016 - 145869 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本実施形態は、低消費電力化を図ることが可能な表示装置及び液晶表示装置を提供する。

【課題を解決するための手段】

【0005】

一実施形態に係る表示装置は、

それぞれ行方向に延在する複数の第 1 駆動領域とそれぞれ前記行方向に延在する複数の第 2 駆動領域とが列方向に交互に配置される表示領域と、それぞれ前記複数の第 1 駆動領域に位置する複数の第 1 表示機能層とそれぞれ前記複数の第 2 駆動領域に位置する複数の第 2 表示機能層とを含み入射される光を透過する透過状態及び入射される光を散乱する散乱状態に切替えられる表示機能層と、を有する、表示パネルと、前記表示パネルの駆動を制御し、前記表示機能層を前記透過状態及び前記散乱状態の少なくとも一方に切替える制御部と、を備え、前記制御部は、第 1 サブフレーム期間のうちの第 1 フィールド期間に、

10

20

30

40

50

前記複数の第 1 表示機能層に駆動電圧を印加し、前記第 1 サブフレーム期間のうち前記第 1 フィールド期間に続く第 2 フィールド期間に、前記複数の第 2 表示機能層に前記駆動電圧を印加し、前記第 1 フィールド期間と前記第 2 フィールド期間とで前記駆動電圧の極性は互いに異なる。

【0006】

また、一実施形態に係る液晶表示装置は、

それぞれ行方向に延在する複数の第 1 駆動領域とそれぞれ前記行方向に延在する複数の第 2 駆動領域とが列方向に交互に配置される表示領域と、それぞれ前記複数の第 1 駆動領域に位置する複数の第 1 液晶層とそれぞれ前記複数の第 2 駆動領域に位置する複数の第 2 液晶層とを含みリバース型高分子分散液晶を利用し入射される光を透過する透過状態及び入射される光を散乱する散乱状態に切替えられる液晶層と、を有する、表示パネルと、前記表示パネルの駆動を制御し、前記液晶層を前記透過状態及び前記散乱状態の少なくとも一方に切替える制御部と、を備え、前記制御部は、第 1 サブフレーム期間のうちの第 1 フィールド期間に、前記複数の第 1 液晶層に駆動電圧を印加し、前記第 1 サブフレーム期間のうちの前記第 1 フィールド期間に続く第 2 フィールド期間に、前記複数の第 2 液晶層に前記駆動電圧を印加し、前記第 1 フィールド期間と前記第 2 フィールド期間とで前記駆動電圧の極性は互いに異なる。

10

【図面の簡単な説明】

【0007】

【図 1】図 1 は、第 1 の実施形態における表示装置の構成例を示す平面図である。

20

【図 2】図 2 は、図 1 に示した表示装置の断面図である。

【図 3】図 3 は、図 1 に示した表示装置の主要な構成要素を示す図である。

【図 4 A】図 4 A は、透明状態の液晶層を模式的に示す図である。

【図 4 B】図 4 B は、散乱状態の液晶層を模式的に示す図である。

【図 5 A】図 5 A は、液晶層が透明状態である場合の表示パネルを示す断面図である。

【図 5 B】図 5 B は、液晶層が散乱状態である場合の表示パネルを示す断面図である。

【図 6】図 6 は、液晶層の散乱特性を示すグラフである。

【図 7 A】図 7 A は、1 ライン反転駆動の概要を表す図であり、第 1 液晶層に負極性の駆動電圧が印加され、第 2 液晶層に正極性の駆動電圧が印加されている状態を示す図である。

30

【図 7 B】図 7 B は、上記 1 ライン反転駆動の概要を表す図であり、第 1 液晶層に正極性の駆動電圧が印加され、第 2 液晶層に負極性の駆動電圧が印加されている状態を示す図である。

【図 8 A】図 8 A は、表示動作を示すタイミングチャートであり、図 1 に示した制御部による第 1 駆動方法の例 1 を説明するための図である。

【図 8 B】図 8 B は、表示動作を示すタイミングチャートであり、上記制御部による第 1 駆動方法の例 2 を説明するための図である。

【図 8 C】図 8 C は、表示動作を示すタイミングチャートであり、上記制御部による第 1 駆動方法の例 3 を説明するための図である。

【図 9】図 9 は、表示動作を示すタイミングチャートであり、上記制御部による第 3 駆動方法を説明するための図である。

40

【図 10】図 10 は、表示動作を示すタイミングチャートであり、上記制御部による第 4 駆動方法を説明するための図である。

【図 11 A】図 11 A は、2 ライン反転駆動の概要を表す図であり、第 1 液晶層に負極性の駆動電圧が印加され、第 2 液晶層に正極性の駆動電圧が印加されている状態を示す図である。

【図 11 B】図 11 B は、上記 2 ライン反転駆動の概要を表す図であり、第 1 液晶層に正極性の駆動電圧が印加され、第 2 液晶層に負極性の駆動電圧が印加されている状態を示す図である。

【図 12】図 12 は、表示走査におけるコモン電圧と信号線電圧の一例を示す図である。

50

【図 1 3】図 1 3 は、透明走査におけるコモン電圧と信号線電圧の一例を示す図である。

【図 1 4】図 1 4 は、透明走査におけるコモン電圧と信号線電圧の他の例を示す図である。

【図 1 5】図 1 5 は、図 7 A などに示したスイッチング素子のゲート電極 - ソース電極間に加えられる電圧に対する、上記スイッチング素子のドレイン電極 - ソース電極間に流れる電流値の変化をグラフで示す図である。

【図 1 6】図 1 6 は、第 1 フィールド期間及び第 2 フィールド期間における、画素電極の電位、コモン電圧、及び走査信号の電圧の変化を示す別のタイミングチャートである。

【図 1 7 A】図 1 7 A は、第 1 サブフレーム期間及び第 2 サブフレーム期間における、第 1 画素電極の電位、コモン電圧、及び走査信号の電圧の変化を示す別のタイミングチャートであり、サブフレーム期間毎に各々の画素の極性を異ならせる場合について説明する図である。

10

【図 1 7 B】図 1 7 B は、第 1 サブフレーム期間及び第 2 サブフレーム期間における、第 2 画素電極の電位、コモン電圧、及び走査信号の電圧の変化を示す別のタイミングチャートであり、図 1 7 A と同様、サブフレーム期間毎に各々の画素の極性を異ならせる場合について説明する図である。

【図 1 8 A】図 1 8 A は、第 1 サブフレーム期間及び第 2 サブフレーム期間における、第 1 画素電極の電位、コモン電圧、及び走査信号の電圧の変化を示す別のタイミングチャートであり、フレーム期間毎に各々の画素の極性を異ならせる場合について説明する図である。

20

【図 1 8 B】図 1 8 B は、第 1 サブフレーム期間及び第 2 サブフレーム期間における、第 2 画素電極の電位、コモン電圧、及び走査信号の電圧の変化を示す別のタイミングチャートであり、図 1 8 A と同様、フレーム期間毎に各々の画素の極性を異ならせる場合について説明する図である。

【図 1 9】図 1 9 は、図 3 に示したタイミングコントローラの一構成例を示す図である。

【図 2 0】図 2 0 は、表示動作の一例を示すタイミングチャートである。

【図 2 1】図 2 1 は、表示動作の他の例を示すタイミングチャートである。

【図 2 2】図 2 2 は、表示動作の他の例を示すタイミングチャートである。

【図 2 3】図 2 3 は、表示動作の他の例を示すタイミングチャートである。

【図 2 4】図 2 4 は、第 2 実施形態に係る表示装置の主要な構成要素を示す図である。

30

【図 2 5】図 2 5 は、図 2 4 に示した V c o m 引き込み回路の一構成例を示す図である。

【発明を実施するための形態】

【0008】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

40

【0009】

各実施形態においては、表示装置の一例として、高分子分散型液晶を適用した表示装置について説明する。各実施形態の表示装置は、例えば、スマートフォン、タブレット端末、携帯電話端末等の種々の装置に用いることができる。

【0010】

(第 1 の実施形態)

図 1 は、本実施形態における表示装置 D S P の構成例を示す平面図である。

図 1 に示すように、第 1 方向 X 及び第 2 方向 Y は互いに交差する方向であり、第 3 方向 Z は第 1 方向 X 及び第 2 方向 Y と交差する方向である。第 1 方向 X は、行方向に相当し、第 2 方向 Y は、列方向に相当している。一例では、第 1 方向 X、第 2 方向 Y、及び第 3 方

50

向 Z は、互いに直交しているが、互いに 90 度以外の角度で交差していてもよい。本明細書において、第 3 方向 Z を示す矢印の先端に向かう方向を上方（あるいは、単に上）と称し、矢印の先端から逆に向かう方向を下方（あるいは、単に下）と称する。

【0011】

表示装置 D S P は、表示パネル P N L、配線基板 F 1 乃至 F 5 などを備えている。表示パネル P N L は、画像を表示する表示領域 D A、及び表示領域 D A を囲む額縁状の非表示領域 N D A を備えている。表示領域 D A は、n 本の走査線 G (G 1 ~ G n)、m 本の信号線 S (S 1 ~ S m) などを備えている。なお、n 及び m はいずれも正の整数であり、n が m と等しくてもよいし、n が m とは異なってもよい。複数の走査線 G は、それぞれ第 1 方向 X に延在し、第 2 方向 Y に間隔をおいて並んでいる。言い換えると、複数の走査線 G は、行方向に延在している。複数の信号線 S は、それぞれ第 2 方向 Y に延在し、第 1 方向 X に間隔をおいて並んでいる。

10

【0012】

表示パネル P N L は、第 1 方向 X に沿った端部 E 1 及び E 2 と、第 2 方向 Y に沿った端部 E 3 及び E 4 とを有している。非表示領域 N D A の幅について、端部 E 1 と表示領域 D A との第 2 方向 Y の幅 W 1 は、端部 E 2 と表示領域 D A との第 2 方向 Y の幅 W 2 より小さい。また、端部 E 3 と表示領域 D A との第 1 方向 X の幅 W 3 は、端部 E 4 と表示領域 D A との第 1 方向 X の幅 W 4 と同等である。また、幅 W 3 及び W 4 の各々は、幅 W 2 より小さい。また、幅 W 3 及び W 4 の各々は、幅 W 1 と同等であってもよいし、幅 W 1 とは異なってもよい。

20

【0013】

配線基板 F 1 乃至 F 3 は、この順に第 1 方向 X に並んでいる。配線基板 F 1 は、ゲートドライバ G D 1 を備えている。配線基板 F 2 は、ソースドライバ S D を備えている。配線基板 F 3 は、ゲートドライバ G D 2 を備えている。配線基板 F 1 乃至 F 3 は、それぞれ表示パネル P N L 及び配線基板 F 4 に接続されている。配線基板 F 5 は、タイミングコントローラ T C や電源回路 P C などを備えている。配線基板 F 4 は、配線基板 F 5 のコネクタ C T に接続されている。なお、配線基板 F 1 乃至 F 3 は、単一の配線基板に置換されてもよい。また、配線基板 F 1 乃至 F 4 は、単一の配線基板に置換されてもよい。上述したゲートドライバ G D 1、ゲートドライバ G D 2、ソースドライバ S D、及びタイミングコントローラ T C は本実施形態の制御部 C O N を構成し、上記制御部 C O N は後述する複数の画素電極、後述する共通電極、及び後述する光源ユニットのそれぞれの駆動を制御するように構成されている。

30

図示した例では、端部 E 1 の側から奇数番目の走査線 G がゲートドライバ G D 2 に接続され、偶数番目の走査線 G がゲートドライバ G D 1 に接続されているが、ゲートドライバ G D 1 及び G D 2 と各走査線 G との接続関係は図示した例に限らない。

【0014】

図 2 は、図 1 に示した表示装置 D S P の断面図である。ここでは、第 2 方向 Y 及び第 3 方向 Z によって規定される Y - Z 平面における表示装置 D S P の断面において、主要部のみを説明する。

【0015】

40

図 2 に示すように、表示パネル P N L は、第 1 基板 S U B 1、第 2 基板 S U B 2、表示機能層としての液晶層 30 などを備えている。第 1 基板 S U B 1 は、透明基板 10、画素電極 11、配向膜 12 などを備えている。第 2 基板 S U B 2 は、透明基板 20、共通電極 21、配向膜 22 などを備えている。画素電極 11 及び共通電極 21 は、例えばインジウム錫酸化物 (I T O) やインジウム亜鉛酸化物 (I Z O) などの透明導電材料によって形成されている。液晶層 30 は、少なくとも表示領域 D A に位置している。液晶層 30 は、高分子分散液晶を含み、配向膜 12 と配向膜 22 との間に位置している。本実施形態の液晶層 30 は、リバーズ型高分子分散液晶 (R-PDLC : reverse mode polymer dispersed liquid crystal) を利用している。上記の液晶層 30 は、印加される電圧が低い場合に入射される光の平行度を維持し、印加される電圧が高い場合に入射される光を散乱させる。第

50

1 基板SUB1及び第2基板SUB2は、シール材40によって接着されている。第1基板SUB1は、透明基板20の端部E5よりも第2方向Yに延出した延出部EXを有している。

【0016】

配線基板F1乃至F3は、第1基板SUB1の延出部EXに接続されている。

光源ユニットLUは、表示領域DAの外側の非表示領域NDAに位置している。光源ユニットLUは、発光素子LS、配線基板F6などを備えている。発光素子LSは、配線基板F6に接続され、延出部EXの上に位置している。発光素子LSは、端部E5と対向する発光部（発光面）EMを有している。発光部EMから出射された照明光は、後述するように、端部E5に入射し、表示パネルPNLを伝播する。

10

【0017】

図3は、図1に示した表示装置DSPの主要な構成要素を示す図である。

図3に示すように、表示装置DSPは、図中に破線で示すコントローラCNTを備えている。コントローラCNTは、タイミングコントローラTC、ゲートドライバGD1及びGD2、ソースドライバSD、Vcom回路VC、光源ドライバLSDなどを含んでいる。

タイミングコントローラTCは、外部から入力された画像データや同期信号などに基づいて各種信号を生成する。一例では、タイミングコントローラTCは、画像データに基づき、所定の信号処理を行って生成した映像信号をソースドライバSDに出力する。また、タイミングコントローラTCは、同期信号に基づいて生成した制御信号を、ゲートドライバGD1及びGD2、ソースドライバSD、Vcom回路VC、光源ドライバLSDにそれぞれ出力する。タイミングコントローラTCの詳細については後述する。

20

【0018】

図中に二点鎖線で示す表示領域DAは、複数の画素PXを備えている。各画素PXは、スイッチング素子SW及び画素電極11を備えている。スイッチング素子SWは、例えば薄膜トランジスタで形成されている。スイッチング素子SWは、走査線G及び信号線Sと電氣的に接続されている。複数の画素電極11は、表示領域DAに位置し、マトリクス状に設けられている。このため、例えば、複数の画素電極11は、複数行に設けられている。画素電極11は、スイッチング素子SWを介して信号線Sに接続されている。共通電極21は表示領域DAに位置している。共通電極21は、複数の画素電極11と対向している。なお、本実施形態と異なり、共通電極21は、少なくとも1つの画素PX毎に区切られ、各々共通線に接続され、共通のコモン電圧が印加される構成でもよい。走査線Gの各々には、ゲートドライバGD1またはGD2から走査信号が供給される。信号線Sの各々には、ソースドライバSDから映像信号（画像信号）が供給される。共通電極21には、Vcom回路VCからコモン電圧Vcomが供給される。信号線Sに供給された映像信号は、走査線Gに供給された走査信号に基づいてスイッチング素子SWが導通状態となった期間に、当該スイッチング素子SWに接続された画素電極11に印加される。以下の説明においては、画素電極11に映像信号を与えて画素電極11と共通電極21との間に電位差を形成することを、当該画素電極11を備える画素PXに映像信号を書き込む（或いは電圧を印加する）と記載することがある。

30

40

【0019】

光源ユニットLUは、液晶層30に無彩色以外の色の光を照射するように構成されている。光源ユニットLUは、複数色の発光素子LSを備えている。例えば、光源ユニットLUは、液晶層30に第1色の光を照射する発光素子（第1発光素子）LSRと、液晶層30に第2色の光を照射する発光素子（第2発光素子）LSGと、液晶層30に第3色の光を照射する発光素子（第3発光素子）LSBと、を備えている。上記の第1色、第2色、及び第3色が、互いに異なる色であることは言うまでもない。本実施形態において、第1色は赤色、第2色は緑色、第3色は青色である。光源ドライバLSDは、これらの発光素子LSR、LSG、LSBの点灯期間を制御する。後に詳述するが、1フレーム期間が複数のサブフレーム期間を有する駆動方式においては、各サブフレームにおいて3つの発光

50

素子 L S R、L S G、L S B のうちの少なくとも 1 つが点灯し、サブフレーム毎に照明光の色が切り替えられる。

【0020】

以下に、高分子分散液晶層である液晶層 30 を備えた表示装置の一構成例について説明する。

図 4 A は、透明状態の液晶層 30 を模式的に示す図である。

図 4 A に示すように、液晶層 30 は、液晶性ポリマー 31 及び液晶性分子 32 を含んでいる。液晶性ポリマー 31 は、例えば、液晶性モノマーが配向膜 12 及び 22 の配向規制力によって所定の方向に配向した状態で高分子化されることによって得られる。液晶性分子 32 は、液晶性モノマー内に分散されており、液晶性モノマーが高分子化された際に、液晶性モノマーの配向方向に依存して所定の方向に配向される。なお、配向膜 12 及び 22 は、第 1 方向 X 及び第 2 方向 Y によって規定される X - Y 平面に沿って液晶性モノマー及び液晶性分子 32 を配向させる水平配向膜であってもよいし、第 3 方向 Z に沿って液晶性モノマー及び液晶性分子 32 を配向させる垂直配向膜であってもよい。

【0021】

液晶性分子 32 は、正の誘電率異方性を有するポジ型であってもよいし、負の誘電率異方性を有するネガ型であってもよい。液晶性ポリマー 31 及び液晶性分子 32 は、それぞれ同等の光学異方性を有している。あるいは、液晶性ポリマー 31 及び液晶性分子 32 は、それぞれ略同等の屈折率異方性を有している。つまり、液晶性ポリマー 31 及び液晶性分子 32 の各々は、常光屈折率及び異常光屈折率が互いに略同等である。なお、常光屈折率及び異常光屈折率のいずれについても、液晶性ポリマー 31 及び液晶性分子 32 のそれぞれの値が完全に一致していなくてもよく、製造誤差などに起因したずれは許容される。また、液晶性ポリマー 31 及び液晶性分子 32 の各々の電界に対する応答性は異なる。すなわち、液晶性ポリマー 31 の電界に対する応答性は、液晶性分子 32 の電界に対する応答性より低い。

【0022】

図 4 A に示した例は、例えば、液晶層 30 に電圧が印加されていない状態（画素電極 11 と共通電極 21 との間の電位差がゼロである状態）、あるいは、液晶層 30 に後述する第 2 透明電圧が印加された状態に相当する。

【0023】

図 4 A に示すように、液晶性ポリマー 31 の光軸 $A \times 1$ 及び液晶性分子 32 の光軸 $A \times 2$ は、互いに平行となる。図示した例では、光軸 $A \times 1$ 及び光軸 $A \times 2$ は、いずれも第 3 方向 Z に平行である。ここでの光軸とは、偏光方向によらず屈折率が 1 つの値になるような光線の進行方向と平行な線に相当する。

【0024】

上記の通り、液晶性ポリマー 31 及び液晶性分子 32 は略同等の屈折率異方性を有しており、しかも、光軸 $A \times 1$ 及び $A \times 2$ は互いに平行であるため、第 1 方向 X、第 2 方向 Y、及び第 3 方向 Z を含むあらゆる方向において、液晶性ポリマー 31 と液晶性分子 32 との間にほとんど屈折率差がない。このため、第 3 方向 Z にて液晶層 30 に入射した光 L1 は、液晶層 30 内で実質的に散乱されることなく透過する。液晶層 30 は、光 L1 の平行度を維持することができる。同様に、第 3 方向 Z に対して傾斜した斜め方向に入射した光 L2 及び L3 についても、液晶層 30 内でほとんど散乱されることはない。このため、高い透明性が得られる。図 4 A に示した状態を『透明状態』と称する。

【0025】

図 4 B は、散乱状態の液晶層 30 を模式的に示す図である。

図 4 B に示すように、上記の通り、液晶性ポリマー 31 の電界に対する応答性は、液晶性分子 32 の電界に対する応答性より低い。このため、液晶層 30 に上記の第 2 透明電圧及び後述する第 1 透明電圧の各々より高い電圧（後述の散乱電圧）が印加された状態では、液晶性ポリマー 31 の配向方向がほとんど変化しないのに対して、液晶性分子 32 の配向方向は電界に応じて変化する。つまり、図示したように、光軸 $A \times 1$ は第 3 方向 Z とほ

とんど平行であるのに対して、光軸 $A \times 2$ は第 3 方向 Z に対して傾斜している。このため、光軸 $A \times 1$ 及び $A \times 2$ は、互いに交差する。したがって、第 1 方向 X 、第 2 方向 Y 、及び、第 3 方向 Z を含むあらゆる方向において、液晶性ポリマー 3 1 と液晶性分子 3 2 との間に大きな屈折率差が生ずる。これにより、液晶層 3 0 に入射した光 $L 1$ 乃至 $L 3$ は、液晶層 3 0 内で散乱される。図 4 B に示した状態を『散乱状態』と称する。

制御部は、液晶層 3 0 を透明状態及び散乱状態の少なくとも一方に切替える。

【 0 0 2 6 】

図 5 A は、液晶層 3 0 が透明状態である場合の表示パネル PNL を示す断面図である。

図 5 A に示すように、発光素子 LS から出射された照明光 $L 1 1$ は、端部 E 5 から表示パネル PNL に入射し、透明基板 2 0、液晶層 3 0、透明基板 1 0 などを伝播する。液晶層 3 0 が透明状態である場合、照明光 $L 1 1$ は、液晶層 3 0 でほとんど散乱されないため、透明基板 1 0 の下面 1 0 B 及び透明基板 2 0 の上面 2 0 T からほとんど漏れ出すことはない。

【 0 0 2 7 】

表示パネル PNL に入射する外部光 $L 1 2$ は、液晶層 3 0 でほとんど散乱されることなく透過する。つまり、下面 1 0 B から表示パネル PNL に入射した外部光は上面 2 0 T に透過され、上面 2 0 T から入射した外部光は下面 1 0 B に透過される。このため、表示パネル PNL を上面 2 0 T 側から観察した場合には、ユーザは、表示パネル PNL を透かして下面 1 0 B 側の背景を視認することができる。同様に、表示パネル PNL を下面 1 0 B 側から観察した場合には、表示パネル PNL を透かして上面 2 0 T 側の背景を視認することができる。

【 0 0 2 8 】

図 5 B は、液晶層 3 0 が散乱状態である場合の表示パネル PNL を示す断面図である。

図 5 B に示すように、発光素子 LS から出射された照明光 $L 2 1$ は、端部 E 5 から表示パネル PNL に入射し、透明基板 2 0、液晶層 3 0、透明基板 1 0 などを伝播する。図示した例では、画素電極 1 1 α と共通電極 2 1 との間の液晶層 3 0 (画素電極 1 1 α と共通電極 2 1 との間に印加される電圧が印加される液晶層) は透明状態であるため、照明光 $L 2 1$ は、液晶層 3 0 のうち画素電極 1 1 α と対向する領域でほとんど散乱されない。一方、画素電極 1 1 β と共通電極 2 1 との間の液晶層 3 0 (画素電極 1 1 β と共通電極 2 1 との間に印加される電圧が印加される液晶層) は散乱状態であるため、照明光 $L 2 1$ は、液晶層 3 0 のうち画素電極 1 1 β と対向する領域で散乱される。照明光 $L 2 1$ のうち、一部の散乱光 $L 2 1 1$ は上面 2 0 T から外部に放出され、また、一部の散乱光 $L 2 1 2$ は下面 1 0 B から外部に放出される。

【 0 0 2 9 】

画素電極 1 1 α と重なる位置では、表示パネル PNL に入射する外部光 $L 2 2$ は、図 5 A に示した外部光 $L 1 2$ と同様に、液晶層 3 0 でほとんど散乱されることなく透過する。画素電極 1 1 β と重なる位置では、下面 1 0 B から入射した外部光 $L 2 3$ は、その一部の光 $L 2 3 1$ が液晶層 3 0 で散乱された後に上面 2 0 T から透過される。また、上面 2 0 T から入射した外部光 $L 2 4$ は、その一部の光 $L 2 4 1$ が液晶層 3 0 で散乱された後に下面 1 0 B から透過される。

【 0 0 3 0 】

このため、表示パネル PNL を上面 2 0 T 側から観察した場合には、画素電極 1 1 β と重なる位置で照明光 $L 2 1$ の色を視認することができる。加えて、一部の外部光 $L 2 3 1$ が表示パネル PNL を透過するため、表示パネル PNL を透かして下面 1 0 B 側の背景を視認することもできる。同様に、表示パネル PNL を下面 1 0 B 側から観察した場合には、画素電極 1 1 β と重なる位置で照明光 $L 2 1$ の色を視認することができる。加えて、一部の外部光 $L 2 4 1$ が表示パネル PNL を透過するため、表示パネル PNL を透かして上面 2 0 T 側の背景を視認することもできる。なお、画素電極 1 1 α と重なる位置では、液晶層 3 0 が透明状態であるため、照明光 $L 2 1$ の色はほとんど視認されず、表示パネル PNL を透かして背景を視認することができる。

【0031】

図6は、液晶層30の散乱特性を示すグラフであり、液晶層30に印加される電圧 V_{LC} と輝度との関係を表している。ここでの輝度は、例えば図5Bに示したように、発光素子LSから出射された照明光L21が液晶層30にて散乱した際に得られる散乱光L21の輝度に相当する。他の観点から言えば、この輝度は、液晶層30の散乱度を表している。

【0032】

図6に示すように、電圧 V_{LC} を0Vから上昇させていくと、輝度は8V程度から急峻に上昇し、20V程度で飽和する。なお、電圧 V_{LC} が0Vから8Vの間においても、輝度は僅かに上昇する。本実施形態では、2点鎖線で囲った領域、すなわち8Vから16Vの範囲の電圧を各画素PXの階調表現（例えば256階調）に用いる。以下、 $8V < V_{LC} < 16V$ の電圧を『散乱電圧』と呼ぶ。また、本実施形態では、一点鎖線で囲った領域、すなわち0V $< V_{LC} < 8V$ の電圧を『透明電圧』と呼ぶ。透明電圧VAは、上述した第1透明電圧VA1及び第2透明電圧VA2を含んでいる。なお、散乱電圧VB及び透明電圧VAの下限値及び上限値はこの例に限られず、液晶層30の散乱特性に応じて適宜に定め得る。

【0033】

ここで、液晶層30に散乱電圧VBを印加した際に液晶層30に入射される光の散乱度が最も高くなる場合の散乱度を100%とする。ここでは、16Vの散乱電圧VBを液晶層30に印加した際の散乱度を100%としている。例えば、透明電圧VAは、散乱度（輝度）が10%未満となる電圧 V_{LC} の範囲と定義することができる。あるいは、透明電圧VAは、最低階調に対応する電圧（図6の例では8V）以下の電圧 V_{LC} と定義することもできる。

また、透明電圧VA（第1透明電圧VA1及び第2透明電圧VA2）は、図6に示した例と異なってもよい。例えば、上記第1透明電圧VA1は、散乱度が10%以上50%以下の範囲となる電圧であってもよい。また、上記第2透明電圧VA2は、散乱度が10%未満の範囲となる電圧であってもよい。

【0034】

なお、図6に示したグラフは、液晶層30に印加する電圧の極性が正極性（+）の場合と、負極性（-）の場合とに適用可能である。後者の場合、電圧 V_{LC} は、負極性の電圧の絶対値である。

【0035】

表示装置DSPには、液晶層30に印加する電圧の極性を反転する極性反転駆動を適用することができる。図7A、及び図7Bは、極性反転駆動の概要を示す図である。図7A及び図7Bは、1本の走査線Gに接続された一群の画素PX（1ライン）毎に、液晶層30に印加する駆動電圧（画素PXに書き込む電圧）を正極性（+）と負極性（-）とで反転する1ライン反転駆動を表している。

【0036】

図7Aに示すように、表示領域DAは、それぞれ第1方向Xに延在する複数の第1駆動領域DA1と、それぞれ第1方向Xに延在する複数の第2駆動領域DA2と、を含んでいる。第1駆動領域DA1及び第2駆動領域DA2は、第2方向Yに交互に配置されている。各々の第1駆動領域DA1、及び各々の第2駆動領域DA2には、1行分の画素PXが設けられている。複数の画素PXのうち、複数の第1画素PXAは第1駆動領域DA1に設けられ、複数の第2画素PXBは第2駆動領域DA2に設けられている。

本実施形態において、上側（走査線G1から走査線G4側）に数えて、第1駆動領域DA1は奇数番目に位置し、第2駆動領域DA2は偶数番目に位置している。但し、本実施形態と異なり、第1駆動領域DA1は偶数番目に位置し、第2駆動領域DA2は奇数番目に位置していてもよい。

【0037】

複数の走査線Gは、複数の第1走査線GAと、複数の第2走査線GBとを有している。

10

20

30

40

50

第 1 走査線 G A 及び第 2 走査線 G B は、第 2 方向 Y に交互に配置されている。

複数の画素電極 1 1 は、複数の第 1 画素電極 1 1 A と、複数の第 2 画素電極 1 1 B とを有している。1 行分の複数の第 1 画素電極 1 1 A は、各々の第 1 駆動領域 D A 1 に位置し、複数の第 1 走査線 G A のうちの 1 本の第 1 走査線 G A に電氣的に接続され、第 1 方向 X に並んでいる。1 行分の複数の第 2 画素電極 1 1 B は、各々の第 2 駆動領域 D A 2 に位置し、複数の第 2 走査線 G B のうちの 1 本の第 2 走査線 G B に電氣的に接続され、第 1 方向 X に並んでいる。

【 0 0 3 8 】

複数のスイッチング素子 S W は、複数の第 1 スwitchング素子 S W A と、複数の第 2 スwitchング素子 S W B と、を有している。本実施形態において、第 1 スwitchング素子 S W A は第 1 薄膜トランジスタであり、第 2 スwitchング素子 S W B は第 2 薄膜トランジスタである。各々の第 1 スwitchング素子 S W A は、対応する 1 本の第 1 走査線 G A に接続されたゲート電極と、対応する単個の第 1 画素電極 1 1 A に接続されたソース電極と、対応する 1 本の信号線 S に接続されたドレイン電極と、を含んでいる。各々の第 2 スwitchング素子 S W B は、対応する 1 本の第 2 走査線 G B に接続されたゲート電極と、対応する単個の第 2 画素電極 1 1 B に接続されたソース電極と、対応する 1 本の信号線 S に接続されたドレイン電極と、を含んでいる。

10

【 0 0 3 9 】

液晶層 3 0 は、複数の第 1 表示機能層としての複数の第 1 液晶層 3 0 A と、複数の第 2 表示機能層としての複数の第 2 液晶層 3 0 B と、を有している。第 1 液晶層 3 0 A は第 1 駆動領域 D A 1 に位置し、第 2 液晶層 3 0 B は第 2 駆動領域 D A 2 に位置している。

20

【 0 0 4 0 】

図 8 A、図 8 B 及び図 8 C に示すように、ここで、第 1 フレーム期間 P f 1 が 3 つのサブフレーム期間 P s f を有し、各々のサブフレーム期間が 2 つのフィールド期間 P f i を有している場合を想定する。上記 3 つのサブフレーム期間は、第 1 サブフレーム期間 P s f 1、第 1 サブフレーム期間に続く第 2 サブフレーム期間 P s f 2、及び第 2 サブフレーム期間に続く第 3 サブフレーム期間 P s f 3 である。上記 2 つのフィールド期間は、第 1 フィールド期間 P f i 1、及び第 1 フィールド期間に続く第 2 フィールド期間 P f i 2 である。

30

【 0 0 4 1 】

例えば、一フィールド期間毎に、共通電極 2 1 に供給されるコモン電圧の極性と、ソースドライバ S D から信号線 S に供給される映像信号の極性（信号線電圧の極性）とは反転される。同じフィールド期間において、コモン電圧の極性と映像信号の極性は、例えば逆である。

【 0 0 4 2 】

次に、制御部 C O N による駆動方法について説明する。

まず、制御部 C O N による第 1 駆動方法について説明する。

制御部 C O N は、一フィールド期間毎に、駆動の対象を切替えている。例えば、制御部 C O N は、第 1 サブフレーム期間のうちの第 1 フィールド期間に、複数の第 1 液晶層 3 0 A に駆動電圧を印加し、複数の第 2 液晶層 3 0 B に駆動電圧を印加しない。制御部 C O N は、第 1 サブフレーム期間のうちの第 2 フィールド期間に、複数の第 2 液晶層 3 0 B に駆動電圧を印加する。第 1 サブフレーム期間などの各々のサブフレーム期間において、駆動電圧の極性は、第 1 フィールド期間と第 2 フィールド期間とで互いに異なっている。

40

【 0 0 4 3 】

図 8 A に示す例では、制御部 C O N は、各々のサブフレーム期間 P s f のうち第 1 フィールド期間 P f i 1 に、複数の第 1 液晶層 3 0 A 及び複数の第 2 液晶層 3 0 B の一方に第 1 極性 p o l 1 の駆動電圧を印加する。そして、制御部 C O N は、各々のサブフレーム期間 P s f のうち第 2 フィールド期間 P f i 2 に、複数の第 1 液晶層 3 0 A 及び複数の第 2 液晶層 3 0 B の他方に第 2 極性 p o l 2 の駆動電圧を印加する。

【 0 0 4 4 】

50

但し、各々のフィールド期間 $P f i$ における上記駆動電圧の極性は、固定されていなくともよい。

例えば、図 8 B に示すように、フレーム期間 $P f$ が切替る毎に、第 1 フィールド期間 $P f i 1$ における駆動電圧の極性と、第 2 フィールド期間 $P f i 2$ における駆動電圧の極性と、を入れ替えてもよい。

又は、図 8 C に示すように、サブフレーム期間 $P s f$ が切替る毎に、第 1 フィールド期間 $P f i 1$ における駆動電圧の極性と、第 2 フィールド期間 $P f i 2$ における駆動電圧の極性と、を入れ替えてもよい。

なお、第 1 極性 $p o l 1$ 及び第 2 極性 $p o l 2$ のうち、一方が正極性であり、他方が負極性である。

10

【 0 0 4 5 】

次に、上記第 1 駆動方法より詳細な駆動方法として、制御部 $C O N$ による第 2 駆動方法について説明する。

制御部 $C O N$ は、各々のサブフレーム期間のうち第 1 フィールド期間に、複数の第 1 液晶層 3 0 A 及び複数の第 2 液晶層 3 0 B の一方に負極性の駆動電圧を印加する。そして、制御部 $C O N$ は、各々のサブフレーム期間のうち第 2 フィールド期間に、複数の第 1 液晶層 3 0 A 及び複数の第 2 液晶層 3 0 B の他方に正極性の駆動電圧を印加する。

上記第 2 駆動方法は、図 8 A において、第 1 極性 $p o l 1$ が負極性であり、第 2 極性 $p o l 2$ が正極性である場合に相当している。

【 0 0 4 6 】

20

図 7 A 及び図 8 A に示す例では、制御部 $C O N$ は、第 1 フィールド期間 $P f i 1$ に複数の第 1 液晶層 3 0 A に負極性の駆動電圧を印加し、第 2 フィールド期間 $P f i 2$ に複数の第 2 液晶層 3 0 B に正極性の駆動電圧を印加する。この場合、第 1 フィールド期間 $P f i 1$ は奇数フィールド期間であり、第 2 フィールド期間 $P f i 2$ は偶数フィールド期間である。

【 0 0 4 7 】

図 7 B 及び図 8 A に示す例では、制御部 $C O N$ は、第 1 フィールド期間 $P f i 1$ に複数の第 2 液晶層 3 0 B に負極性の駆動電圧を印加し、第 2 フィールド期間 $P f i 2$ に複数の第 1 液晶層 3 0 A に正極性の駆動電圧を印加する。この場合、第 1 フィールド期間 $P f i 1$ は偶数フィールド期間であり、第 2 フィールド期間 $P f i 2$ は奇数フィールド期間である。

30

【 0 0 4 8 】

次に、上記第 2 駆動方法より詳細な一駆動方法として、制御部 $C O N$ による第 3 駆動方法について説明する。

制御部 $C O N$ は、第 1 フィールド期間に負極性の駆動電圧を印加する対象を、第 1 フレーム期間にて複数の第 1 液晶層 3 0 A 及び複数の第 2 液晶層 3 0 B の一方に固定する。また、制御部 $C O N$ は、第 2 フィールド期間に正極性の駆動電圧を印加する対象を、第 1 フレーム期間にて複数の第 1 液晶層 3 0 A 及び複数の第 2 液晶層 3 0 B の他方に固定する。そして、制御部 $C O N$ は、フレーム期間が切替る毎に、第 1 フィールド期間に負極性の駆動電圧を印加する対象と、第 2 フィールド期間に正極性の駆動電圧を印加する対象と、を入れ替える。

40

【 0 0 4 9 】

例えば、図 7 A 及び図 9 に示すように、制御部 $C O N$ は、第 1 フレーム期間 $P f 1$ を含む奇数番目のフレーム期間 $P f$ に、第 1 フィールド期間 $P f i 1$ に負極性の駆動電圧を印加する対象を複数の第 1 液晶層 3 0 A に固定し、第 2 フィールド期間 $P f i 2$ に正極性の駆動電圧を印加する対象を複数の第 2 液晶層 3 0 B に固定する。

図 7 B 及び図 9 に示すように、制御部 $C O N$ は、偶数番目のフレーム期間 $P f$ に、第 1 フィールド期間 $P f i 1$ に負極性の駆動電圧を印加する対象を複数の第 2 液晶層 3 0 B に固定し、第 2 フィールド期間 $P f i 2$ に正極性の駆動電圧を印加する対象を複数の第 1 液晶層 3 0 A に固定する。

50

【 0 0 5 0 】

次に、上記第 2 駆動方法より詳細な別の駆動方法として、制御部 C O N による第 4 駆動方法について説明する。

制御部 C O N は、第 1 フィールド期間に負極性の駆動電圧を印加する対象を、サブフレーム期間が切替る毎に複数の第 1 液晶層 3 0 A 及び複数の第 2 液晶層 3 0 B の一方に切替える。また、制御部 C O N は、第 2 フィールド期間に正極性の駆動電圧を印加する対象を、サブフレーム期間が切替る毎に複数の第 1 液晶層 3 0 A 及び複数の第 2 液晶層 3 0 B の他方に切替える。

【 0 0 5 1 】

例えば、図 7 A 及び図 1 0 に示すように、制御部 C O N は、第 1 フレーム期間 P f 1 の第 1 サブフレーム期間 P s f 1 において、第 1 フィールド期間 P f i 1 に負極性の駆動電圧を印加する対象を複数の第 1 液晶層 3 0 A に設定し、第 2 フィールド期間 P f i 2 に正極性の駆動電圧を印加する対象を複数の第 2 液晶層 3 0 B に設定する。

続いて、図 7 B 及び図 1 0 に示すように、制御部 C O N は、第 1 フレーム期間 P f 1 の第 2 サブフレーム期間 P s f 2 において、第 1 フィールド期間 P f i 1 に負極性の駆動電圧を印加する対象を複数の第 2 液晶層 3 0 B に切替え、第 2 フィールド期間 P f i 1 に正極性の駆動電圧を印加する対象を複数の第 1 液晶層 3 0 A に切替える。

【 0 0 5 2 】

次いで、図 7 A 及び図 1 0 に示すように、制御部 C O N は、第 1 フレーム期間 P f 1 の第 3 サブフレーム期間 P s f 3 において、第 1 フィールド期間 P f i 1 に負極性の駆動電圧を印加する対象を複数の第 1 液晶層 3 0 A に切替え、第 2 フィールド期間 P f i 2 に正極性の駆動電圧を印加する対象を複数の第 2 液晶層 3 0 B に切替える。

その後、図 7 B 及び図 1 0 に示すように、制御部 C O N は、第 1 フレーム期間 P f 1 に続く第 2 フレーム期間 P f 2 の第 1 サブフレーム期間 P s f 1 において、第 1 フィールド期間 P f i 1 に負極性の駆動電圧を印加する対象を複数の第 2 液晶層 3 0 B に切替え、第 2 フィールド期間 P f i 2 に正極性の駆動電圧を印加する対象を複数の第 1 液晶層 3 0 A に切替える。

【 0 0 5 3 】

次に、図 7 A 及び図 7 B に示した駆動方法とは異なる駆動方法について説明する。図 1 1 A、及び図 1 1 B は、他の極性反転駆動の概要を示す図である。図 1 1 A 及び図 1 1 B は、2 ライン毎に液晶層 3 0 に印加する電圧を正極性 (+) と負極性 (-) とで反転する 2 ライン反転駆動を表している。

図 1 1 A 及び図 1 1 B に示すように、各々の第 1 駆動領域 D A 1、及び各々の第 2 駆動領域 D A 2 には、2 行分の画素 P X が設けられていてもよい。制御部 C O N は、上述した第 1 乃至第 4 駆動方法を用いて 2 ライン反転駆動を行うことができる。

【 0 0 5 4 】

又は、制御部 C O N は、3 つ以上のライン毎に液晶層 3 0 に印加する電圧を正極性 (+) と負極性 (-) とで反転するよう駆動してもよい。その場合、各々の第 1 駆動領域 D A 1、及び各々の第 2 駆動領域 D A 2 には、3 行分以上の画素 P X が設けられていてもよい。何れにおいても、第 1 駆動領域 D A と第 2 駆動領域 D A 2 を交互に配置することにより、フリッカの発生を抑制することができる。

【 0 0 5 5 】

但し、第 1 駆動領域 D A 1 と第 2 駆動領域 D A 2 とで駆動条件は異なるため、第 1 駆動領域 D A 1 及び第 2 駆動領域 D A 2 の各々サイズが大きくなり過ぎると望ましくない。なぜなら、ユーザが表示領域 D A を視認した際、第 1 駆動領域 D A 1 及び第 2 駆動領域 D A 2 のパターンが識別され易くなるためである。

【 0 0 5 6 】

図 1 2 は、上述したようなフィールド反転駆動を適用した表示走査において、共通電極 2 1 に供給されるコモン電圧 V c o m と、信号線 S (あるいは画素電極 1 1) に供給される信号線電圧 V s i g との一例を示す図である。

10

20

30

40

50

図 1 2 に示すように、信号線電圧 V_{sig} に関しては、階調の最大値 (max) に相当する波形と、階調の最小値 (min) に相当する波形とを示している。ここでは、信号線電圧 $V_{sig}(min)$ の波形を実線で示し、コモン電圧 V_{com} の波形を二点鎖線で示し、信号線電圧 $V_{sig}(max)$ の波形を破線で示している。この図の例において、コモン電圧 V_{com} 及び信号線電圧 V_{sig} (最大値の波形を参照) は、一フィールド期間 Pfi 毎に極性反転している。基準電圧 V_{sig-c} は、例えば 8 V である。コモン電圧 V_{com} 及び信号線電圧 V_{sig} の各々において、下限値は 0 V であり、上限値は 16 V である。

【0057】

図 1 2 に示す例に限らず、後述する図 1 3 の例を含めた極性反転駆動に注目すると、液晶層 30 に印加する駆動電圧 (画素 PX に書き込む電圧) が正極性である場合、信号線電圧 V_{sig} とコモン電圧 V_{com} との差 ($V_{sig} - V_{com}$) は 0 V 又は正の電圧値となる。一方、液晶層 30 に印加する駆動電圧 (画素 PX に書き込む電圧) が負極性である場合、信号線電圧 V_{sig} とコモン電圧 V_{com} との差 ($V_{sig} - V_{com}$) は 0 V 又は負の電圧値となる。

【0058】

図 1 2 に示す極性反転駆動に注目すると、画素 PX に正極性の電圧を書き込む期間において、コモン電圧 V_{com} は 0 V となり、信号線電圧 V_{sig} は 8 V 以上かつ 16 V 以下の範囲で画像データが示す階調に応じた電圧値となる。一方、画素 PX に負極性の電圧を書き込む期間において、コモン電圧 V_{com} は 16 V となり、信号線電圧 V_{sig} は 0 V 以上かつ 8 V 以下の範囲で画像データが示す階調に応じた電圧値となる。すなわち、いずれの場合でも、共通電極 21 と画素電極 11 との間には、8 V 以上かつ 16 V 以下の電圧が印加される。

【0059】

図 6 に示したように、液晶層 30 に印加される電圧 V_{LC} が 8 V であっても、言い換えると液晶層 30 に第 1 透明電圧 V_{A1} が印加されても、液晶層 30 は 0 ~ 10 % 程度の散乱度を有している。したがって、信号線電圧 V_{sig} を階調の最小値とした場合であっても、表示パネル PNL に入射する外部光は僅かに散乱され、表示パネル PNL の背景の視認性が低下し得る場合がある。

このため、後述するが、画素電極 11 と共通電極 21 との間の電圧を例えば階調の下限值よりも小さくする透明走査 (後述するリセット期間における走査) を画像表示のシーケンスに取り入れることで、表示パネル PNL の背景の視認性を向上させることができる。

【0060】

ここで、ソースドライバ SD の出力と、コモン電圧 V_{com} との関係について説明する。

ソースドライバ SD の耐圧が低い場合、液晶印加電圧を高くするためにコモン電圧 V_{com} を反転駆動させる。この時ソースドライバ SD は、同時に、正極性の信号線電圧 V_{sig} (例えば基準電圧 $V_{sig-c} \sim 16 V$)、及び負極性の信号線電圧 V_{sig} (例えば 0 V ~ 基準電圧 V_{sig-c}) の何れか一方しか、出力することができない。また、コモン電圧 V_{com} の極性はソースドライバ SD の出力と反対の極性である。

【0061】

但し、高耐圧のソースドライバ SD を使用する場合、信号線電圧 V_{sig} とコモン電圧 V_{com} との関係は、上述した関係であってもよいが、次の関係であってもよい。すなわち、コモン電圧 V_{com} は 0 V に固定され、ソースドライバ SD が出力する信号線電圧 V_{sig} は、正極性時に 0 ~ + 16 V となり、負極性時に - 16 ~ 0 V となる。

【0062】

図 1 3 は、透明走査におけるコモン電圧 V_{com} と信号線電圧 V_{sig} の一例を示す図である。ここでは、信号線電圧 V_{sig} の波形を実線で示し、コモン電圧 V_{com} の波形を二点鎖線で示している。

図 1 3 に示すように、図 1 2 の例と同じく、コモン電圧 V_{com} は、一フィールド期間

10

20

30

40

50

P f i 毎に 0 V と 1 6 V とに交互に切替っている。透明走査においては、フィールド期間 P f i 毎に、信号線電圧 V_{sig} は、コモン電圧 V_{com} と一致している ($V_{sig} = V_{com} = 0 V$ 又は $V_{sig} = V_{com} = 1 6 V$)。なお、図 1 3 においては、信号線電圧 V_{sig} とコモン電圧 V_{com} の図示の関係上、両者を僅かにずらして表している。このため、液晶層 3 0 には 0 V が印加される。言い換えると、液晶層 3 0 には第 2 透明電圧 V_{A2} が印加される。

【 0 0 6 3 】

但し、透明走査における信号線電圧 V_{sig} は、図 1 2 に示した例に限定されるものではない。例えば、コモン電圧 V_{com} が 0 V となる期間、信号線電圧 V_{sig} は 0 V を超え 8 V 未満となってもよい ($0 V < V_{sig} < 8 V$)。コモン電圧 V_{com} が 1 6 V となる期間、信号線電圧 V_{sig} は 8 V を超え 1 6 V 未満となってもよい ($8 V < V_{sig} < 1 6 V$)。何れにおいても、透明走査によれば、信号線電圧 V_{sig} とコモン電圧 V_{com} との差の絶対値が 8 V 未満となり、液晶層 3 0 を透過する光の平行度が増す。言い換えると、第 2 透明電圧 V_{A2} は 0 V に限らず、第 2 透明電圧 V_{A2} の絶対値は 8 V 未満であってもよい。

【 0 0 6 4 】

なお、透明走査では、液晶層 3 0 に印加される電圧が階調の下限值 (例えば 8 V) 未満となればよく、信号線電圧 V_{sig} はコモン電圧 V_{com} と完全に一致しなくてもよい。上記のように、液晶層 3 0 に散乱電圧 V_B を印加した際に液晶層 3 0 に入射される光の散乱度が最も高くなる場合の散乱度を 1 0 0 % とする。例えば、第 2 透明電圧 V_{A2} は、散乱度が 1 0 % 未満となる電圧である方が望ましい。

【 0 0 6 5 】

図 1 4 は、透明走査におけるコモン電圧 V_{com} と信号線電圧 V_{sig} の他の例を示す図である。ここでは、信号線電圧 V_{sig} の波形を実線で示し、コモン電圧 V_{com} の波形を二点鎖線で示している。

図 1 4 に示すように、この例では、透明走査において、コモン電圧 V_{com} 及び信号線電圧 V_{sig} の極性反転が停止されている。さらに、コモン電圧 V_{com} 及び信号線電圧 V_{sig} が 8 V (上述の基準電圧 V_{sig-c}) で一致している。なお、コモン電圧 V_{com} 及び信号線電圧 V_{sig} は、0 V など、基準電圧 V_{sig-c} 以外の電圧で一致してもよい。また、図 1 3 に示した場合と同様に、第 2 透明電圧 V_{A2} は、散乱度が 1 0 % 未満となる電圧である方が望ましい。

【 0 0 6 6 】

図 1 5 は、図 7 A などに示したスイッチング素子 SW のゲート電極 - ソース電極間に加えられる電圧 V_{gs} に対する、上記スイッチング素子 SW のドレイン電極 - ソース電極間に流れる電流 I_{ds} の値の変化をグラフで示す図である。ここで、スイッチング素子 SW において、ゲート電極は走査線 G に接続され、ソース電極は画素電極 1 1 に接続され、ドレイン電極は信号線 S に接続されている (図 7 A)。

【 0 0 6 7 】

図 1 5 に示すように、スイッチング素子 SW の特性をシミュレーションした結果、スイッチング素子 SW をオフする際、電圧 V_{gs} を正の値から 0 V、- 1 V、又は - 2 V に切替えても、スイッチング素子 SW の電気抵抗値を十分に高くすることができず、電流 I_{ds} の値を十分に小さくすることができないことが分かる。そのため、負の電圧 V_{gs} の絶対値は、2 V を超えている方が望ましい。

【 0 0 6 8 】

但し、電流 I_{ds} の値は、負の電圧 V_{gs} の絶対値が大きくなる程、小さくなるものではないことが分かる。図示したグラフでは、電圧 V_{gs} が - 4 V 付近である基準電圧となる際、電流 I_{ds} の値が最も小さくなる。負の電圧 V_{gs} の絶対値が基準電圧の絶対値より大きくなるほど、電流 I_{ds} の値が大きくなる。上記のことから、スイッチング素子 SW をオフした際、リーク電流としての電流 I_{ds} の値の上昇を抑えるため、負の電圧 V_{gs} の絶対値は大きくなり過ぎない方が望ましい。例えば、負の電圧 V_{gs} の絶対値は、で

きるだけ $3\text{ V} \sim 10\text{ V}$ 付近に近い方が望ましい。従って、負の電圧 V_{gs} の絶対値は、 3 V のほうが 53 V よりも望ましい。なお、負の電圧 V_{gs} の絶対値については後述する。

【0069】

次に、連続する第1フィールド期間及び第2フィールド期間における一画素 PX の電位変動について説明する。

図16は、第1フィールド期間 $Pfi1$ に画素 PX (液晶層30) に正極性の電圧(正極性の駆動電圧)を印加し、第2フィールド期間 $Pfi2$ に上記画素 PX にて上記正極性の電圧を保持する際の、画素電極11の電位 $V11$ 、コモン電圧 V_{com} 、及び走査信号 V_g の電圧の変化を示す別のタイミングチャートである。なお、図16において、電圧の値は一例であり、他の値に調整可能である。また、画素電極11に対する信号線電圧 V_{sig} の書き込み不足がある場合、電位 $V11$ の波形は、図16に示す波形から変動し得る。

【0070】

ここでは、図16に示す駆動を、図7Bにおける走査線 $G1$ 及び信号線 $S1$ に接続された第1画素 PXA (第1液晶層30A)の駆動に適用した場合について説明する。ここでは、奇数番目の走査線 $G(j)$ に接続された第1画素 PXA 、及び偶数番目の走査線 $G(j+1)$ に接続された第2画素 PXB を代表し、走査線 $G1$ に接続された第1画素 PXA について説明する。なお、第1フィールド期間 $Pfi1$ は奇数フィールド期間であり、第2フィールド期間 $Pfi2$ は偶数フィールド期間である。

【0071】

図16及び図7Bに示すように、第1フィールド期間 $Pfi1$ において、図3に示す V_{com} 回路 VC は、共通電極21に与えるコモン電圧 V_{com} を $+16\text{ V}$ から 0 V に切替えると同時に信号線電圧 V_{sig} を 0 V から 16 V に切り替える。続いて、ゲードドライバ $GD2$ は走査線 $G1$ に与える走査信号 V_g の電圧を -21 V から $+21\text{ V}$ に切替え、第1スイッチング素子 SWA をオンにし、第1画素電極11Aに $+16\text{ V}$ の信号線電圧 V_{sig} を印加する。これにより、第1画素電極11Aの電位 $V11A$ は、例えば $+16\text{ V}$ に調整される。

【0072】

その後、第1スイッチング素子 SWA をオフに切替えるため、ゲードドライバ $GD2$ は走査線 $G1$ に与える走査信号 V_g の電圧を $+21\text{ V}$ から -21 V に切替える。これにより、第1画素電極11Aの電位 $V11A$ は $+16\text{ V}$ に保持される。

【0073】

次いで、第2フィールド期間 $Pfi2$ に移行すると、ゲードドライバ $GD2$ は走査線 $G1$ に与える走査信号 V_g の電圧を -21 V に維持し、図3に示す V_{com} 回路 VC は、共通電極21に与えるコモン電圧 V_{com} を 0 V から $+16\text{ V}$ に切替える。すると、カップリング作用により、第1画素電極11Aの電位 $V11A$ は、例えば $+32\text{ V}$ にシフトする。第2フィールド期間 $Pfi2$ において、第1スイッチング素子 SWA のゲートの電圧は画素に接続されている電極の電位 $V11A$ に対して -53 V となる(電圧 $V_{gs} = -53\text{ V}$)。尚、ここではスイッチング素子 SW はN型トランジスタとされ画素に接続されている側の電極をソースとして説明しているが、スイッチング素子 SW の画素に接続されている側の電極がドレインとされ、信号線 S に接続されている側の電極をソースとしても同様である。この場合は、スイッチング素子 $V_{gd} = -53\text{ V}$ と表すことができる。また、スイッチング素子がP型トランジスタとされる場合はゲート電圧がソースまたはドレイン電圧より高くゲートとソースまたはドレインとの差の電圧が高いほどリーク電流がより大きくなる。

【0074】

このため、第2フィールド期間 $Pfi2$ に、第1スイッチング素子 SWA に流れるリーク電流(図15の電流 I_{ds})の値の上昇を抑えることは困難となる。図16に示す駆動を採用し、第1フィールド期間 $Pfi1$ に第1液晶層30Aに印加した正極性の駆動電圧を、第2フィールド期間 $Pfi2$ に保持する手法は、望ましくない。なぜなら、第1画素

10

20

30

40

50

P X A の輝度（散乱度）の低下を招き易くなるためである。

【0075】

次に、連続する第1サブフレーム期間及び第2サブフレーム期間における第1画素 P X A の電位変動及び第2画素 P X B の電位変動について説明する。ここでは、サブフレーム期間 P s f 毎に、各々の画素 P X に書き込まれる電圧の極性を異ならせる場合を例に説明する。

図17Aは、第1サブフレーム期間 P s f 1 及び第2サブフレーム期間 P s f 2 における、第1画素電極 11 A の電位、コモン電圧 V c o m、及び走査信号 V g (j) の電圧の変化を示す別のタイミングチャートである。なお、図17Aにおいても、図16の場合と同様に、電圧の値は他の値に調整可能であり、電位 V 11 A の波形は図17Aに示す波形から変動し得る。

10

【0076】

ここでは、図17Aに示す駆動を、奇数番目の走査線 G (j) 及び信号線 S に接続された第1画素 P X A (第1液晶層 30 A) の駆動に適用した場合について説明する。なお、第1サブフレーム期間 P s f 1 の第1フィールド期間 P f i 1 及び第2サブフレーム期間 P s f 2 の第2フィールド期間 P f i 2 は、それぞれ奇数フィールド期間である。第1サブフレーム期間 P s f 1 の第2フィールド期間 P f i 2 及び第2サブフレーム期間 P s f 2 の第1フィールド期間 P f i 1 は、それぞれ偶数フィールド期間である。

【0077】

図17A及び図7Aに示すように、第1サブフレーム期間 P s f 1 の第1フィールド期間 P f i 1 において、図3に示す V c o m 回路 V C は、共通電極 21 に与えるコモン電圧 V c o m を 0 V から + 16 V に切替えると同時に信号線電圧 V s i g を 16 V から 0 V に切り替える。続いて、ゲードドライバ G D 2 は走査線 G (j) に与える走査信号 V g (j) の電圧を - 21 V から + 21 V に切替え、第1スイッチング素子 S W A をオンにし、第1画素電極 11 A に 0 V の信号線電圧 V s i g を印加する。これにより、第1画素電極 11 A の電位 V 11 A は、例えば 0 V に調整される。

20

【0078】

その後、第1スイッチング素子 S W A をオフに切替えるため、ゲードドライバ G D 2 は走査線 G (j) に与える走査信号 V g (j) の電圧を + 21 V から - 21 V に切替える。これにより、第1スイッチング素子 S W A をオフにし、第1画素電極 11 A の電位 V 11 A は 0 V に保持される。

30

第1サブフレーム期間 P s f 1 に、第1画素 P X A (第1液晶層 30 A) に負極性の電圧を印加することができる。

【0079】

次いで、第1サブフレーム期間 P s f 1 の第2フィールド期間 P f i 2 に移行すると、ゲードドライバ G D 2 は走査線 G (j) に与える走査信号 V g (j) の電圧を - 21 V に維持し、図3に示す V c o m 回路 V C は、共通電極 21 に与えるコモン電圧 V c o m を + 16 V から 0 V に切替える。すると、カップリング作用により、第1画素電極 11 A の電位 V 11 A は、例えば - 16 V にシフトする。この第2フィールド期間 P f i 2 において、第1スイッチング素子 S W A の電圧 V g s は、 - 5 V となる。このとき、信号線 S に接続されている第1スイッチング素子 S W A の電極（ソースまたはドレイン）の電圧は 16 V であるため、第1スイッチング素子 S W A の信号線 S に接続されている電極（ソースまたはドレイン）に対するゲートの電圧（ V g s または V d g ）は - 37 V となっている。ここで、図15を参照すると、スイッチング素子 S W の電圧 V g s （または V g d ）を - 3 V ~ - 10 V 付近に近づけるほどスイッチング素子 S W のリーク電流は小さくなっている。従って、図16に示したコモン電圧 V c o m を 0 V から 16 V に立ち上げた後の第1スイッチング素子 S W A の電圧 V g s （または V g d ） - 53 V よりもこの時の電圧 V g s （または V g d ） - 37 V のほうが - 3 V ~ - 10 V 付近に近いので、リーク電流は抑制される。

40

【0080】

50

このため、第2フィールド期間 P_{fi2} に、第1スイッチング素子 SWA に流れるリーク電流（図15の電流 I_{ds} ）の値の上昇を抑えることができる。図17Aに示す駆動を採用し、第1サブフレーム期間 P_{sf1} の第1フィールド期間 P_{fi1} に第1液晶層30Aに印加した負極性の駆動電圧を、第1サブフレーム期間 P_{sf1} の第2フィールド期間 P_{fi2} に保持する手法は、例えば、輝度（散乱度）の低下の抑制に寄与することができる。

また、図17Aに示す駆動を採用する場合、ライン反転駆動と比較して低消費電力化に寄与することができる。

【0081】

その後、第1サブフレーム期間 P_{sf1} の第2フィールド期間 P_{fi2} のうち走査期間 P_s に続く保持期間 P_h に、制御部 CON は、光源ユニット LU を第1状態に切替える。ここで、上記第1状態とは、光源ユニット LU が液晶層30に光を照射する状態である。そして、第1サブフレーム期間 P_{sf1} の第2フィールド期間 P_{fi2} が終わる前に、制御部 CON は、光源ユニット LU を第1状態から第2状態に切替える。ここで、上記第2状態とは、光源ユニット LU が液晶層30への光の照射を休止する状態である。

上記のことから、第1サブフレーム期間 P_{sf1} のうち走査期間 P_s に続く期間である保持期間 P_h に、制御部 CON は、対応する発光素子 LS を点灯させた後、消灯する。少なくとも発光素子 LS を点灯させている期間、第1スイッチング素子 SWA に流れるリーク電流を抑制することができる。

【0082】

そして、サブフレーム期間 P_{sf} が切替る毎に、第1フィールド期間 P_{fi1} に負極性の駆動電圧を印加する対象と、第2フィールド期間 P_{fi2} に正極性の駆動電圧を印加する対象と、を入れ替える。後述するが、図17Aに示す例とは異なり、第1フィールド期間 P_{fi1} に負極性の駆動電圧を印加する対象と、第2フィールド期間 P_{fi2} に正極性の駆動電圧を印加する対象と、を入れ替えるタイミングは、フレーム期間 P_f が切替る毎であってもよい。

【0083】

図17A及び図7Bに示すように、この例では、第2サブフレーム期間 P_{sf2} の第1フィールド期間 P_{fi1} に移行すると、第1スイッチング素子 SWA のオフ状態は維持される。図3に示す V_{com} 回路 VC は、共通電極21に与えるコモン電圧 V_{com} を0Vから+16Vに切替える。すると、カップリング作用により、第1画素電極11Aの電位 V_{11A} は、例えば0Vにシフトする。

【0084】

その後、第2サブフレーム期間 P_{sf2} の第2フィールド期間 P_{fi2} に移行すると、図3に示す V_{com} 回路 VC は、共通電極21に与えるコモン電圧 V_{com} を+16Vから0Vに切替えると同時に信号線電圧 V_{sig} を+16Vに切り替える。続いて、ゲードドライバ $GD2$ は走査線 $G(j)$ に与える走査信号 $V_g(j)$ の電圧を-21Vから+21Vに切替え、第1スイッチング素子 SWA をオンにし、第1画素電極11Aに+16Vの信号線電圧 V_{sig} を印加する。これにより、第1画素電極11Aの電位 V_{11A} は、例えば16Vに調整される。

【0085】

その後、第1スイッチング素子 SWA をオフに切替えるため、ゲードドライバ $GD2$ は走査線 $G(j)$ に与える走査信号 $V_g(j)$ の電圧を+21Vから-21Vに切替える。これにより、第1スイッチング素子 SWA はオフ状態となり、第1画素電極11Aの電位 V_{11A} は16Vに保持される。

第2サブフレーム期間 P_{sf2} に、第1画素 PXA （第1液晶層30A）に正極性の電圧を印加することができる。第1画素 PXA （第1液晶層30A）を極性反転駆動するタイミングは、対応する発光素子 LS が消灯した後のタイミングである。このため、表示品位の低下を招く恐れはない。

【0086】

10

20

30

40

50

その後、第2サブフレーム期間 P_{sf2} の第2フィールド期間 P_{fi2} のうち走査期間 P_s に続く保持期間 P_h に、制御部 CON は、光源ユニット LU を第1状態に切替える。そして、第2サブフレーム期間 P_{sf2} の第2フィールド期間 P_{fi2} が終わる前に、制御部 CON は、光源ユニット LU を第1状態から第2状態に切替える。

【0087】

第2サブフレーム期間 P_{sf2} の第2フィールド期間 P_{fi2} において、第1スイッチング素子 SWA のゲートの電圧は画素に接続されている電極の電位 V_{11A} に対して $-37V$ となる (V_{gs} または $V_{gd} = -37$)。このときは第1スイッチング素子 SWA の信号線 S に接続されている電極の電圧も $16V$ であり、第1スイッチング素子 SWA のゲート電圧は信号線 S に接続されている電極の電圧に対して $-37V$ となる。従って第1スイッチング素子 SWA のソースとドレイン間の電圧は実質同等の電圧となりリーク電流は抑制される。従って図17Aに示す例は、第1画素電極 $11A$ の電位 V_{11A} が $+16V$ を超える場合より、第1スイッチング素子 SWA に流れるリーク電流 (電流 I_{ds}) を抑えることができる。

10

【0088】

図17Bは、第1サブフレーム期間 P_{sf1} 及び第2サブフレーム期間 P_{sf2} における、第2画素電極 $11B$ の電位、コモン電圧 V_{com} 、及び走査信号 $V_g(j+1)$ の電圧の変化を示す別のタイミングチャートである。なお、図17Bにおいても、電圧の値は他の値に調整可能である。

ここでは、図17Bに示す駆動を、偶数番目の走査線 $G(j+1)$ 及び信号線 S に接続された第2画素 PXB (第2液晶層 $30B$) の駆動に適用した場合について説明する。

20

【0089】

図17B及び図7Aに示すように、第1サブフレーム期間 P_{sf1} の第1フィールド期間 P_{fi1} において、図3に示す V_{com} 回路 VC は、共通電極 21 に与えるコモン電圧 V_{com} を $0V$ から $+16V$ に切替える。第2スイッチング素子 SWB はオフ状態となっている。そのため、カップリング作用により、第2画素電極 $11B$ の電位 V_{11B} は、 $-16V$ から $0V$ にシフトするものと仮定する。

なお、第1フィールド期間 P_{fi1} に、第1画素電極 $11A$ には、上述したように負極性の電圧が印加される。

【0090】

30

続いて、第1サブフレーム期間 P_{sf1} の第2フィールド期間 P_{fi2} において、図3に示す V_{com} 回路 VC は、共通電極 21 に与えるコモン電圧 V_{com} を $+16V$ から $0V$ に切替える。次いで、ゲートドライバ $GD1$ は走査線 $G(j+1)$ に与える走査信号 V_g の電圧を $-21V$ から $+21V$ に切替え、第2スイッチング素子 SWB をオンにし、第2画素電極 $11B$ に $+16V$ の信号線電圧 V_{sig} を印加する。これにより、第2画素電極 $11B$ の電位 V_{11B} は、例えば $+16V$ に調整される。

【0091】

その後、ゲートドライバ $GD1$ は走査線 $G(j+1)$ に与える走査信号 $V_g(j+1)$ の電圧を $+21V$ から $-21V$ に切替える。これにより、第2スイッチング素子 SWB はオフ状態となり、第2画素電極 $11B$ の電位 V_{11B} は $+16V$ に保持される。この第2フィールド期間 P_{fi2} において、第1スイッチング素子 SWA の電圧 V_{gs} は、 $-37V$ となる。このときは第1スイッチング素子 SWA の信号線 S に接続されている電極の電圧も $16V$ であり、第1スイッチング素子 SWA のゲート電圧は信号線 S に接続されている電極の電圧に対して $-37V$ となる。従って第1スイッチング素子 SWA のソースとドレイン間の電圧は実質同等の電圧となりリーク電流は抑制される。

40

その後、保持期間 P_h に、制御部 CON は、光源ユニット LU を第1状態に切替える。そして、第1サブフレーム期間 P_{sf1} の第2フィールド期間 P_{fi2} が終わる前に、制御部 CON は、光源ユニット LU を第1状態から第2状態に切替える。

【0092】

図17B及び図7Bに示すように、この例では、第2サブフレーム期間 P_{sf2} の第1

50

フィールド期間 P_{fi1} に移行すると、図 3 に示す V_{com} 回路 VC は、共通電極 21 に与えるコモン電圧 V_{com} を $0V$ から $+16V$ に切替える。続いて、ゲードドライバ $GD1$ は走査線 $G(j+1)$ に与える走査信号 $V_g(j+1)$ の電圧を $-21V$ から $+21V$ に切替え、第 2 スイッチング素子 SWB をオンにし、第 2 画素電極 11B に $0V$ の信号線電圧 V_{sig} を印加する。これにより、第 2 画素電極 11B の電位 V_{11B} は、例えば $0V$ に調整される。

その後、ゲードドライバ $GD1$ は走査線 $G(j+1)$ に与える走査信号 $V_g(j+1)$ の電圧を $+21V$ から $-21V$ に切替える。これにより、第 2 スイッチング素子 SWB はオフ状態となり、第 2 画素電極 11B の電位 V_{11B} は $0V$ に保持される。

【0093】

その後、第 2 サブフレーム期間 P_{sf2} の第 2 フィールド期間 P_{fi2} に移行すると、ゲードドライバ $GD1$ は走査線 $G(j+1)$ に与える走査信号 $V_g(j+1)$ の電圧を $-21V$ に維持し、図 3 に示す V_{com} 回路 VC は、共通電極 21 に与えるコモン電圧 V_{com} を $+16V$ から $0V$ に切替える。すると、カップリング作用により、第 2 画素電極 11B の電位 V_{11B} は、例えば $-16V$ にシフトする。この第 2 フィールド期間 P_{fi2} において、第 2 スイッチング素子 SWB の電圧 V_{gs} は、 $-5V$ となる。このとき、信号線 S に接続されている第 1 スイッチング素子 SWA の電極（ソースまたはドレイン）の電圧は $16V$ であるため、第 1 スイッチング素子 SWA の信号線 S に接続されている電極（ソースまたはドレイン）に対するゲートの電圧（ V_{gs} または V_{dg} ）は $-37V$ となっている。ここで、図 15 を参照すると、スイッチング素子 SW の電圧 V_{gs} （または V_{gd} ）を $-3V \sim -10V$ 付近に近づけるほどスイッチング素子 SW のリーク電流は小さくなっている。従って、図 16 に示したコモン電圧 V_{com} を $0V$ から $16V$ に立ち上げた後の第 1 スイッチング素子 SWA の電圧 V_{gs} （または V_{gd} ） $-53V$ よりもこの時の電圧 V_{gs} （または V_{gd} ） $-37V$ のほうが $-3V \sim -10V$ 付近に近いので、リーク電流は抑制される。

【0094】

その後、第 2 サブフレーム期間 P_{sf2} の第 2 フィールド期間 P_{fi2} のうち走査期間 P_s に続く保持期間 P_h に、制御部 CON は、光源ユニット LU を第 1 状態に切替える。そして、第 2 サブフレーム期間 P_{sf2} の第 2 フィールド期間 P_{fi2} が終わる前に、制御部 CON は、光源ユニット LU を第 1 状態から第 2 状態に切替える。

上記のことから、第 2 サブフレーム期間 P_{sf2} のうち少なくとも発光素子 LS を点灯させている期間、第 2 スイッチング素子 SWB に流れるリーク電流を抑えることができる。

【0095】

第 1 サブフレーム期間 P_{sf1} 及び第 2 サブフレーム期間 P_{sf2} を含む期間で考慮すると、第 2 サブフレーム期間 P_{sf2} の第 2 フィールド期間 P_{fi2} に、第 2 画素電極 11B の電位 V_{11B} は負の値となる。このため、第 2 スイッチング素子 SWB に流れるリーク電流を抑えることができる。

【0096】

次に、図 17A 及び図 17B に示した例と異なり、フレーム期間 P_{sf} 毎に、各々の画素 P_X に書き込まれる電圧の極性を異ならせる場合を例に説明する。ここでは、連続する第 1 サブフレーム期間及び第 2 サブフレーム期間における第 1 画素 P_XA の電位変動及び第 2 画素 P_XB の電位変動について説明する。

図 18A は、第 1 サブフレーム期間 P_{sf1} 及び第 2 サブフレーム期間 P_{sf2} における、第 1 画素電極 11A の電位、コモン電圧 V_{com} 、及び走査信号 $V_g(j)$ の電圧の変化を示す別のタイミングチャートである。なお、図 18A においても、図 16 の場合と同様に、電圧の値は他の値に調整可能であり、電位 V_{11A} の波形は図 18A に示す波形から変動し得る。

【0097】

ここでは、図 18A に示す駆動を、奇数番目の走査線 $G(j)$ 及び信号線 S に接続され

10

20

30

40

50

た第1画素PXA(第1液晶層30A)の駆動に適用した場合について説明する。なお、
 図中、第1フィールド期間Pfi1は奇数フィールド期間であり、第2フィールド期間P
 fi2は偶数フィールド期間である。

ここで、図18Aのタイミングチャートと、図17Aのタイミングチャートとを比較し
 た場合、第1サブフレーム期間Psf1の電圧及び電位の変動は同一である。そのため、
 ここでは、第2サブフレーム期間Psf2について説明する。

【0098】

図18A及び図7Aに示すように、第2サブフレーム期間Psf2の第1フィールド期
 間Pfi1に移行すると、図3に示すVcom回路VCは、共通電極21に与えるコモン
 電圧Vcomを0Vから+16Vに切替えると同時に信号線電圧Vsigを16Vから0
 Vに切り替える。続いて、ゲードドライバGD2は走査線G(j)に与える走査信号Vg
 (j)の電圧を-21Vから+21Vに切替え、第1スイッチング素子SWAをオンにし
 、第1画素電極11Aに0Vの信号線電圧Vsigを印加する。これにより、第1画素電
 極11Aの電位V11Aは、例えば0Vに調整される。

その後、ゲードドライバGD2は走査線G(j)に与える走査信号Vg(j)の電圧を
 +21Vから-21Vに切替える。これにより、第1スイッチング素子SWAをオフにし
 、第1画素電極11Aの電位V11Aは0Vに保持される。

【0099】

次いで、第2サブフレーム期間Psf2の第2フィールド期間Pfi2に移行すると、
 ゲードドライバGD2は走査線G(j)に与える走査信号Vg(j)の電圧を-21Vに
 維持し、図3に示すVcom回路VCは、共通電極21に与えるコモン電圧Vcomを+
 16Vから0Vに切替える。すると、カップリング作用により、第1画素電極11Aの電
 位V11Aは、例えば-16Vにシフトする。この第2フィールド期間Pfi2において
 、第1スイッチング素子SWAの電圧Vgsは、-5Vとなる。このとき、信号線Sに接
 続されている第1スイッチング素子SWAの電極(ソースまたはドレイン)の電圧は16
 Vであるため、第1スイッチング素子SWAの信号線Sに接続されている電極(ソースま
 はたドレイン)に対するゲートの電圧(VgsまたはVgd)は-37Vとなっている。
 ここで、図15を参照すると、スイッチング素子SWの電圧Vgs(またはVgd)を-
 3V~-10V付近に近づけるほどスイッチング素子SWのリーク電流は小さくなってい
 る。従って、図16に示したコモン電圧Vcomを0Vから16Vに立ち上げた後の第1
 スwitchング素子SWAの電圧Vgs(またはVgd)-53Vよりもこの時の電圧Vgs
 (またはVgd)-37Vのほうが-3V~-10V付近に近いので、リーク電流は抑
 制される。

このため、図中の各々の第2フィールド期間Pfi2に、第1スイッチング素子SWA
 に流れるリーク電流(図15の電流Ids)の値の上昇を抑えることができる。

【0100】

その後、第1サブフレーム期間Psf1の第2フィールド期間Pfi2のうち走査期間
 Psに続く保持期間Phに、制御部CONは、光源ユニットLUを第1状態に切替える。
 そして、第2サブフレーム期間Psf2の第2フィールド期間Pfi2が終わる前に、制
 御部CONは、光源ユニットLUを第1状態から第2状態に切替える。

上記のことから、少なくとも発光素子LSを点灯させている期間、第1スイッチング素
 子SWAに流れるリーク電流を抑制することができる。

【0101】

図18Bは、第1サブフレーム期間Psf1及び第2サブフレーム期間Psf2におけ
 る、第2画素電極11Bの電位、コモン電圧Vcom、及び走査信号Vg(j+1)の電
 圧の変化を示す別のタイミングチャートである。なお、図18Bにおいても、電圧の値は
 他の値に調整可能である。

ここでは、図18Bに示す駆動を、偶数番目の走査線G(j+1)及び信号線Sに接続
 された第2画素PXB(第2液晶層30B)の駆動に適用した場合について説明する。な
 お、図中、第1フィールド期間Pfi1は奇数フィールド期間であり、第2フィールド期

10

20

30

40

50

間 $P f i 2$ は偶数フィールド期間である。

ここで、図 18 B のタイミングチャートと、図 17 B のタイミングチャートとを比較した場合、第 1 サブフレーム期間 $P s f 1$ の電圧及び電位の変動は同一である。そのため、ここでは、第 2 サブフレーム期間 $P s f 2$ について説明する。

【0102】

図 18 B 及び図 7 B に示すように、第 2 サブフレーム期間 $P s f 2$ の第 1 フィールド期間 $P f i 1$ に移行すると、第 2 スイッチング素子 $S W B$ のオフ状態は維持される。図 3 に示す $V c o m$ 回路 $V C$ は、共通電極 21 に与えるコモン電圧 $V c o m$ を $0 V$ から $+16 V$ に切替える。すると、カップリング作用により、第 2 画素電極 11 B の電位 $V 11 B$ は、例えば $+32 V$ にシフトする。

10

【0103】

その後、第 2 サブフレーム期間 $P s f 2$ の第 2 フィールド期間 $P f i 2$ に移行すると、図 3 に示す $V c o m$ 回路 $V C$ は、共通電極 21 に与えるコモン電圧 $V c o m$ を $+16 V$ から $0 V$ に切替えると同時に信号線電圧 $V s i g$ を $+16 V$ に切り替える。続いて、ゲートドライバ $G D 1$ は走査線 $G(j+1)$ に与える走査信号 $V g(j+1)$ の電圧を $-21 V$ から $+21 V$ に切替え、第 1 スイッチング素子 $S W A$ をオンにし、第 2 画素電極 11 B に $+16 V$ の信号線電圧 $V s i g$ を印加する。これにより、第 2 画素電極 11 B の電位 $V 11 B$ は、例えば $16 V$ に調整される。

【0104】

その後、第 2 サブフレーム期間 $P s f 2$ の第 2 フィールド期間 $P f i 2$ のうち走査期間 $P s$ に続く保持期間 $P h$ に、制御部 $C O N$ は、光源ユニット $L U$ を第 1 状態に切替える。そして、第 2 サブフレーム期間 $P s f 2$ の第 2 フィールド期間 $P f i 2$ が終わる前に、制御部 $C O N$ は、光源ユニット $L U$ を第 1 状態から第 2 状態に切替える。

20

図中の各々の第 2 フィールド期間 $P f i 2$ において、第 2 スイッチング素子 $S W B$ の電圧 $V g s$ は、 $-37 V$ となる。このときは第 2 スイッチング素子 $S W A$ の信号線 S に接続されている電極の電圧も $16 V$ であり、第 2 スイッチング素子 $S W A$ のゲート電圧は信号線 S に接続されている電極の電圧に対して $-37 V$ となる。従って第 2 スイッチング素子 $S W A$ のソースとドレイン間の電圧は実質同等の電圧となりリーク電流は抑制される。

【0105】

また、第 1 画素 $P X A$ 及び第 2 画素 $P X B$ の何れにおいても、連続する 2 フレーム期間 $P f$ で考慮すると、一方の 1 フレーム期間 $P f$ に、画素電極 11 の電位 $V 11$ は負の値となる。このため、スイッチング素子 $S W$ に流れるリーク電流を抑えることができる。

30

【0106】

続いて、透明走査を取り入れた表示装置 $D S P$ の制御例につき、図 19 乃至図 23 を参照して説明する。なお、ここでは、1 フレーム期間が複数のサブフレーム期間を有する駆動方式を表示装置 $D S P$ に適用する。このような駆動方式は、例えばフィールドシーケンシャル方式と呼ばれる。各サブフレーム期間においては、赤色、緑色、及び青色の画像がそれぞれ表示される。このように時分割で表示された各色の画像が合わさって、多色表示の画像としてユーザに視認される。さらに、ここでは、各サブフレーム期間にインターレース方式による駆動が行われる。

40

【0107】

図 19 は、図 3 に示したタイミングコントローラ $T C$ の一構成例を示す図である。

図 19 に示すように、タイミングコントローラ $T C$ は、タイミング生成部 50、フレームメモリ 51、ラインメモリ 52 R、52 G、52 B、データ変換部 53、光源制御部 54などを備えている。

【0108】

フレームメモリ 51 は、2 フレーム分の画像データを記憶できる容量を持ち、外部から入力される 1 フレーム分の画像データを記憶する。フレームメモリ 51 は、フィールド・シーケンシャル駆動用にライン単位で 1 フレーム分のデータを読み出し、ラインメモリ 52 R、52 G、52 B に記憶するとともに、残りの 1 フレーム分には次フレームの映像デー

50

タを記憶する。なお、フレームメモリ 5 1 は、読出し及び書込みを 1 フレーム単位で交互に繰り返す。ラインメモリ 5 2 R、5 2 G、5 2 B は、それぞれ赤色、緑色、及び青色のサブフレームデータを記憶する。各サブフレームデータは、各画素 P X に時分割で表示させる赤色、緑色、青色の画像（例えば各画素 P X の階調値）を表す。

【0109】

データ変換部 5 3 は、ラインメモリ 5 2 R、5 2 G、5 2 B が記憶する各色のサブフレームデータに対してガンマ補正などの各種のデータ変換処理を施して映像信号を生成し、上述のソースドライバ S D に出力する。なお、フレームメモリ 5 1 にて R G B のデータに振り分けてデータ変換部 5 3 に R G B のデータを送るようにタイミングコントローラ T C が構成されていてもよい。この場合、ラインメモリ 5 2 R、5 2 G、5 2 B 無しに、タイ

10

【0110】

光源制御部 5 4 は、光源制御信号を上述の光源ドライバ L S D に出力する。光源ドライバ L S D は、光源制御信号に基づいて、発光素子 L S R、L S G、L S B を駆動する。発光素子 L S R、L S G、L S B は、例えば P W M (Pulse Width Modulation) 制御により駆動することができる。すなわち、光源ドライバ L S D は、発光素子 L S R、L S G、L S B に出力する信号のデューティ比によって、発光素子 L S R、L S G、L S B の各々の輝度を調整することができる。

【0111】

タイミング生成部 5 0 は、外部から入力される垂直同期信号 V s y n c 及び水平同期信号 H s y n c に同期して、フレームメモリ 5 1、ラインメモリ 5 2 R、5 2 G、5 2 B、データ変換部 5 3、及び光源制御部 5 4 の動作タイミングを制御する。また、タイミング生成部 5 0 は、ソースドライバ制御信号を出力するによりソースドライバ S D を制御するとともに、ゲートドライバ制御信号を出力することによりゲートドライバ G D 1 及び G D 2 を制御し、V c o m 制御信号を出力する。

20

【0112】

図 2 0 は、表示動作の一例を示すタイミングチャートである。この例は、上記第 3 駆動方法を用いた表示動作に相当している。

図 2 0 に示すように、1 フレームの開始時に、垂直同期信号 V s y n c が立ち下がる。すなわち、この例では、垂直同期信号 V s y n c が立ち下がってから、再び立ち下がるまでの時間がフレーム期間（1 フレーム期間）P f に相当する。例えば 6 0 H z で表示装置 D S P を駆動する場合、フレーム期間 P f は約 1 6 . 7 m s である。

30

【0113】

フレーム期間 P f は、上述の透明走査を実行する第 1 リセット期間 P r 1 と、第 1 サブフレーム期間 P s f R と、第 2 サブフレーム期間 P s f G と、第 3 サブフレーム期間 P s f B と、を含んでいる。各サブフレーム期間 P s f は、上述の表示走査を実行する走査期間 P s と保持期間 P h（発光素子 L S の点灯期間）との和に相当する。この例では、第 1 リセット期間 P r 1 がフレーム期間 P f の先頭の期間である。第 1 リセット期間 P r 1、第 1 サブフレーム期間 P s f R、第 2 サブフレーム期間 P s f G、及び第 3 サブフレーム期間 P s f B は、この順に続いている。但し、この例とは異なり、第 1 リセット期間 P r 1 がフレーム期間 P f の先頭の期間ではなく、フレーム期間 P f の最後尾の期間であってもよい。

40

【0114】

第 1 フレーム期間 P f 1 の第 1 リセット期間 P r 1 においては、タイミングコントローラ T C の制御の下で透明走査が実行される。すなわち、第 1 リセット期間 P r 1 に、ゲートドライバ G D 1 及び G D 2 が各走査線 G 1 ~ G n にハイレベル（例えば、上記 + 2 1 V）の走査信号を順に与える。さらに、この走査信号を与える間、ソースドライバ S D が各信号線 S 1 ~ S m に、例えばコモン電圧 V c o m と同じ値の信号線電圧 V s i g を与える。このような動作により、第 2 透明電圧は、全ての画素 P X の画素電極 1 1 と共通電極 2 1 との間に印加され、言い換えると、全ての第 1 液晶層 3 0 A 及び全ての第 2 液晶層 3 0

50

Bに印加される。各画素PXの画素電極11は、対応する走査線Gに走査信号が与えられた後は、次に当該走査線Gに走査信号が与えられるまで電位を保持可能である。したがって、第2透明電圧が書き込まれた画素PXにおいては、対応する走査線Gに対して次の走査信号が供給されるまで、第2透明電圧が保持される。

【0115】

第2透明電圧が書き込まれた画素PXにおいては、液晶層30が良好な透明状態にあるので、表示パネルPNLの背景の視認性が高まる。本実施形態において、第1リセット期間Pr1においては、発光素子LSR, LSG, LSBはいずれも消灯している。なお、発光素子LSR, LSG, LSBは、第1リセット期間Pr1に消灯している方が望ましいが、第1リセット期間Pr1に点灯していてもよい。

10

第1リセット期間Pr1において各信号線S1~Smに供給する信号線電圧Vsigは、各画素PXに書き込まれる電圧が第2透明電圧となる値であれば、コモン電圧Vcomと同じである必要はない。透明走査におけるコモン電圧Vcomと信号線電圧Vsigについては、図13及び図14を用いて説明した種々の態様を適用し得る。

【0116】

第1リセット期間Pr1において各走査線G1~Gnに走査信号を順に与える期間は、走査期間Ps1である。第1リセット期間Pr1は、走査期間Ps1の後に、第2透明電圧をさらに保持するための保持期間Ph1を含んでいる。但し、第1リセット期間Pr1は、保持期間Ph1を含んでいなくともよい。この場合、時間期間に関して、Ps1=Pr1である。

20

なお、透明走査においては、全ての走査線Gに対して走査信号を同時に与えてもよい。この場合であっても、全ての第1液晶層30A及び全ての第2液晶層30Bに第2透明電圧を書き込むことができる。

【0117】

図20及び図7Aに示すように、第1サブフレーム期間PsfR、第2サブフレーム期間PsfG、及び第3サブフレーム期間PsfBはこの順に続いているが、この例と異なり、これらのサブフレーム期間Psfの順番は異なってもよい。各サブフレーム期間Psfにおいては、タイミング生成部50がフレームメモリ51、ラインメモリ52R、52G、52B、データ変換部53をデータ同期信号DEにより制御し、各色の表示走査を実行させる。

30

【0118】

第1サブフレーム期間PsfRは、走査期間PsRと、保持期間PhRとを含んでいる。また、第1サブフレーム期間PsfRは、第1フィールド期間Pfi1と、第2フィールド期間Pfi2とを含んでいる。走査期間PsRは、第1フィールド期間Pfi1の全体と、第2フィールド期間Pfi2の先頭の期間とを含んでいる。保持期間PhRは、第2フィールド期間Pfi2の残りの期間を含んでいる。保持期間PhRに、発光素子LSRは点灯する。

【0119】

第1フィールド期間Pfi1においては、駆動の対象が複数の第1駆動領域DA1であり、ゲートドライバGD2が奇数番目の走査線G1, G3, ..., Gn-1にハイレベル(例えば、上記+21V)の走査信号を順に与える。さらに、この走査信号を与える間、ソースドライバSDがラインメモリ52Rに記憶された赤色のサブフレームデータ(RDATA)に応じた信号線電圧Vsigを各信号線S1~Smに与える。より具体的には、走査信号が供給されたラインの各画素PXに対応する階調の信号線電圧Vsigを一斉に各信号線S1~Smに与える動作が繰り返される。信号線電圧Vsigは、選択された走査線Gに対応する第1画素PXの第1画素電極11Aに第1スイッチング素子SWAを介して与えられ、その後第1スイッチング素子SWAが非導通状態に切替えられることで、第1画素電極11Aの電位が保持される。その後、次の奇数行の走査線Gが選択され、同様の駆動が順次行われる。

40

第1サブフレーム期間PsfRの第1フィールド期間Pfi1に、第1画素PX A(第

50

1 液晶層 30A) には負極性の駆動電圧が印加される。

【0120】

その後、第2フィールド期間 P_{fi2} であり走査期間 P_{sR} である期間においては、駆動の対象が複数の第2駆動領域 $DA2$ であり、ゲートドライバ $GD1$ が偶数番目の走査線 $G2, G4, \dots, G_n$ にハイレベル（例えば、上記 $+21V$ ）の走査信号を順に与える。さらに、この走査信号を与える間、ソースドライバ SD がラインメモリ $52R$ に記憶された赤色のサブフレームデータ (R_DATA) に応じた信号線電圧 V_{sig} を各信号線 $S1 \sim S_m$ に与える。より具体的には、走査信号が供給されたラインの各画素 PX に対応する階調の信号線電圧 V_{sig} を一斉に各信号線 $S1 \sim S_m$ に与える動作が繰り返される。信号線電圧 V_{sig} は、選択された走査線 G に対応する第2画素 PXB の第2画素電極 11Bに第2スイッチング素子 SWB を介して与えられ、その後第2スイッチング素子 SWB が非導通状態に切替えられることで、第2画素電極 11Bの電位が保持される。その後、次の偶数行の走査線 G が選択され、同様の駆動が順次行われる。

10

第1サブフレーム期間 P_{sFR} の第2フィールド期間 P_{fi2} に、第2画素 PXB (第2液晶層 30B) には正極性の駆動電圧が印加される。

【0121】

このような動作により、各画素 PX の画素電極 11と共通電極 21との間に、赤色のサブフレームデータに応じた電圧が書き込まれる。各フィールド期間 P_{fi} において、各信号線 $S1 \sim S_m$ を介して各画素電極 11に供給される信号線電圧 V_{sig} は、共通電極 21のコモン電圧 V_{com} と極性が異なるか、或いは基準電圧 V_{sig-c} である。したがって、各画素 PX に書き込まれる電圧の絶対値は、8V以上かつ16V以下である。保持期間 P_{hR} は、全ての第1液晶層 30A及び全ての第2液晶層 30Bへの書き込みが完了してから、第2サブフレーム期間 P_{sFG} が到来するまでの期間である。この保持期間 P_{hR} において、発光素子 LSR が赤色の光を照射する。これにより、赤色の画像が表示領域 DA に表示される。

20

【0122】

第2サブフレーム期間 P_{sFG} 、及び第3サブフレーム期間 P_{sFB} における動作は、第1サブフレーム期間 P_{sFR} と同様である。

すなわち、第2サブフレーム期間 P_{sFG} は第1フィールド期間 P_{fi1} と第2フィールド期間 P_{fi2} を含んでいる。第1フィールド期間 P_{fi1} において、複数の第1駆動領域 $DA1$ の各第1画素 PXA にラインメモリ $52G$ が記憶する緑色のサブフレームデータ (G_DATA) に応じた電圧が書き込まれる。第2フィールド期間 P_{fi2} において、複数の第2駆動領域 $DA2$ の各第2画素 PXB にラインメモリ $52G$ が記憶する緑色のサブフレームデータ (G_DATA) に応じた電圧が書き込まれる。保持期間 P_{hG} において発光素子 LSG が緑色の光を照射する。これにより、緑色の画像が表示領域 DA に表示される。

30

第2サブフレーム期間 P_{sFG} の第1フィールド期間 P_{fi1} に、第1画素 PXA (第1液晶層 30A) には負極性の駆動電圧が印加される。第2サブフレーム期間 P_{sFG} の第2フィールド期間 P_{fi2} に、第2画素 PXB (第2液晶層 30B) には正極性の駆動電圧が印加される。

40

【0123】

第3サブフレーム期間 P_{sFB} は第1フィールド期間 P_{fi1} と第2フィールド期間 P_{fi2} を含んでいる。第1フィールド期間 P_{fi1} において、複数の第1駆動領域 $DA1$ の各第1画素 PXA にラインメモリ $52B$ が記憶する緑色のサブフレームデータ (B_DATA) に応じた電圧が書き込まれる。第2フィールド期間 P_{fi2} において、複数の第2駆動領域 $DA2$ の各第2画素 PXB にラインメモリ $52B$ が記憶する緑色のサブフレームデータ (B_DATA) に応じた電圧が書き込まれる。保持期間 P_{hB} において発光素子 LSB が青色の光を照射する。これにより、青色の画像が表示領域 DA に表示される。

第3サブフレーム期間 P_{sFB} の第1フィールド期間 P_{fi1} に、第1画素 PXA (第1液晶層 30A) には負極性の駆動電圧が印加される。第3サブフレーム期間 P_{sFB} の

50

第2フィールド期間 P_{fi2} に、第2画素 PXB (第2液晶層30B) には正極性の駆動電圧が印加される。

【0124】

第1フレーム期間 P_{f1} において、次の第2フレーム期間 P_{f2} で表示する画像データがフレームメモリ51に書き込まれる。さらに、画素 PX への書き込みが完了したラインメモリ52R、52G、52Bのサブフレームデータが、フレームメモリ51に書き込まれた画像データに対応するサブフレームデータにそれぞれ書き換えられる。

【0125】

第1サブフレーム期間 P_{sfR} 、第2サブフレーム期間 P_{sfG} 、及び第3サブフレーム期間 P_{sfB} において時分割で表示された赤色、緑色、青色の画像が混合されることで、多色表示の画像としてユーザに視認される。また、第1リセット期間 P_{r1} においては、各画素 PX の画素電極11と共通電極21との間に、第2透明電圧が印加される。このような第1リセット期間 P_{r1} がフレーム毎に繰り返されることで、表示領域DAの透明性が高まり、表示領域DAの背景の視認性が向上する。

10

【0126】

図20に示す各々の保持期間 P_h において、負の電圧 V_{gs} の絶対値が53Vとなることは無い(図16)。このため、保持期間 P_h にスイッチング素子 SW に流れるリーク電流(電流 I_{ds})の値の上昇を抑えることができる。

【0127】

フレーム期間 P_f において第1リセット期間 P_{r1} が占める割合が大きいほど表示領域DAの透明性が高まるが、画像の視認性が低下し得る。これらを考慮し、第1リセット期間 P_{r1} の長さは、例えばフレーム期間 P_f の長さの1/2以下とすることが好ましい。但し、透明性を重視する場合などには、フレーム期間 P_f に占める第1リセット期間 P_{r1} の割合をより大きくしてもよい。第1サブフレーム期間 P_{sfR} 、第2サブフレーム期間 P_{sfG} 、及び第3サブフレーム期間 P_{sfB} は、例えば同じ長さとすることが出来る。第1サブフレーム期間 P_{sfR} 、第2サブフレーム期間 P_{sfG} 、及び第3サブフレーム期間 P_{sfB} の比率を異ならせることで、表示画像の色度を調整してもよい。

20

【0128】

次いで、第2フレーム期間 P_{f2} の第1リセット期間 P_{r1} においては、第2透明電圧は、全ての第1液晶層30A及び全ての第2液晶層30Bに印加される。

30

【0129】

図20及び図7Bに示すように、続いて、第2フレーム期間 P_{f2} の第1サブフレーム期間 P_{sfR} に移行する。第1フィールド期間 P_{fi1} においては、駆動の対象が複数の第2駆動領域DA2であり、ゲートドライバGD1が偶数番目の走査線G2, G4, ..., Gnにハイレベルの走査信号を順に与え、ソースドライバSDが信号線電圧 V_{sig} を各信号線S1~Smに与える。

【0130】

その後、第2フィールド期間 P_{fi2} であり走査期間 P_{sR} である期間においては、駆動の対象が複数の第1駆動領域DA1であり、ゲートドライバGD2が奇数番目の走査線G1, G3, ..., Gn-1にハイレベルの走査信号を順に与え、ソースドライバSDが信号線電圧 V_{sig} を各信号線S1~Smに与える。

40

第2サブフレーム期間 P_{sfG} 、及び第3サブフレーム期間 P_{sfB} における動作は、第1サブフレーム期間 P_{sfR} と同様である。

【0131】

第2フレーム期間 P_{f2} において、第2駆動領域DA2の第2画素 PXB (第2液晶層30B) には負極性の電圧(負極性の駆動電圧)が印加され、第1駆動領域DA1の第1画素 PXA (第1液晶層30A) には正極性の電圧(正極性の駆動電圧)が印加される。第1フレーム期間 P_{f1} と第2フレーム期間 P_{f2} とで、各々の画素 PX に書き込まれる電圧の極性は異なる。上記のことから、各々の画素 PX は、フレーム反転駆動される。

【0132】

50

次に、図 20 に示した表示動作と異なる表示動作について説明する。

例えば、図 21 に示すように、1 フレーム期間 P_f が第 1 リセット期間 P_{r1} を含んでいなくともよい。

又は、図示しないが、フレーム期間 P_f は、第 1 リセット期間 P_{r1} だけではなく、第 2 リセット期間及び第 3 リセット期間をさらに含んでいてもよい。第 2 リセット期間は、第 1 サブフレーム期間 P_{sfR} と第 2 サブフレーム期間 P_{sfG} との間の期間である。第 3 リセット期間は、第 2 サブフレーム期間 P_{sfG} と第 3 サブフレーム期間 P_{sfB} との間の期間である。

【0133】

図 22 に示すように、サブフレーム期間 P_{sf} 毎に、各々の画素 P_X に書き込まれる電圧の極性を異ならせてもよい。上記のことから、各々の画素 P_X は、サブフレーム反転駆動される。なお、この例は、上記第 4 駆動方法を用いた表示動作に相当している。

【0134】

図 22 に示した表示動作に関しても種々変形可能である。

例えば、図 23 に示すように、1 フレーム期間 P_f が第 1 リセット期間 P_{r1} を含んでいなくともよい。

又は、図示しないが、フレーム期間 P_f は、第 1 リセット期間 P_{r1} だけではなく、第 2 リセット期間及び第 3 リセット期間をさらに含んでいてもよい。

【0135】

上記のように構成された第 1 の実施形態に係る表示装置 DSP によれば、サブフレーム期間 P_{sf} 毎にインターレース方式による駆動を行うことができる。1 フレーム期間毎の極性反転の回数を大幅に少なくすることができ、低消費電力化に寄与することができる。画素 P_X の極性分布は、単純なライン反転駆動を行った際の画素 P_X の極性分布と同一となる。このため、単純なフレーム反転駆動を行った場合と比較して、フリッカの発生を抑制することができる。また、画素 P_X を駆動する際、スイッチング素子 SW をオフにした際の電圧 V_{gs} を考慮している。このため、スイッチング素子 SW に流れるリーク電流の値の上昇を抑えることができる。

【0136】

また、本実施形態の構成であれば、表示装置 DSP を低耐圧のソースドライバ SD で駆動することができる。この効果につき、図 6 及び図 12 を参照しながら説明する。

コモン電圧 V_{com} を直流電圧とし、当該コモン電圧 V_{com} を中心に信号線電圧 V_{sig} のみ極性反転させる比較例を想定する。この場合、信号線電圧 V_{sig} をコモン電圧 V_{com} と同じ電圧にすることで、通常の表示走査においても各画素領域の液晶層 30 に 0 V の電圧を印加することができる。但しこの比較例において、図 6 の散乱電圧を階調表現に用いるためには、信号線電圧 V_{sig} は、コモン電圧 V_{com} に対して -1.6 V ~ +1.6 V の範囲で可変でなければならない。すなわち、ソースドライバ SD 等の回路が 3.2 V の耐圧を有する必要がある。

【0137】

これに対し、本実施形態の構成であれば、図 12 に示したように信号線電圧 V_{sig} 及びコモン電圧 V_{com} が例えば 1.6 V の範囲で可変であればよい。すなわち、ソースドライバ SD 等の回路が 1.6 V の耐圧を有すれば足りる。このように、回路の耐圧を低く抑えることで、回路サイズや製造コストを低減することが可能となる。

上述した効果の他にも、本実施形態からは種々の好適な効果を得ることができる。

【0138】

(第 2 の実施形態)

第 2 実施形態においては、主に第 1 実施形態との相違点に注目し、第 1 実施形態と同一の構成については説明を省略する。

図 24 は、本実施形態に係る表示装置 DSP の主要な構成要素を示す図である。

図 24 に示すように、表示装置 DSP は、コントローラ CNT がレベル変換回路 (L/S 回路) LSC 及び V_{com} 引き込み回路 LIC を備える点で、図 3 に示した構成と相違

10

20

30

40

50

している。

【0139】

Vcom回路VCから供給されるコモン電圧(Vcom)は、共通電極21に供給されるとともに、Vcom引き込み回路LICにも供給される。Vcom引き込み回路LICは、ソースドライバSDと各信号線Sとの間に介在している。Vcom引き込み回路LICは、ソースドライバSDから出力される映像信号を各信号線Sに供給する。また、Vcom引き込み回路LICは、Vcom回路VCからのコモン電圧を各信号線Sに供給することもできる。

【0140】

図25は、Vcom引き込み回路LICの一構成例を示す図である。Vcom引き込み回路LICは、スイッチング素子SW1~SWmを備えている。スイッチング素子SW1~SWmは、例えば表示パネルPNLの第1基板SUB1に配置されている。スイッチング素子SW1~SWmの入力端(ソース)には配線LN1が接続され、出力端(ドレイン)には各信号線S1~Smがそれぞれ接続され、制御端(ゲート)には配線LN2が接続されている。

10

【0141】

図24に示したVcom回路VCは、配線LN1にコモン電圧Vcomを供給する。なお、この動作は、画素PXに第2透明電圧を書込む際の駆動に適用したり、リセット期間の駆動に適用したり、画素PXに第2透明電圧を書込む際の駆動とリセット期間の駆動の両方に適用したりすることができる。Vcom引き込み回路LICがコモン電圧Vcomを信号線S1~Smに供給する際、ソースドライバSDの出力は、ハイ・インピーダンスに制御される。また、タイミングコントローラTCは、透明走査を実行する際に、制御信号をレベル変換回路LSCに出力する。レベル変換回路LSCは、この制御信号を所定レベルの電圧に変換して配線LN2に供給する。配線LN2に制御信号が供給されると、配線LN1と各信号線S1~Smとが導通し、配線LN1のコモン電圧Vcomが各信号線S1~Smに供給される。

20

【0142】

このようにコモン電圧Vcomが各信号線S1~Smに供給された状態で、各走査線G1~Gnに走査信号が供給されると、各画素電極11に各信号線S1~Smのコモン電圧Vcomが供給される。すなわち、各画素電極11と共通電極21との電位差が0V(第2透明電圧)となる。

30

【0143】

本実施形態の構成であっても、第1実施形態と同様の効果を得ることができる。本実施形態の構成であれば、ソースドライバSDに透明走査のための電圧(例えばコモン電圧Vcom)を供給するための回路等を設ける必要が無い。

【0144】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。必要に応じて、複数の実施形態を組合せることも可能である。

40

【0145】

例えば、ラインメモリ52R、52G、52Bが記憶する各サブフレームデータは、第1色の画像を表す第1サブフレームデータ、第2色の画像を表す第2サブフレームデータ、第3色の画像を表す第3サブフレームデータの一例である。

第1色、第2色、及び第3色は、それぞれ赤色、緑色、青色に限られない。また、光源ユニットLUは、2種類以下の色の発光素子LSを備えてもよいし、4種類以上の色の発光素子LSを備えてもよい。発光素子LSの種類数(色数)に応じて、ラインメモリ、サブフレームデータ、サブフレーム期間の数を増減させればよい。

50

【 0 1 4 6 】

液晶層 30 は、ノーマル型ポリマーディスプレイズド液晶を利用してもよい。上記の液晶層 30 は、印加される電圧が高い場合に入射される光の平行度を維持し、印加される電圧が低い場合に入射される光を散乱させる。

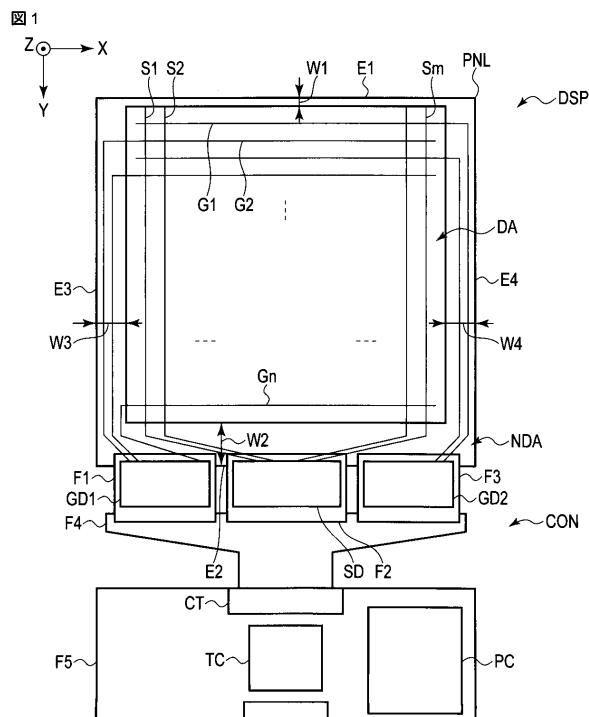
【 符号の説明 】

【 0 1 4 7 】

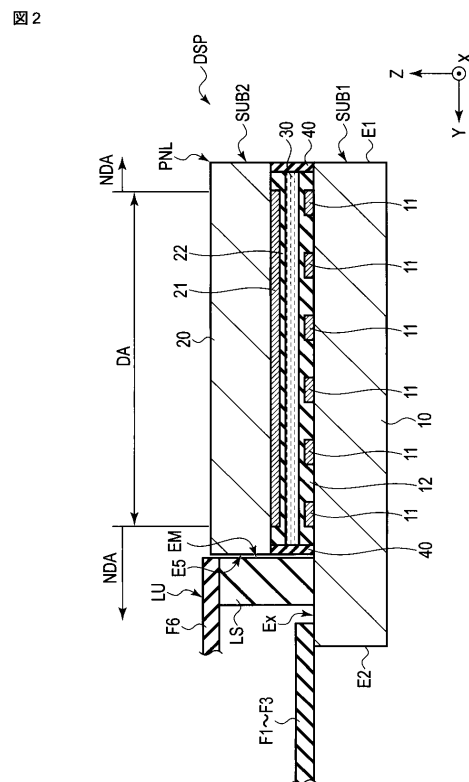
D S P ... 表示装置、P N L ... 表示パネル、P X ... 画素、G ... 走査線、S ... 信号線、30 ... 液晶層、30 A ... 第 1 液晶層、30 B ... 第 2 液晶層、S W ... スイッチング素子、S W A ... 第 1 スイッチング素子、S W B ... 第 2 スイッチング素子、11 ... 画素電極、11 A ... 第 1 画素電極、11 B ... 第 2 画素電極、21 ... 共通電極、C N T ... コントローラ、T C ... タイミングコントローラ、50 ... タイミング生成部、51 ... フレームメモリ、52 R , 52 G , 52 B ... ラインメモリ、53 ... データ変換部、54 ... 光源制御部、S D ... ソースドライバ、G D 1 , G D 2 ... ゲードドライバ G D、L U ... 光源ユニット、L S R , L S G , L S B ... 発光素子、C O N ... 制御部、D A ... 表示領域、D A 1 ... 第 1 駆動領域、D A 2 ... 第 2 駆動領域、P f , P f 1 , P f 2 ... フレーム期間、P f i , P f i 1 , P f i 2 ... フィールド期間、P r ... リセット期間、P s f , P s f R , P s f G , P s f B ... サブフレーム期間、V g ... 走査信号、V s i g ... 信号線電圧、V c o m ... コモン電圧、V g s ... 電圧、I d s ... 電流、V 1 1 ... 電位、X ... 第 1 方向、Y ... 第 2 方向。

10

【 図 1 】

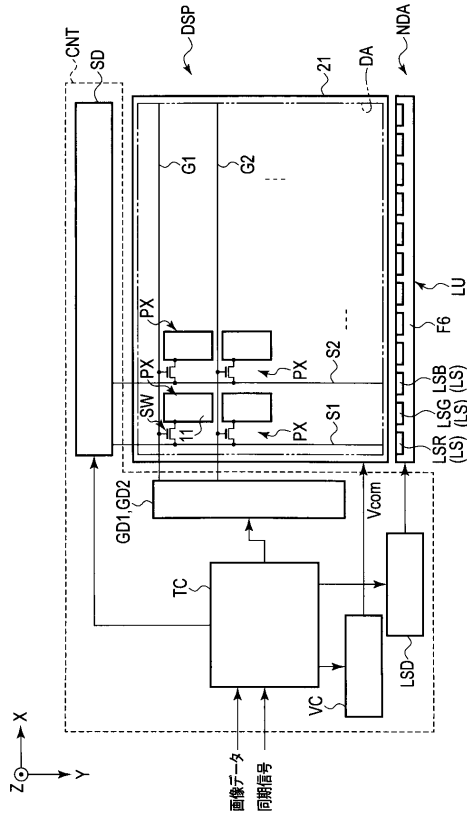


【 図 2 】



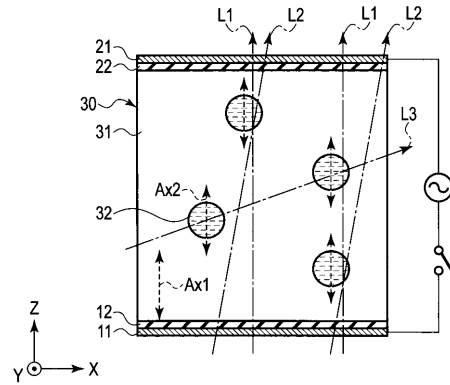
【図 3】

図 3



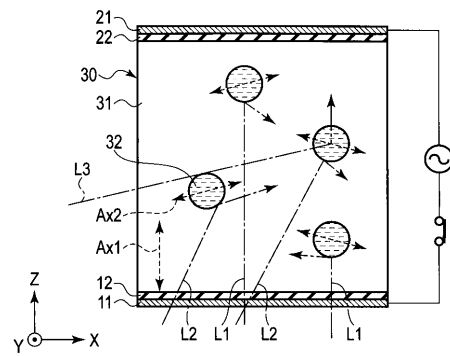
【図 4 A】

図 4A



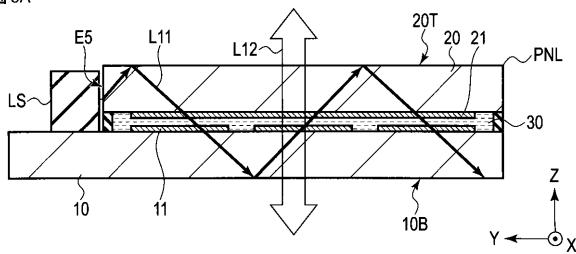
【図 4 B】

図 4B



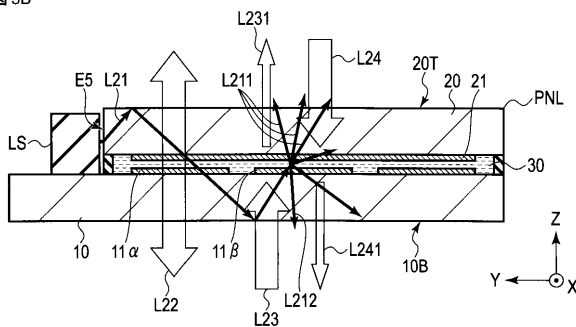
【図 5 A】

図 5A



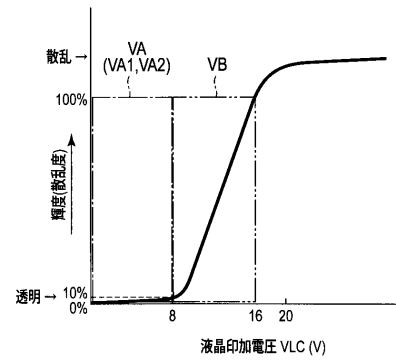
【図 5 B】

図 5B



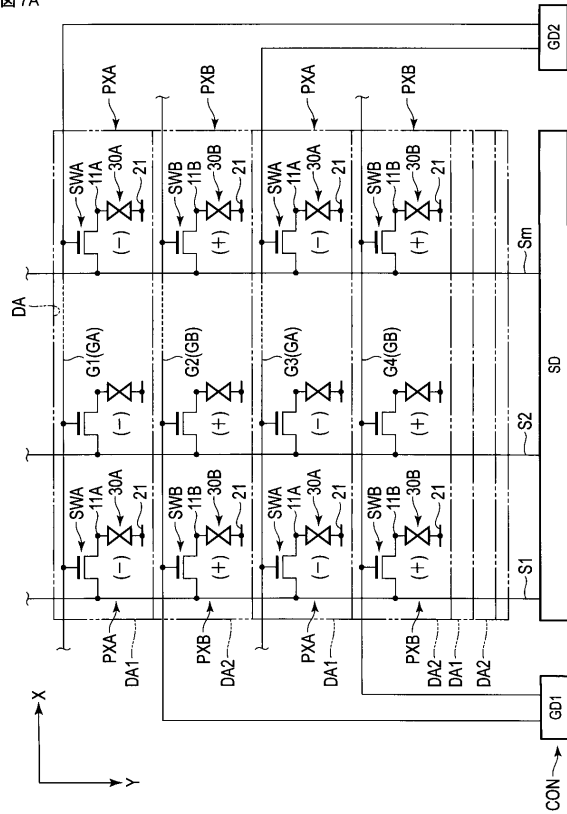
【図 6】

図 6



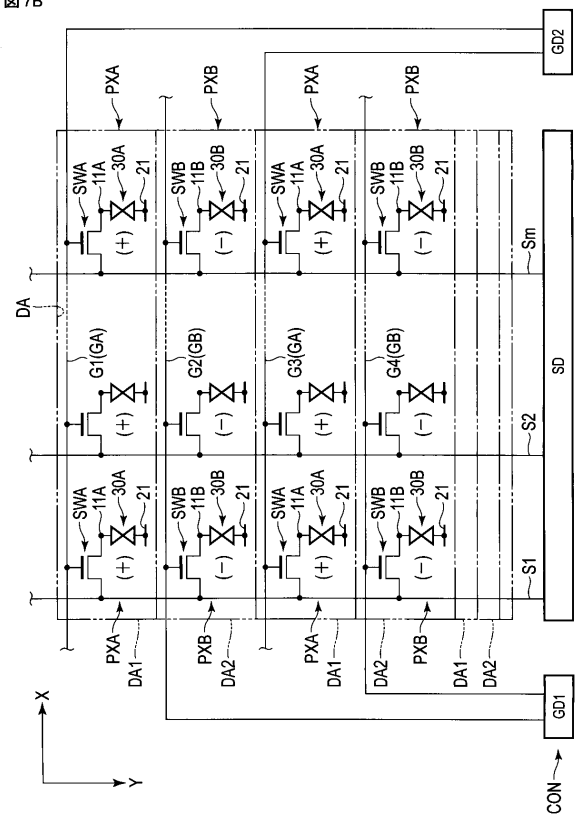
【図 7 A】

図 7A



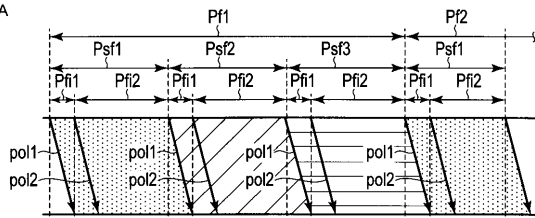
【図 7 B】

図 7B



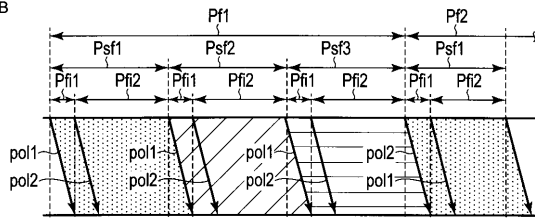
【図 8 A】

図 8A



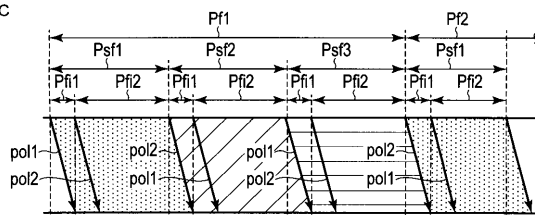
【図 8 B】

図 8B



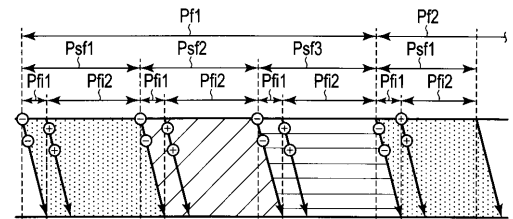
【図 8 C】

図 8C



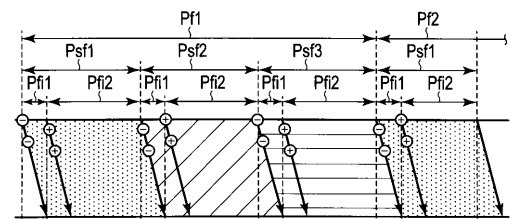
【図 9】

図 9



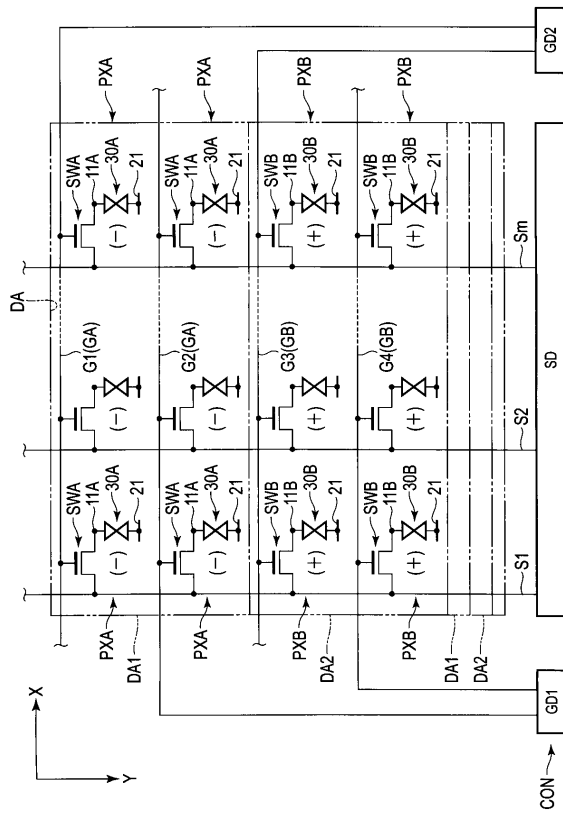
【図 10】

図 10



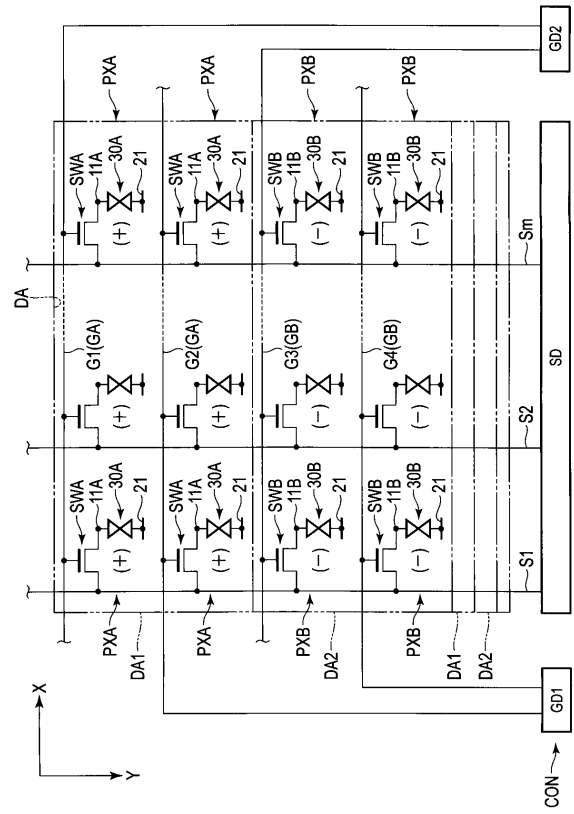
【図 1 1 A】

図 11A



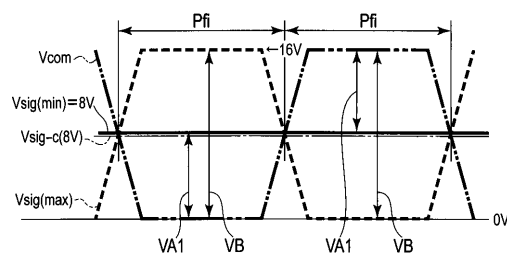
【図 1 1 B】

図 11B



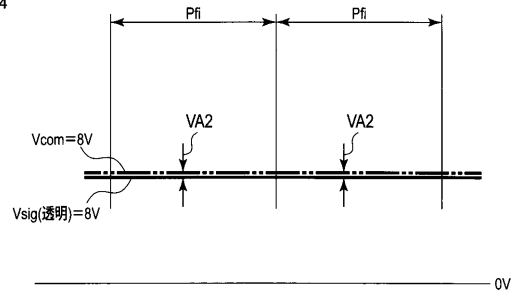
【図 1 2】

図 12



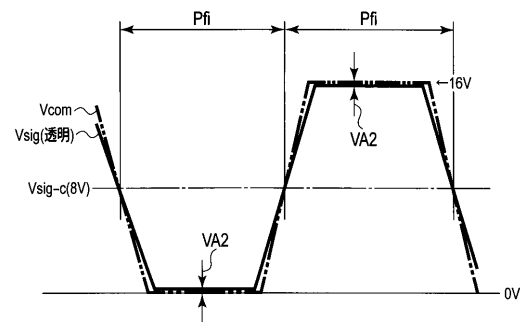
【図 1 4】

図 14



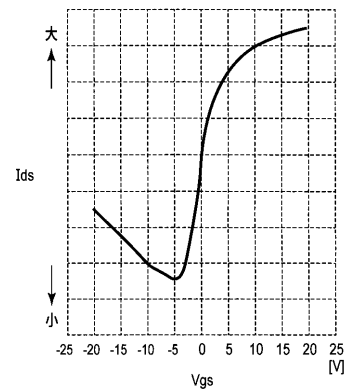
【図 1 3】

図 13



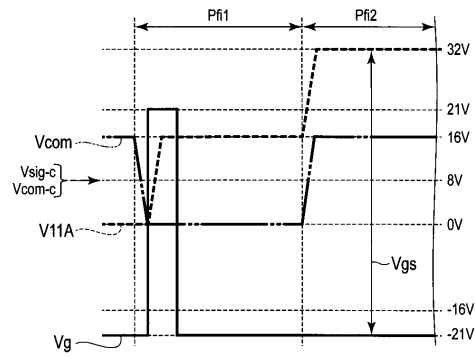
【図 1 5】

図 15



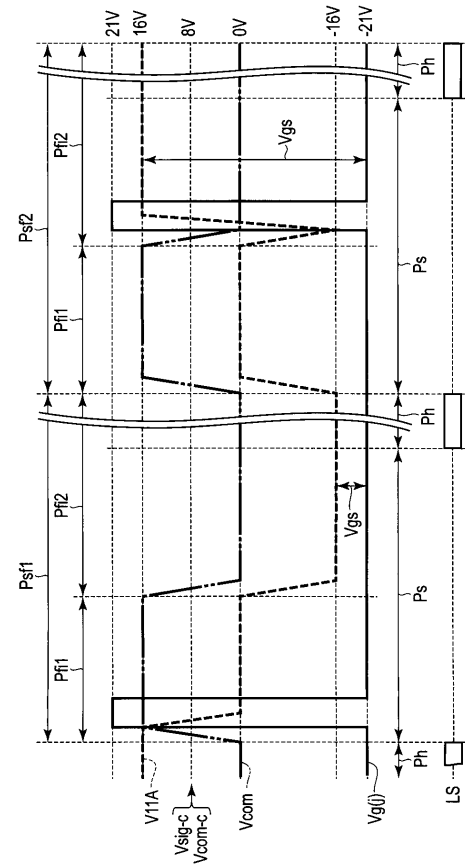
【図 16】

図 16



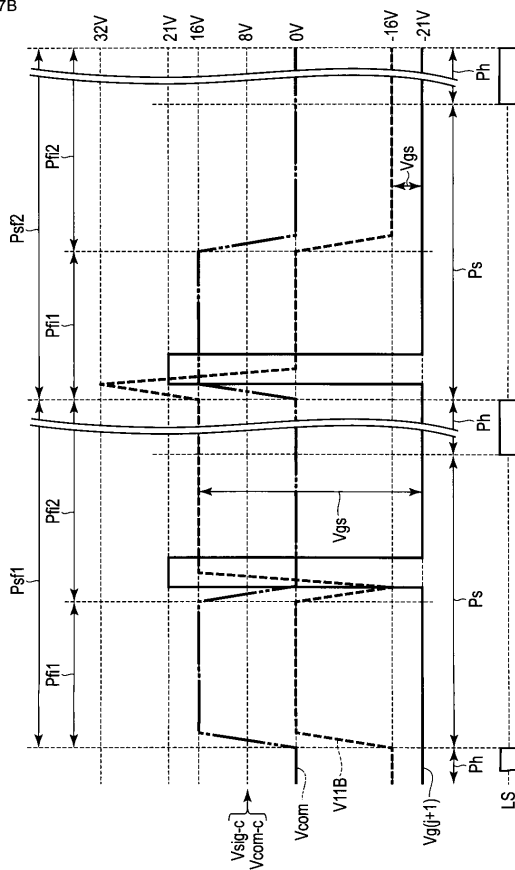
【図 17 A】

図 17A



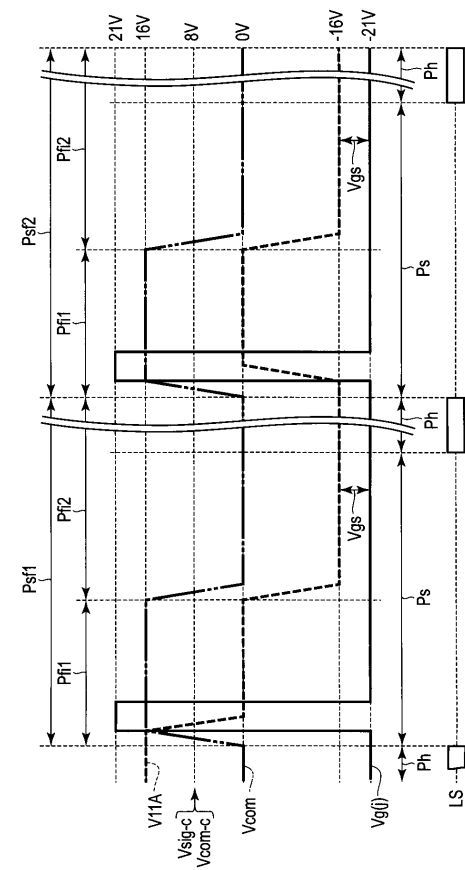
【図 17 B】

図 17B



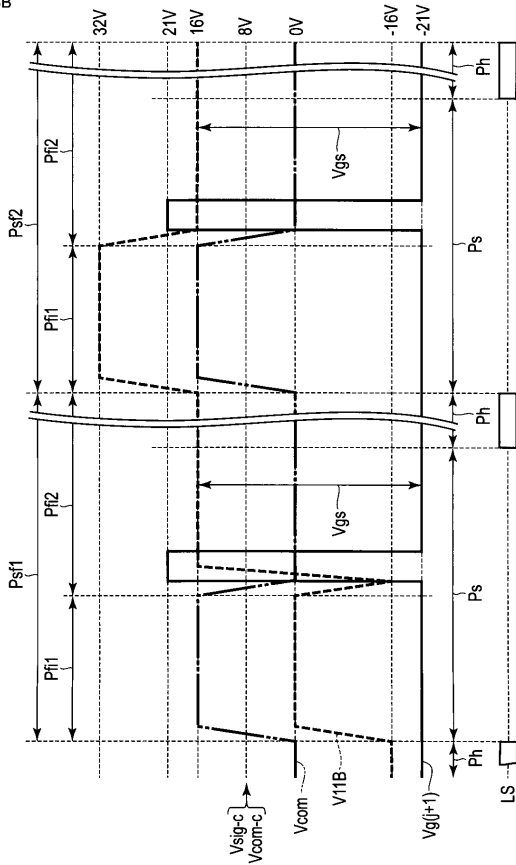
【図 18 A】

図 18A



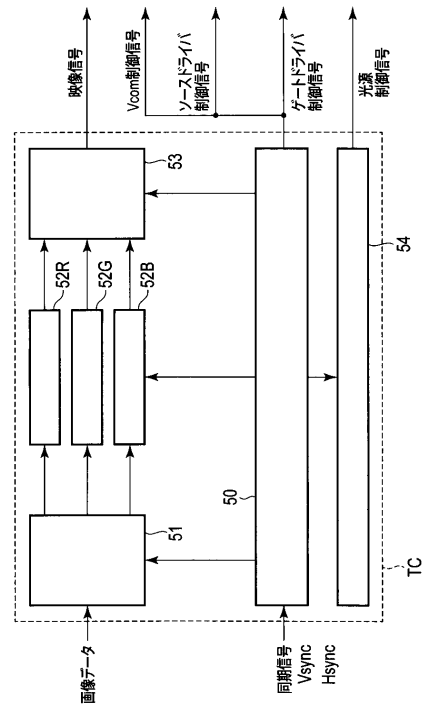
【図 18B】

図 18B



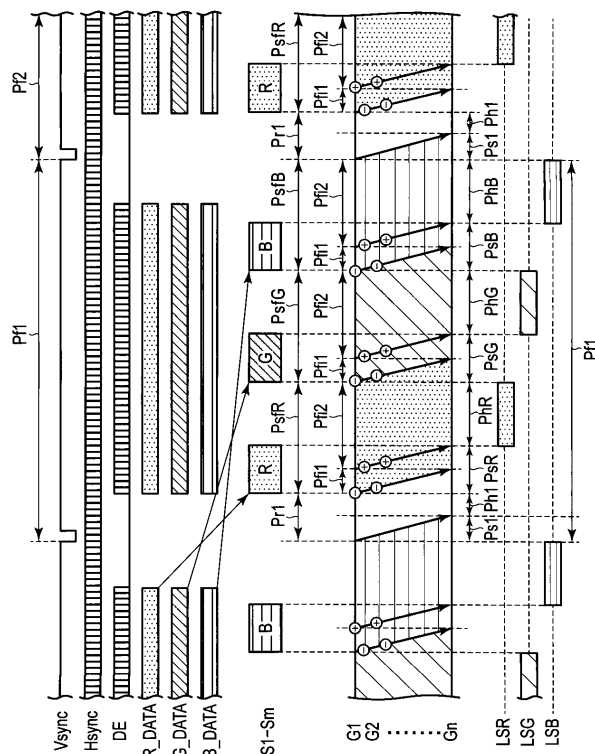
【図 19】

図 19



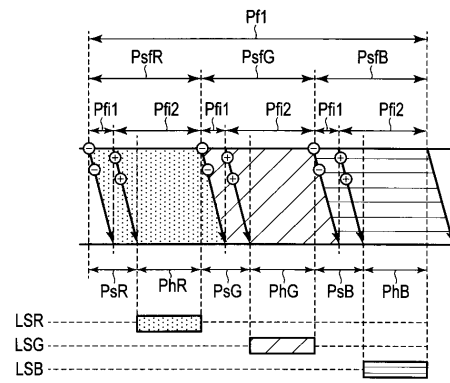
【図 20】

図 20

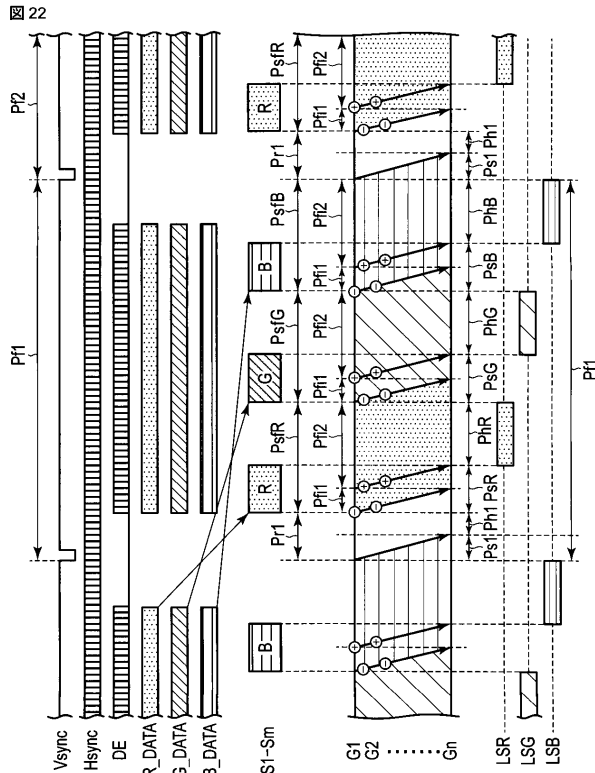


【図 21】

図 21

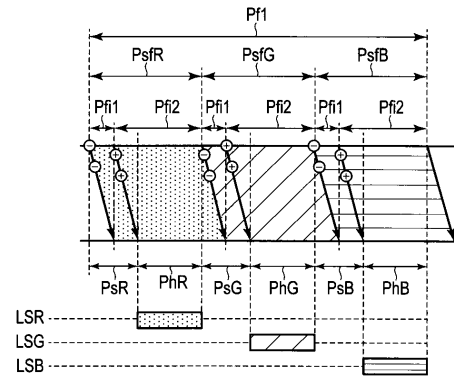


【図 22】



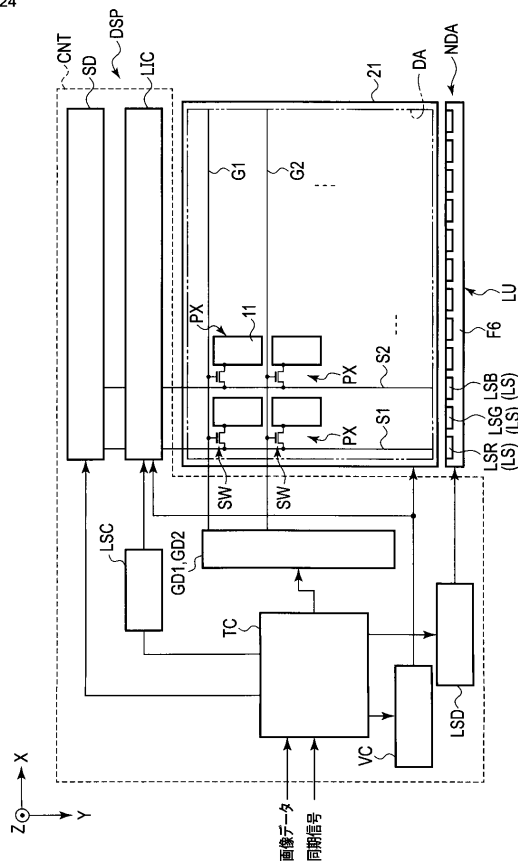
【図 23】

図 23



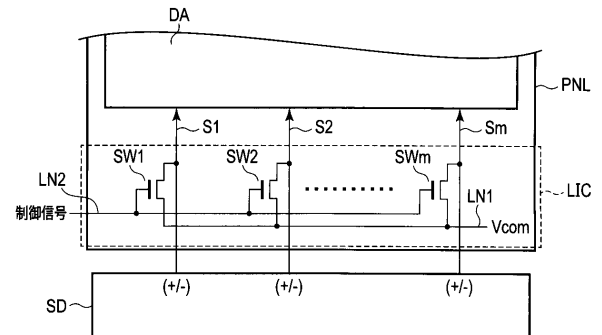
【図 24】

図 24



【図 25】

図 25



 フロントページの続き

(51)Int.Cl.		F I			テーマコード(参考)
G 0 2 F	1/13357	(2006.01)	G 0 2 F	1/133	5 7 5
G 0 2 F	1/1334	(2006.01)	G 0 2 F	1/133	5 3 5
			G 0 2 F	1/1368	
			G 0 2 F	1/13357	
			G 0 2 F	1/1334	

F ターム(参考) 2H391 AA03 AB05 CA35 CB03 CB05 CB52
 5C006 AA16 AA21 AC25 AC28 AF42 AF44 BA16 BB16 BB29 BC22
 FA47
 5C080 AA10 BB05 CC03 DD01 DD26 DD30 EE29 EE30 FF11 FF12
 JJ02 JJ03 JJ04 JJ06

专利名称(译)	显示装置和液晶显示装置		
公开(公告)号	JP2019128361A	公开(公告)日	2019-08-01
申请号	JP2018007524	申请日	2018-01-19
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	加藤博文		
发明人	加藤 博文		
IPC分类号	G09G3/36 G09G3/20 G09G3/34 G02F1/133 G02F1/1368 G02F1/13357 G02F1/1334		
CPC分类号	G02F1/1334 G02F1/1362 G09G3/3413 G09G3/3614 G09G2310/0235 G09G2310/06 G09G2320/0209 G02B6/0035 G02F1/134309 G02F1/136286 G02F1/1368 G02F1/137 G02F2201/121 G02F2201/123		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.621.B G09G3/34.J G09G3/20.641.E G02F1/133.575 G02F1/133.535 G02F1/1368 G02F1/13357 G02F1/1334		
F-TERM分类号	2H189/AA04 2H189/CA31 2H189/CA35 2H189/LA04 2H189/LA08 2H189/LA10 2H189/LA20 2H192/AA24 2H192/AA32 2H192/FA73 2H192/GD61 2H192/JA53 2H193/ZA04 2H193/ZA34 2H193/ZB03 2H193/ZB07 2H193/ZC04 2H193/ZC16 2H193/ZC26 2H193/ZD02 2H193/ZD11 2H193/ZF13 2H193/ZF16 2H193/ZF36 2H193/ZG14 2H193/ZG27 2H193/ZG34 2H193/ZG48 2H193/ZG50 2H193/ZQ13 2H391/AA03 2H391/AB05 2H391/CA35 2H391/CB03 2H391/CB05 2H391/CB52 5C006/AA16 5C006/AA21 5C006/AC25 5C006/AC28 5C006/AF42 5C006/AF44 5C006/BA16 5C006/BB16 5C006/BB29 5C006/BC22 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD26 5C080/DD30 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
外部链接	Espacenet		

摘要(译)

提供一种能够实现低功耗的显示装置和液晶显示装置。解决方案：该显示装置包括：显示面板，该显示面板包括在其中交替地布置有多个第一驱动区域和多个第二驱动区域的显示区域。列方向；以及显示功能层，其具有多个第一显示功能层和多个第二显示功能层，并且可以在透射入射光的透明状态和散射入射光的散射状态之间切换。控制单元，用于控制显示面板的驱动。控制单元在第一场周期Pfi1中向多个第一显示功能层施加驱动电压，并且在第二场周期Pfi2中向多个第二显示功能层施加驱动电压。在第一场周期Pfi1和第二场周期Pfi2之间，驱动电压的极性互不相同。图20

