

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2019-90982

(P2019-90982A)

(43) 公開日 令和1年6月13日 (2019.6.13)

(51) Int.Cl.	F 1	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192

審査請求 未請求 請求項の数 15 O L (全 31 頁)

(21) 出願番号	特願2017-221324 (P2017-221324)	(71) 出願人	506087819
(22) 出願日	平成29年11月16日 (2017.11.16)		パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	100109210
			弁理士 新居 広守
		(74) 代理人	100137235
			弁理士 寺谷 英作
		(74) 代理人	100131417
			弁理士 道坂 伸一
		(72) 発明者	梶田 大介
			兵庫県姫路市飾磨区妻鹿日田町1-6 パ
			ナソニック液晶ディスプレイ株式会社内
		Fターム (参考)	2H092 GA14 GA17 GA29 JA26 JA38
			JA42 JA46 JB46 JB69

最終頁に続く

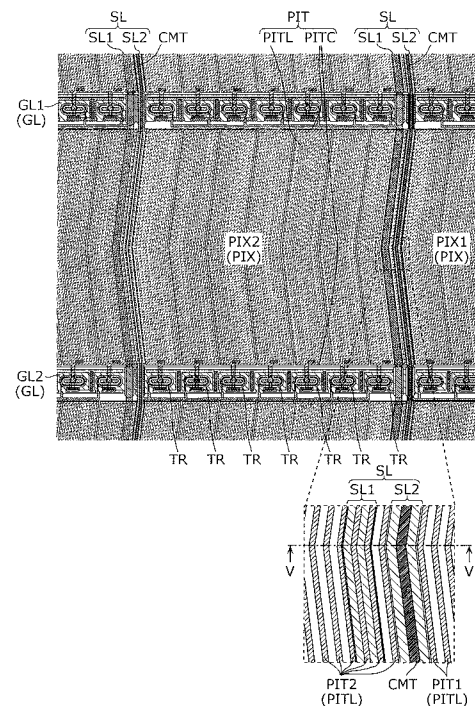
(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】 画像品位に優れた液晶表示パネルを提供する。

【解決手段】 マトリクス状に配列された複数の画素PIXを有する液晶表示パネルLCPであって、複数の画素PIXの各々に設けられた画素電極PITと、第1方向に隣り合う2つの画素PIXの境界部ごとに設けられ、第1方向に直交する第2方向に延在する複数の一対の第1映像信号線SL1及び第2映像信号線SL2とを備え、画素電極PITの少なくとも一部は、第1映像信号線SL1と第2映像信号線SL2との間に存在する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

マトリクス状に配列された複数の画素を有する液晶表示パネルであって、
前記複数の画素の各々に設けられた画素電極と、
第 1 方向に隣り合う 2 つの前記画素の境界部ごとに設けられ、前記第 1 方向に直交する
第 2 方向に延在する複数の一対の第 1 映像信号線及び第 2 映像信号線とを備え、
前記画素電極の少なくとも一部は、前記第 1 映像信号線と前記第 2 映像信号線との間に
存在する、
液晶表示パネル。

【請求項 2】

前記第 2 方向に隣り合う 2 つの前記画素の境界部ごとに配置され、前記第 1 方向に延在
する複数の走査線と、
前記複数の画素の各々に形成されたトランジスタとを備え、
前記トランジスタのゲート電極は、前記走査線に接続され、
前記トランジスタのソース電極及びドレイン電極の一方は、前記画素電極に接続され、
前記複数の走査線は、2 本ずつ接続されており、
接続された 2 本の前記走査線のうちの一方が接続された前記トランジスタの前記ソース
電極及び前記ドレイン電極の他方は、前記第 1 映像信号線及び前記第 2 映像信号線の一方
に接続され、
接続された 2 本の前記走査線のうちの他方が接続された前記トランジスタの前記ソース
電極及び前記ドレイン電極の他方は、前記第 1 映像信号線及び前記第 2 映像信号線の他方
に接続されている、
請求項 1 に記載の液晶表示パネル。

【請求項 3】

前記画素電極及び前記トランジスタは、前記複数の画素の各々に複数ずつ形成されてい
る、
請求項 2 に記載の液晶表示パネル。

【請求項 4】

前記画素電極は、複数本のライン電極を有し、
前記複数本のライン電極の少なくとも一つは、前記第 1 映像信号線と前記第 2 映像信号
線との間に存在する、
請求項 1 ～ 3 のいずれか 1 項に記載の液晶表示パネル。

【請求項 5】

前記複数本のライン電極は、前記第 2 方向に延在している、
請求項 4 に記載の液晶表示パネル。

【請求項 6】

前記画素電極は、前記複数本のライン電極を連結する連結電極を有する、
請求項 4 又は 5 に記載の液晶表示パネル。

【請求項 7】

隣り合う 2 つの前記画素電極の間隔は、1 つの前記画素電極において隣り合う 2 本の前
記ライン電極の間隔と同じである、
請求項 4 ～ 6 のいずれか 1 項に記載の液晶表示パネル。

【請求項 8】

前記第 1 方向に隣り合う 2 つの前記画素のうちの一方の前記画素電極を第 1 画素電極と
し、前記第 1 方向に隣り合う 2 つの前記画素のうちの他方の前記画素電極を第 2 画素電極
とすると、
前記第 1 映像信号線は、平面視において、前記第 2 画素電極の前記ライン電極に重なっ
ており、
前記第 2 映像信号線は、平面視において、前記第 1 画素電極と前記第 2 画素電極との間
に位置している、

請求項 7 に記載の液晶表示パネル。

【請求項 9】

前記複数の画素にわたって形成された共通電極を備え、

前記共通電極は、前記第 1 映像信号線及び前記第 2 映像信号線の少なくとも一方を覆っている、

請求項 1 ～ 8 のいずれか 1 項に記載の液晶表示パネル。

【請求項 10】

前記共通電極の直上に設けられたコモン線を備える、

請求項 9 に記載の液晶表示パネル。

【請求項 11】

前記コモン線は、前記第 2 方向に延在し、平面視において前記第 1 映像信号線又は前記第 2 映像信号線に重なっている、

請求項 10 に記載の液晶表示パネル。

【請求項 12】

前記第 1 映像信号線及び前記第 2 映像信号線を覆う第 1 絶縁膜と、

炭素を含み、前記第 1 絶縁膜を覆う第 2 絶縁膜とを備え、

前記第 2 絶縁膜の厚さは、前記第 1 絶縁膜の厚さよりも厚い、

請求項 1 ～ 11 のいずれか 1 項に記載の液晶表示パネル。

【請求項 13】

前記第 1 映像信号線及び前記第 2 映像信号線の間に存在する前記ライン電極は、遮光層で覆われていない、

請求項 1 ～ 12 のいずれか 1 項に記載の液晶表示パネル。

【請求項 14】

前記第 1 映像信号線及び前記第 2 映像信号線の一方は、前記第 2 方向に沿って形成された遮光層で覆われており、

前記第 1 映像信号線及び前記第 2 映像信号線の他方は、前記第 2 方向に沿って形成された遮光層で覆われていない、

請求項 1 ～ 12 のいずれか 1 項に記載の液晶表示パネル。

【請求項 15】

前記第 1 映像信号線及び前記第 2 映像信号線は、いずれも前記第 2 方向に沿って形成された遮光層で覆われている、

請求項 1 ～ 12 のいずれか 1 項に記載の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、液晶表示パネルに関する。

【背景技術】

【0002】

液晶パネルを用いた液晶表示装置は、低消費電力で画像を表示することができるため、テレビ又はモニタ等の画像表示装置として利用されている。

【0003】

液晶表示パネルは、画素電極及び薄膜トランジスタ（TFT；Thin Film Transistor）が形成された TFT 基板と、TFT 基板に対向する対向基板と、TFT 基板と対向基板との間に配置された液晶層とを備えている。液晶表示パネルでは、画素毎に設けられた画素電極によって液晶層による光透過率を画素毎に制御することで画像を表示している（例えば特許文献 1）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2015-114375 号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

液晶表示パネルの駆動方式としては、IPS (In Plane Switching) 方式又はFFS (Fringe Field Switching) 方式等の横電界方式が知られている。

【0006】

横電界方式の液晶表示パネルでは、画素の光透過率を大きくするために、平面状の共通電極の上に絶縁膜を挟んで櫛歯状の画素電極を形成する技術の開発が進められている。

【0007】

しかしながら、これまでの液晶表示パネルでは、画像品位が十分ではなく、さらなる画質の向上が求められている。

【0008】

本開示は、画像品位に優れた液晶表示パネルを提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本開示に係る液晶表示パネルの一態様は、マトリクス状に配列された複数の画素を有する液晶表示パネルであって、複数の画素の各々に設けられた画素電極と、第1方向に隣り合う2つの画素の境界部ごとに設けられ、第1方向に直交する第2方向に延在する複数の一对の第1映像信号線及び第2映像信号線とを備え、画素電極の少なくとも一部は、第1映像信号線と第2映像信号線との間に存在する。

【発明の効果】

【0010】

本開示に係る液晶表示パネルによれば、画像品位を向上させることができる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1に係る液晶表示装置の概略構成を模式的に示す図である。

【図2】実施の形態1に係る液晶表示パネルの画素回路を示す図である。

【図3】実施の形態1に係る液晶表示パネルの画素の構成を示す平面図である。

【図4】実施の形態1に係る液晶表示パネルの画素におけるトランジスタ周辺の拡大平面図である。

【図5】図3のV-V線における実施の形態1に係る液晶表示パネルの断面図である。

【図6】図4のVI-VI線における実施の形態1に係る液晶表示パネルの断面図である。

【図7】図4のVII-VII線における実施の形態1に係る液晶表示パネルの断面図である。

【図8】実施の形態1に係る液晶表示パネルにおけるトランジスタ周辺の共通電極の形状を示す図である。

【図9】図4の破線で囲まれる領域IXの拡大図である。

【図10】図4のX-X線における実施の形態1に係る液晶表示パネルの断面図である。

【図11】図4のXI-XI線における実施の形態1に係る液晶表示パネルの断面図である。

【図12】実施の形態2に係る液晶表示装置の概略構成を模式的に示す図である。

【図13A】実施の形態2に係る液晶表示装置における第1液晶表示パネルの画素のレイアウトを示す図である。

【図13B】実施の形態2に係る液晶表示装置における第2液晶表示パネルの画素のレイアウトを示す図である。

【発明を実施するための形態】

【0012】

以下、本開示の実施の形態について説明する。なお、以下に説明する実施の形態は、いずれも本開示の好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、及び、構成要素の配置位置や接続形態などは、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素

10

20

30

40

50

のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0013】

各図は模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺等は必ずしも一致していない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【0014】

(実施の形態1)

まず、液晶表示パネルLCPを用いた液晶表示装置LCD1の概略構成について、図1及び図2を用いて説明する。図1は、実施の形態1に係る液晶表示装置LCD1の概略構成を模式的に示す図である。図2は、実施の形態1に係る液晶表示パネルLCPの画素回路を示す図である。

10

【0015】

液晶表示装置LCD1は、静止画像又は動画像を表示する画像表示装置の一例であって、図1に示すように、液晶表示パネルLCPと、液晶表示パネル駆動回路PDC（ソースドライバSDC、ゲートドライバGDC）と、バックライトBLと、画像処理部IPUとを備える。

【0016】

液晶表示パネルLCPは、バックライトBLの光出射側に配置される。液晶表示パネルLCPは、画像表示領域DSPにカラー画像又はモノクロ画像を表示する。液晶表示パネルLCPの駆動方式は、例えばIPS又はFFS等の横電界方式である。また、液晶表示パネルLCPは、例えば、ノーマリーブラック方式により電圧の制御が行われるが、電圧制御の方式は、ノーマリーブラック方式に限らない。

20

【0017】

図1及び図2に示すように、液晶表示パネルLCPは、マトリクス状に配列された複数の画素PIXを有する。画像が表示される画像表示領域DSPは、マトリクス状に配列された複数の画素PIXによって構成されている。

【0018】

図2に示すように、複数の画素PIXの各々には、トランジスタTR、画素電極PIT及び共通電極MITが設けられている。トランジスタTRは、薄膜トランジスタであり、ゲート電極G、ソース電極S及びドレイン電極Dを有する。なお、本明細書において、ソース電極S及びドレイン電極Dは、まとめてソースドレイン電極と記載することもあり、ソースドレイン電極とは、ソース電極S及びドレイン電極Dの少なくとも一方のこと、ソース電極S及びドレイン電極Dのいずれかのみのこと、あるいは、ソース電極S及びドレイン電極Dの両方のことを意味する。

30

【0019】

本実施の形態において、トランジスタTR及び画素電極PITは、各画素PIXに複数ずつ設けられている。具体的には、各画素PIXには、7つのトランジスタTRと7つの画素電極PITとが設けられている。各画素PIXにおける7つの画素電極PITの各々は、サブ画素電極であり、分離して形成されている。

40

【0020】

一方、共通電極MITは、複数の画素PIXにわたって設けられている。本実施の形態において、共通電極MITは、画像表示領域DSPの全ての画素PIXにわたって設けられている。つまり、共通電極MITは、全ての画素PIXに共通する1つの平面状の電極であり、画像表示領域DSPの全体に形成されている。

【0021】

図2に示すように、液晶表示パネルLCPには、行方向（第1方向）に延在する複数の走査線（ゲート線）GLと、行方向に直交する列方向（第2方向）に延在する複数の映像信号線（ソース線）SLとが形成されている。

【0022】

50

複数の走査線 G L の各々は、列方向に隣り合う 2 つの画素 P I X の境界部ごとに設けられている。本実施の形態において、走査線 G L は、列方向に隣り合う 2 つの画素 P I X の境界部ごとに 1 本ずつ設けられている。

【0023】

各走査線 G L は、行方向に配列された複数の画素 P I X の各々の複数のトランジスタ T R と接続されている。つまり、各走査線 G L は、各画素 P I X において、複数のトランジスタ T R と接続されている。具体的には、各走査線 G L は、各トランジスタ T R のゲート電極 G と接続されている。

【0024】

複数の映像信号線 S L は、行方向に隣り合う 2 つの画素 P I X の境界部ごとに設けられている。本実施の形態において、映像信号線 S L は、行方向に隣り合う 2 つの画素 P I X の境界部ごとに、一对の第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 として 2 本ずつ設けられている。

【0025】

各映像信号線 S L は、列方向に配列された複数の画素 P I X の各々の複数のトランジスタ T R と接続されている。具体的には、各映像信号線 S L は、各トランジスタ T R のソース電極 S 及びドレイン電極 D のうちドレイン電極 D に接続されている。つまり、本実施の形態において、映像信号線 S L は、ドレイン線である。

【0026】

また、液晶表示パネル L C P は、1 G 2 D の配線接続構造を有しており、複数の走査線 G L は、列方向において、2 本ずつ接続されている。つまり、奇数行目の第 1 走査線 G L 1 と偶数行目の第 2 走査線 G L 2 との隣り合う 2 本の走査線 G L 同士が接続されている。第 1 走査線 G L 1 及び第 2 走査線 G L 2 は、例えば、ゲートドライバ G D C 側において配線パターン等によって接続されていてもよいし、ゲートドライバ G D C 内で接続されていてもよい。

【0027】

互いに接続された 2 本の走査線 G L のうちの一方が接続されたトランジスタ T R のドレイン電極 D は、第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 の一方に接続されている。また、互いに接続された 2 本の走査線 G L のうちの他方が接続されたトランジスタ T R のドレイン電極 D は、第 1 映像信号線 S L 1 及び第 2 映像信号線 S L 2 の他方に接続されている。

【0028】

具体的には、奇数行目の第 1 走査線 G L 1 が接続されたトランジスタ T R のドレイン電極 D は、第 2 映像信号線 S L 2 に接続されており、偶数行目の第 2 走査線 G L 2 が接続されたトランジスタ T R のドレイン電極 D は、第 1 映像信号線 S L 1 に接続されている。

【0029】

なお、各画素 P I X において、トランジスタ T R のソース電極 S は、画素電極 P I T に接続されている。具体的には、7 つのトランジスタ T R のソース電極 S と 7 つの画素電極 P I T とは一対一で接続されており、各トランジスタ T R のソース電極 S は、各画素電極 P I T に接続されている。

【0030】

図 1 に示すように、液晶表示パネル L C P には、入力された映像信号に応じた画像を表示するために、液晶表示パネル駆動回路 P D C が接続されている。液晶表示パネル駆動回路 P D C は、ソースドライバ S D C 及びゲートドライバ G D C を含む。ソースドライバ S D C 及びゲートドライバ G D C は、例えばドライバ I C (I C パッケージ) であり、プリント配線基板に実装されている。ソースドライバ S D C が実装されたプリント配線基板及びゲートドライバ G D C が実装されたプリント配線基板は、F F C (F l e x i b l e F l a t C a b l e) 又は F P C (F l e x i b l e P r i n t e d C a b l e) 等のフレキシブル配線基板を介して液晶表示パネル L C P に接続される。

【0031】

図 2 に示すように、ソースドライバ SDC は、液晶表示パネル LCP の映像信号線 SL に接続されている。ソースドライバ SDC は、ゲートドライバ GDC による走査線 GL の選択に合わせて、画像処理部 IPU から入力される映像信号に応じた電圧（データ電圧）を映像信号線 SL に供給する。具体的には、ソースドライバ SDC は、第 1 映像信号線 SL1 及び第 2 映像信号線 SL2 の各々にデータ電圧を供給する。

【0032】

ゲートドライバ GDC は、走査線 GL に接続されている。ゲートドライバ GDC は、画像処理部 IPU から入力されるタイミング信号に応じて映像信号を書き込む画素 PIX を選択し、選択した画素 PIX のトランジスタ TR をオンする電圧（ゲートオン電圧）を走査線 GL に供給する。本実施の形態では、走査線 GL が 2 本ずつ接続されているので、ゲートドライバ GDC は、接続された 2 本の第 1 走査線 GL1 及び第 2 走査線 GL2 に共通するゲートオン電圧として、2 倍のゲート Hi 期間（2H）のゲートパルス信号を走査線 GL に供給する。これにより、選択された画素 PIX の画素電極 PIT には、トランジスタ TR を介してデータ電圧が供給される。なお、共通電極 MIT には、コモンドライバ（図示せず）から共通電圧が供給される。

【0033】

このように、ゲートドライバ GDC からゲートオン電圧が走査線 GL に供給されると、選択された画素 PIX のトランジスタ TR がオンし、このトランジスタ TR に接続された映像信号線 SL からデータ電圧が画素電極 PIT に供給される。そして、画素電極 PIT に供給されたデータ電圧と共通電極 MIT に供給された共通電圧との差により液晶層に電界が生じる。この電界により各画素 PIX における液晶層の液晶分子の配向状態が変化し、液晶表示パネル LCP を通過するバックライト BL の光の透過率が画素 PIX ごとに制御される。これにより、液晶表示パネル LCP の表示領域（画素領域）に所望の画像が表示される。

【0034】

バックライト BL は、図 1 に示すように、液晶表示パネル LCP の背面側に配置されており、液晶表示パネル LCP に向けて光を照射する。本実施の形態において、バックライト BL は、LED（Light Emitting Diode）を光源とする LED バックライトであるが、これに限るものではない。また、バックライト BL は、液晶表示パネル LCP に対面するように LED が基板上に二次元状に配列された直下型の LED バックライトであるが、エッジ型であってもよい。バックライト BL は、平面状の均一な散乱光（拡散光）を照射する面発光ユニットである。この場合、バックライト BL は、光源からの光を拡散させるために拡散板（拡散シート）等の光学部材を有していてもよい。

【0035】

画像処理部 IPU は、CPU 等の演算処理回路と、ROM や RAM 等のメモリとを備える制御装置である。画像処理部 IPU には、液晶表示パネル LCP に表示するための画像データが入力される。画像処理部 IPU は、CPU がメモリに格納されたプログラムを読み出して実行することにより各種の処理を実行する。具体的には、画像処理部 IPU は、外部のシステム（図示せず）から入力された映像データに対して色調整等の各種の画像信号処理を行って各画素 PIX の階調値を示す映像信号と各画素 PIX に映像信号を書き込むタイミングを示すタイミング信号とを生成し、映像信号をソースドライバ SDC に出力するとともにタイミング信号をゲートドライバ GDC に出力する。

【0036】

次に、液晶表示パネル LCP の具体的な構造について、図 2 を参照しつつ、図 3～図 7 を用いて説明する。図 3 は、実施の形態 1 に係る液晶表示パネル LCP の画素 PIX の構成を示す平面図である。図 4 は、同液晶表示パネル LCP の画素 PIX におけるトランジスタ TR 周辺の拡大平面図である。図 5 は、図 3 の V-V 線における同液晶表示パネル LCP の断面図である。図 6 は、図 4 の VI-VI 線における同液晶表示パネル LCP の断面図である。図 7 は、図 4 の VII-VII 線における同液晶表示パネル LCP の断面図である。

【0037】

10

20

30

40

50

図2及び図3に示すように、各画素PIXは、行方向に延在する走査線GLと列方向に延在する映像信号線SLとによって囲まれる領域である。本実施の形態において、1つの画素PIXの画素サイズは、比較的が大きくなっており、一例として、行方向の長さが $630\mu\text{m}$ で、列方向の長さが $630\mu\text{m}$ である。また、本実施の形態において、1つの画素PIXは、行方向の長さと同列方向の長さと同じである。つまり、1つの画素PIXのアスペクト比（行方向長さ：列方向長さ）は、1：1である。なお、1つの画素PIXのアスペクト比は、これに限るものではなく、例えば、1：3等であってもよい。

【0038】

また、上述のように、本実施の形態における液晶表示パネルLCPでは、1つの画素PIXに複数の画素電極PIT及び複数のトランジスタTRが設けられている。図3及び図4に示すように、各画素PIXにおいて、複数の画素電極PIT及び複数のトランジスタTRの各々は、行方向（第1方向）に並んでいる。具体的には、7つの画素電極PITは、行方向に沿ってほぼ等間隔に並んでいる。また、7つのトランジスタTRは、行方向に沿ってほぼ等間隔に並んでいる。

【0039】

図3及び図4に示すように、各画素電極PITには複数のスリットが形成されており、各画素電極PITは、列方向（第2方向）に延在する複数本のライン電極PITLを有する。本実施の形態では、各画素電極PITは、11本のライン電極PITLを含む。11本のライン電極PITLの長手方向の両端部は、走査線GLの近傍において行方向に沿って延在する連結電極PITCによって連結されている。各画素電極PITにおける全てのライン電極PITLは、平行に形成されている。

【0040】

各ライン電極PITLは、互いに同一の幅で、かつ、中央部に屈曲部を有する略「く」の字状に形成されている。なお、各画素電極PITにおいて、隣り合う2本のライン電極PITLの間隔（スリット幅）は一定である。また、11本の全てのライン電極PITLの間隔は、互いに同じである。

【0041】

さらに、図4に示すように、7つの画素電極PITの全てにおいて、隣り合う2つの画素電極PITの間隔 s_{p1} （つまり、一方の画素電極PITの最後の列のライン電極と他方の画素電極PITの最初の列のライン電極との間隔）は、1つの画素電極PITにおいて隣り合う2本のライン電極PITLの間隔 s_{p2} と同じになっている。この結果、1つの画素PIXにおいて、全てのライン電極PITL（ $11\text{本} \times 7 = 77\text{本}$ ）の間隔が同じになっており、全てのライン電極PITLのラインアンドスペース（ L/S ）が一定になっている。これにより、各画素電極PITでの画素容量 C_{PIX} の差を小さくすることができる。例えば、各画素電極PITでの画素容量 C_{PIX} を全て同じにすることもできる。

【0042】

また、トランジスタTRのゲートソース間容量を C_{gs} とすると、各画素PIXにおける複数の画素電極PITと複数のトランジスタTRの全てについて、画素容量比率を示す C_{PIX}/C_{gs} は $\pm 10\%$ 以内であるとよい。好ましくは、画素電極PIT及び当該画素電極PITに対応するトランジスタTRの全てについて、 C_{PIX}/C_{gs} は同じであるとよい。

【0043】

さらに、トランジスタTRの半導体層SCのチャネル幅を W_{TFE} とすると、各画素PIXにおける複数の画素電極PITと複数のトランジスタTRの全てについて、画素容量比率を示す C_{PIX}/W_{TFE} は $\pm 10\%$ 以内であるとよい。好ましくは、画素電極PIT及び当該画素電極PITに対応するトランジスタTRの全てについて、 C_{PIX}/W_{TFE} は同じであるとよい。

【0044】

このように、画素電極PITと当該画素電極PITに対応するトランジスタTRとにお

10

20

30

40

50

ける画素容量比率 (C_{PIX}/C_{gs} 、 C_{PIX}/W_{TFET}) が一定の範囲内に収まっていれば、画素電極 P I T 及びトランジスタ T R の形状及び大きさは異なってもよい。つまり、画素容量比率を一定の範囲内に収めることで、画素電極 P I T 及びトランジスタ T R の設計の自由度が向上する。したがって、一つの画素 P I X に含まれる複数の画素電極 P I T のうちの少なくとも一つは、当該画素 P I X 内に含まれる他の画素電極 P I T とは形状が異なってもよい。つまり、一つの画素 P I X に含まれる複数の画素電極 P I T には、形状が異なる画素電極 P I T が含まれていてもよい。

【0045】

本実施の形態において、7つの画素電極 P I T は、互いに同じ形状及び同じ大きさである。これにより、各画素電極 P I T の画素容量 C_{PIX} を容易に同じにすることができる。また、各画素電極 P I T の幅は、 $200\mu m$ 以下であるとよく、より好ましくは、 $100\mu m$ 以下である。これにより、複数の画素電極 P I T の一つに不具合が発生して画素欠陥が生じたとしても、画素欠陥を目立たなくすることができる。

【0046】

また、7つのトランジスタ T R は、互いに同じ形状及び同じ大きさである。これにより、各トランジスタ T R のゲートソース間容量 C_{gs} 及びチャネル幅 W_{TFET} を容易に同じにすることができる。また、7つのトランジスタ T R の形状及び大きさを全て同じにすることで、画素 P I X に D C 電圧が残留して表示画像に残像 (D C 残像) が発生することを抑制できる。

【0047】

図3に示すように、映像信号線 S L (第1映像信号線 S L 1、第2映像信号線 S L 2) は、画素電極 P I T のライン電極 P I T L に沿って形成されている。つまり、第1映像信号線 S L 1 及び第2映像信号線 S L 2 は、いずれも屈曲部を有する略「く」の字状に形成されている。第1映像信号線 S L 1 及び第2映像信号線 S L 2 は、並行しており、隣接して形成されている。具体的には、第1映像信号線 S L 1 及び第2映像信号線 S L 2 は、平行に形成されている。なお、本実施の形態において、第1映像信号線 S L 1 及び第2映像信号線 S L 2 は、いずれも一定の幅で、互いに同じ幅であるが、これに限らない。

【0048】

また、図3及び図5に示すように、画素電極 P I T における複数のライン電極 P I T L の少なくとも一つは、第1映像信号線 S L 1 と第2映像信号線 S L 2 との間に存在している。

【0049】

例えば、行方向に隣り合う2つの画素 P I X のうちの一方の画素 P I X である第1画素 P I X 1 (図3の右側の画素 P I X) の画素電極 P I T を第1画素電極 P I T 1 とし、行方向に隣り合う2つの画素 P I X のうちの他方の画素 P I X である第2画素 P I X 2 (図3の左側の画素 P I X) の画素電極 P I T を第2画素電極 P I T 2 とすると、第2画素 P I X 2 の複数の第2画素電極 P I T 2 のうち最も第1画素 P I X 1 に近い第2画素電極 P I T 2 について、当該第2画素電極 P I T 2 を構成する複数のライン電極 P I T L のうち最も第1画素 P I X 1 に近いライン電極 P I T L が、第1映像信号線 S L 1 と第2映像信号線 S L 2 との間に存在している。

【0050】

さらに、第1映像信号線 S L 1 及び第2映像信号線 S L 2 は、一方が画素電極 P I T と重なっており、他方が画素電極 P I T と重なっていない。本実施の形態では、図3に示すように、平面視において、第1映像信号線 S L 1 は、第2画素 P I X 2 の第2画素電極 P I T 2 のライン電極 P I T L に重なっており、第2映像信号線 S L 2 は、第1画素 P I X 1 の第1画素電極 P I T 1 と第2画素 P I X 2 の第2画素電極 P I T 2 との間に位置している。

【0051】

具体的には、第1映像信号線 S L 1 は、第2画素 P I X 2 における複数の第2画素電極 P I T 2 のうち最も第1画素 P I X 1 に近い第2画素電極 P I T 2 のライン電極 P I T L

10

20

30

40

50

に重なっている。本実施の形態において、第1映像信号線SL1は、第2画素PIX2において第1画素PIX1に最も近い第2画素電極PIT2における11本のライン電極PITLのうち第1画素PIX1側から数えて2本目と3本目の2本のライン電極PITLに重なっている。なお、第1画素PIX1に最も近い第2画素電極PIT2における11本のライン電極PITLのうち第1画素PIX1側から数えて1本目のライン電極PITL（つまり、最も第1画素PIX1に近いライン電極PITL）は、第1映像信号線SL1と第2映像信号線SL2との間に位置している。

【0052】

一方、第2映像信号線SL2は、第1画素PIX1における複数の第1画素電極PIT1のうち最も第2画素PIX2に近い第1画素電極PIT1と、第2画素PIX2における複数の第2画素電極PIT2のうち最も第1画素PIX1に近い第2画素電極PIT2との間に位置している。具体的には、第2映像信号線SL2は、第1画素PIX1の第1画素電極PIT1における11本のライン電極PITLのうち最も第2画素電極PIT2に近いライン電極PITLと、第2画素PIX2の第2画素電極PIT2における11本のライン電極PITLのうち最も第1画素電極PIT1に近いライン電極PITLとの間に位置している。

10

【0053】

図4に示すように、各画素PIXには、映像信号線SLのデータ電圧を複数のトランジスタTRの各々に供給するために、映像信号線SLと各画素PIX内の複数のトランジスタTRとを接続するリード線LDLが設けられている。リード線LDLは、ソース電極S及びドレイン電極Dと同層に形成されている。つまり、リード線LDLとソース電極S及びドレイン電極Dとは、同じ金属膜をパターニングすることによって形成される。

20

【0054】

リード線LDLは、映像信号線SLから行方向に延在する共通リード線LDLCと、共通リード線LDLCと各画素PIX内の複数のトランジスタTRの各々のドレイン電極Dと接続された複数の第1個別リード線LDL1とを有する。

【0055】

共通リード線LDLCは、映像信号線SLから引き出された引き出し線である。共通リード線LDLCは、共通電極MITの開口部OPNと重なる位置に形成されており、平面視において、走査線GLと重なっていない。本実施の形態において、共通リード線LDLCは、他のどの導電部材とも重なっていない。これにより、共通リード線LDLCと走査線GL等の配線との間で生じる寄生容量を低減することができる。なお、共通リード線LDLCは、第2基板SUB2の遮光層BMと重なっている。

30

【0056】

第1個別リード線LDL1は、画素PIX内の複数のトランジスタTRごとに形成されている。本実施の形態では、1つの画素PIXに7つのトランジスタTRが設けられているので、第1個別リード線LDL1も7つ形成されている。第1個別リード線LDL1は、各トランジスタTRに向かって共通リード線LDLCから列方向に延在するように形成されている。

【0057】

また、各画素PIXには、複数の画素電極PITの各々と複数のトランジスタTRの各々のソース電極Sとを接続する複数の第2個別リード線LDL2が設けられている。第2個別リード線LDL2は、画素電極PITと同層に形成されている。つまり、第2個別リード線LDL2と画素電極PITとは、同じ透明導電膜をパターニングすることによって形成される。

40

【0058】

第2個別リード線LDL2は、画素PIX内の複数のトランジスタTRごとに形成されている。本実施の形態では、1つの画素PIXに7つのトランジスタTRが設けられているので、第2個別リード線LDL2も7つ形成されている。第2個別リード線LDL2は、各トランジスタTRに向かって画素電極PITから列方向に延在するように形成されて

50

いる。具体的には、第２個別リード線LDL2は、画素電極PITの連結電極PITCの中央部から引き出された引き出し配線である。

【0059】

各トランジスタTRに接続される第１個別リード線LDL1及び第２個別リード線LDL2は、画素PIXに画素欠陥が生じた場合に、画素PIXを修復させるときに利用することができる。画素欠陥は、導電性異物が混入して画素電極PITと共通電極MITとが短絡したりトランジスタTRの電極間が短絡したりして発生する。このような画素欠陥が発生した場合、共通電極MITと短絡した異常状態の画素電極PIT又は電極間が短絡した異常状態のトランジスタTRを、正常な画素電極又は正常なトランジスタTRと分離するために、第１個別リード線LDL1及び第２個別リード線LDL2を切断する。

10

【0060】

例えば、画素電極PITと共通電極MITとが短絡した場合、まず、画素PIXの欠陥検査によって共通電極MITと短絡した異常状態の画素電極PITを特定し、短絡した画素電極PITに対応するトランジスタTRに接続される第１個別リード線LDL1の一部をレーザ光によって切断する。次に、短絡した画素電極PITに接続される第２個別リード線LDL2の一部をレーザ光によって切断する。これにより、短絡した画素電極PITに接続されていたトランジスタTRを電氣的に浮いた状態（フローティング状態）にすることができ、短絡した画素電極PITと正常な画素電極PITとを分離することができる。

【0061】

20

また、トランジスタTRの電極間が短絡した場合についても同様に、まず、画素PIXの欠陥検査によって電極間が短絡した異常状態のトランジスタTRを特定し、異常状態のトランジスタTRに接続される第１個別リード線LDL1の一部をレーザ光によって切断する。次に、異常状態のトランジスタTRに対応する画素電極PITに接続される第２個別リード線LDL2の一部をレーザ光によって切断する。これにより、異常状態のトランジスタTRを電氣的に浮いた状態にして、異常状態のトランジスタTRとこれに接続される画素電極PIT及び他のトランジスタTRとを分離することができる。

【0062】

このように、第１個別リード線LDL1の一部又は第２個別リード線LDL2の一部を個別に切断することで、異常状態の画素電極PIT又は異常状態のトランジスタTRを個別に分離することができる。

30

【0063】

なお、第１個別リード線LDL1の少なくとも一部は、平面視において、他の導電部材と重なっていない方がよい。具体的には、第１個別リード線LDL1における共通リード線LDLC側の根元部分が他のどの導電部材とも重なっていない。

【0064】

また、第２個別リード線LDL2の少なくとも一部は、平面視において、他の導電部材と重なっていない方がよい。具体的には、第２個別リード線LDL2における画素電極PIT側の根元部分が他のどの導電部材とも重なっていない。

【0065】

40

これにより、異常状態のトランジスタTR又は異常状態の画素電極PITを分離するために第１個別リード線LDL1又は第２個別リード線LDL2の根元部分をレーザ光で切断する際に、他の導電部材までもレーザ光によって切断してしまうことを回避することができる。

【0066】

次に、液晶表示パネルLCPの断面構造を中心に説明する。

【0067】

図５～図７に示すように、液晶表示パネルLCPは、第１基板SUB1と、第１基板SUB1に対向する第２基板SUB2と、第１基板SUB1と第２基板SUB2との間に配置された液晶層LCLとを備えている。本実施の形態において、第１基板SUB1がバッ

50

クライト B L 側に位置し、第 2 基板 S U B 2 が観察者側に位置する。液晶層 L C L は、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間に封止されている。

【0068】

第 1 基板 S U B 1 は、トランジスタ T R として T F T を有する T F T 基板である。また、第 1 基板 S U B 1 には、トランジスタ T R だけではなく、映像信号線 S L 及び走査線 G L 等の各種配線、これらの配線間を絶縁する層間絶縁膜、画素電極 P I T、共通電極 M I T 及び配向膜 P I 等が設けられている。これらは、第 1 透明基材 T S U B 1 に形成される。第 1 透明基材 T S U B 1 は、例えば、ガラス基板等の透明基板である。

【0069】

第 1 透明基材 T S U B 1 に形成されたトランジスタ T R は、ゲート電極 G と、ソース電極 S と、ドレイン電極 D と、チャンネル層となる半導体層 S C とによって構成されている。本実施の形態において、トランジスタ T R は、ボトムゲート構造の T F T であり、第 1 透明基材 T S U B 1 の上に形成されたゲート電極 G と、ゲート電極 G の上に形成されたゲート絶縁層 G I と、ゲート絶縁層 G I を介してゲート電極 G の上方に形成された半導体層 S C とを備える。ソース電極 S 及びドレイン電極 D は、半導体層 S C の上に形成されている。

【0070】

ゲート電極 G は、例えば、下層のモリブデン膜（例えば 10 nm）と上層の銅膜（例えば 300 nm）との 2 層構造からなる金属膜によって構成されている。ゲート絶縁層 G I は、例えば、窒化シリコン膜（例えば 390 nm）によって構成されている。半導体層 S C は、例えば、下層の i -アモルファスシリコン膜（例えば 155 nm）と上層の n -アモルファスシリコン膜（例えば 25 nm）との 2 層構造からなる半導体膜によって構成されている。ソース電極 S 及びドレイン電極 D は、例えば、下層のモリブデン膜（例えば 20 nm）と上層の銅膜（例えば 300 nm）との 2 層構造からなる金属膜によって構成されている。

【0071】

なお、ゲート電極 G、ソース電極 S、ドレイン電極 D、半導体層 S C 及びゲート絶縁層 G I の材料は、これらに限定されるものではない。例えば、半導体層 S C の材料としては、I n -G a -Z n -O 系酸化物半導体等を用いてもよい。また、ゲート電極 G、ソース電極 S、ドレイン電極 D 及び半導体層 S C は、2 層で構成されるものに限らず、単層で構成されていてもよいし、3 層以上で構成されていてもよい。また、ゲート絶縁層 G I も、単層で構成されるものに限らず、2 層以上で構成されていてもよい。

【0072】

また、図 5 ～図 7 に示すように、第 1 基板 S U B 1 には、走査線 G L 及び映像信号線 S L が形成されている。走査線 G L は、ゲート電極 G と同層に形成されている。つまり、走査線 G L とゲート電極 G とは、同じ金属膜をパターニングすることによって形成される。一方、映像信号線 S L は、ソース電極 S 及びドレイン電極 D と同層に形成されている。つまり、映像信号線 S L とソース電極 S 及びドレイン電極 D とは、同じ金属膜をパターニングすることによって形成される。なお、図 4 に示すように、本実施の形態において、トランジスタ T R のドレイン電極 D は、映像信号線 S L に接続されており、トランジスタ T R のソース電極 S は、画素電極 P I T に接続されている。

【0073】

図 4 及び図 7 に示すように、第 1 基板 S U B 1 には、遮光体 S L D が設けられている。図 4 に示すように、遮光体 S L D は、平面視において、トランジスタ T R を囲むように形成されている。図 7 に示すように、本実施の形態において、遮光体 S L D は、半導体層 S C と同層に形成されている。つまり、遮光体 S L D と半導体層 S C は、同じ半導体膜をパターニングすることによって形成される。したがって、遮光体 S L D は、光を吸収するアモルファスシリコン膜によって構成されているので光吸収層として機能する。つまり、遮光体 S L D は、光を吸収することで遮光する。このように、トランジスタ T R の周囲に遮光体 S L D を設けることで、光が入射することでトランジスタ T R の特性が変化すること

を抑制することができる。

【0074】

図5～図7に示すように、第1透明基材TSUB1の上には、トランジスタTR、走査線GL（第1走査線GL1、第2走査線GL2）及び映像信号線SL（第1映像信号線SL1、第2映像信号線SL2）を覆うように、第1絶縁膜PASが形成されている。第1絶縁膜PASは、例えば、窒化シリコン膜等の無機材料からなる無機絶縁膜（例えば200nm）によって構成されている。無機絶縁膜である第1絶縁膜PASは、例えばCVD法によって成膜することができる。

【0075】

さらに、第1絶縁膜PASを覆うように第2絶縁膜OPASが形成されている。本実施の形態において、第2絶縁膜OPASの厚さは、第1絶縁膜PASの厚さよりも厚い。具体的には、第2絶縁膜OPASの厚さは、第1絶縁膜PASの厚さの10倍以上であり、一例として、3000nmである。これにより、走査線GL及び映像信号線SL等の配線と共通電極MITとの間の厚み方向の距離を大きくすることができるので、走査線GL及び映像信号線SL等の配線と共通電極MITとで形成される寄生容量を軽減することができる。しかも、第2絶縁膜OPASを厚くすることで、トランジスタTR、走査線GL及び映像信号線SLを形成することで生じるTF T層の凹凸差を軽減してTF T層を平坦化することができる。これにより、表面が平坦化された第2絶縁膜OPASを形成することができるので、第2絶縁膜OPASの直上の共通電極MITを平坦な平面状に形成することができる。

【0076】

本実施の形態において、第2絶縁膜OPASは、炭素を含む有機材料からなる有機絶縁膜によって構成されている。有機絶縁膜である第2絶縁膜OPASは、例えば液状の有機材料を塗布して硬化することによって形成することができる。これにより、第2絶縁膜OPASを容易に厚膜化することができるので、全ての画素PIXにわたって第2絶縁膜OPASの表面を容易に平坦にすることができる。つまり、第2絶縁膜OPASは、平坦化層として機能している。

【0077】

また、第1基板SUB1には、共通電極MIT及び画素電極PITが形成されている。具体的には、共通電極MIT及び画素電極PITは、第3絶縁膜UPSを介して対向して積層されている。

【0078】

本実施の形態において、共通電極MITは、第2絶縁膜OPASの上に形成されている。そして、共通電極MITを覆うように第3絶縁膜UPSが形成され、第3絶縁膜UPSの上に画素電極PITが所定形状で形成されている。共通電極MIT及び画素電極PITは、例えば、インジウム錫酸化物（ITO：Indium Tin Oxide）等の透明金属酸化物によって構成された透明電極である。また、第3絶縁膜UPSは、例えば、窒化シリコン膜等の無機絶縁膜（例えば600nm）によって構成されている。無機絶縁膜である第3絶縁膜UPSは、例えばCVD法によって成膜することができる。

【0079】

上述のように、共通電極MITは、全ての画素PIXにわたって形成された平面状のべた電極である。これにより、走査線GL（第1走査線GL1、第2走査線GL2）、映像信号線SL（第1映像信号線SL1、第2映像信号線SL2）等の配線が共通電極MITによって覆われるので、走査線GL及び映像信号線SL等の配線で発生する電界を共通電極MITによって遮蔽することができる。つまり、TF T層で発生する電界を共通電極MITによってシールドすることができる。したがって、共通電極MITの上に形成する画素電極PITの形状及び大きさの設計の自由度が向上するので、画素PIXの光透過率及び開口率を容易に向上させることができる。

【0080】

なお、共通電極MITは薄膜平面状のべた電極であるが、図4及び図8に示すように、

10

20

30

40

50

共通電極MITにおける走査線GLの上には、行方向に沿って延在する開口部OPNが形成されている。図8は、トランジスタTR周辺の共通電極MITの形状を示す図であり、図4の破線で囲まれる領域に対応している。また、図8では、共通電極MITが存在する箇所を示すために、共通電極MITには便宜上ハッチングを施している。

【0081】

また、画素電極PITは、上述のように、1つの画素PIXに複数設けられており、各画素電極PITは、列方向に延在する複数本のライン電極PITLを有する。各画素PIXでは、画素電極PITと共通電極MITとによって画素容量 C_{PIX} が生成される。なお、共通電極MITの開口部OPNには、図6及び図7に示すように、第1絶縁膜PAS、第2絶縁膜OPAS及び第3絶縁膜UPSの3層構造の絶縁層ILを貫通するコンタクトホールCHが設けられている。

10

【0082】

第1絶縁膜PAS、第2絶縁膜OPAS及び第3絶縁膜UPSの3層構造の絶縁層ILは、全ての画素PIXにわたって形成されており、各画素PIXにおける複数のトランジスタTRと複数の画素電極PITとの間に設けられている。したがって、各画素PIXにおいて、絶縁層ILには、トランジスタTR及び画素電極PITの数と同数の複数のコンタクトホールCHが形成されている。

【0083】

そして、各画素PIXにおいて、複数のトランジスタTRの各々と複数の画素電極PITの各々とは複数のコンタクトホールCHの各々を介して電氣的に接続されている。具体的には、各画素電極PITは、コンタクトホールCHを介してトランジスタTRのソース電極Sに接続されている。

20

【0084】

図4及び図7に示すように、本実施の形態において、コンタクトホールCHは、画素電極PITとトランジスタTRのソース電極Sとが電氣的に接続される部分であるコンタクト部CH1と、コンタクト部CH1から延伸する部分である延伸部CH2とを有する。具体的には、コンタクト部CH1では、画素電極PITから引き出された第2個別リード線LDL2がトランジスタTRのソース電極Sと接続されている。

【0085】

延伸部CH2は、平面視において画素電極PITと重なっておらず、コンタクトホールCHが形成された画素PIX内において、画素電極PIT側とは反対側の方向に延伸している。また、図9に示すように、延伸部CH2の幅W2は、コンタクト部CH1の幅W1よりも狭くなっている。図9は、図4の破線で囲まれる領域IXの拡大図である。ただし、図9において、半導体層SC、半導体層SCと同層に形成される層、及び、画素電極PITは、図示されていない。

30

【0086】

図4及び図9に示すように、本実施の形態では、コンタクトホールCH全体が共通電極MITの開口部OPNに形成されている。このため、コンタクト部CH1が共通電極MITと重なっていないだけでなく、延伸部CH2も共通電極MITと重なっていない。延伸部CH2は、平面視において、トランジスタTRのドレイン電極Dと重なっている。

40

【0087】

また、図3～図5に示すように、行方向に隣り合う2つの画素PIXの境界部ごとに、列方向に延在するコモン線（縦コモン）CMTが設けられている。コモン線CMTは、共通電極MITの直上に設けられている。つまり、コモン線CMTは、共通電極MITに接触して共通電極MITに積層されている。コモン線CMTは、例えば、銅膜（例えば300nm）からなる金属膜によって構成されている。このように、共通電極MITに金属膜からなるコモン線CMTを積層することによって共通電極MITの時定数を下げることができる。

【0088】

図3に示すように、コモン線CMTは、映像信号線SLに沿って形成されている。つま

50

り、コモン線CMTは、屈曲部を有する略「く」の字状に形成されている。コモン線CMTは、平面視において、第1映像信号線SL1又は第2映像信号線SL2に重なっている。具体的には、コモン線CMTは、第1映像信号線SL1に重なっている。

【0089】

また、コモン線CMTの幅は、第1映像信号線SL1の幅よりも狭くなっており、平面視において、コモン線CMTは、第1映像信号線SL1からはみ出さないように形成されているが、これに限らない。例えば、共通電極MITの時定数をより下げるためにコモン線CMTの幅を大きくし、コモン線CMTを第1映像信号線SL1と第2映像信号線SL2とに跨るように形成してもよい。

【0090】

また、図4及び図7に示すように、複数の画素電極PITの各々と共通電極MITとの厚み方向の間には、金属電極METが設けられている。金属電極METは、コモン線CMTと同層に形成されている。つまり、金属電極METとコモン線CMTとは、同じ金属膜をパターンニングすることによって形成される。金属電極METは、コモン線CMTと同層であるので共通電極MITの直上に形成されており、図7に示すように、断面視において、第3絶縁膜UPSを介して画素電極PITと対向している。具体的には、金属電極METは、画素電極PITごとに形成されており、厚み方向において、各画素電極PITの連結電極PITCと対向している。つまり、金属電極METは、画素電極PITの下方に形成されている。

【0091】

金属電極METは、画素PIXに画素欠陥が生じた場合に、黒点化により画素PIXを修復させるときに利用することができる。例えば、トランジスタTRの電極間が短絡して画素欠陥が発生した場合、上記のように、まず、異常状態のトランジスタTRに接続される第1個別リード線LDL1の一部をレーザ光によって切断し、次に、異常状態のトランジスタTRに対応する画素電極PITに接続される第2個別リード線LDL2の一部をレーザ光によって切断する。これにより、異常状態のトランジスタTRを電氣的に浮いた状態にして、異常状態のトランジスタTRを分離することができる。この場合、画素電極PITも電氣的に浮いた状態になってしまうが、電氣的に浮いた状態の画素電極PITに意図しない信号（電荷）が乗ると、画像品位が低下する。そこで、電氣的に浮いた状態の画素電極PITに意図しない信号が乗らないように、画素電極PITと共通電極MITとを意図的に短絡するとよい。このとき、有色である金属電極METを用いることで、画素電極PITと共通電極MITとを容易に短絡することができる。具体的には、欠陥検査によって異常状態のトランジスタTRを特定し、この異常状態のトランジスタTRに接続される画素電極PITに対応する金属電極METの形成領域にレーザ光を照射する。これにより、金属電極METの上方に位置する画素電極PITを共通電極MITに落とすことができるので、画素電極PITと共通電極MITとを容易に短絡させることができる。

【0092】

図5～図7に示すように、画素電極PITの上には配向膜PIが形成されている。配向膜PIは、第1透明基材TSUB1の上方において、画素電極PITを覆うように全ての画素PIXにわたって形成されている。配向膜PIは、液晶層LCLに接しており、液晶層LCLの液晶分子の初期配向角度を制御する。本実施の形態では、液晶分子の初期配向角度を一定方向に揃えるために、配向膜PIにはラビング処理が施されている。

【0093】

図7及び図9に示すように、画素電極PITとトランジスタTRのソース電極Sとを接続するためのコンタクトホールCHの近傍における絶縁層ILの上には、島状の積層膜STFが形成されている。

【0094】

このように、コンタクトホールCHの近傍における絶縁層ILの上に島状の積層膜STFを形成することで、絶縁層ILの上に液状の配向膜材料を塗布したときに、積層膜STFによって配向膜材料を濡れ広がらせることができる。これにより、絶縁層ILのコンタ

10

20

30

40

50

クトホールCHの縁で配向膜材料が留まってしまふことを抑制することができるとともに、配向膜材料をコンタクトホールCH内にまでに容易に導入することができる。したがって、絶縁層ILの上に均一な膜厚の配向膜PIを形成することができるとともに、コンタクトホールCH内にまで配向膜PIを形成することができる。この結果、画像品位が低下することを抑制できる。

【0095】

本実施の形態において、積層膜STFは、コンタクトホールCHの延伸部CH2の先端部の近傍において、第2絶縁膜OPASの上に形成されている。具体的には、積層膜STFは、第2絶縁膜OPASと第3絶縁膜UPSとの間に形成されている。

【0096】

また、図4に示すように、積層膜STFは、走査線GLの上方に形成されている。つまり、積層膜STFは、平面視において、走査線GLに重なっている。積層膜STFは、トランジスタTRの数と同じ数だけ形成されている。本実施の形態において、積層膜STFは、7つ形成されている。7つの積層膜STFは、走査線GLに沿って一列で形成されている。なお、映像信号線SLとトランジスタTRとを接続するリード線LDLの第1個別リード線LDL1は、隣り合う2つの積層膜STFの間に設けられている。

【0097】

図7に示すように、各積層膜STFは、第1の膜STF1と、第1の膜STF1の上に積層された第2の膜STF2とを有する。本実施の形態において、積層膜STFは、第1の膜STF1と第2の膜STF2との2層構造である。

【0098】

第1の膜STF1は、共通電極MITと同層に形成されている。つまり、第1の膜STF1と共通電極MITとは、同じ透明導電膜をパターンングすることによって形成される。したがって、本実施の形態において、第1の膜STF1は、共通電極MITと同じITO膜である。図4に示すように、一例として、第1の膜STF1は、共通電極MITと間隔を空けて設けられた島状の膜である。第1の膜STF1の平面視形状は、行方向を長手方向とする矩形形状である。

【0099】

第2の膜STF2は、コモン線CMTと同層に形成されている。つまり、第2の膜STF2とコモン線CMTとは、同じ金属膜をパターンングすることによって形成される。したがって、本実施の形態において、第2の膜STF2は、コモン線CMTと同じ銅膜である。図4に示すように、一例として、第2の膜STF2は、コモン線CMTと間隔を空けて設けられた島状の膜である。第2の膜STF2の平面視形状は、行方向を長手方向とする矩形形状である。

【0100】

なお、積層膜STFは、共通電極MIT及びコモン線CMTと同じ材料によって構成されているが、島状に形成されているので、電気的には浮いた状態になっている。これにより、コンタクトホールCHからの距離が長いコモン線CMTの一部を引き回して積層膜STFを形成する場合と比べて、配線間による寄生容量が発生することを防止できる。

【0101】

図8及び図9に示すように、平面視において、下層の第1の膜STF1は、上層の第2の膜STF2よりも大きくなっている。これにより、積層膜STFの端部は階段状になっている。つまり、図7に示すように、第1の膜STF1は、当該第1の膜STF1の端部が第2の膜STF2の端部からはみ出している部分であるはみ出し部（階段部）STPを有する。はみ出し部STPは、第1の膜STF1のコンタクトホールCH側に設けられている。また、はみ出し部STPは、第1の膜STF1のコンタクトホールCH側とは反対側にも設けられている。つまり、第1の膜STF1は、コンタクトホールCH側の端部とコンタクトホールCH側とは反対側の端部との両端部にはみ出し部STPを有する。本実施の形態では、第1の膜STF1の端部の全周が第2の膜STF2の端部からはみ出ししており、第1の膜STF1の全周端部がはみ出し部STPとなっている。つまり、積層膜S

10

20

30

40

50

T F の全周端部が階段状に形成されている。

【0102】

なお、図9に示すように、第1の膜STF1の端部と延伸部CH2までの距離d1（第1の膜STF1の端部から第2絶縁膜OPASのはみ出し量）を $0.5\mu\text{m}$ とし、第2の膜STF2の端部と延伸部CH2までの距離d2（第2の膜STF2の端部から第2絶縁膜OPASのはみ出し量）を $1.0\mu\text{m}$ としている。

【0103】

図5～図7に示すように、観察者側の第2基板SUB2は、第1基板SUB1に対向する対向基板である。第2基板SUB2は、第2透明基材TSUB2と、第2透明基材TSUB2に形成された遮光層BMとを有する。第2透明基材TSUB2は、第1透明基材TSUB1と同様に、例えば、ガラス基板等の透明基板である。

10

【0104】

遮光層BMは、黒色層であり、例えばカーボンブラックによって構成されている。遮光層BMは、第2透明基材TSUB2の液晶層LCL側の面に形成される。本実施の形態において、遮光層BMは、列方向に隣り合う2つの画素PIXの境界部ごとに形成されている。具体的には、図4及び図6に示すように、遮光層BMは、第1基板SUB1における各走査線GLを覆うように複数形成されている。つまり、平面視において、各遮光層BMは、各走査線GLに重なっている。各遮光層BMは、帯状であり、一定の幅で行方向に沿ってライン状に形成されている。

【0105】

20

遮光層BMの幅は、走査線GLの幅よりも大きくなっており、走査線GLは遮光層BMからはみ出さないように形成されている。なお、遮光層BMは、各画素PIXに形成されたリード線LDLも覆っている。

【0106】

遮光層BMを形成することによって、遮光層BMによって外光等の光を遮光することができる。これにより、リード線LDL及び走査線GLの表面で外光等の光が反射して画像品位が低下することを抑制できる。

【0107】

本実施の形態において、行方向に隣り合う2つの画素PIXの境界部には遮光層BMが形成されていない。つまり、第1映像信号線SL1及び第2映像信号線SL2が延在する方向に沿った遮光層BMは形成されていない。したがって、第1映像信号線SL1及び第2映像信号線SL2の間に存在するライン電極PITLは、遮光層BMで覆われていない。

30

【0108】

また、液晶表示パネルLCPがカラー画像を表示する場合、第2基板SUB2は、カラーフィルタを有するカラーフィルタ基板となる。この場合、例えば、各画素PIXに対応して、赤色カラーフィルタ、青色カラーフィルタ及び緑色カラーフィルタのいずれかのカラーフィルタが形成される。カラーフィルタは、遮光層BMの間の領域（つまり遮光層BMの開口部OPN）に形成される。一方、液晶表示パネルLCPがモノクロ画像を表示する場合は、第2基板SUB2にはカラーフィルタが形成されない。

40

【0109】

図4に示すように、第2基板SUB2には、第1スペーサPS1及び第2スペーサPS2が設けられている。ここで、図10及び図11を用いて、第1スペーサPS1及び第2スペーサPS2とこれらに対向する第1積層構造体STS1及び第2積層構造体STS2とを説明する。図10は、図4のX-X線における実施の形態1に係る液晶表示パネルLCPの断面図であり、図11は、図4のXI-XI線における同液晶表示パネルLCPの断面図である。

【0110】

図10及び図11に示すように、第1スペーサPS1及び第2スペーサPS2は、第2基板SUB2から第1基板SUB1に向かって突出するように形成されている。第1スペ

50

ーサ P S 1 及び第 2 スペーサ P S 2 は、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間隔（セルギャップ）を一定に維持するための柱状のスペーサである。つまり、第 1 スペーサ P S 1 及び第 2 スペーサ P S 2 によって、液晶層 L C L の厚みを一定に維持することができる。本実施の形態において、第 1 スペーサ P S 1 及び第 2 スペーサ P S 2 は、円柱台形状であり、上端部及び下端部の平面視形状は円形である。

【0111】

第 1 スペーサ P S 1 及び第 2 スペーサ P S 2 は、アクリル樹脂等の樹脂材料によって構成されており、弾性変形することができる。第 1 スペーサ P S 1 及び第 2 スペーサ P S 2 は、例えばフォトリソグラフィ等によって形成することができる。

【0112】

本実施の形態において、第 1 スペーサ P S 1 の高さ第 2 スペーサ P S 2 の高さが異なっている。具体的には、第 2 スペーサ P S 2 の高さが第 1 スペーサ P S 1 の高さよりも高くなっている。また、図 4 に示すように、第 1 スペーサ P S 1 の先端部の平面視における面積は、第 2 スペーサの先端部の平面視における面積よりも大きい。このように、高さ及び形状が異なる第 1 スペーサ P S 1 及び第 2 スペーサ P S 2 は、ハーフトーンマスク又は 2 回のマスクによって形成することができる。

【0113】

図 1 1 に示すように、第 2 スペーサ P S 2 は、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間隔を規定するメインスペーサであり、先端部が第 1 基板 S U B 1 に接触している。第 2 スペーサ P S 2 は、第 1 基板 S U B 1 及び第 2 基板 S U B 2 を常時支持しており、液晶表示パネル L C P の厚み方向に押圧が付与されていないときでも、第 2 スペーサ P S 2 の先端部は、第 1 基板 S U B 1 に接触している。本実施の形態において、第 2 スペーサ P S 2 の先端部は、第 1 基板 S U B 1 の最上層である配向膜 P I に接触している。なお、第 2 スペーサ P S 2 は弾性変形することができるので、第 1 基板 S U B 1 の表面に凹凸が存在してセルギャップ変動が生じていたとしても、図 1 1 に示すように、第 2 スペーサ P S 2 の先端部は第 1 基板 S U B 1 の表面の凹凸に追従して変形することができる。

【0114】

一方、図 1 0 に示すように、第 1 スペーサ P S 1 は、サブスペーサであり、液晶表示パネル L C P の厚み方向に押圧が付与されていないときには、先端部が第 1 基板 S U B 1 に接触していないが、液晶表示パネル L C P の厚み方向に押圧が付与されたときには、先端部が第 1 基板 S U B 1 に接触する。これにより、製造工程中又は環境温度変化等によって第 2 スペーサ P S 2 に横ずれが生じたり液晶表示パネル L C P の厚み方向に押圧が付与されたりした場合であっても、第 1 基板 S U B 1 及び第 2 基板 S U B 2 を補助的に支持することができるので、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間隔を容易に一定に維持することができる。なお、第 1 スペーサ P S 1 も弾性変形することができるので、第 1 基板 S U B 1 の表面に凹凸が存在してセルギャップ変動が生じていたとしても、第 1 スペーサ P S 1 が第 1 基板 S U B 1 に接触したときに、第 1 スペーサ P S 1 の先端部は、第 1 基板 S U B 1 の表面の凹凸に追従して変形することができる。

【0115】

複数の画素 P I X の全域において、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間隔を一定に維持するために、第 1 スペーサ P S 1 及び第 2 スペーサ P S 2 は、複数の画素 P I X の全域にわたって複数配置されている。本実施の形態において、複数の画素 P I X を 1 ブロックとして全画素を複数のブロックに分割したときに、第 1 スペーサ P S 1 及び第 2 スペーサ P S 2 は、1 ブロックを繰り返し単位として各ブロックに配置されている。具体的には、第 2 スペーサ P S 2（メインスペーサ）は、1 ブロックあたり数個配置され、第 1 スペーサ P S 1（サブスペーサ）は、各画素 P I X に複数配置されている。一例として、3×2 画素を 1 ブロックとすると、図 4 に示すように、1 ブロックには第 2 スペーサ P S 2 が 4 個配置され、各画素 P I X には第 1 スペーサ P S 1 が 6 個（1 ブロックあたり 3 6 個）配置されている。

【0116】

図4に示すように、第1スペーサP S 1及び第2スペーサP S 2は、列方向に隣り合う2つの画素P I Xの境界部に設けられている。具体的には、第1スペーサP S 1及び第2スペーサP S 2は、遮光層B Mの上に形成されている。つまり、第1スペーサP S 1及び第2スペーサP S 2は、平面視において、遮光層B M及び走査線G Lと重なっている。

【0117】

第1スペーサP S 1は、各画素P I Xにおいて、複数のトランジスタT Rのうち隣り合う2つのトランジスタの間に位置している。本実施の形態では、第1スペーサP S 1の一部は、平面視において、隣り合う2つのトランジスタT Rの一部に重なっているが、第1スペーサP S 1は、隣り合う2つのトランジスタT Rと重なってなくてもよい。

【0118】

第2スペーサP S 2は、平面視において、映像信号線S Lと重なっている。具体的には、第2スペーサP S 2は、第1映像信号線S L 1及び第2映像信号線S L 2のうち第1映像信号線S L 1と重なっている。さらに、第2スペーサP S 2は、コモン線C M Tにも重なっている。

【0119】

図10に示すように、第1基板S U B 1には、第1積層構造体S T S 1が設けられている。第1積層構造体S T S 1は、第2基板S U B 2に設けられた第1スペーサP S 1に対向する位置に設けられている。第1積層構造体S T S 1は、第1スペーサP S 1の台座として機能する。

【0120】

第1積層構造体S T S 1は、第1基板S U B 1を構成する部材によって形成されている。本実施の形態において、第1積層構造体S T S 1は、トランジスタT Rを構成する部材によって形成されており、トランジスタT Rのゲート電極Gと同層に形成された第1の膜S T S 1 1と、半導体層S C及びソースドレイン電極の一方と同層に形成された第2の膜S T S 1 2と、半導体層S C及びソースドレイン電極の他方と同層に形成された第3の膜S T S 1 3とを有する。本実施の形態において、第1の膜S T S 1 1、第2の膜S T S 1 2及び第3の膜S T S 1 3は、この順で下から上に積層されている。

【0121】

具体的には、第1積層構造体S T S 1は、ゲート電極Gと同層に形成された最下層の第1の膜S T S 1 1と、半導体層S Cと同層に形成された中間層の第2の膜S T S 1 2と、ソース電極S及びドレイン電極Dと同層に形成された最上層の第3の膜S T S 1 3との3層構造によって構成されている。

【0122】

また、図11に示すように、第1基板S U B 1には、第2積層構造体S T S 2が設けられている。第2積層構造体S T S 2は、第2基板S U B 2に設けられた第2スペーサP S 2に対向する位置に設けられている。第2積層構造体S T S 2は、第2スペーサP S 2の台座として機能する。

【0123】

第2積層構造体S T S 2は、第1積層構造体S T S 1と同様に、第1基板S U B 1を構成する部材（本実施の形態では、トランジスタT Rを構成する部材）によって形成されているが、第1積層構造体S T S 1の積層構造と同じ積層構造に、さらに配線が積層された構造を有する。本実施の形態において、第2積層構造体S T S 2は、第1積層構造体S T S 1の積層構造と同じ積層構造に、さらに配線としてコモン線C M Tが積層された構造となっている。

【0124】

具体的には、第2積層構造体S T S 2は、トランジスタT Rのゲート電極Gと同層に形成された第1の膜S T S 2 1と、半導体層S C及びソースドレイン電極の一方と同層に形成された第2の膜S T S 2 2と、半導体層S C及びソースドレイン電極の他方と同層に形成された第3の膜S T S 2 3とを有する。第2積層構造体S T S 2は、さらに、共通電極M I Tと同層に形成された第4の膜S T S 2 4と、コモン線C M Tと同層に形成された第

10

20

30

40

50

5の膜STS25とを有する。本実施の形態において、第1の膜STS21、第2の膜STS22、第3の膜STS23、第4の膜STS24及び第5の膜STS25は、この順で下から上に積層されている。

【0125】

より具体的には、第2積層構造体STS2は、ゲート電極Gと同層に形成された最下層の第1の膜STS21と、半導体層SCと同層に形成された第1中間層の第2の膜STS22と、ソース電極S及びドレイン電極Dと同層に形成された第2中間層の第3の膜STS23と、共通電極MITの一部である第3中間層の第4の膜STS24と、コモン線CMTの一部である最上層の第5の膜STS25との5層構造によって構成されている。

【0126】

なお、第2積層構造体STS2において、第4の膜STS24及び第5のSTS25は、いずれか一方であってもよい。また、第4の膜STS24は、共通電極MITと分離されていてもよいし、第5の膜STS25もコモン線CMTと分離されていてもよい。

【0127】

また、第1積層構造体STS1には、共通電極MITと同層の膜及びコモン線CMTと同層の膜が設けられていない。つまり、第2積層構造体STS2は、第1積層構造体STS1に対して、第4の膜STS24及び第5の膜STS25の分だけ高さが高くなっている。

【0128】

このように構成される液晶表示パネルLCPには、一对の偏光板（不図示）が貼り合わされている。例えば、一对の偏光板の一方が第1基板SUB1の外面に形成され、一对の偏光板の他方が第2基板SUB2の外面に形成される。一对の偏光板は、偏光方向が互いに直交するように配置されている。また、一对の偏光板には、位相差板が貼り合わされていてもよい。

【0129】

以上説明したように、本実施の形態に係る液晶表示パネルLCPによれば、図4に示すように、行方向に隣り合う2つの画素PIXの境界部ごとに一对の第1映像信号線SL1及び第2映像信号線SL2が設けられており、画素電極PITの少なくとも一部が第1映像信号線SL1と第2映像信号線SL2との間に存在している。具体的には、画素電極PITにおける複数本のライン電極PITLの少なくとも一つが第1映像信号線SL1と第2映像信号線SL2との間に存在している。

【0130】

このように、第1映像信号線SL1と第2映像信号線SL2と間のスペースを利用して画素電極PITを配置することにより、画素電極PITの設計の自由度が大きくなる。これにより、所望の画素容量C_{PIX}を容易に実現することができるので、画像品位を向上させることができる。

【0131】

特に、本実施の形態では、1つの画素PIX内に、複数の画素電極PIT及び複数のトランジスタTRが形成されている。この場合、複数の画素電極PITの中に、ライン電極PITLの本数が異なる画素電極PITが含まれていると、他の画素電極PITに対して画素容量C_{PIX}が異なる画素電極PITが存在してしまう可能性があるが、第1映像信号線SL1と第2映像信号線SL2と間のスペースを利用してライン電極PITLを配置することで、全ての画素電極PITについて、ライン電極PITLで生成される画素容量C_{PIX}の差を容易に小さくすることができる。例えば、全ての画素電極PITの画素容量C_{PIX}を容易に同じにすることもできる。また、第1映像信号線SL1及び第2映像信号線SL2の間に形成されたライン電極PITLを利用することで、複数の画素電極PITのうち形状がいびつになりがちな端部の画素電極PITの画素容量C_{PIX}を微調整することができる。

【0132】

しかも、1つの画素PIX内に複数の画素電極PITを形成することで、各画素PIX

10

20

30

40

50

において複数の画素電極 P I T のうちの 하나가共通電極 M I T と短絡したとしても、短絡した画素電極 P I T 以外の他の画素電極 P I T は、通常通り正常に機能する。これにより、画素電極 P I T と共通電極 M I T との短絡による画素欠陥（黒点欠陥）を含む画素 P I X であったとしても、短絡していない正常な画素電極 P I T を利用することで、液晶層 L C L を制御することができる。また、1つの画素 P I X の全体が黒点になってしまう場合と比べて、1つの画素 P I X 内が部分的に黒点になることにとどまるので、黒点欠陥を目立たなくすることができる。このように、1つの画素 P I X 内に画素電極 P I T と共通電極 M I T との短絡による画素欠陥が存在していたとしても、黒点を目立たせることなく、所望の画像を表示することができる。

【0133】

さらに、1つの画素 P I X 内に複数のトランジスタ T R を形成することで、各画素 P I X において複数のトランジスタ T R のうちの 하나가正常に動作せずに異常状態であった場合でも、異常状態のトランジスタ T R 以外の他のトランジスタ T R は、通常通り正常に機能する。これにより、異常状態のトランジスタ T R による画素欠陥（輝点欠陥）を含む画素 P I X であったとしても、他の正常なトランジスタ T R とこれに接続される画素電極 P I T を利用することによって、液晶層 L C L を制御することができる。また、1つの画素 P I X の全体が輝点になってしまう場合と比べて、1つの画素 P I X 内が部分的に輝点になることにとどまるので、輝点欠陥を目立たなくすることができる。このように、1つの画素 P I X 内に異常状態のトランジスタ T R による画素欠陥が存在していたとしても、輝点を目立たせることなく、所望の画像を表示することができる。

【0134】

このように、1つの画素 P I X 内に複数の画素電極 P I T 及び複数のトランジスタ T R を形成しておくことで、画素欠陥を目立たなくすることができる。これにより、所望の画像を表示することができる。

【0135】

また、本実施の形態では、1 G 2 D の配線接続構造が採用されており、複数の走査線 G L が2本ずつ接続されている。そして、接続された2本の走査線 G L のうちの一方が接続されたトランジスタ T R のドレイン電極 D は、第1映像信号線 S L 1 に接続され、接続された2本の走査線 G L のうちの他方が接続されたトランジスタ T R のドレイン電極 D は、第2映像信号線 S L 2 に接続されている。

【0136】

この構成により、映像信号の画素 P I X への書き込み電圧が大きくなることを抑制することができる。特に、本実施の形態では、1つの画素 P I X の画素幅が $300\mu\text{m}$ を大きく超えているので、画素 P I X への書き込み電圧が大きくなってしまったり、画素 P I X への書き込みが悪くなってエッジ残像や表示ムラが発生して画像品位が低下したりするおそれがあるが、1 G 2 D の配線接続構造を採用することで、画素 P I X への書き込み電圧の上昇及び画像品位の低下を効果的に抑制することができる。

【0137】

また、本実施の形態では、図4に示すように、平面視において、第1映像信号線 S L 1 は、第1画素 P I X 1 の第1画素電極 P I T 1 と第2画素 P I X 2 の第2画素電極 P I T 2 との間に位置しており、第2映像信号線 S L 2 は、第2画素 P I X 2 の第2画素電極 P I T 2 のライン電極 P I T L に重なっている。

【0138】

この構成により、隣り合う2つの画素 P I X の境界部ごとに一对の第1映像信号線 S L 1 及び第2映像信号線 S L 2 を設けたとしても、第1映像信号線 S L 1 及び第2映像信号線 S L 2 の間のスペースを利用して、画素電極 P I T の複数本のライン電極 P I T L を等間隔で形成することができる。これにより、1つの画素 P I X に、複数のトランジスタ T R 及び複数の画素電極 P I T が形成されている場合であっても、全ての画素電極 P I T についての画素容量 $C_{P I X}$ の差を容易に小さくすることができる。したがって、液晶表示パネル L C P の画像品位を容易に向上させることができる。

【0139】

また、本実施の形態における液晶表示パネルLCPは、複数の画素PIXにわたって形成された共通電極MITを備えている。そして、共通電極MITは、第1映像信号線SL1及び第2映像信号線SL2の少なくとも一方を覆っている。本実施の形態において、共通電極MITは、第1映像信号線SL1及び第2映像信号線SL2の両方を覆っている。

【0140】

このように、複数の画素PIXにわたって共通電極MITを形成することによって、共通電極MITの下層の配線（第1映像信号線SL1、第2映像信号線SL2等）で発生する電界を共通電極MITによって遮蔽することができる。これにより、第1映像信号線SL1及び第2映像信号線SL2等の配線のレイアウトに規制されることなく、共通電極MITの上に形成する画素電極PITの形状及び大きさを自由に設計することができる。つまり、画素電極PITの形状及び大きさの設計の自由度が向上する。これにより、画素PIXの光透過率及び開口率を容易に向上させることができる。

【0141】

また、本実施の形態における液晶表示パネルLCPは、共通電極MITの直上に設けられたコモン線CMTを備える。

【0142】

このように、共通電極MITの直上にコモン線CMTを設けることによって共通電極MITの時定数を下げることができる。これにより、液晶表示パネルLCPの画像品位を一層向上させることができる。

【0143】

また、本実施の形態において、コモン線CMTは、列方向に延在し、平面視において第1映像信号線SL1に重なっている。

【0144】

この構成により、遮光部となる第1映像信号線SL1を利用してコモン線CMTを配置することができるので、画素PIXの開口率を低下させることなく、金属膜であるコモン線CMTを付加することができる。

【0145】

なお、コモン線CMTは、第1映像信号線SL1ではなく、第2映像信号線SL2に重なっていてもよい。

【0146】

また、本実施の形態における液晶表示パネルLCPは、第1映像信号線SL1及び第2映像信号線SL2を覆う第1絶縁膜PASと、炭素を含み、第1絶縁膜PASを覆う第2絶縁膜OPASとを備えており、第2絶縁膜OPASの厚さは、第1絶縁膜PASの厚さよりも厚くなっている。

【0147】

この構成により、走査線GL及び映像信号線SL等の配線と共通電極MITとの間の厚み方向の距離を大きくすることができるので、配線と共通電極MITとで形成される寄生容量を軽減することができる。これにより、液晶表示パネルLCPの画像品位を一層向上させることができる。

【0148】

また、本実施の形態において、第1映像信号線SL1及び第2映像信号線SL2は遮光層BMで覆われていない。すなわち、第1映像信号線SL1及び第2映像信号線SL2の間に存在するライン電極PITLは、遮光層BMで覆われていない。

【0149】

この構成により、第1映像信号線SL1及び第2映像信号線SL2が2つの画素PIXの境界部に形成されていたとしても、第1映像信号線SL1及び第2映像信号線SL2の間にライン電極PITLを形成することで、2つの映像信号線SL1、SL2の間の領域も画像表示に寄与する領域として構成することができ、この結果、画素PIXの光透過率及び開口率を大きくすることができる。これにより、画素PIXの表示エリアを広く確保

10

20

30

40

50

することができるので、液晶表示パネル L C P の画像品位を一層向上させることができる。

【0150】

また、これとは逆に、第1映像信号線 S L 1 及び第2映像信号線 S L 2 の間を含めて、第1映像信号線 S L 1 及び第2映像信号線 S L 2 を、列方向に沿って形成された遮光層 B M で覆ってもよい。

【0151】

この構成により、遮光層 B M によって外光等の光を遮光することができるので、第1映像信号線 S L 1 及び第2映像信号線 S L 2 が金属材料で構成されている場合であっても、第1映像信号線 S L 1 及び第2映像信号線 S L 2 の表面で外光等の光が反射して画像品位が低下することを抑制できる。

10

【0152】

あるいは、第1映像信号線 S L 1 及び第2映像信号線 S L 2 の両方を遮光層 B M で覆わないのではなく、第1映像信号線 S L 1 及び第2映像信号線 S L 2 の一方を、列方向に沿って形成された遮光層 B M で覆い、第1映像信号線 S L 1 及び第2映像信号線 S L 2 の他方を遮光層 B M で覆わないようにしてもよい。

【0153】

この構成により、画素 P I X の光透過率を大きく、かつ、外光等の光を遮光することができる。これにより、液晶表示パネル L C P の画像品位を向上させることができる。

【0154】

20

(実施の形態2)

次に、実施の形態2に係る液晶表示装置 L C D 2 について、図12、図13A及び図13Bを用いて説明する。図12は、実施の形態2に係る液晶表示装置 L C D 2 の概略構成を模式的に示す図である。図13Aは、実施の形態2に係る液晶表示装置 L C D 2 における第1液晶表示パネル L C P 1 の画素のレイアウトを示す図である。図13Bは、実施の形態2に係る液晶表示装置 L C D 2 における第2液晶表示パネル L C P 2 の画素のレイアウトを示す図である。

【0155】

液晶表示装置 L C D 2 は、液晶表示パネルを複数重ね合わせて構成された画像表示装置である。液晶表示装置 L C D 2 を構成する複数の液晶表示パネルの一つとして、上記実施の形態における液晶表示パネル L C P が用いられる。

30

【0156】

図12に示すように、液晶表示装置 L C D 2 は、観察者に近い位置（前側）に配置された第1液晶表示パネル L C P 1 と、第1液晶表示パネル L C P 1 よりも観察者から遠い位置（後側）に配置された第2液晶表示パネル L C P 2 と、第2液晶表示パネル L C P 2 の後側に配置されたバックライト B L とを備える。本実施の形態では、第2液晶表示パネル L C P 2 が、上記実施の形態1における液晶表示パネル L C P である。

【0157】

第1液晶表示パネル L C P 1 は、メインパネルであって、ユーザが視認する画像を表示する。本実施の形態において、第1液晶表示パネル L C P 1 は、カラー画像を表示する。第1液晶表示パネル L C P 1 には、入力映像信号に応じたカラー画像を第1画像表示領域 D S P 1 に表示するために、第1ソースドライバ S D C 1 及び第1ゲートドライバ G D C 1 が設けられている。第1液晶表示パネル L C P 1 の駆動方式は、例えば I P S 方式等の横電界方式であるが、これに限るものではなく、V A (V e r t i c a l A l i g n m e n t) 方式又は T N (T w i s t e d N e m a t i c) 方式等であってもよい。

40

【0158】

第2液晶表示パネル L C P 2 は、第1液晶表示パネル L C P 1 の背面側に配置されるサブパネルである。本実施の形態において、第2液晶表示パネル L C P 2 は、第1液晶表示パネル L C P 1 に表示されるカラー画像に対応した画像のモノクロ画像（白黒画像）を、そのカラー画像に同期させて表示する。第2液晶表示パネル L C P 2 には、入力映像信号

50

に応じたモノクロ画像を第2画像表示領域DSP2に表示するために、第2ソースドライバSDC2及び第2ゲートドライバGDC2が設けられている。

【0159】

バックライトBLは、上記実施の形態1における液晶表示装置LCD1に用いられるバックライトBLと同じである。

【0160】

液晶表示装置LCD2は、さらに、第1液晶表示パネルLCP1の第1ソースドライバSDC1及び第1ゲートドライバGDC1を制御する第1タイミングコントローラTC1と、第2液晶表示パネルLCP2の第2ソースドライバSDC2及び第2ゲートドライバGDC2を制御する第2タイミングコントローラTC2と、第1タイミングコントローラTC1及び第2タイミングコントローラTC2に画像データを出力する画像処理部IPUとを備える。

10

【0161】

本実施の形態において、画像処理部IPUは、外部のシステムから送信された映像データを受信し、画像処理を実行した後、第1タイミングコントローラTC1に第1画像データDAT1を出力し、第2タイミングコントローラTC2に第2画像データDAT2を出力する。また、画像処理部IPUは、第1タイミングコントローラTC1及び第2タイミングコントローラTC2に同期信号等の制御信号（不図示）を出力する。第1画像データDAT1は、カラー表示用の画像データであり、第2画像データDAT2は、モノクロ表示用の画像データである。

20

【0162】

図13A及び図13Bに示すように、液晶表示装置LCD2では、第1液晶表示パネルLCP1の単位面積当たりの画素PIXの数と、第2液晶表示パネルLCP2の単位面積当たりの画素PIXの数とが等しくなるように構成されている。また、第1液晶表示パネルLCP1の1つの画素PIXの面積と、第2液晶表示パネルLCP2の1つの画素PIXの面積とは等しくなっている。

【0163】

また、図13Aに示すように、第1液晶表示パネルLCP1では、1つの画素PIXに、赤色用画素PIXR、緑色用画素PIXG及び青色用画素PIXBの3つのサブ画素が含まれている。本実施の形態において、赤色用画素PIXR、緑色用画素PIXG及び青色用画素PIXBの各々には、画素電極PIT及びトランジスタTRが1つずつ配置されているが、これに限らない。

30

【0164】

このように、本実施の形態に係る液晶表示装置LCD2では、第1液晶表示パネルLCP1及び第2液晶表示パネルLCP2の2つの表示パネルを重ね合わせて画像を表示しているので、黒を引き締めることができる。これにより、高コントラスト比の画像を表示することができる。

【0165】

また、液晶表示装置LCD2は、例えばHDR（High Dynamic Range）対応テレビであり、バックライトBLとして、ローカルディミング制御を行うことができるバックライトを用いることにより、さらに高コントラスト比かつ高画質のカラー画像を表示することができる。

40

【0166】

（変形例）

以上、本開示に係る液晶表示パネル及び液晶表示装置について、実施の形態に基づいて説明したが、本開示は、上記実施の形態に限定されるものではない。

【0167】

例えば、上記実施の形態において、画素電極PITにおける複数のライン電極PITLは、2つの連結電極PITCによって連結されていたが、画素PIX内のトランジスタTRから遠い側の連結電極PITCについては設けなくてもよい。この場合、画素電極PI

50

Tは、複数のライン電極P I T Lによって構成された櫛歯状の電極となる。

【0168】

また、上記実施の形態では、映像信号線S LとトランジスタT Rのドレイン電極Dとを接続し、画素電極P I TとトランジスタT Rのソース電極Sとを接続したが、これに限らない。例えば、映像信号線S LとトランジスタT Rのソース電極Sとを接続し、画素電極P I TとトランジスタT Rのドレイン電極Dとを接続してもよい。

【0169】

また、上記実施の形態において、画素電極P I Tの複数本のライン電極P I T Lは、列方向（第2方向）に沿って延在していたが、これに限らない。すなわち、複数本のライン電極P I T Lの一部又は全部は、行方向（第1方向）に沿って延在していてもよい。この場合、複数本のライン電極P I T Lは、行方向に平行に延在する場合に限らず、行方向に対して傾斜して延在していてもよいし、略「へ」の字状に屈曲していてもよい。

10

【0170】

また、上記実施の形態では、コモン線C M Tが、共通電極M I Tの直上に設けられた例を示したが、これに限られない。コモン線C M Tは、共通電極M I Tよりも下層の層、換言すれば、共通電極M I Tよりも第1基板S U B 1側に設けられた層として構成されていてもよい。

【0171】

その他、上記実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

20

【符号の説明】

【0172】

L C D 1、L C D 2	液晶表示装置
L C P	液晶表示パネル
L C P 1	第1液晶表示パネル
L C P 2	第2液晶表示パネル
B L	バックライト
P D C	液晶表示パネル駆動回路
S D C	ソースドライバ
S D C 1	第1ソースドライバ
S D C 2	第2ソースドライバ
G D C	ゲートドライバ
G D C 1	第1ゲートドライバ
G D C 2	第2ゲートドライバ
I P U	画像処理部
T C 1	第1タイミングコントローラ
T C 2	第2タイミングコントローラ
D S P	画像表示領域
D S P 1	第1画像表示領域
D S P 2	第2画像表示領域
P I X	画素
P I X 1	第1画素
P I X 2	第2画素
P I X R	赤色用画素
P I X G	緑色用画素
P I X B	青色用画素
S L	映像信号線
S L 1	第1映像信号線
S L 2	第2映像信号線

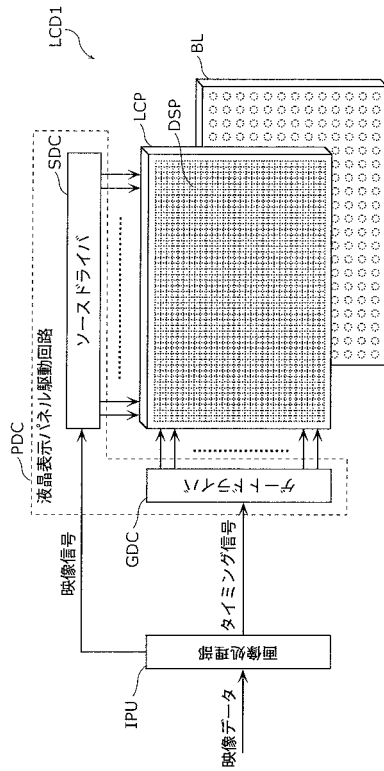
30

40

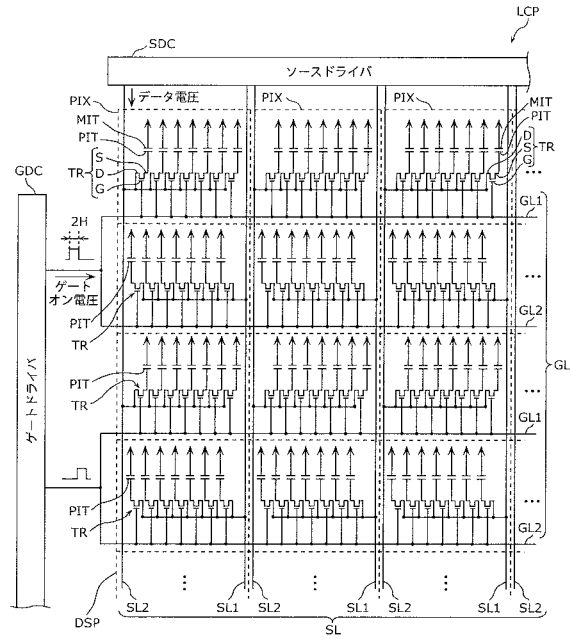
50

G L	走査線	
G L 1	第 1 走査線	
G L 2	第 2 走査線	
P I T	画素電極	
P I T 1	第 1 画素電極	
P I T 2	第 2 画素電極	
P I T L	ライン電極	
P I T C	連結電極	
M I T	共通電極	
C M T	コモン線	10
T R	トランジスタ	
D	ドレイン電極	
G	ゲート電極	
S	ソース電極	
S C	半導体層	
G I	ゲート絶縁層	
S U B 1	第 1 基板	
S U B 2	第 2 基板	
L C L	液晶層	
T S U B 1	第 1 透明基材	20
T S U B 2	第 2 透明基材	
B M	遮光層	
P I	配向膜	
M E T	金属電極	
I L	絶縁層	
P A S	第 1 絶縁膜	
O P A S	第 2 絶縁膜	
U P S	第 3 絶縁膜	
C H	コンタクトホール	
C H 1	コンタクト部	30
C H 2	延伸部	
L D L	リード線	
L D L C	共通リード線	
L D L 1	第 1 個別リード線	
L D L 2	第 2 個別リード線	
S T F	積層膜	
S T F 1	第 1 の膜	
S T F 2	第 2 の膜	
P S 1	第 1 スペーサ	
P S 2	第 2 スペーサ	40
S T S 1	第 1 積層構造体	
S T S 1 1	第 1 の膜	
S T S 1 2	第 2 の膜	
S T S 1 3	第 3 の膜	
S T S 2	第 2 積層構造体	
S T S 2 1	第 1 の膜	
S T S 2 2	第 2 の膜	
S T S 2 3	第 3 の膜	
S T S 2 4	第 4 の膜	
S T S 2 5	第 5 の膜	50

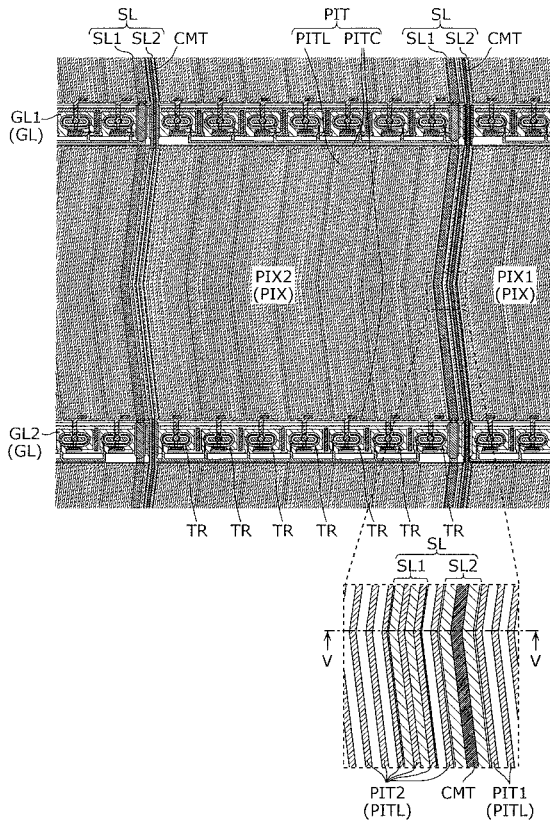
【図 1】



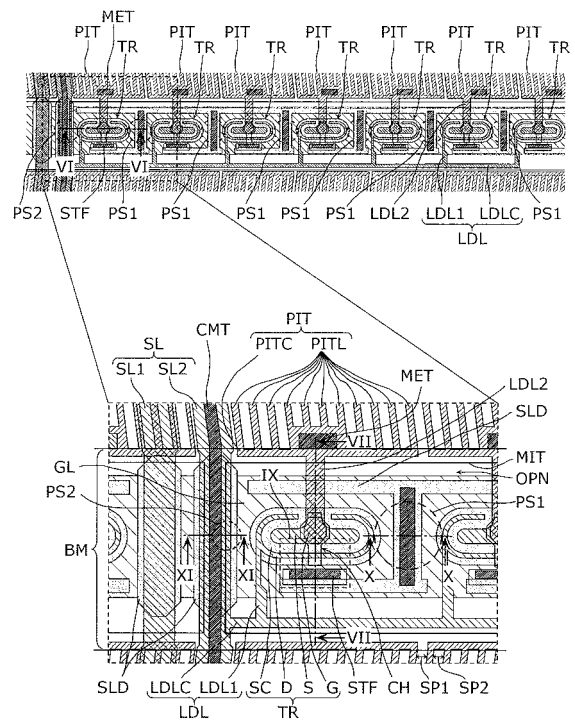
【図 2】



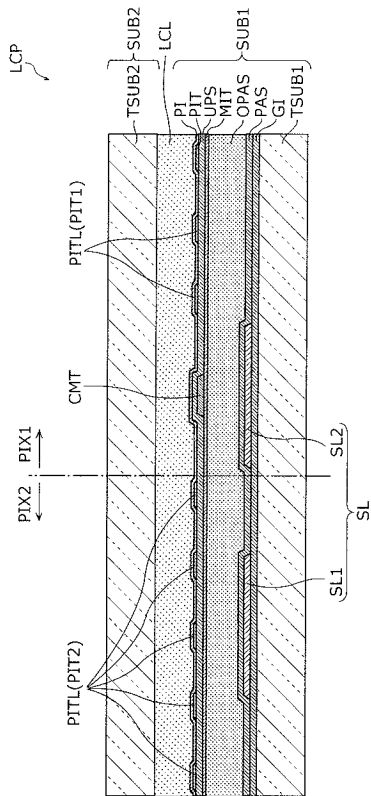
【図 3】



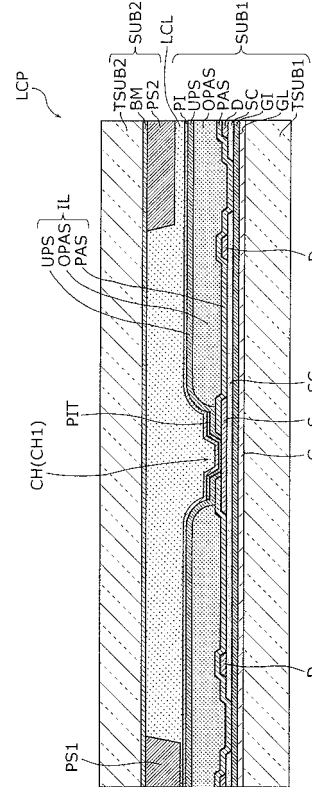
【図 4】



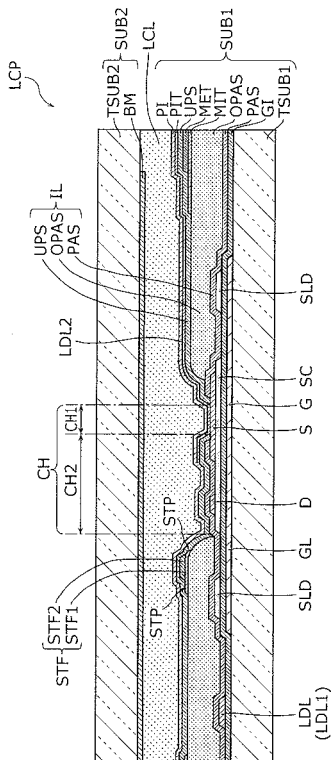
【図 5】



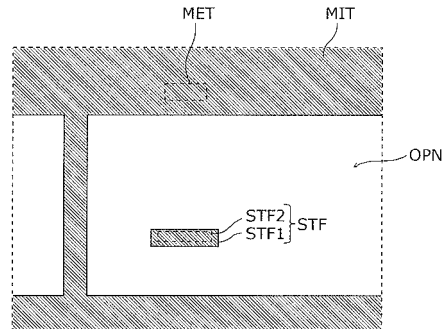
【図 6】



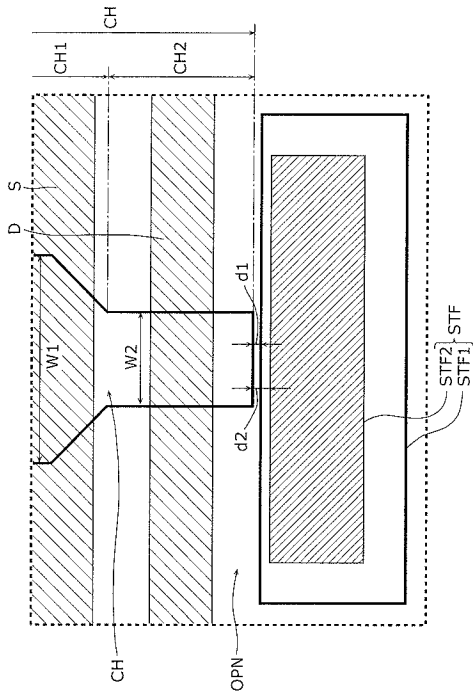
【図 7】



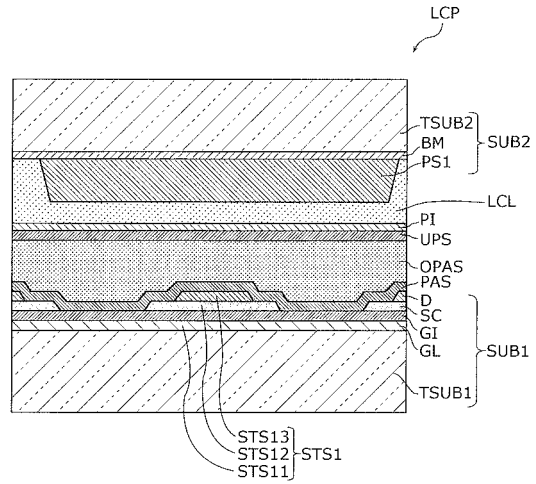
【図 8】



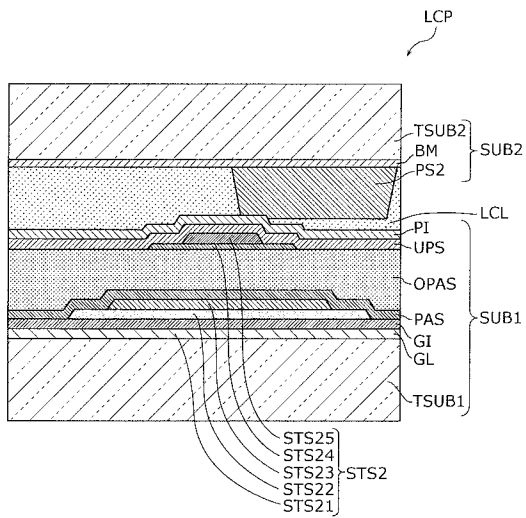
【 図 9 】



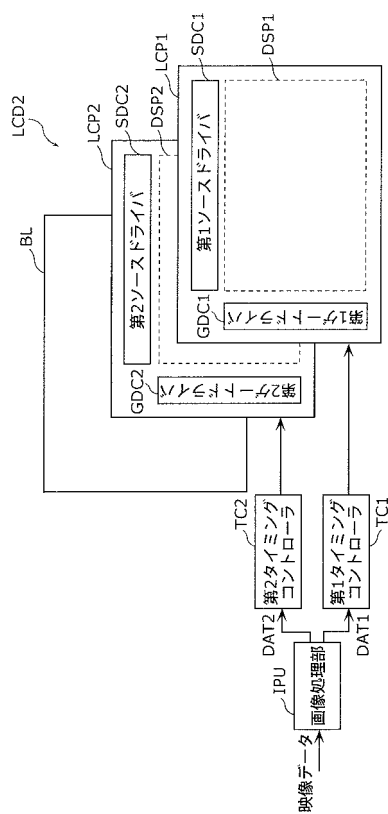
【図 10】



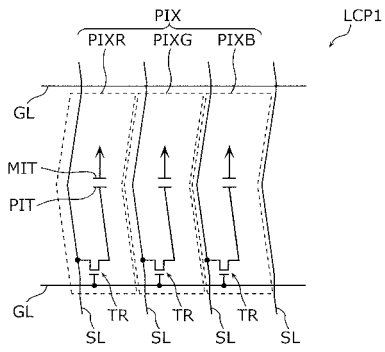
【図 1 1】



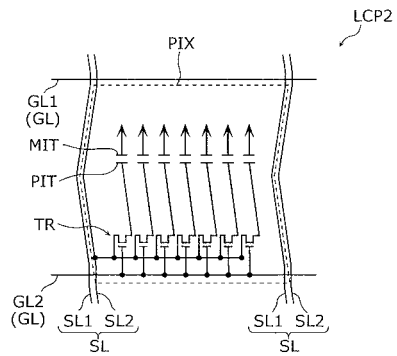
【图 1 2】



【図 1 3 A】



【図 1 3 B】



フロントページの続き

Fターム(参考) 2H192 AA24 BB13 BB53 BC24 BC35 CC04 CC22 CC54 CC64 DA32
EA22 GD23

专利名称(译)	液晶显示面板		
公开(公告)号	JP2019090982A	公开(公告)日	2019-06-13
申请号	JP2017221324	申请日	2017-11-16
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	梶田大介		
发明人	梶田 大介		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136286 G02F1/1368 G02F2201/40 H01L27/1244 H01L29/78633 G02F1/133512 G02F1/133514 G02F1/13394 G02F1/1343 G02F1/136259 G02F2001/133357 G09G3/3648 G09G2300/0426 G09G2310/0264 H01L27/1214		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA29 2H092/JA26 2H092/JA38 2H092/JA42 2H092/JA46 2H092/JB46 2H092/JB69 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BC24 2H192/BC35 2H192/CC04 2H192/CC22 2H192/CC54 2H192/CC64 2H192/DA32 2H192/EA22 2H192/GD23		
代理人(译)	新居 広守 荣作Teratani Dozaka真一		
外部链接	Espacenet		

摘要(译)

提供一种图像质量优异的液晶显示面板。一种液晶显示面板LCP，具有以矩阵排列的多个像素PIX，其中为所述多个像素PIX中的每一个提供的像素电极PIT和在所述第一方向上相邻的两个像素PIX提供为每个边界提供的并且与第一方向正交的第二方向上延伸的多对第一视频信号线SL1和第二视频信号线SL2，以及像素电极PIT的至少一部分。它存在于第一视频信号线SL1和第二视频信号线SL2之间。[选中图]图3

