

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-35940

(P2019-35940A)

(43) 公開日 平成31年3月7日(2019.3.7)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1339 (2006.01)	GO2F 1/1339 500	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H189
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192
GO2F 1/1335 (2006.01)	GO2F 1/1335 505	2H291
	GO2F 1/1335 520	
審査請求 未請求 請求項の数 10 O L (全 33 頁)		

(21) 出願番号 特願2018-90631 (P2018-90631)
 (22) 出願日 平成30年5月9日 (2018.5.9)
 (31) 優先権主張番号 特願2017-157591 (P2017-157591)
 (32) 優先日 平成29年8月17日 (2017.8.17)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100153176
 弁理士 松井 重明
 (74) 代理人 100109612
 弁理士 倉谷 泰孝
 (72) 発明者 梅田 博嗣
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 Fターム(参考) 2H092 GA14 JA26 JA46 JB05 JB46
 NA07 NA27 PA03 PA08 PA09
 PA12 QA06

最終頁に続く

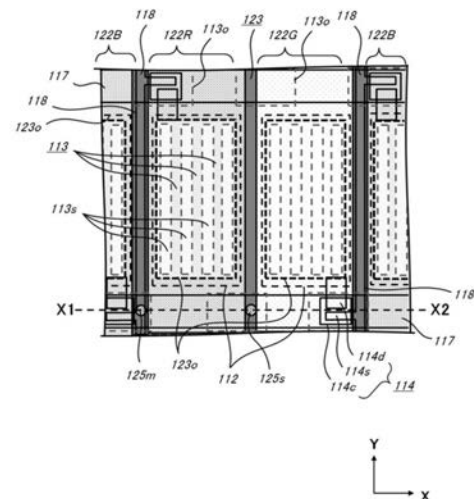
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示装置において、低コスト化や、低温や高温時における不良発生を抑制すること、開口率の低下や表示画像のコントラストの低下を抑制することなどが可能となる。

【解決手段】 本発明の液晶表示装置100は、行列状に配列される画素電極112およびTFT114と互いに交差する信号線117および信号線118とを備えたアレイ基板110と、画素電極112間に格子状遮光パターン123を遮光パターン123の交差部に柱状スペーサをそれぞれ備えたCF基板120とが、液晶層140を介して対向配置され、前記交差部において、前記各信号線が交差する部分と交差しない部分を有することによりアレイ基板110表面に段差が設けられ、柱状スペーサは前記各信号線が交差する部分にメインスペーサ125mを交差しない部分にサブスペーサ125sをそれぞれ備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

画像を表示する表示領域内において行列状に複数配列される画素電極および該画素電極のそれぞれに接続されるスイッチング素子と、互いに交差して行方向或いは列方向に延在して配置され、それぞれ前記スイッチング素子に接続される複数本の走査信号線および複数本の映像信号線と、が設けられるアレイ基板と、

前記アレイ基板と液晶層を介して間隔を空けて対向配置され、前記複数配列して設けられる画素電極間の領域に重なって格子状に設けられる遮光パターンよりなるブラックマトリクスと、前記間隔を一定範囲内に保持する複数の柱状スペーサとが設けられる対向基板とを備え、

前記アレイ基板上における前記走査信号線および前記映像信号線の配置は、前記走査信号線および前記映像信号線のうち一方の信号線について、互いに隣接する任意の 2 行の画素電極間の領域において、当該一方の信号線が複数本配置されるとともに、前記走査信号線および前記映像信号線のうち他方の信号線について、互いに隣接する任意の 2 列の画素電極間の領域において、当該他方の信号線が 1 本配置される領域と当該他方の信号線が配置されない領域が混在して配置されるものであり、

前記格子状に設けられる遮光パターンの交差部において、前記走査信号線および前記映像信号線が交差する部分と、前記走査信号線および前記映像信号線が交差しない部分を有し、更に、前記走査信号線および前記映像信号線が交差する部分と前記走査信号線および前記映像信号線が交差しない部分との間において、前記アレイ基板の表面の高さの異なる段差が設けられ、

前記柱状スペーサは、前記格子状に設けられる遮光パターンの交差部に設けられるとともに、前記走査信号線および前記映像信号線が交差する部分に設けられ前記アレイ基板表面と当接するメインスペーサと、前記走査信号線および前記映像信号線が交差しない部分に設けられ通常時は前記アレイ基板表面に当接されず、前記間隔が前記一定範囲内で狭められた際に前記アレイ基板表面と当接するサブスペーサとを備えることを特徴とする液晶表示装置。

【請求項 2】

前記格子状に設けられる遮光パターンよりなるブラックマトリクスは、前記列方向に沿って設けられる遮光パターンについて、各列間で同じ幅で設けられることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記格子状に設けられる遮光パターンよりなるブラックマトリクスは、前記列方向に沿って設けられる遮光パターンについて、前記他方の信号線が 1 本配置される領域に重なって配置される列の当該遮光パターンの幅に比べて、前記他方の信号線が配置されない領域に重なって配置される列の当該遮光パターンの幅が細くなるよう設けられることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記アレイ基板上に設けられ前記画素電極との間に電界を生じることにより前記液晶層における液晶を駆動する対向電極を備え、前記画素電極と前記対向電極の少なくとも一方において、前記列方向に長手方向を有したスリット電極或いは櫛歯電極を備えることを特徴とする請求項 1 から請求項 3 の何れか 1 項に記載の液晶表示装置。

【請求項 5】

前記アレイ基板上に設けられ前記画素電極との間に電界を生じることにより前記液晶層における液晶を駆動する対向電極を備え、前記画素電極と前記対向電極の少なくとも一方において、前記列方向に対して 30 度以下の同じ角度でそれぞれ正方向と負方向に傾斜する 2 方向の長手方向を有した屈曲形状のスリット電極或いは櫛歯電極を備えることを特徴とする請求項 1 から請求項 3 の何れか 1 項に記載の液晶表示装置。

【請求項 6】

前記メインスペーサと前記サブスペーサは、それぞれ、前記対向基板の表面に固着して

設けられ、互いに同じ厚みに設けられる樹脂パターンにより構成されることを特徴とする請求項 1 から請求項 5 の何れか 1 項に記載の液晶表示装置。

【請求項 7】

前記画素電極は、その一部の領域において光を透過する透過領域を形成する透過電極と、その別の一部の領域において光を反射する反射領域を形成する反射電極を備え、

前記対向基板上において、少なくとも前記反射領域に所定の膜厚で設けられ前記透過領域では開口して設けられることで、前記反射領域における前記液晶層の厚みについて、前記所定の膜厚に対応する厚み分、前記透過領域における前記液晶層の厚みに比べて薄く調整するギャップ調整層を備え、

前記メインスペーサと前記サブスペーサは、双方ともに前記ギャップ調整層の表面に配置される半透過型の液晶表示装置であることを特徴とする請求項 6 に記載の液晶表示装置。

10

【請求項 8】

前記メインスペーサと前記サブスペーサは、それぞれ、前記対向基板の表面に固着して設けられ、互いに異なる厚みに設けられる樹脂パターンにより構成され、

前記サブスペーサを構成する前記樹脂パターンの厚みが、前記メインスペーサを構成する前記樹脂パターンの厚みに比べて薄いことを特徴とする請求項 1 から請求項 5 の何れか 1 項に記載の液晶表示装置。

【請求項 9】

前記アレイ基板上における前記走査信号線および前記映像信号線の配置は、前記走査信号線について、互いに隣接する任意の 2 行の前記画素電極間の領域において、当該走査信号線が 2 本配置されるとともに、前記映像信号線について、互いに隣接する任意の 2 列の前記画素電極間の領域において、当該映像信号線が 1 本配置される領域と当該映像信号線が配置されない領域が 1 列ごとに交互に配置されるものであり、

2 倍走査線方式の液晶表示装置であることを特徴とする請求項 1 から請求項 8 の何れか 1 項に記載の液晶表示装置。

20

【請求項 10】

前記アレイ基板上における前記走査信号線および前記映像信号線の配置は、前記映像信号線について、互いに隣接する任意の 2 行の前記画素電極間の領域において、当該映像信号線が 2 本配置されるとともに、前記走査信号線について、互いに隣接する任意の 2 列の前記画素電極間の領域において、当該走査信号線が 1 本配置される領域と当該走査信号線が配置されない領域が 1 列ごとに交互に配置されるものであり、

前記行列状に複数配列される前記画素電極に対応する画素においては、青色、赤色、緑色、および白色からなる 4 色が 2 行 2 列の行列状に配列してなる 4 画素を繰り返し単位とする絵素が配列してカラー表示を行うことを特徴とする請求項 1 から請求項 8 の何れか 1 項に記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置にかかり、特に、基板間を保持する柱状スペーサを有するとともに、駆動回路チップ数を減らし、製造コストを節減することのできる液晶表示装置に関する。

40

【背景技術】

【0002】

液晶表示装置において、駆動回路（IC）チップ数を減らすことによって製造コストを抑制する手法として、例えば、比較的高価な部品となる映像信号線側の駆動 IC チップを減らすことを可能とする 2 倍走査線方式と呼ばれる技術がある。

【0003】

2 倍走査線方式の液晶表示装置は、例えば、特許文献 1、または、特許文献 2 に開示される様に、表示領域内において行列状に画素が配置される液晶表示装置において、列方向

50

に延びる映像信号線（ソース配線）の一本を挟んで2列の画素が配置され、その2列の画素で、その一本の映像信号線を共有するものであり、映像信号線の本数を半減し、映像信号線用の駆動ICチップ数を低減できるものである（映像信号線の本数を半減できる点から、ハーフソース方式とも呼ばれる）。一方、各行において1本の映像信号線に対してスイッチング素子（例えば、薄膜トランジスタ（Thin Film Transistor：TFT））を介して接続された隣接する2つの画素は別々の走査信号線（ゲート配線）により駆動する必要があることから、走査信号線は、2行の画素間の領域のそれぞれに対して2本ずつ配置されることとなり、走査信号線の本数は従来の2倍となる。この点から当該方式は2倍走査線方式と呼ばれている。

【0004】

10

この2倍走査線方式の液晶表示装置の1つの特徴として、映像信号線の本数が半減されること、つまり、行方向に並ぶ画素数（画素列の数）に対して映像信号線の本数が少なく設けられることから、2列の画素間の領域において、映像信号線が設けられない画素間領域が発生する。具体的には、2列の画素間の領域において、映像信号線が1本配置される画素間領域と、映像信号線が0本配置される（映像信号線が設けられない）画素間領域が交互に並んだ配置となる。なお、用途に応じて、2倍走査線方式の液晶表示装置とは逆に、映像信号線の本数を2倍配置し、走査信号線の本数を半分とすることで、走査信号線用の駆動ICチップ数を削減した方式を採用することも可能であるが、当該方式でも、この映像信号線が設けられない画素間領域を有する特徴について備えることになる。

【0005】

20

また、2倍走査線方式の液晶表示装置においては、特許文献2に開示される様に、上記の様な2倍走査線方式の特徴を有した映像信号線および走査信号線が設けられるアレイ基板に対して、液晶層を介して対向して、遮光層（BM：ブラックマトリクス）やカラーフィルタなどが適宜設けられた対向基板（カラーフィルタが設けられ場合にはカラーフィルタ基板とも呼ばれる）が設けられる。更に、これらアレイ基板と対向基板間には、液晶層の厚みに対応する基板間距離を制御するために柱状スペーサ（ポストスペーサ：PS、或いは、カラムスペーサとも呼ばれる）が配置される。

【0006】

また、この柱状スペーサは、それ自体の配置される領域では、基本的に表示動作を行う液晶が排除されることから液晶のオンオフによる表示動作をすることができず、更に、その近傍においても、ある程度の範囲内で配向膜に対する所望の配向処理ができないことにより液晶の配向などが乱れ、所望の液晶のオンオフによる表示動作をすることができないこと、更に、これらの柱状スペーサの設けられる領域とその近傍の領域では表示動作ができないだけでなく、光漏れを生ずることから遮光領域に配置する必要がある。従って、柱状スペーサは、少なくとも画素電極の設けられない領域、例えば、走査信号配線の設けられる領域や、スイッチング素子（例えば、TFT）の設けられる領域、映像信号線の設けられる領域など、基本的には遮光層（BM）の形成される遮光領域に配置される。上記の特許文献2の例でも、柱状スペーサCSが、上記の典型例に沿って、遮光領域のうち、有機保護膜PACで覆われ表面が平坦化されたTFTと対向する領域付近に配置された構成が開示されている。また、特許文献2の例では、柱状スペーサCSの配置される対向基板（上部基板SUBS1）側の表面についても保護膜OCにより平坦化されている。

30

40

【0007】

一方、近年、液晶表示装置においては、使用温度範囲が広がってきていることに伴い、例えば、液晶表示装置を低温に置いた場合は、液晶の収縮量に対して柱状スペーサの収縮が追従できなくなることでセル内に気泡が発生する不良（低温発泡不良とも呼ばれる）、或いは、高温に置いた場合は、液晶の膨張量に対して柱状スペーサの膨張が追従できなくなることにより発生する重力方向に対しパネル下側でセルギャップが増加する不良（高温下膨れや重力ムラとも呼ばれる）の対策として、常時、アレイ基板と対向基板の両者に接して設けられ基板間隔を保持する為に機能する柱状スペーサ（メインスペーサ）を比較的低密度に配置することに加え、通常時はアレイ基板と対向基板の一方のみに接して設け

50

られ外部から一時的に大きな荷重が加えられた場合には、アレイ基板と対向基板の両者に接することで、当該荷重を分散して受け止めるように機能する柱状スペーサ（サブスペーサ）を設けたデュアルスペーサ構造が用いられる場合が多い。但し、これまでは、上記説明した２倍走査線方式の液晶表示装置は、どちらかと言えば低コスト化を重視した廉価版の液晶表示装置に関する技術であることから、広い使用温度範囲での品質を保証するデュアルスペーサ構造を２倍走査線方式の液晶表示装置に適用した製品は少なく、具体的にデュアルスペーサ構造を２倍走査線方式の液晶表示装置に適用した構成を開示した文献も確認されて無い。

【０００８】

映像信号線と走査信号線を列方向或いは行方向における各画素間領域に１本ずつ配置した通常の液晶表示装置の場合、つまり、２倍走査線方式を用いない通常の液晶表示装置におけるデュアルスペーサ構造の構成については、例えば、特許文献３～特許文献５に記載されるとおり、大きく分けると２種類がある。

【０００９】

先ず、一方は、対向基板側に設けられる柱状スペーサ自体は全て同じ高さとしたうえで、アレイ基板側表面に形成される段差を利用して、相対的に凸となる部分に配置する柱状スペーサをメインスペーサとし、相対的に凹となる部分に配置する柱状スペーサをサブスペーサとする構成である。この構成の具体的な例としては、例えば、特許文献３に記載される様に、相対的に凸になる部分として、別途台座パターンを走査信号線の一部に設けることで、当該台座パターンを設けた走査信号線の一部にメインスペーサを配置し、台座パターンを配置しない走査信号線の一部にサブスペーサを設ける場合がある。また、特許文献４に記載されるとおり、既に設けられているアレイ基板側表面に形成される段差を利用し、例えば、ＴＦＴ部や走査信号線と映像信号線の交差部などの遮光領域内のうち相対的に凸となる部分にメインスペーサを配置し、ＴＦＴ部や映像信号線との交差部を除いた走査信号線の一部などの遮光領域内のうち相対的に凹となる部分にサブスペーサを配置する場合がある。

【００１０】

続いて、もう一方のデュアルスペーサ構造の構成としては、例えば、特許文献５に記載される様に、対向基板側に設けられる柱状スペーサ自体を２種類の高さに作り分けてデュアルスペーサ構造とする構成となる。特に、アレイ基板側表面が、当該基板表面を平坦化する作用を有する有機樹脂膜（有機平坦化膜）で覆われた構成を用いた場合には、アレイ基板側表面に殆ど段差が形成されないことから、上記のアレイ基板側表面の段差を利用した構成を採ることが難しく、こちらの構成を採ることが多くなる。

【先行技術文献】

【特許文献】

【００１１】

【特許文献１】特開２０００－３５５８９号公報

【特許文献２】特開２０１５－１２９９０７号公報

【特許文献３】特開２００５－１２８３５７号公報

【特許文献４】特開２００２－１８２２２０号公報

【特許文献５】特開２００３－１２１８５７号公報

【発明の概要】

【発明が解決しようとする課題】

【００１２】

然しながら、先ず、デュアルスペーサ構造の前者の構造における典型的な配置となる特許文献３と特許文献４に記載される２例ともに、柱状スペーサをＴＦＴ部や映像信号線との交差部を除いた走査信号線の一部に配置する必要がある、先にも説明を行なったとおり、柱状スペーサ近傍では、液晶の配向などが乱れ、その結果として光漏れを生ずることが懸念されることから、走査信号線による遮光領域に比べ、より広い遮光領域を設ける必要があり、結果的に画素開口率を低下させてしまうことになる。また、この柱状スペーサ近

10

20

30

40

50

傍で生ずる所望の配向処理ができず液晶の配向が乱れる領域は、主に柱状スペーサの配向処理方向に対して下流側において広く形成される。横電界方式の場合には、配線方向と平行方向に配向処理を行う場合が多く、その場合には、柱状スペーサをTFT部や映像信号線との交差部を除いた走査信号線の一部に配置した際において、配向処理方向に対して下流側となる走査信号線の形成領域の外側に比較的大きな領域において、上記の液晶の配向などが乱れる領域が形成される。従って、特に、横電界方式の場合には、更に、広い遮光領域を設ける必要があり、結果的に画素開口率を大きく低下させてしまうことになる。或いは、これら柱状スペーサ近傍に形成される液晶の配向などが生る領域を遮光領域としない場合には、懸念される光漏れが発生し、結果として表示画像のコントラストが低下すること、つまり、表示品位の低下を招くことになる。

10

【0013】

また、デュアルスペーサ構造の後者の構造となる対向基板側に設けられる柱状スペーサ自体を2種類の高さに作り分けてデュアルスペーサ構造とする場合には、柱状スペーサを設ける対向基板の形成プロセスが高コストとなるというデメリットがある。

【0014】

以上のとおり、2倍走査線方式を用いない通常の液晶表示装置におけるデュアルスペーサ構造の構成においては、上記説明のとおり、画素開口率の低下、コントラストの低下、或いは高コストといった課題が残っている。また、特許文献1から特許文献5の何れにおいても、2倍走査線方式を用いたデュアルスペーサ構造自体が開示されていないことから、当然のこととして、低コスト化と広い使用温度範囲において高い品質が得られることを両立することはできない。また、2倍走査線方式を用いたデュアルスペーサ構造における具体的な最適な構造に関する記載も無いことから、低コスト化と広い使用温度範囲において高い品質が得られることと高い画素開口率や高い表示品位を得ることを両立することができないことになる。

20

【0015】

本発明は、上記課題を解決するために為されたものであり、その目的は、低コスト化ができること、広い使用温度範囲において高い品質が得られること、或いは、高い画素開口率や高い表示品位が得られることなどの特徴を有した液晶表示装置を提供するものである。

【課題を解決するための手段】

30

【0016】

本発明の液晶表示装置においては、行列状に配列される画素電極およびスイッチング素子と、互いに交差する走査信号線および映像信号線とを備えたアレイ基板と、前記の画素電極間の領域に格子状遮光パターンを前記格子状遮光パターンの交差部に柱状スペーサをそれぞれ備えた対向基板とが、液晶層を介して対向配置され、前記の格子状遮光パターンの交差部において、前記各信号線が交差する部分と交差しない部分を有することによりアレイ基板表面に段差が設けられ、柱状スペーサは、前記各信号線が交差する部分にメインスペーサを前記各信号線が交差しない部分にサブスペーサをそれぞれ備えるものである。

【発明の効果】

【0017】

40

液晶表示装置において、低コスト化できること、低温や高温に置いた場合における不良発生を抑制すること、或いは、開口率の低下や表示画像のコントラストの低下を抑制することなどが可能となる。

【図面の簡単な説明】

【0018】

【図1】本発明の実施の形態1の液晶表示装置における液晶パネルの断面図である。

【図2】本発明の実施の形態1の液晶表示装置における液晶パネルの平面図である。

【図3】本発明の実施の形態1の液晶表示装置における液晶パネルの要部平面図である。

【図4】本発明の実施の形態1の液晶表示装置における液晶パネルの要部断面図である。

【図5】本発明の実施の形態1の液晶表示装置におけるアレイ基板の電氣的な接続関係を

50

示す概略平面図である。

【図 6】本発明の実施の形態 1 の液晶パネルの製造工程におけるパネル組み立て工程を示すフローチャートである。

【図 7】本発明の実施の形態 1 の変形例の液晶表示装置における液晶パネルの要部断面図である。

【図 8】本発明の実施の形態 2 の液晶表示装置における液晶パネルの要部平面図である。

【図 9】本発明の実施の形態 2 の液晶表示装置における液晶パネルの要部断面図である。

【図 10】本発明の実施の形態 2 の液晶表示装置におけるアレイ基板の電氣的な接続関係を示す概略平面図である。

【図 11】本発明の実施の形態 3 の液晶表示装置における液晶パネルの要部平面図である。

【図 12】本発明の実施の形態 3 の液晶表示装置における液晶パネルの要部断面図である。

【発明を実施するための形態】

【0019】

実施の形態 1.

本実施の形態 1 の液晶表示装置に用いられる液晶パネル 100 の構成について図 1 ～図 5 を用いて説明する。図 1 および図 2 は、液晶パネル全体の構成の断面図と平面図をそれぞれ示しており、図 1 は、図 2 における A－B 断面線における断面図に対応する。また、図 3 および図 4 は、発明の主要部となるアレイ基板上に設けられる信号線などの各パターンの配置、カラーフィルタ基板上に設けられる柱状スペーサとブラックマトリクス

【0020】

の配置を示す詳細説明図であり、図 3 は、それら各構成の平面配置を示す平面図、図 4 は、図 3 における X1－X2 断面線における断面図に対応する。また、図 5 は、主にアレイ基板上に設けられる信号線などの電氣的な接続関係を示した概略的な平面図である。

【0021】

なお、図は模式的なものであり、示された構成要素の正確な大きさなどを反映するものではない。特に、カラーフィルタ基板とアレイ基板間に配置される構成については、説明の便宜上、双方の基板の厚みに比べて、基板間の距離や基板面に垂直方向の長さなどを誇張して図示している。また、図面が煩雑とならないよう、発明の主要部以外の省略や構成の一部簡略化などを適宜行っている。以下の図においても同様とする。更に、以下の図においては、図中、既出の図において説明したものと同一の構成要素には同一の符号を付し、適宜その説明を省略する。

【0022】

ここでは、1 例として TFT (Thin Film Transistor) をスイッチング素子に用いて動作される横電界方式の液晶パネルの特に FFS (Fringe Field Switching) 方式を用いた液晶パネルへ本発明を適用した場合について説明を行うことにする。

【0023】

また、図 1 および図 2 に示されるとおり、この液晶パネル 100 は、TFT などのスイッチング素子と画素電極がアレイ状に配列して設けられるアレイ基板である TFT アレイ基板（以下、アレイ基板）110 と、このアレイ基板 110 に対して対向して位置合わせして配置され、画像を表示する表示領域 200 を有する対向基板であるカラーフィルタ基板（CF 基板）120 と、表示領域 200 に対応する領域を囲うように配置され、CF 基板 120 とアレイ基板 110 との間の間隙を密封するシール材 130 を備えている。

【0024】

また、このシール材 130 により密封され、CF 基板 120 とアレイ基板 110 との間に挟まれる間隙の少なくとも表示領域 200 に対応する領域に液晶層 140 が挟持されている。このシール材 130 は、表示領域 200 に対応する領域外側に配置される額縁領域 190 に形成される。また、アレイ基板 110 および CF 基板 120 の外形はどれも矩形となっており、アレイ基板 110 の外形の方が、CF 基板 120 の外形よりも大きく、C

F基板120の外形端面より一部突出する突出部を有して重ね合わせ配置されている。ここでは、図示されるとおり、CF基板120の隣接する2辺において、上記のアレイ基板110の突出部が設けられ、当該突出部はアレイ基板110の隣接する2辺に設けられることになる。

【0024】

また、図中では、表示領域200となる矩形領域を点線で囲み、額縁領域190との境界としている。なお、ここで使用した額縁領域190については、液晶パネル100のアレイ基板110上、CF基板120上、或いは両基板間に挟まれる領域において、表示領域200外側に位置する表示領域200を取り囲む額縁状の領域、即ち表示領域200を除く全ての領域のことを意味し、表示領域200についても、液晶パネル100のアレイ

10

【0025】

更にアレイ基板110とCF基板120間には、図3および図4に示されるとおり、基板間に所定の一定範囲内の間隙を形成し保持する柱状スペーサ（メインスペーサ125mおよびサブスペーサ125s）が表示領域200内に多数配置される（図1および図2中では図示省略）。なお、基板間に所定の一定範囲内の間隙を形成し保持する柱状スペーサ（メインスペーサ125mおよびサブスペーサ125s）については、本発明の特徴的な構成であることから、別途詳細に説明を行う。

【0026】

続いて、上述のCF基板120の詳細な構成について説明する。CF基板120は、透明基板である厚み0.7mm程度の一般的なガラスよりなるガラス基板121の上に各構成が配置される。まず、このガラス基板121の一方の面の少なくとも表示領域200において、液晶を配向させる配向膜（図示省略）と、配向膜の下部に設けられるカラーフィルタ122（ここでは、3原色である赤（R）、緑（G）、青（B）として、それぞれ、122R、122G、122Bを付している）およびカラーフィルタ122R～122B間を遮光するため、或いは表示領域200に対応する領域外側に配置される額縁領域190を遮光するために設けられる遮光層であるブラックマトリクス（Black Matrix：BM）123と、上記配向膜よりも下層に設けられ、カラーフィルタ122R～122BとBM123の表面を覆い、これらカラーフィルタ122R～122BとBM123で形成される表面段差を平坦化することでCF基板120の表面を平坦化する透明樹脂膜よりなる平坦化膜であるオーバーコート層（OC層）124などを有している。

20

30

【0027】

カラーフィルタ122R～122Bとしては、例えば、感光性樹脂中に顔料や染料などを分散させた色材層が選択でき、赤、緑、青などの特定の波長範囲の光を選択的に透過するフィルタとして機能し、これら異なる色の色材層のパターンが規則的に配列して構成される。また、BM123については、例えば、感光性樹脂中にカーボン系黒色顔料やチタン系黒色顔料などを分散させてなる、いわゆる樹脂BMを用いても良いし、ある程度の反射防止機能を有した酸化Cr膜が表面に設けられた金属Crよりなる、いわゆるCr-BMを用いても良いが、本実施の形態1では、樹脂BMからなるBM123を選択した。また、図1の断面図或いは図3の平面図に示されるとおり、BM123の特に表示領域200に設けられる遮光パターンにおいては、各画素の画素電極112に対応して配置される開口部となるBM開口部123oが設けられ、格子状の遮光パターンよりなる。つまり、言い方を変えると、この表示領域200に設けられるBM123の格子状の遮光パターンは、画素電極112間の領域に重なって設けられることになる。また、先に説明したカラーフィルタ122R～122Bの各色材層のパターンについては、図中に示すY方向に沿って、上記のBM開口部123oを少なくとも覆う領域に設けられている。

40

【0028】

また、図示省略しているが、CF基板120表面に形成される配向膜については、柱状スペーサの形成後に配向膜とする配向膜材料は塗布されることから、主に表示領域200

50

内の柱状スペーサの形成部分以外の領域に形成されるものの、柱状スペーサの表面にも配向膜材料は塗布されていることになる。然しながら、柱状スペーサの表面に形成される配向膜材料自体は比較的薄く形成されることや、柱状スペーサの表面では配向処理された配向膜としての実質的な機能を有さない。

【0029】

更に、上記の柱状スペーサ（メインスペーサ125mおよびサブスペーサ125s）については、アレイ基板110とCF基板120間に設けられる構成であるが、CF基板120側の表面の特にオーバーコート層（OC層）124の表面に固着して設けられる。

【0030】

また、CF基板120のガラス基板121の他方の面、すなわち、カラーフィルタ122R~122B、BM123などの設けられる面と反対側の面には、接地接続される静電気防止用透明導電層126を備えている。この静電気防止用透明導電層126は、例えば、ITO（Indium Oxide）膜などの透明導電膜がガラス基板121の少なくとも表示領域200を覆い設けられるものであり、横電界方式の液晶パネルにおいて静電気による帯電や外部電界による表示不良防止に有効なものとして設けられる。更に、このCF基板120の他方の面には、静電気防止用透明導電層126の外側に偏光板132を有している。

【0031】

続いて、上述のアレイ基板110の詳細な構成について説明する。アレイ基板110についても、CF基板120と同様に透明基板である厚み0.7mm程度の一般的なガラスよりなるガラス基板111上に各構成が配置される。まず、アレイ基板110における表示領域200に設けられる構成より、以下、順に説明する。アレイ基板110は、表示領域200において、このガラス基板111の一方の面に液晶を配向させる配向膜（図示省略）と、配向膜の下部において設けられ、アレイ基板110或いはCF基板120の基板面と平行な方向の電界を発生し液晶を駆動する電圧を印加する一対の電極である画素電極112および対向電極113と、これら一対の電極の一方である画素電極112に電圧を書き込むスイッチング素子であるTFT114と、TFT114を覆う絶縁膜115、TFT114に信号を供給する配線である複数の走査信号線（以下、ゲート配線とも呼ぶ）117および映像信号線（以下、ソース配線とも呼ぶ）118などを有している。

【0032】

また、図3に示されるとおり、TFT114は、トランジスタの能動層となる半導体層114cと、半導体層114cに重なって設けられるトランジスタのゲート電極（ここではゲート配線117の一部と共通）、ソース電極114s、およびドレイン電極114dなどを有しており、TFT114は、それぞれソース電極114sを介してソース配線118に対して、ドレイン電極114dを介して各画素電極112に電氣的に接続されている。

【0033】

また、液晶を駆動する電圧を印加する一対の電極である画素電極112と対向電極113については、本実施の形態1においては、図3に示されるとおり、一方の電極である画素電極112が平板形状の透明導電膜パターンより構成され、他方の電極である対向電極113は、上記の画素電極112と重なる領域に複数並列して設けられたスリット状の開口部よりなるスリット電極113sを有し、更に、TFT114の半導体層114cと重なる領域に設けられた開口部となる対向電極（開口部）113oを有する透明導電膜パターンより構成され、特に当該スリット電極113sの形成領域について上記の画素電極112上に絶縁膜115を介して重なって配置される。

【0034】

また、画素電極112と対向電極113における上記構成は必須ではなく、従来、横電界方式の電極として一般的であった画素電極112および対向電極113の両者について、櫛歯形状を有した櫛歯電極としても良い。或いは、FFS方式の別の形態として、画素電極112と対向電極113について、それぞれの形状と配置の上下関係を逆として、画素

電極 112 側を複数並列して設けられたスリット状の開口部よりなるスリット電極を有するパターンとして対向電極 113 より上層に配置し、対向電極 113 を平板形状として画素電極 112 より下層に配置し、TFT 114 は、上記のスリット電極を有するパターンよりなる画素電極 112 に接続し電圧を印加する構成としても構わない。

【0035】

なお、アレイ基板 110 を構成する絶縁膜 115 については、図中では、TFT 114 を構成する半導体層 114c、ゲート電極、ソース電極 114s、およびドレイン電極 114dなどを互いに絶縁する各絶縁膜や TFT 114 を被う絶縁膜、或いは画素電極 112 と対向電極 113 間に形成される絶縁膜などについて一体化した絶縁膜に簡略化して示しているが、各電極などの間において、単層の透明絶縁膜、或いは複数層の透明絶縁膜の積層膜により構成される。

10

【0036】

また、アレイ基板 110 上に設けられるゲート配線 117、ソース配線 118、TFT 114、画素電極 112、および対向電極 113 の平面配置、接続関係などについては、図 2、図 3、および図 5 にて示されるとおり、画素電極 112 は、表示領域 200 において、行列状に複数配列して設けられ、それぞれ、TFT 114 に接続される。また、ゲート配線 117 とソース配線 118 については、それぞれ行方向或いは列方向に延在して複数本設けられる。本実施の形態 1 では、図中に示す X 方向を行方向、Y 方向を列方向と見なして説明すれば、ゲート配線 117 が行方向に延在し、ソース配線 118 が列方向に延在して設けられることになる。また、それぞれ複数本設けられたゲート配線 117 とソ

20

【0037】

なお、先に説明した対向電極 113 に設けられたスリット状の開口部となるスリット電極 113s について、本実施の形態 1 では、図 3 に示されるとおり、Y 方向、つまり、ソース配線 118 の延在方向となる列方向に、そのスリット電極 113s の長手方向を有して配置される。また、画素電極 112 と対向電極 113 について櫛歯形状を有した櫛歯電極とする場合においては、それら櫛歯電極の長手方向について、同様にソース配線 118 の延在方向となる列方向に配置するようにすれば良い。更に、画素電極 112 と対向電極 113 の別の形態となる画素電極 112 側を複数並列して設けられたスリット状の開口部よりなるスリット電極を有するパターンとする場合においても、画素電極 112 側に設けられるスリット電極の長手方向をソース配線 118 の延在方向となる列方向に配置するようにすれば良い。

30

【0038】

また、一般的な横電界方式の液晶パネルにおいては、画素電極 112 或いは対向電極 113 を構成するスリット電極や櫛歯電極パターンについて、1 つの画素内において、或いは、隣接する 2 つの画素間において、2 方向の延在方向を有して線対称に配置し、屈曲形状として分割配向を行なう設計を採られる場合も多い。本実施の形態 1 でも当該設定を採用する場合には、例えば、画素電極 112 或いは対向電極 113 を構成するスリット電極や櫛歯電極パターンについて、ソース配線 118 の延在方向となる列方向に対して 30 度以下の同じ角度でそれぞれ正方向と負方向に傾斜する 2 方向の長手方向（延在方法）を有した屈曲形状とすると良い。

40

【0039】

また、本実施の形態 1 では、ゲート配線 117、ソース配線 118、および TFT 114 を介した画素電極 112 への表示電位の供給方法として、いわゆる 2 倍走査線方式を用いることとしている。従って、例えば、行列状に配列して設けられる画素電極 112 が、行方向（X 方向）に N 個配列され、列方向（Y 方向）に M 個配列されるとすれば、図 5 の概略的な平面図に示されるとおり、ソース配線 118（ $118_n \sim 118_{n+2}$ ）は、N 列配列される画素電極 112 に対して、各々 2 列ずつに区切るように設けられ、各ソース配線 118 は、各々の両側に配置される 2 個の TFT 114 を介して画素電極 112 に接続されている。つまり、ソース配線 118（ $118_n \sim 118_{n+2}$ ）は、互いに隣接す

50

る任意の2列の画素電極112間に挟まれる各領域において、1本配置される画素間領域と配置されない画素間領域が交互に繰り返される配置となり、総計 $N/2$ 本設けられることになる。

【0040】

一方、ゲート配線117 ($117_m \sim 117_{m+4}$) は、M行配列される各画素電極112に対して、上下方向より両側から挟むように2本ずつ設けられ、上記の $N/2$ 本設けられる各ソース配線118の両側に配置される2個のTF T 114に対して、両側から挟んで配置されるゲート配線117が交互に接続されている。つまり、ゲート配線117 ($117_m \sim 117_{m+4}$) は、互いに隣接する任意の2行の画素電極112間に挟まれる各領域において、2本ずつ設けられ、総計2M本設けられることになる。

10

【0041】

上記説明とおり、各ソース配線118の両側に配置される2個のTF T 114は、それぞれ上側下側の別のゲート配線117に接続されることから、各ソース配線118の両側で画素電極112に対して上側下側の異なる位置に配置される。また、図5においては、TF T 114は1列ごとに画素電極112に対して上側下側の異なる位置に配置される例、つまり、各ソース配線118の間に配置される2個のTF T 114が画素電極112に対して上側下側の異なる位置に配置される例を示している。但し、各ソース配線118の両側に配置される2個のTF T 114に対して異なるゲート配線117により走査信号電圧の供給が行なうことができれば良いことから、各ソース配線118の間に配置される2個のTF T 114が画素電極112に対して上側或いは下側の同じ位置に配置され、2列単位で上側と下側が交互配置される例としても良い。

20

【0042】

続いて、アレイ基板110の額縁領域190に設けられる構成について説明する。アレイ基板110上における額縁領域190の特にCF基板120の端面よりも一部突出する突出部におけるCF基板120の配置される側の表面には、TF T 114に供給される信号を外部から受け入れる信号端子116を備えている。信号端子116は、図示されたとおり、アレイ基板110の隣接する2辺に設けられる突出部に対応して、アレイ基板110の2辺の額縁領域190にそれぞれ設けられ、図中Y方向の辺に設けられる一方がゲート配線117に走査信号を供給し、図中X方向の辺に設けられる他方がソース配線118に映像信号を供給する。なお、信号端子116は、図中では一体の構成で示しているが、詳細には複数の信号に対応して分離した複数の矩形のパッドが基板端部に沿って多数配列した構成となっている。

30

【0043】

更に、この信号端子116のそれぞれのパッドに対しては、接続配線となるFFC (Flexible Flat Cable) 136を介して駆動ICを制御する制御信号などを発生する制御IC (Integrated Circuit) チップなどを装備した制御基板135が接続されている。また、制御基板135からの制御信号は、信号端子116を介して、突出部に取り付けられたソース配線118用のソース駆動ICチップ133或いはゲート配線117用のゲート駆動ICチップ134の入力側に入力され、ソース駆動ICチップ133或いはゲート駆動ICチップ134の出力側より出力される出力信号が表示領域200から引き出された多数の信号引き出し配線 (図示省略) とゲート配線117或いはソース配線118を介して、表示領域200内のTF T 114に供給される。

40

【0044】

なお、本実施の形態1では、2倍走査線方式を用いており、ソース配線118の本数が画素電極112の列数に比べて半分の本数に削減されていることに伴って、ソース配線118用のソース駆動ICチップ133の数も削減して設けられる。

【0045】

また、CF基板120表面に形成される静電気防止用透明導電層126は接地接続される。詳細な接続構造の図示による説明は省略するが、ここでは、例えば、アレイ基板11

50

0の突出部に、アースパッドを設け、静電気防止用透明導電層126とアースパッド間について導電ペーストや導電テープを介して接続することとした。なお、導電ペーストとしては一般的な導電ペースト剤となる銀ペーストを使用することができ、導電テープとしてはAl箔やCu箔などの金属箔よりなる母材に導電粘着剤を塗布したものを使用することができ、一般的な市販品の導電テープを利用することができる。

【0046】

以上説明のとおり、本実施の形態1の液晶パネル100は構成される。更に、液晶パネル100に対し、CF基板120の表示領域200に形成される表示面と反対側には、アレイ基板110の基板面に対向して光源となるバックライトユニット（図示省略）が、バックライトユニットからの光を調整する機能を有する光学シート（図示省略）を介して配置され、これら部材と共に表示領域200の表示面の部分が開放された筐体（図示省略）の中に収納され、本実施の形態1の液晶表示装置が構成される。

10

【0047】

続いて、本発明での特徴的な構成の1つであるCF基板120上に設けられる柱状スペーサ（メインスペーサ125mおよびサブスペーサ125s）とBM123などの構成の配置と、特に、アレイ基板110側に配置される各信号線との位置関係などについて、図3の平面図を用い、適宜、図4の断面図を参照しながら説明を行う。

【0048】

まず、本実施の形態1の格子状の遮光パターンよりなるBM123の平面配置としては、図3の平面図に示されるとおり、各画素電極112間における列方向の画素間領域においては、ソース配線118が1本配置される画素間領域と配置されない画素間領域が交互に繰り返される配置となっているが、ソース配線118が1本配置される画素間領域とソース配線118が配置されない画素間領域の双方の画素間領域にBM123の遮光パターンは配置される。特に本実施の形態1においては、ソース配線118が1本配置される画素間領域とソース配線118が配置されない画素間領域の双方の画素間領域に配置されるBM123の遮光パターンについて、同じ幅で設けるようにした。つまり、BM123における列方向に沿って設けられる遮光パターンについて、各列間で同じ幅で設けられる。

20

【0049】

この様に同じ幅で設けられることにより、画像を表示した際において、輝度ムラを生ずることによる列方向に沿う方向での縦スジや縦ムラが発生することを防止することができ、高い表示品位が得られることから、より望ましい。なお、表示品位よりも開口率を重視する設計を行なう場合には、ソース配線118が1本配置される画素間領域に配置されるBM123の遮光パターンに比べて、ソース配線118が配置されない画素間領域に配置されるBM123の遮光パターンを細くなるように設けても良く、その場合には、等幅とする場合に比べると、若干、表示品位が劣るものの高い開口率を得ることができることになる。

30

【0050】

一方、各画素電極112間における行方向の画素間領域においては、ゲート配線117が2本ずつ設けられる配置となっているが、当該画素間領域において、BM123の遮光パターンは、上記のとおり、隣接して並走される2本のゲート配線117の隙間も含めて両者を覆うように、行方向の画素間領域の全体に渡って配置される。

40

【0051】

続いて、本実施の形態1の柱状スペーサの構成について詳細説明を行なう。本実施の形態1の柱状スペーサ（メインスペーサ125mおよびサブスペーサ125s）については、先に説明のとおり、何れもCF基板120側の表面に固着して設けられることから、CF基板120の一部構成であるが、高温時の下膨れ不良、低温時の発泡不良の2つの不良を防止することと、表示面に対する外的衝撃に対する耐性を確保することを両立するために、2種類の柱状スペーサ形態を混在して備えるデュアルスペーサ構造を用いている。

【0052】

より具体的には、図4の断面図においては、液晶パネル100のアレイ基板110とC

50

F基板120の表面に、特に外圧などが印加されない状態、つまり、基板間隔が所定値（セルギャップ値）の状態を示しているものとするが、図中のメインスペーサ125mについては、アレイ基板110とCF基板120の双方に当接した状態である。更に、メインスペーサ125mは、図示は省略するが、アレイ基板110とCF基板120の表面に外圧などが印加されることによって、基板間隔が上記の所定値（セルギャップ値）より狭くなった場合にも、アレイ基板110とCF基板120に当接されることとなる。つまり、メインスペーサ125mは、CF基板120に当接して設けられるとともに、絶えずアレイ基板110表面に対しても当接して、基板間隔をセルギャップ値に保持することとなり、デュアルスペーサ構造におけるメインスペーサとして機能する。

【0053】

一方、サブスペーサ125sについては、同じく特に外圧などが印加されない状態である図4にて示されるとおり、CF基板120側には当接して設けられるものの、アレイ基板110には当接されていない。つまり、メインスペーサ125mとは違って、絶えずアレイ基板110表面に当接して設けられる訳ではないが、アレイ基板110とCF基板120の表面に外圧などが印加されることによって、メインスペーサ125mが弾性変形する範囲でアレイ基板110とCF基板120間が近接され、基板間隔が上記のセルギャップ値より狭くなった場合には、アレイ基板110に当接して、所定の一定範囲内に基板間隔を保持する。つまり、サブスペーサ125sについては、通常時はアレイ基板110表面に当接されず、アレイ基板110とCF基板120間が所定の一定範囲内で狭められ、互いに近接された際において、アレイ基板110表面と当接し、基板間隔を保持することとなり、デュアルスペーサ構造におけるサブスペーサとして機能する。

【0054】

一方、これらメインスペーサ125mおよびサブスペーサ125sの平面配置としては、図3の平面図に示されるとおり、メインスペーサ125mおよびサブスペーサ125sの両者ともに、BM123におけるBM開口部123o間に設けられる格子状の遮光パターンの交差部に配置される。当該交差部は格子状の遮光パターンにおける各格子点の位置に対応する。また、2倍走査線方式を用いた場合においては、互いに隣接する任意の2列の画素電極112間に挟まれる各領域において、ソース配線118が1本配置される画素間領域と配置されない画素間領域が交互に繰り返される配置となることに伴って、このBM123における格子状の遮光パターンの交差部において、ゲート配線117とソース配線118が交差する部分と、ゲート配線117とソース配線118が交差しない部分、つまり、ゲート配線117のみが設けられる部分が基本的には行方向に沿って交互に設けられる。

【0055】

従って、BM123における格子状の遮光パターンの交差部においては、ソース配線118の有無の差による段差がアレイ基板110上に形成され、このソース配線118よりも上層に当該段差を平坦化する平坦化層などが設けられない限り、BM123における格子状の遮光パターンの交差部において、ゲート配線117とソース配線118が交差する部分とゲート配線117とソース配線118が交差しない部分とでアレイ基板110の表面の高さの異なる段差が設けられることになる。

【0056】

以上のとおり、メインスペーサ125mおよびサブスペーサ125sの両者が配置されるBM123における格子状の遮光パターンの交差部においては、ゲート配線117とソース配線118が交差する部分とゲート配線117とソース配線118が交差しない部分とでアレイ基板110の表面の高さの異なる段差が設けられる。更に、本実施の形態1のメインスペーサ125mおよびサブスペーサ125sは、それぞれ、図3の平面図に示されるとおり、メインスペーサ125mはゲート配線117とソース配線118が交差する部分におけるBM123交差部に配置し、サブスペーサ125sはソース配線118が設けられずゲート配線117のみが配置される部分におけるBM123交差部に配置する。なお、図では、メインスペーサ125mおよびサブスペーサ125sを1つずつ図示して

いるが、表示領域 200 内において、多数のメインスペーサ 125 m およびサブスペーサ 125 s を規則的に配列して配置し、その配列の規則や配置密度などは適宜設定すると良い。但し、それら複数のメインスペーサ 125 m は、全てゲート配線 117 とソース配線 118 の交差部に配置し、それら複数のサブスペーサ 125 s はゲート配線 117 のみが配置される部分に配置する。

【0057】

また、本実施の形態 1 のメインスペーサ 125 m とサブスペーサ 125 s がデュアルスペーサ構造として機能することは先にも説明のとおりであるが、本実施の形態 1 のメインスペーサ 125 m とサブスペーサ 125 s においては、CF 基板 120 の表面に固着して設けられるとともに、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを共通部材として構成されている。従って、CF 基板 120 の表面において同じ高さに設けられている。言い換えると、ガラス基板 121 の基板面からの高さにおいて同じ高さに設けられている。この様に CF 基板 120 上の構成においてはメインスペーサ 125 m とサブスペーサ 125 s に差がないにも関わらずデュアルスペーサ構造として機能するのは、それぞれが対向配置されるアレイ基板 110 の表面に段差が形成されていることによる。

【0058】

このメインスペーサ 125 m とサブスペーサ 125 s をデュアルスペーサ構造として機能させるために設けられるアレイ基板 110 の表面に設けられた段差は、図 4 の断面図に示されるとおり、メインスペーサ 125 m とサブスペーサ 125 s に対向する部分のアレイ基板 110 におけるソース配線 118 の有無によるものであり、先に説明したとおり、2 倍走査線方式を用いた場合において、BM 123 交差部に形成されるソース配線 118 の有無による段差に相当する。以上の説明のとおり、本実施の形態 1 のメインスペーサ 125 m とサブスペーサ 125 s とは、2 倍走査線方式におけるゲート配線 117 とソース配線 118 の特徴的な配置と、当該メインスペーサ 125 m およびサブスペーサ 125 s の平面配置との関係性より、デュアルスペーサ構造を有した柱状スペーサとして有効に機能する。

【0059】

次に、本実施の形態 1 の液晶表示装置の製造方法の 1 例について説明を行う。ここでは、本発明において特徴的な液晶パネルの製造工程について、図 6 に示すフローチャートに従って順次各工程の概要説明を行うことにする。

【0060】

まず、基板準備工程において、互いに貼り合わされる前のアレイ基板 110 を取り出すマザーアレイ基板と CF 基板 120 を取り出すマザー基板であるマザー CF 基板を準備する。それぞれのマザー基板上において、所定の枚数の同じ構成のアレイ基板 110 或いは CF 基板 120 が配列して形成される。このアレイ基板 110 の構成を備えたマザーアレイ基板と、CF 基板 120 の構成を備えたマザー CF 基板とは、図 1 から図 3 を用い説明したとおり、アレイ基板 110 の詳細構成がわかれば、公知の FFS モードの液晶表示装置のアレイ基板および CF 基板の製造方法と公知の成膜工程とパターンニング工程の繰り返しを適宜組み合わせることで製造することが可能である。従って、より具体的なマザーアレイ基板およびマザー CF 基板自体の製造方法の説明については省略する。

【0061】

なお、本実施の形態 1 においては、マザー CF 基板に設けられるメインスペーサ 125 m とサブスペーサ 125 s については、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを形成するが、一般的なマザー CF 基板の製造方法に沿って、例えば、感光性樹脂膜をマザー CF 基板の全面に塗布形成した後に、共通のパターンニング工程によりメインスペーサ 125 m とサブスペーサ 125 s のそれぞれの形成位置に当該感光性樹脂膜を残存させるようパターンニングすることによって、それぞれ同じ厚みに柱状の樹脂パターンを形成することができる。

【0062】

なお、以降で説明する本発明の変形例などでは、柱状スペーサを構成する柱状の樹脂パ

10

20

30

40

50

ターンについて、異なる厚みの柱状の樹脂パターンにより構成する例もあるが、その場合には、公知の異なる高さのデュアルスペーサ構造の形成方法であるハーフトーンマスク（或いはグレートーンマスク、その他、中間調露光マスク、階調露光マスクなどと言われる）技術を利用して形成することができる。

【0063】

続いて、以上説明のとおり準備されたアレイ基板110の形成されたマザーアレイ基板に対して、基板を洗浄する基板洗浄工程を行う（S1）。次に、配向膜材料塗布工程において、マザーアレイ基板の一方の面に、配向膜材料を塗布形成する（S2）。この工程は、例えば、印刷法により有機膜からなる配向膜材料を塗布し、ホットプレートなどにより焼成処理し乾燥させる。次に、配向処理工程において、配向膜材料に対して、例えばラビ
10
ング処理などの配向処理を行い、配向膜材料表面を配向処理してアレイ基板110側の配向膜とする（S3）。なお、ここで行なうラビング処理などの配向処理の方向としては、スリット電極113sの長手方向の延在方向、或いは、当該方向に一致するソース配線118の延在方向となる列方向（図2の平面図におけるY方向）に概ね平行方向に行う。また、S1～S3と同様に、CF基板120が形成されているマザーCF基板についても、洗浄、配向膜材料の塗布、ラビングなどの配向処理を行うことによりCF基板120側の配向膜を形成する。

【0064】

続いて、シールペースト剤塗布工程において、シールディスペンサ装置を用いて、マザーアレイ基板或いはマザーCF基板の一方の面に、シール材130となる接着剤のペースト
20
剤をディスペンサノズルより吐出して塗布する。ペースト剤は、液晶パネルの表示領域200を囲うパターン形状に塗布され、シール材130を形成する（S4）。そして、液晶滴下工程において、マザーアレイ基板或いはマザーCF基板の一方の面に、シール材130で囲まれる領域内に多数の液滴状の液晶を滴下する（S5）。具体的には、例えば、マザーCF基板のCF基板120に対して、シール材130で囲まれる領域内に多数の液滴状の液晶を全体で所定量の液晶層140が形成されるように滴下する。また、ここでは、いわゆる滴下注入法を用いて液晶を充填し、液晶層140を形成する方法を1例としたので、この様に形成したが、いわゆる真空注入法を用いる場合には、シール材130は完全に閉じた形状ではなく一部開口させた液晶注入口が形成される。また、液晶は貼り合わせた後に前記液晶注入口より注入されることから、上記説明した液滴状の液晶の形成処理
30
は省略される。

【0065】

続いて、貼り合わせ工程において、マザーアレイ基板およびマザーCF基板を貼り合わせてセル基板を形成する（S6）。具体的には、液滴状の液晶を載せた状態でマザーアレイ基板およびマザーCF基板が近接され、位置合わせして重ね合わせられる。その結果、液滴状に形成された液晶がマザーアレイ基板とマザーCF基板間に挟まれて均一に拡がり一体化した液晶層140の状態となり、マザーアレイ基板とマザーCF基板間のそれぞれのシール材130により囲まれる容積内に満たされる。

【0066】

更に、シール材硬化工程において、マザーアレイ基板とマザーCF基板を貼り合わせた状態で、シール材130を完全に硬化させる（S7）。この工程は、例えば、シール材130の材質に合わせて熱を加えることや、紫外線を照射することにより行われる。本実施の形態1では、滴下注入法と相性の良い、紫外線を照射する方法により硬化を行った。この工程によりマザーアレイ基板とマザーCF基板は位置合わせされた位置関係のまま固定される。

【0067】

次に、セル分断工程において、セル基板を多数の個別セルに分断する（S8）。なお、いわゆる真空注入法を用いる場合には、先に説明をしたとおりシール材130に一部開口させた液晶注入口を形成しておき、上記のセル分断工程後に行う液晶注入工程において、個々の個別セルに対して液晶注入口から液晶を注入する。この工程は、例えば、液晶を液
50

晶注入口から真空注入により充填することにより液晶層 140 の形成が行われる。更に、封止工程において、液晶注入口を封止する。この工程は、例えば、光硬化型樹脂で封じ、光を照射することにより行われる。

【0068】

この様に個々の液晶パネルの形状に分断された後、偏光板貼り付け工程において、個別セルのCF基板120およびアレイ基板110のそれぞれの表面に光学フィルムとして偏光板131および偏光板132を貼り付ける(S9)。続いて、制御基板実装工程において、ゲート駆動ICチップ134、ソース駆動ICチップ133、制御基板135などを実装する(S10)。この工程では、ゲート駆動ICチップ134およびソース駆動ICチップ133や、制御基板135の取り付けられたFFC136が、信号端子116に導通可能に貼り付けられ、更に、導電ペースト或いは導電テープなどの導通部材がCF基板120上からアレイ基板110上に跨って、塗布或いは貼り付けられることにより、CF基板120表面の静電気防止用透明導電層126とアレイ基板110表面に形成されたアースパッド間が導通される。以上の工程を経て液晶パネル100が完成する。

【0069】

最後に液晶パネル100に対して、光学シートを介してバックライトユニットを対向して配置し、表示面となる表示領域200におけるCF基板120の外側の部分が開放された筐体中に収納することで、本実施の形態1の液晶表示装置が完成する。

【0070】

以上の様に製造された本実施の形態1の液晶表示装置は次の様に動作する。例えば制御基板135から制御信号が入力され、ゲート駆動ICチップ134およびソース駆動ICチップ133が動作し、表示領域200内のゲート配線117およびソース配線118とTFT114を介して各画素領域に配置される画素電極112に映像信号が入力され、画素電極112と対向配置される共通電極113間にアレイ基板110或いはCF基板120の基板面と平行な方向の電界（より詳しくは、FFS方式では平行方向の電界と平行に近い方向の電界が混在して発生することから、平行方向の成分が主となる電界とも言える。）を発生する所定の駆動電圧が加わり、駆動電圧に合わせて液晶の分子の方向が変わる。そして、バックライトユニットの発する光がアレイ基板110、液晶層140およびCF基板120を介して観察者側に透過或いは遮断されることにより、液晶パネル100のCF基板120側の表示領域200に形成される表示面に映像などが表示される。

【0071】

続いて、本実施の形態1の液晶表示装置における作用および効果について説明を行う。先ず、本実施の形態1の液晶表示装置においては、先に説明したとおり、デュアルスペーサ構造を構成するメインスペーサ125mおよびサブスペーサ125sについて、両者ともに、BM123における格子状の遮光パターンの交差部に配置される。一方、柱状スペーサ近傍における特に柱状スペーサの配向処理方向に対して下流側においては、配向処理が不十分となり、液晶の配向などが乱れ、その結果として光漏れを生ずることが懸念される配向不良領域（以下、引きずり痕とも呼ぶ）が形成される。それに対して、本実施の形態1の液晶表示装置においては、横電界方式であることから、配向処理方向が配線方向と概ね平行方向に設定され、具体的には、対向電極113に設けられるスリット電極113sの長手方向について、ソース配線118の延在方向となる列方向に配置し、当該列方向に概ね平行方向に配向処理を行なっている。従って、この格子状の遮光パターンの交差部に配置されるメインスペーサ125mおよびサブスペーサ125sの場合には、上記の引きずり痕について、これら柱状スペーサの配置される遮光パターンの交差部から下流側となるソース配線118の延在方向に概ね沿って形成されることになるが、丁度、格子状の遮光パターン（特にBM123におけるソース配線118の延在方向となる列方向に延在して配置される各遮光パターン）の遮光領域に沿って形成されることとなり、当該引きずり痕部分における光漏れが発生しないことになる。特に本実施の形態1のBM123の格子状の遮光パターンにおいては、ソース配線118が配置される画素間領域に限らず、ソース配線118が配置されない画素間領域にも遮光パターンが配置されていることから、

サブスペーサ 1 2 5 s の近傍で発生する引きずり痕についても遮光され、光漏れを生じない。

【0072】

つまり、本実施の形態 1 においては、上記のメインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の配置、横電界方式におけるスリット電極の配置、更に、BM 1 2 3 における格子状の遮光パターンの配置が採られていることによって、メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の双方の近傍において、引きずり痕による光漏れと、それに伴う表示画像のコントラストが低下すること、つまり、表示品位の低下を招くことなどについて抑制することができる。また、BM 1 2 3 における遮光領域を必要以上に増加することなく、つまり、必要以上に開口率を低下することなく、上記の光漏れを抑制すること、或いは、それに伴う表示品位の低下について抑制することなどの効果について得ることができる。また、開口率を向上することができる点においては、特に画素を高精細化する際に有効である。

10

【0073】

また、本実施の形態 1 の液晶表示装置においては、上記のとおり、BM 1 2 3 における格子状の遮光パターンの交差部にメインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s を配置するに際して、デュアルスペーサ構造として機能させるために、先にも説明を行なったとおり、BM 1 2 3 における格子状の遮光パターンの交差部においてアレイ基板 1 1 0 の表面に段差が形成される 2 倍走査線方式特有の構成を利用している。より具体的には、BM 1 2 3 における格子状の遮光パターンの交差部に配置されるメインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s と対向配置されるアレイ基板 1 1 0 の表面に、2 倍走査線方式特有の構成として、ゲート配線 1 1 7 とソース配線 1 1 8 が交差する部分とゲート配線 1 1 7 とソース配線 1 1 8 が交差しない部分とでアレイ基板 1 1 0 の表面の高さの異なる段差が設けられることにより、デュアルスペーサ構造として機能している。

20

【0074】

なお、2 倍走査線方式などの一部の例外的な信号線の配置を除いて、一般的な液晶表示装置では、BM における格子状の遮光パターンの交差部において、全て、ゲート配線とソース配線が交差して配置され、本実施の形態 1 の様にアレイ基板の表面に段差が形成されない。つまり、格子状の遮光パターンの交差部および当該アレイ基板表面の段差を利用したデュアルスペーサ構造を形成することができない。従って、一般的な液晶表示装置でデュアルスペーサ構造を形成する場合には、メインスペーサとサブスペーサの少なくとも何れか一方について、格子状の遮光パターンの交差部以外、つまり、ゲート配線におけるソース配線との交差部や T F T 部を除いた一部に配置するか、C F 基板側に設けられる柱状スペーサ自体を 2 種類の高さに作り分けてデュアルスペーサ構造とする構成を採らざるを得ないことになる。その結果として、引きずり痕による光漏れと、それに伴う表示画像のコントラストの低下が懸念され、これらを防止するために引きずり痕を遮光するために遮光領域を増やすと開口率の低下を招くことになる。

30

【0075】

以上説明のとおり、本実施の形態 1 においては、アレイ基板 1 1 0 の表面に形成される段差を利用してデュアルスペーサ構造を形成することから、メインスペーサ 1 2 5 m とサブスペーサ 1 2 5 s について、C F 基板 1 2 0 側において、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを共通部材として構成することができる。その結果として、C F 基板 1 2 0 上にメインスペーサ 1 2 5 m とサブスペーサ 1 2 5 s を形成する際の製造プロセスについて、デュアルスペーサ構造とするための別の形態となる C F 基板側において厚みを異ならせた柱状の樹脂パターンを設けるために必要となるハーフトーンマスク（或いはグレートーンマスク、その他、中間調露光マスク、階調露光マスクなどと言われる）技術の採用や、厚みを作り分けるために 2 回のパターンニング工程を行なう方法の採用など、プロセスの複雑化を招く場合やコスト増加を伴う場合のある製造プロセスを用いる必要が無くなる。従って、本実施の形態 1 においては、先に説明した効果に併せて、プロセスの複雑化やコスト増加を伴う場合のある製造プロセスを用いる必要が無いことから、

40

50

比較的容易に、或いは低コストにて、低温や高温に置いた場合における不良発生を抑制することができ、広い温度範囲で使用しても高い信頼性が得られるデュアルスペーサ構造を有した液晶表示装置を得ることができる。

【0076】

続いて、実施の形態1の液晶表示装置におけるデュアルスペーサ構造の柱状スペーサを構成する特にCF基板120側に設けられる柱状の樹脂パターンについて、実施の形態1の様に、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを共通部材として構成されるのではなく、互いに異なる厚みに設けられる柱状の樹脂パターンにより構成されることとした変形例について、図7を用いて説明を行う。なお、説明については、実施の形態1との変更部分について重点的に行ない、適宜、重複する構成については説明を省略することとする。ここで、図7は、実施の形態1との変更部分となるデュアルスペーサ構造を構成するCF基板120側に設けられる柱状の樹脂パターンについて説明する断面図であって、実施の形態1の図3に示されるX1-X2断面線における断面図となる図4に対応する。図4の断面図と同様に、図7は液晶パネル100のアレイ基板110とCF基板120の表面に特に外圧などが印加されない状態、つまり、基板間隔が所定値（セルギャップ値）の状態を示している。

【0077】

この変形例については、実施の形態1の液晶表示装置における図3に示されるメインスペーサ125mとサブスペーサ125sの平面配置とアレイ基板110側に配置される各信号線との位置関係については特に変更することなく、デュアルスペーサ構造の柱状スペーサを構成する特にCF基板120側に設けられる柱状の樹脂パターンについて、図7に示すとおり、互いに異なる厚みに設けられる柱状の樹脂パターンにより構成されることとし、より具体的には、メインスペーサ125mを構成する柱状の樹脂パターンに比べて薄い厚みに設けられる柱状の樹脂パターンにより構成されるサブスペーサ125ssを備えるよう変更されている。

【0078】

一方、先に説明のとおり、メインスペーサ125mとサブスペーサ125sの平面配置とアレイ基板110側に配置される各信号線との位置関係については、実施の形態1と同様であることから、メインスペーサ125mおよびサブスペーサ125ssが対向配置されるアレイ基板110の表面において、ゲート配線117とソース配線118が交差する部分とゲート配線117とソース配線118が交差しない部分とで高さの異なる段差が設けられる点については、本変形例においても同様である。従って、図7に示されるとおり、特に外圧などが印加されない状態において、サブスペーサ125ssは、ソース配線118の厚みとメインスペーサ125mとサブスペーサ125ssの厚みの差分との和に相当する距離だけ、アレイ基板110の表面より間隔を空けて配置されている。つまり、特に外圧などが印加されない状態におけるサブスペーサ125ssとアレイ基板110の表面との間隔は、実施の形態1におけるサブスペーサ125sとアレイ基板110の表面との間隔と比べて、メインスペーサ125mとサブスペーサ125ssの厚みの差分だけ拡がっていることになる。

【0079】

以上、構成について説明した実施の形態1の変形例の液晶表示装置においては、実施の形態1の液晶表示装置と同様に、上記のメインスペーサ125mおよびサブスペーサ125ssの配置、横電界方式におけるスリット電極の配置、更に、BM123における格子状の遮光パターンの配置が採られていることによって、メインスペーサ125mおよびサブスペーサ125ssの双方の近傍において、引きずり痕による光漏れと、それに伴う表示画像のコントラストが低下すること、つまり、表示品位の低下を招くことなどについて抑制することができる。また、BM123における遮光領域を必要以上に増加することなく、つまり、必要以上に開口率を低下することなく、上記の光漏れを抑制すること、或いは、それに伴う表示品位の低下について抑制することなどの効果について得ることができる。

【0080】

また、アレイ基板110の表面に形成される段差に加えて、メインスペーサ125mおよびサブスペーサ125ssの厚みの差を利用して、デュアルスペーサ構造において、サブスペーサ125ssとアレイ基板110の表面との間隔を拡げることができ、サブスペーサ125ssとアレイ基板110が当接するまでのメインスペーサ125mの圧縮変形量のマージンが拡がる。従って、低温や高温に置いた場合における不良発生を抑制することができ、広い温度範囲で使用しても高い信頼性が得られるデュアルスペーサ構造を有した液晶表示装置を得ることができるという実施の形態1で得られる効果と同様の効果が得られることに加えて、上記のとおり、サブスペーサ125ssとアレイ基板110が当接するまでのメインスペーサ125mの圧縮変形量のマージンが拡がることより、特に低温時の発泡不良の抑制作用を高め、信頼性に係る性能を向上することができる。

10

【0081】

実施の形態2.

続いて、先に説明を行った実施の形態1の液晶表示装置より、特にアレイ基板110における2倍走査線方式を用いた信号線の配置について、別の方式の信号線の配置に変更を行った実施の形態2の液晶表示装置について、図8から図10を用いて説明を行う。図8および図9は、発明の主要部となるアレイ基板上に設けられる信号線などの各パターンの配置、カラーフィルタ基板上に設けられる柱状スペーサとブラックマトリクス配置を示す詳細説明図であり、図8は、それら各構成の平面配置を示す平面図、図9は、図8におけるX3-X4断面線における断面図に対応する。また、図9は、主にアレイ基板上に設けられる信号線などの電気的な接続関係を示した概略的な平面図である。以下、実施の形態1との変更部を重点的に説明することとする。

20

【0082】

なお、実施の形態1では、ゲート配線117、ソース配線118、およびTF T114を介した画素電極112への表示電位の供給方法として、いわゆる2倍走査線方式を用いることとし、その2倍走査線方式におけるゲート配線117とソース配線118の特徴的な配置となるBM123交差部においてゲート配線117とソース配線118が交差する部分と、ソース配線118が設けられずゲート配線117のみが配置される部分のそれぞれにメインスペーサ125mおよびサブスペーサ125sを配置することとする。ことにより、アレイ基板110の表面に形成される段差を利用してデュアルスペーサ構造を形成したものであった。一方、本実施の形態2においては、ゲート配線117、ソース配線118、およびTF T114を介した画素電極112への表示電位の供給方法として、ゲート配線117とソース配線118の行方向と列方向の関係性を逆とし、列方向に延在するゲート配線117の本数を半分とし、行方向に延在するソース配線118の本数は2倍とし、BM123交差部においてゲート配線117とソース配線118が交差する部分と、ゲート配線117が設けられずソース配線118のみが配置される部分のそれぞれにメインスペーサ125mおよびサブスペーサ125sを配置することとした。

30

【0083】

より具体的には、先ず、アレイ基板110側に設けられるゲート配線117とソース配線118の詳細配置より説明を行なう。例えば、行列状に配列して設けられる画素電極112が、行方向(X方向)にN個配列され、列方向(Y方向)にM個配列されるとすれば、図10の概略的な平面図に示されるとおり、ゲート配線117($117_n \sim 117_{n+1}$)は、N列配列される画素電極112に対して、各々2列ずつに区切るように設けられ、各ゲート配線117は、各々の両側に配置される2個のTF T114を介して画素電極112に接続されている。つまり、ゲート配線117($117_n \sim 117_{n+1}$)は、互いに隣接する任意の2列の画素電極112間に挟まれる各領域において、1本配置される画素間領域と配置されない画素間領域が交互に繰り返される配置となり、総計N/2本設けられることになる。

40

【0084】

一方、ソース配線118($118_m \sim 118_{m+7}$)は、M行配列される各画素電極1

50

1 2 に対して、上下方向より両側から挟むように 2 本ずつ設けられ、図 8 の平面図に示されるとおり、この各画素電極 1 1 2 を上下方向より両側から挟んで配置される 2 本のソース配線 1 1 8 により挟まれる領域に位置する各ゲート配線 1 1 7 上に並んで配置される 2 個の T F T 1 1 4 に対して、当該 2 本のソース配線 1 1 8 がそれぞれ接続されている。つまり、ソース配線 1 1 8 ($1 1 8_m \sim 1 1 8_{m+7}$) は、互いに隣接する任意の 2 行の画素電極 1 1 2 間に挟まれる各領域において、2 本ずつ設けられ、総計 2 M 本設けられることになる。

【0085】

以上のとおり、本実施の形態 2 では、M 行 N 列に配列される各画素電極 1 1 2 に対して、ゲート配線 1 1 7 について、総計 $N/2$ 本設けられ、ソース配線 1 1 8 について、総計 2 M 本設けられる構成を用いている。従って、額縁領域 1 9 0 に設けられる構成についての図示は省略しているが、ゲート配線 1 1 7 の本数が画素電極 1 1 2 の列数に比べて半分の本数に削減されていることに伴って、ゲート配線 1 1 7 用のゲート駆動 I C チップ 1 3 4 の数も削減して設けられることになる。

【0086】

また、本実施の形態 2 においては、上記のゲート配線 1 1 7 およびソース配線 1 1 8 の配置の違いの他に、画素電極 1 1 2 および対向電極 1 1 3 が概ね正方形の矩形を有して、1 対の画素電極 1 1 2 および対向電極 1 1 3 に対応する画素について、3 原色である赤 (R)、緑 (G)、青 (B) と、主に輝度を調整する白 (W)、つまり、青色、赤色、緑色、および白色よりなる 4 色が 2 行 2 列の行列状に配列してなる 4 画素を繰り返し単位として構成される絵素が配列してカラー表示が行なわれる構成を採っている。

【0087】

また、実施の形態 1 においては、対向電極 1 1 3 に設けられたスリット状の開口部となるスリット電極 1 1 3 s について、Y 方向、つまり、ソース配線 1 1 8 の延在方向となる列方向に、そのスリット電極 1 1 3 s の長手方向を有して配置される例について説明を行ったが、本実施の形態 2 においては、図 8 に示されるとおり、同じ Y 方向であるが、ゲート配線 1 1 7 の延在方向となる列方向に、そのスリット電極 1 1 3 s の長手方向を有して配置される。

【0088】

続いて、C F 基板 1 2 0 上に設けられる柱状スペーサ (メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s)、B M 1 2 3 などの各構成の配置について、適宜、アレイ基板 1 1 0 側に設けられるゲート配線 1 1 7 とソース配線 1 1 8 との位置関係も踏まえながら、以下、詳細説明を行う。まず、本実施の形態 2 の格子状の遮光パターンよりなる B M 1 2 3 の平面配置としては、図 8 の平面図に示されるとおり、各画素電極 1 1 2 間において、列方向の画素間領域においては、ゲート配線 1 1 7 が 1 本配置される画素間領域と配置されない画素間領域が交互に繰り返される配置となっているが、ゲート配線 1 1 7 が 1 本配置される画素間領域とゲート配線 1 1 7 が配置されない画素間領域の双方の画素間領域に B M 1 2 3 の遮光パターンは配置される。特に本実施の形態 2 においては、ゲート配線 1 1 7 が 1 本配置される画素間領域とゲート配線 1 1 7 が配置されない画素間領域の双方の画素間領域に配置される B M 1 2 3 の遮光パターンについて、同じ幅で設けるようにした。つまり、B M 1 2 3 における列方向に沿って設けられる遮光パターンについて、各列間で同じ幅で設けられる。

【0089】

この様に同じ幅で設けられることにより、画像を表示した際において、輝度ムラを生ずることによる列方向に沿う方向での縦スジや縦ムラが発生することを防止することができ、高い表示品位が得られることから、より望ましい。なお、表示品位よりも開口率を重視する設計を行なう場合には、ゲート配線 1 1 7 が 1 本配置される画素間領域に配置される B M 1 2 3 の遮光パターンに比べて、ゲート配線 1 1 7 が配置されない画素間領域に配置される B M 1 2 3 の遮光パターンを細くなるように設けても良く、その場合には、等幅とする場合に比べると、若干、表示品位が劣るものの高い開口率を得ることができることに

なる。

【0090】

一方、各画素電極112間において、行方向の画素間領域においては、ソース配線118が2本ずつ設けられる配置となっているが、当該画素間領域において、BM123の遮光パターンは、上記のとおり、隣接して並走して設けられる2本のソース配線118の間も含めて両者を覆うように、行方向の画素間領域の全体に渡って配置される。

【0091】

また、本実施の形態2においては、上記のとおり、2行2列の4画素を赤(R)、緑(G)、青(B)と、白(W)より構成される1つの絵素単位とすることから、図8に示されるとおり、BM123に設けられたBM開口部123oとその周辺部までを覆う領域に設けられる色材層の孤立パターンにより、赤(R)、緑(G)、青(B)に対応して設けられるカラーフィルタ122R~122Bが設けられ、更に、白(W)に対応して設けられる色材層の孤立パターンにより、カラーフィルタ122Wが設けられる。なお、カラーフィルタ122Wについては、上記のとおり、カラーフィルタ122R~122Bと同様に、顔料や染料などを分散させることを省略した感光性樹脂よりなる透明の色材層よりなる孤立パターンを選択しても良いし、透明樹脂膜よりなるオーバーコート層(OC膜)124により兼ねて、別途孤立パターンによりなるカラーフィルタ122Wを配置することを省略しても良い。

【0092】

続いて、本実施の形態2の柱状スペーサの構成について詳細説明を行なう。本実施の形態2の柱状スペーサ(メインスペーサ125mおよびサブスペーサ125s)については、実施の形態1と同様にデュアルスペーサ構造を用いており、図9の特に外圧などが印加されない状態における断面図に示されるとおり、メインスペーサ125mについては、アレイ基板110とCF基板120の双方に当接した状態であり、サブスペーサ125sについては、CF基板120側には当接して設けられるものの、アレイ基板110には当接されていない。

【0093】

更に、これらメインスペーサ125mおよびサブスペーサ125sの平面配置としては、図8の平面図に示されるとおり、メインスペーサ125mおよびサブスペーサ125sの両者ともに、BM123におけるBM開口部123o間に設けられる格子状の遮光パターンの交差部に配置される。また、本実施の形態2の場合においては、互いに隣接する任意の2列の画素電極112間に挟まれる各領域において、ゲート配線117が1本配置される画素間領域とゲート配線117が配置されない画素間領域が交互に繰り返される配置となることに伴って、このBM123における格子状の遮光パターンの交差部において、ゲート配線117とソース配線118が交差する部分と、ゲート配線117とソース配線118が交差しない部分、つまり、ソース配線118のみが設けられる部分が基本的には行方向に沿って交互に設けられる。

【0094】

従って、BM123における格子状の遮光パターンの交差部においては、ゲート配線117の有無の差による段差がアレイ基板110上に形成され、このゲート配線117よりも上層に当該段差を平坦化する平坦化層などが設けられない限り、BM123における格子状の遮光パターンの交差部において、ゲート配線117とソース配線118が交差する部分とゲート配線117とソース配線118が交差しない部分とでアレイ基板110の表面の高さの異なる段差が設けられることになる。

【0095】

また、本実施の形態2のメインスペーサ125mとサブスペーサ125sにおいては、実施の形態1と同様にCF基板120の表面に固着して設けられるとともに、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを共通部材として構成される。更に、実施の形態1と同様にメインスペーサ125mとサブスペーサ125sに対向する部分のアレイ基板110表面に段差が設けられることにより、メインスペーサ125mとサブスペー

サ 1 2 5 s がデュアルスペーサ構造として機能する。

【0096】

以上説明のとおり、本実施の形態 2 のメインスペーサ 1 2 5 m とサブスペーサ 1 2 5 s とは、本実施の形態 2 におけるゲート配線 1 1 7 とソース配線 1 1 8 の特徴的な配置と、当該メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の平面配置との関係性より、デュアルスペーサ構造を有した柱状スペーサとして有効に機能する。

【0097】

続いて、本実施の形態 2 の液晶表示装置における作用および効果について説明を行う。先ず、本実施の形態 2 の液晶表示装置においては、実施の形態 1 と同様に横電界方式であるととも、対向電極 1 1 3 に設けられるスリット電極 1 1 3 s の長手方向について、ゲート配線 1 1 7 の延在方向となる列方向に配置し、当該列方向に概ね平行方向に配向処理を行なう。従って、この格子状の遮光パターンの交差部に配置されるメインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の場合には、実施の形態 1 において説明を行なった柱状スペーサの配向処理方向に対して下流側に発生する引きずり痕について、これら柱状スペーサの配置される遮光パターンの交差部から下流側となるゲート配線 1 1 7 の延在方向に沿って形成されることになるが、丁度、格子状の遮光パターン（特に BM 1 2 3 におけるゲート配線 1 1 7 の延在方向となる列方向に延在して配置される各遮光パターン）の遮光領域に沿って形成されることとなり、当該引きずり痕部分における光漏れが発生しないことになる。特に本実施の形態 2 の BM 1 2 3 の格子状の遮光パターンにおいては、ゲート配線 1 1 7 が配置される画素間領域に限らず、ゲート配線 1 1 7 が配置されない画素間領域にも遮光パターンが配置されていることから、サブスペーサ 1 2 5 s の近傍で発生する引きずり痕についても遮光され、光漏れを生じない。

【0098】

つまり、本実施の形態 2 においては、上記のメインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の配置、横電界方式におけるスリット電極の配置、更に、BM 1 2 3 における格子状の遮光パターンの配置が採られていることによって、メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の双方の近傍において、引きずり痕による光漏れと、それに伴う表示画像のコントラストが低下すること、つまり、表示品位の低下を招くことなどについて抑制することができる。また、BM 1 2 3 における遮光領域を必要以上に増加することなく、つまり、必要以上に開口率を低下することなく、上記の光漏れを抑制すること、或いは、それに伴う表示品位の低下について抑制することなどの効果について得ることができる。

【0099】

以上説明のとおり、本実施の形態 2 においては、実施の形態 1 と同様に、アレイ基板 1 1 0 の表面に形成される段差を利用してデュアルスペーサ構造を形成することから、メインスペーサ 1 2 5 m とサブスペーサ 1 2 5 s について、CF 基板 1 2 0 側において、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを共通部材として構成することができる。その結果として、プロセスの複雑化やコスト増加を伴う場合のある製造プロセスを用いる必要が無いことから、比較的容易に、或いは低コストにて、低温や高温に置いた場合における不良発生を抑制することができ、広い温度範囲で使用しても高い信頼性が得られるデュアルスペーサ構造を有した液晶表示装置を得ることができる。

【0100】

また、本実施の形態 2 においては、3 原色である赤（R）、緑（G）、青（B）と、輝度信号に対応する白（W）、つまり、青色、赤色、緑色、白色の 4 色を用いたカラー表示を行なう液晶表示装置であることから、上記説明の効果に加えて、広い色再現性と高コントラストを両立する高品位な画像を表示することができる。

【0101】

実施の形態 3.

続いて、本発明を半透過型の 2 倍走査線方式を用いた液晶表示装置に適用した例となる実施の形態 3 の液晶表示装置について、図 1 1 および図 1 2 を用いて説明を行う。図 1 1

および図 1 2 は、液晶パネル全体の構成の断面図と平面図をそれぞれ示しており、図 1 2 は、図 1 1 における X 5 - Y 5 断面線における断面図に対応する。以下、実施の形態 1 との変更部を重点的に説明することとする。

【0102】

先ず、本実施の形態 3 におけるアレイ基板 1 1 0 側に設けられる各構成の配置について図 1 1 および図 1 2 を用いて説明を行なう。図 1 1 の平面図に示されるとおり、実施の形態 1 における画素電極 1 1 2 について、半透過型の液晶表示装置とするのに対応して、その一部の領域において、光を透過する透過領域 T を形成する透明導電層よりなる透過画素電極 1 1 2 T を備え、その別の一部の領域において、光を反射する反射領域 R を形成する金属反射層よりなる反射画素電極 1 1 2 R を備えることが実施の形態 1 との相違点となる。なお、透過画素電極 1 1 2 T と反射画素電極 1 1 2 R の具体的な構成については、公知の半透過型液晶表示装置にて用いられる何れのタイプであっても特に適用することに支障は無い。

10

【0103】

本実施の形態 3 の画素電極 1 1 2 においては、1 例として、透過領域 T に設けられる透過画素電極 1 1 2 T としては、ITO 膜などの一般的な透明導電膜の単層より構成し、反射領域 R に設けられる反射画素電極 1 1 2 R としては、例えば、一般的な反射電極膜となる少なくとも A 1 膜が表層に設けられる単層膜或いは下層に Mo 膜などのコンタクト層が設けられる多層膜を選択し、更に、図 1 2 の断面図で示されるとおり、反射領域 R においても反射画素電極 1 1 2 R の上層に透過画素電極 1 1 2 T が重なって配置され、透過画素電極 1 1 2 T と反射画素電極 1 1 2 R との間に配置される絶縁膜 1 1 5 を開口して設けられるコンタクトホール 1 1 2 c を介して互いに電氣的に導通して設けられる構成とした。また、図 1 1 および図 1 2 に示されるとおり、1 つの画素を上中下の 3 つの領域に 3 分割し、3 分割の中央部を透過領域 T とし、残りの両端部を反射領域 R としている。

20

【0104】

以上説明のとおり、半透過型の液晶表示装置によりなる実施の形態 3 は、横電界方式の液晶表示装置によりなる実施の形態 1 に対して、画素電極 1 1 2 の構成については大きく相違するものの、透過画素電極 1 1 2 T と反射画素電極 1 1 2 R よりなる画素電極 1 1 2 に接続して設けられる TFT 1 1 4 の構成と、TFT 1 1 4 に接続されるゲート配線 1 1 7 およびソース配線 1 1 8 の接続構造、平面配置については、2 倍走査線方式を用いる点で実施の形態 1 と共通することから、図 1 1 の平面図に示されるとおり、殆ど相違が無いことになる。

30

【0105】

より詳細には、図 1 1 中に示す X 方向を行方向、Y 方向を列方向と見なして説明すれば、実施の形態 1 と同様にゲート配線 1 1 7 が行方向に延在し、ソース配線 1 1 8 が列方向に延在して設けられることになり、それぞれ複数本設けられたゲート配線 1 1 7 とソース配線 1 1 8 とは互いに交差して設けられる。更に、2 倍走査線方式の特徴的な配置として、行列状に配列して設けられる画素電極 1 1 2 に対して、ソース配線 1 1 8 は、各々 2 列ずつに区切るように設けられ、各ソース配線 1 1 8 は、各々の両側に配置される 2 個の TFT 1 1 4 を介して画素電極 1 1 2 に接続される。つまり、ソース配線 1 1 8 は、互いに隣接する任意の 2 列の画素電極 1 1 2 間に挟まれる各領域において、1 本配置される画素間領域と配置されない画素間領域が交互に繰り返される配置となる。また、ゲート配線 1 1 7 は、配列される各画素電極 1 1 2 に対して、上下方向より両側から挟むように 2 本ずつ設けられ、上記の各ソース配線 1 1 8 の両側に配置される 2 個の TFT 1 1 4 に対して、両側から挟んで配置されるゲート配線 1 1 7 が交互に接続されている。つまり、ゲート配線 1 1 7 は、互いに隣接する任意の 2 行の画素電極 1 1 2 間に挟まれる各領域において、2 本ずつ設けられる。

40

【0106】

続いて、本実施の形態 3 における CF 基板 1 2 0 側に設けられる各構成の配置について、適宜、アレイ基板 1 1 0 側に設けられるゲート配線 1 1 7 とソース配線 1 1 8 との位置

50

関係も踏まえながら、以下、図 1 1 および図 1 2 を用いて詳細説明を行なう。本実施の形態 3 における C F 基板 1 2 0 においては、実施の形態 1 と同様に、各画素の画素電極 1 1 2 に対応して配置される開口部となる B M 開口部 1 2 3 o が設けられる格子状の遮光パターンよりなる B M 1 2 3 が設けられる。その平面配置としては、図 1 1 の平面図に示されるとおり、各画素電極 1 1 2 間において、列方向の画素間領域においては、ソース配線 1 1 8 が 1 本配置される画素間領域と配置されない画素間領域が交互に繰り返される配置となっているのに対して、ソース配線 1 1 8 が 1 本配置される画素間領域とソース配線 1 1 8 が配置されない画素間領域の双方の画素間領域に B M 1 2 3 の遮光パターンは配置される。また、実施の形態 1 と同様に、ソース配線 1 1 8 が 1 本配置される画素間領域とソース配線 1 1 8 が配置されない画素間領域の双方の画素間領域に配置される B M 1 2 3 の遮光パターンについて、同じ幅で設けるようにした。つまり、B M 1 2 3 における列方向に沿って設けられる遮光パターンについて、各列間で同じ幅で設けられる。

10

【0107】

一方、各画素電極 1 1 2 間において、行方向の画素間領域においては、ゲート配線 1 1 7 が 2 本ずつ設けられる配置となっているが、当該画素間領域において、B M 1 2 3 の遮光パターンは、上記のとおり、隣接して並走される 2 本のゲート配線 1 1 7 の隙間も含めて両者を覆うように、行方向の画素間領域の全体に渡って配置される点についても実施の形態 1 と同様である。

【0108】

また、本実施の形態 3 においては、半透過型の液晶表示装置とされているのに伴って、C F 基板 1 2 0 において、透過領域 T と反射領域 R において、透過光と反射光の光路に対応する液晶層 1 4 0 の厚みに相当するセルギャップを調整するギャップ調整層（以下、G C 層とも呼ぶ）1 2 7 が設けられる。この G C 層 1 2 7 は、透過領域 T における液晶層 1 4 0 の厚みに比べて、反射領域 R における液晶層 1 4 0 の厚みが半分程度となるよう調整するために設けられる。具体的な構成としては、G C 層 1 2 7 は、C F 基板 1 2 0 上における反射領域 R において、透過領域 T における液晶層 1 4 0 の厚みの半分程度の厚みに相当する所定の膜厚を有した透明樹脂層により設けられ、透過領域 T においては、当該透明樹脂層が開口して、つまり、除去されて設けられる。その結果、G C 層 1 2 7 が設けられることにより、反射領域 R における液晶層 1 4 0 の厚みが、前記の所定の膜厚に対応する厚み分、前記の透過領域 T における液晶層 1 4 0 の厚みに比べて薄く調整される。つまり、前記の所定の膜厚が透過領域 T における液晶層 1 4 0 の厚みの半分程度に設定することで、透過領域 T における液晶層 1 4 0 の厚みに比べて、反射領域 R における液晶層 1 4 0 の厚みが半分程度となるよう調整されることになる。

20

30

【0109】

なお、G C 層 1 2 7 は、本来の目的からは、反射領域 R のみに設ければ良いことになるが、図 1 1 の平面図に示されるとおり、T F T 1 1 4 やゲート配線 1 1 7 の形成領域にも設けられている。これは透明樹脂層のパターニング加工の容易性などの理由によるものであり、G C 層 1 2 7 の形成領域としては、図中の X 方向に配列する各透過領域 T に対応する X 方向に延在するストライプ状の抜き部（開口部）を除いて、基本的には表示領域 2 0 0 の全面に設けられる。

40

【0110】

また、横電界方式の実施の形態 1 においては、画素電極 1 1 2 と共に液晶を駆動する電界を形成する対向電極 1 1 3 がアレイ基板 1 1 0 側に設けられていたが、本実施の形態 3 においては、アレイ基板 1 1 0 側に設けられる対向電極 1 1 3 は省略され、代わりに C F 基板 1 2 0 側における液晶層 1 4 0 側の面において、透過画素電極 1 1 2 T および反射画素電極 1 1 2 R よりなる画素電極 1 1 2 と共に液晶を駆動する電界を形成する共通電極 1 2 8 が設けられる。また、横電界方式において必要な構成となる C F 基板 1 2 0 の外側表面に設けられる静電気防止用透明導電層 1 2 6 についても不要である。

【0111】

以上説明のとおり、実施の形態 1 との相違点は、主に横電界方式の液晶表示装置より半

50

透過型の液晶表示装置と変更されたことに伴うものであり、本発明の主要な特徴部となる柱状スペーサ（メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s）については、以下に詳細説明を行なうが、実施の形態 1 と大きくは変わらない。

【0112】

続いて、本実施の形態 3 の柱状スペーサの構成について詳細説明を行なう。本実施の形態 3 の柱状スペーサ（メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s）については、実施の形態 1 と同様にデュアルスペーサ構造を用いており、図 1 2 の特に外圧などが印加されない状態における断面図に示されるとおり、メインスペーサ 1 2 5 m については、アレイ基板 1 1 0 と CF 基板 1 2 0 の双方に当接した状態であり、サブスペーサ 1 2 5 s については、CF 基板 1 2 0 側には当接して設けられるものの、アレイ基板 1 1 0 には当接されていない。

10

【0113】

更に、これらメインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の平面配置としては、図 1 1 の平面図に示されるとおり、メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の両者ともに、BM 1 2 3 における BM 開口部 1 2 3 o 間に設けられる格子状の遮光パターンの交差部に配置される。また、本実施の形態 3 の場合においては、実施の形態 1 と同様に、互いに隣接する任意の 2 列の画素電極 1 1 2 間に挟まれる各領域において、ソース配線 1 1 8 が 1 本配置される画素間領域とソース配線 1 1 8 が配置されない画素間領域が交互に繰り返される配置となることに伴って、この BM 1 2 3 における格子状の遮光パターンの交差部において、ゲート配線 1 1 7 とソース配線 1 1 8 が交差する部分と、ゲート配線 1 1 7 とソース配線 1 1 8 が交差しない部分、つまり、ゲート配線 1 1 7 のみが設けられる部分が基本的には行方向に沿って交互に設けられる。

20

【0114】

従って、BM 1 2 3 における格子状の遮光パターンの交差部においては、ソース配線 1 1 8 の有無の差による段差がアレイ基板 1 1 0 上に形成され、このソース配線 1 1 8 よりも上層に当該段差を平坦化する平坦化層などが設けられない限り、BM 1 2 3 における格子状の遮光パターンの交差部において、ゲート配線 1 1 7 とソース配線 1 1 8 が交差する部分とゲート配線 1 1 7 とソース配線 1 1 8 が交差しない部分とでアレイ基板 1 1 0 の表面の高さの異なる段差が設けられることになる。

【0115】

また、行方向の画素間領域においては、ゲート配線 1 1 7 が 2 本ずつ設けられる配置となっていることから、この BM 1 2 3 における格子状の遮光パターンの交差部においては、メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s について、この隣接して並走して設けられる 2 本のゲート配線 1 1 7 の何れに重ねて配置しても良く、両者に重ねて配置しても良いが、柱状スペーサの配向処理方向に対して下流側に引きずり痕が発生することが懸念されることから、以下の配置を選択するのが望ましい。つまり、本実施の形態 3 においては、図 1 1 の平面図中では特に配向処理方向を明示していないが、この隣接して並走して設けられる 2 本のゲート配線 1 1 7 のうち、配向処理方向に対して上流側に位置するゲート配線 1 1 7 上の BM 1 2 3 における格子状の遮光パターンの交差部にメインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s を配置することとし、メインスペーサ 1 2 5 m およびサブスペーサ 1 2 5 s の配向処理方向に対して下流側に形成される引きずり痕について、これら隣接して並走して設けられる 2 本のゲート配線 1 1 7 の隙間も含めて両者を覆うように配置される BM 1 2 3 によって効果的に遮光できるように配置することとした。

30

40

【0116】

また、本実施の形態 3 のメインスペーサ 1 2 5 m とサブスペーサ 1 2 5 s においては、実施の形態 1 と同様に CF 基板 1 2 0 の表面に固着して設けられるとともに、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを共通部材として構成される。

【0117】

特に、半透過型の液晶表示装置においては、反射画素電極 1 1 2 R に光を散乱し反射画像の視認性を向上するために凹凸形状を形成するために、アレイ基板 1 1 0 側に有機樹脂

50

膜を設ける場合も多く、その場合には、このソース配線 118 の有無による段差が平坦化されてしまい本発明のデュアルスペーサ構造を構成することができないこととなる。一方、本実施の形態 3 の半透過型の液晶表示装置の例では、アレイ基板 110 側に当該基板表面を平坦化する作用を有する有機樹脂膜（有機平坦化膜）を設けておらず、図 12 の断面図にて示されるとおり、メインスペーサ 125m およびサブスペーサ 125s と対向配置されるアレイ基板 110 表面には、実施の形態 1 と同様に、ソース配線 118 の有無の差による段差が形成されており、メインスペーサ 125m およびサブスペーサ 125s を構成するために有効に機能する。

【0118】

以上説明のとおり、本実施の形態 3 のメインスペーサ 125m とサブスペーサ 125s とは、本実施の形態 3 におけるゲート配線 117 とソース配線 118 の特徴的な配置と、当該メインスペーサ 125m およびサブスペーサ 125s の平面配置との関係性より、デュアルスペーサ構造を有した柱状スペーサとして有効に機能する。

【0119】

また、本実施の形態 3 では、CF 基板 120 上に GC 層 127 が設けられており、先に説明のとおり、GC 層 127 は、ゲート配線 117 の形成領域にも設けられていることから、ゲート配線 117 とソース配線 118 が交差する部分と、ゲート配線 117 とソース配線 118 が交差しない部分、つまり、ゲート配線 117 のみが設けられる部分にそれぞれ配置されるメインスペーサ 125m およびサブスペーサ 125s については、図 12 の断面図にも示されるとおり、GC 層 127 の表面にメインスペーサ 125m およびサブスペーサ 125s が配置されることになる。

【0120】

続いて、本実施の形態 3 の液晶表示装置における作用および効果について説明を行う。本実施の形態 3 の液晶表示装置においては、半透過型の液晶表示装置であることから、ソース配線 118 の延在方向となる列方向に対して所定の角度傾斜した方向に配向処理を行なう。従って、本実施の形態 3 における格子状の遮光パターンの交差部に配置されるメインスペーサ 125m およびサブスペーサ 125s の場合には、実施の形態 1 において説明を行なった柱状スペーサの配向処理方向に対して下流側に発生する引きずり痕について、これら柱状スペーサの配置される遮光パターンの交差部から下流側となるソース配線 118 の延在方向より所定の角度傾斜した方向に沿って形成されることになるが、このメインスペーサ 125m およびサブスペーサ 125s の配置される遮光パターンの交差部の近傍では、比較的広い面積の遮光領域が形成されることから、当該引きずり痕部分における光漏れが発生し難いことになる。

【0121】

特に本実施の形態 3 においては、先にも説明したとおり、メインスペーサ 125m およびサブスペーサ 125s について、行方向の画素間領域においては、隣接して並走して設けられる 2 本のゲート配線 117 のうち、配向処理方向に対して上流側に位置するゲート配線 117 上の BM123 における格子状の遮光パターンの交差部に配置することとしている。従って、これら隣接して並走して設けられる 2 本のゲート配線 117 の隙間も含めて両者を覆うように配置される BM123 によって、メインスペーサ 125m およびサブスペーサ 125s の配向処理方向に対して下流側に形成される引きずり痕について有効に遮光することができる。更に、本実施の形態 3 の BM123 の格子状の遮光パターンにおいては、ソース配線 118 が配置される画素間領域に限らず、ソース配線 118 が配置されない画素間領域にも遮光パターンが配置されていることから、サブスペーサ 125s の近傍で発生する引きずり痕についても有効に遮光することができ、光漏れを生じ難い。

【0122】

つまり、本実施の形態 3 においては、上記のメインスペーサ 125m およびサブスペーサ 125s の配置、更に、BM123 における格子状の遮光パターンの配置が採られていることによって、メインスペーサ 125m およびサブスペーサ 125s の双方の近傍において、引きずり痕による光漏れと、それに伴う表示画像のコントラストが低下すること、

つまり、表示品位の低下を招くことなどについて抑制することができる。また、BM123における遮光領域を必要以上に増加することなく、つまり、必要以上に開口率を低下することなく、上記の光漏れを抑制すること、或いは、それに伴う表示品位の低下について抑制することなどの効果について得ることができる。

【0123】

以上説明のとおり、本実施の形態3においては、実施の形態1と同様に、アレイ基板110の表面に形成される段差を利用してデュアルスペーサ構造を形成することから、メインスペーサ125mとサブスペーサ125sについて、CF基板120側において、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを共通部材として構成することができる。その結果として、プロセスの複雑化やコスト増加を伴う場合のある製造プロセスを用いる必要が無いことから、比較的容易に、或いは低コストにて、低温や高温に置いた場合における不良発生を抑制することができ、広い温度範囲で使用しても高い信頼性が得られるデュアルスペーサ構造を有した液晶表示装置を得ることができる。

【0124】

また、先にも説明のとおり、本実施の形態3では、半透過型の液晶表示装置であることから、GC層127の表面にメインスペーサ125mおよびサブスペーサ125sが配置されることになり、GC層127の形成領域では液晶層140の厚みが薄くなり、その液晶層140の厚みに相当するメインスペーサ125mおよびサブスペーサ125sを構成する柱状の樹脂パターンの厚みについても薄くなる。これは本実施の形態3の場合に限らず、CF基板120側にセルギャップを調整するGC層127を設けた半透過型の液晶表示装置を用いた場合に共通する特徴となる。このCF基板120側にセルギャップを調整するGC層127を設けた場合において、デュアルスペーサ構造をメインスペーサとサブスペーサとで異なる厚みに設けられる柱状の樹脂パターンにより構成しようとする、この比較的薄い厚みの柱状の樹脂パターンにおいて、デュアルスペーサ構造を構成するための厚みの差を設ける公知の方法であるハーフトーンマスクなどの加工プロセスを用いる必要がある。特に、サブスペーサとする相対的に更に薄い厚みに形成する柱状の樹脂パターンについては、これらの加工プロセスを経た結果として厚みが決まるが、薄くなり過ぎる場合があるなど、サブスペーサとする柱状の樹脂パターンの厚みや形状が不安定となる。つまり、このCF基板120側にセルギャップを調整するGC層127を設けた半透過型の液晶表示装置の構成においては、デュアルスペーサ構造を安定して形成することができないという問題がある。

【0125】

然しながら、本実施の形態3の場合においては、メインスペーサ125mとサブスペーサ125sについて、CF基板120側において、それぞれ互いに同じ厚みに設けられる柱状の樹脂パターンを共通部材として構成したうえで、アレイ基板110の表面に形成される段差を利用してデュアルスペーサ構造を形成することから、CF基板120側において同じ厚みに設ける柱状の樹脂パターンが比較的薄い厚みであっても、高さに差を設けるための加工プロセスを用いる必要が無いことから、比較的安定した厚みを有した柱状の樹脂パターンを用いてメインスペーサ125mとサブスペーサ125sを構成することができる。従って、本実施の形態3においては、CF基板120側にセルギャップを調整するGC層127を設けた半透過型の液晶表示装置であるにも関わらず、デュアルスペーサ構造を安定して形成することが可能である。

【0126】

なお、本発明は上記説明を行った実施の形態1～実施の形態3およびその変形例においては、BM123における格子状の遮光パターンの交差部に配置される柱状スペーサにおいてデュアルスペーサ構造を形成するためにアレイ基板110表面に設けられる段差を形成する手段となるゲート配線117とソース配線118の配置として、2倍走査線方式のゲート配線117とソース配線118を選択した例や、実施の形態2の様に、互いに隣接する2行の画素電極112間の領域において、ソース配線118が2本ずつ配置され、互いに隣接する2列の画素電極112間の領域において、ゲート配線117が1本配置され

る画素間領域と配置されない画素間領域が交互に繰り返される配置されるゲート配線 1 1 7 とソース配線 1 1 8 の配置を選択した例について説明を行ったが、本発明に好適な構成としては、これらの例に限られない。例えば、ゲート配線 1 1 7 とソース配線 1 1 8 の配置に関して、ゲート配線 1 1 7 とソース配線 1 1 8 のうち一方の信号線について、互いに隣接する任意の 2 行の画素電極 1 1 2 間の領域において、当該一方の信号線が複数本配置されるとともに、ゲート配線 1 1 7 とソース配線 1 1 8 のうち他方の信号線について、互いに隣接する任意の 2 列の画素電極 1 1 2 間の領域において、この他方の信号線が 1 本配置される領域と配置されない領域が混在して配置されるものであれば、実施の形態 1 ～実施の形態 3 におけるゲート配線 1 1 7 とソース配線 1 1 8 の配置と同様に BM 1 2 3 における格子状の遮光パターンの交差部において、ゲート配線 1 1 7 とソース配線 1 1 8 の何れか一方の信号線の有無による段差を設けることができる。従って、この様に BM 1 2 3 における格子状の遮光パターンの交差部において形成される段差を利用して、実施の形態 1 ～実施の形態 3 と同様に、当該交差部に配置する柱状スペーサにおいてデュアルスペーサ構造を形成することが可能である。つまり、上記のとおり、実施の形態 1 ～実施の形態 3 などで説明した本発明の基本的な効果について得ることができる。

【0127】

また、上記説明を行った実施の形態 1 ～実施の形態 3 およびその変形例においては、本発明について、横電界方式の液晶表示装置、或いは、特にアレイ基板 1 1 0 側に有機樹脂膜（有機平坦化膜）を設けないタイプの半透過型の液晶表示装置に適用した場合について、本発明で得られる基本的な効果に加えて、付加的な効果などが得られることから、より好適な適用例として説明を行ったが、本発明に好適な構成としては、これらの例に限られない。つまり、例えば、TN（Twisted Nematic）方式や、その他の方式の液晶表示装置に適用しても良く、実施の形態 1 ～実施の形態 3 におけるゲート配線 1 1 7 とソース配線 1 1 8 の配置と同様に BM 1 2 3 における格子状の遮光パターンの交差部において、ゲート配線 1 1 7 とソース配線 1 1 8 の何れか一方の信号線の有無による段差を設けることができる構成であれば、当該段差を利用して、実施の形態 1 ～実施の形態 3 と同様に、当該交差部に配置する柱状スペーサにおいてデュアルスペーサ構造を形成することが可能である。つまり、上記のとおり、実施の形態 1 ～実施の形態 3 などで説明した本発明の基本的な効果について得ることができる。

【0128】

また、本発明は上記説明を行った実施の形態 1 ～実施の形態 3 およびその変形例或いは変形を示唆した構成に限られたものではなく、本発明の趣旨を逸脱しない範囲で、一部構成について適宜公知の構成に変更することが可能である。また、上記説明を行った実施の形態 1 ～実施の形態 3 およびその変形例或いは変形を示唆したそれぞれの構成は、矛盾を生じない範囲で互いに組み合わせて適用することができ、それぞれの構成により生ずるそれぞれの効果や複合効果を得ることができる。

【符号の説明】

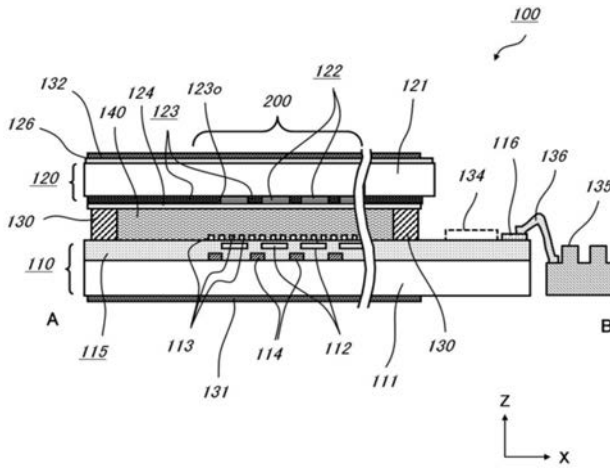
【0129】

1 0 0 液晶パネル、1 1 0 TFT 基板、1 2 0 カラーフィルタ基板、
 1 1 1, 1 2 1 ガラス基板、
 1 1 2 画素電極、1 1 2 T 透過画素電極、1 1 2 R 反射画素電極、
 1 1 2 c コンタクトホール、
 1 1 3 対向電極、1 1 3 s スリット電極、1 1 3 o 対向電極（開口部）、
 1 1 4 TFT、1 1 4 c 半導体層、
 1 1 4 s ソース電極、1 1 4 d ドレイン電極、1 1 5 絶縁膜、
 1 1 6 信号端子、
 1 1 7, 1 1 7_m ～ 1 1 7_{m+4}, 1 1 7_n ～ 1 1 7_{n+1} 走査信号線（ゲート配線）、
 1 1 8, 1 1 8_m ～ 1 1 8_{m+7}, 1 1 8_n ～ 1 1 8_{n+2} 映像信号線（ソース配線）、
 1 2 2 R, 1 2 2 G, 1 2 2 B, 1 2 2 W カラーフィルタ、

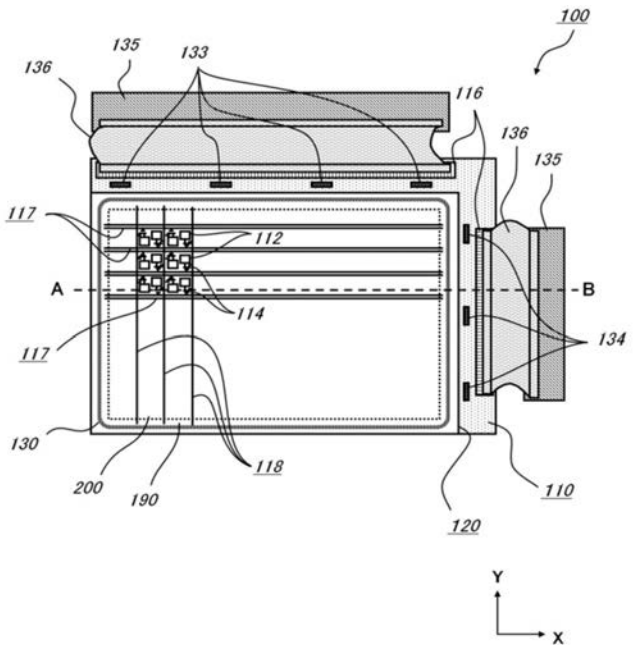
123 ブラックマトリクス (BM)、123o BM開口部、
 124 オーバーコート層 (OC膜)、
 125m 柱状スペーサ (メインスペーサ)、
 125s、125ss 柱状スペーサ (サブスペーサ)、
 126 静電気防止用透明導電層、
 127 ギャップ調整層 (GC層)、128 共通電極、
 130 シール材、131 偏光板、132 偏光板、
 133 ソース駆動ICチップ、134 ゲート駆動ICチップ、
 135 制御基板、136 FFC、
 140 液晶層、190 額縁領域、200 表示領域、
 T 透過領域、R 反射領域。

10

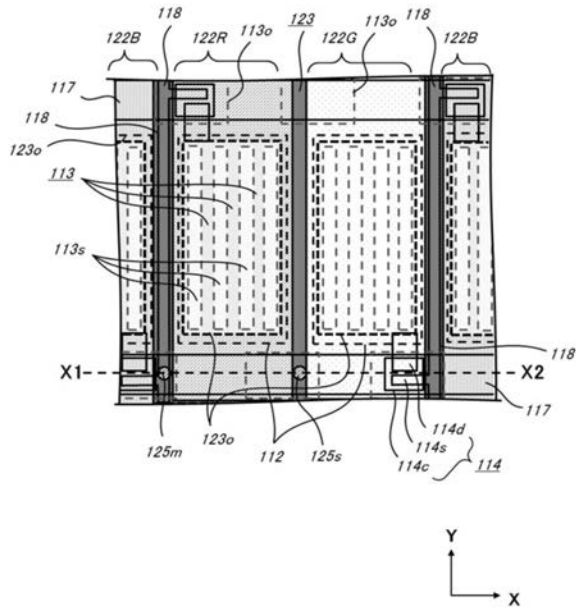
【図1】



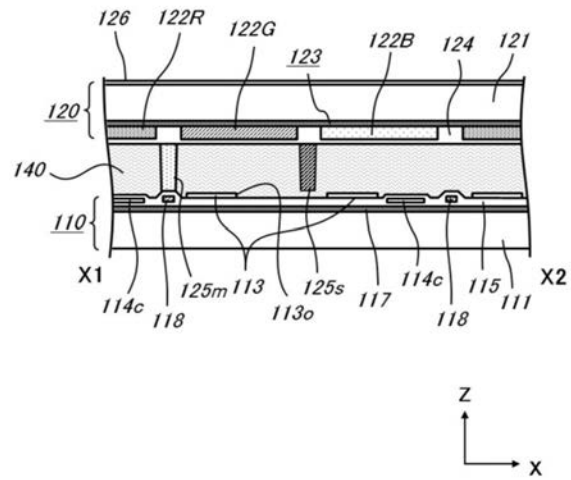
【図2】



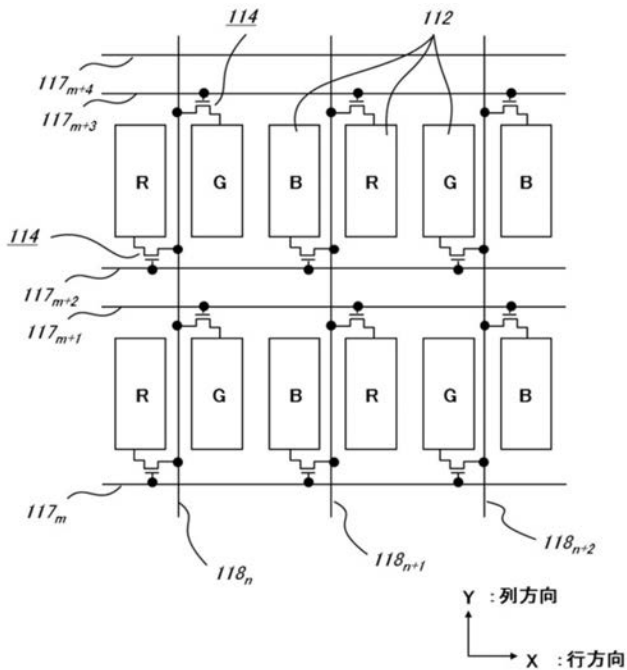
【図 3】



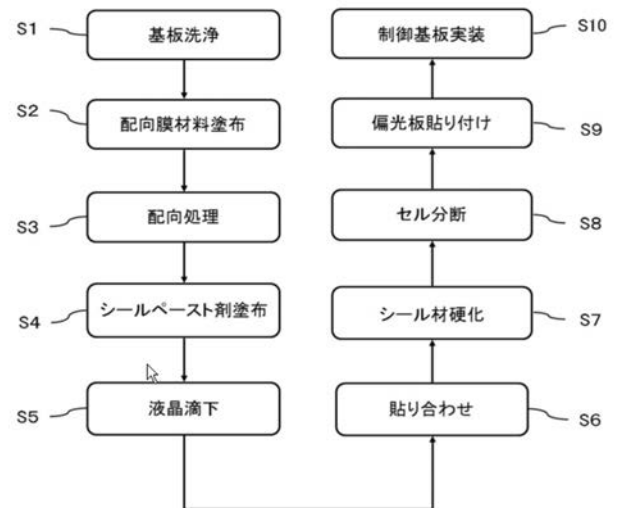
【図 4】



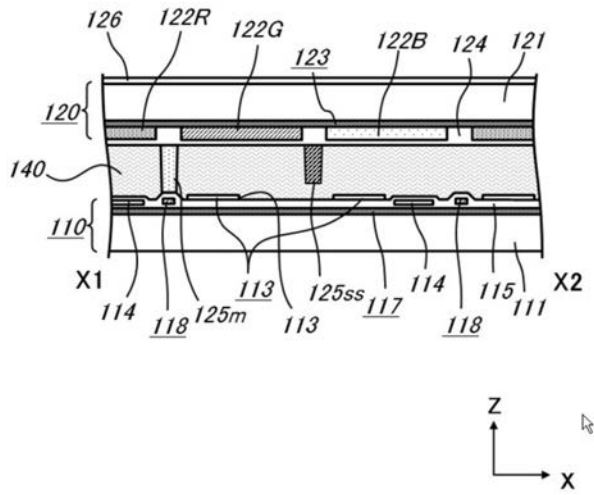
【図 5】



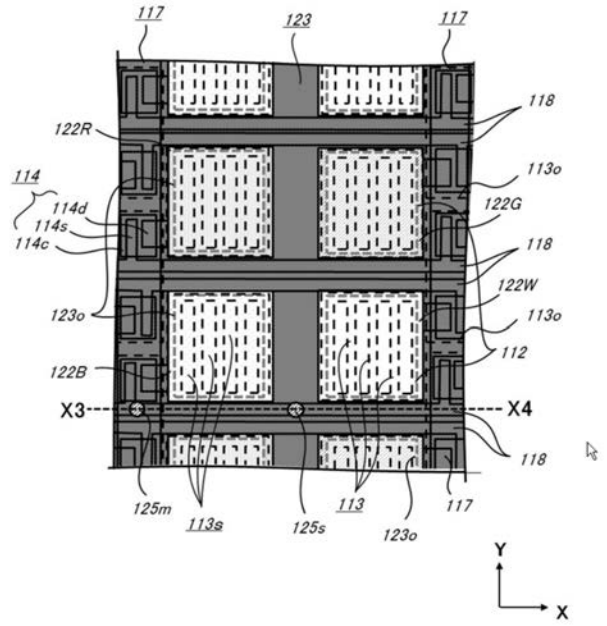
【図 6】



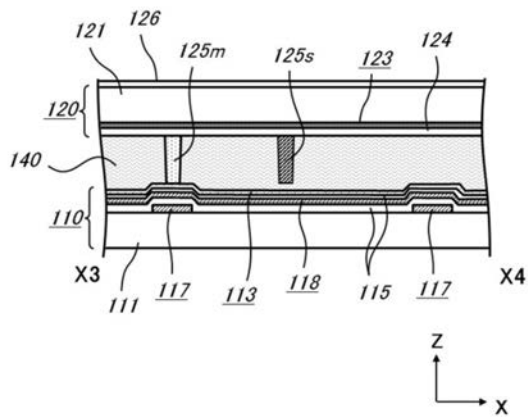
【図 7】



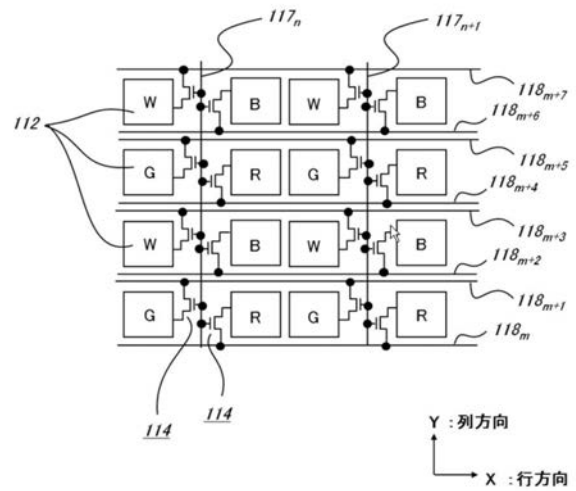
【図 8】



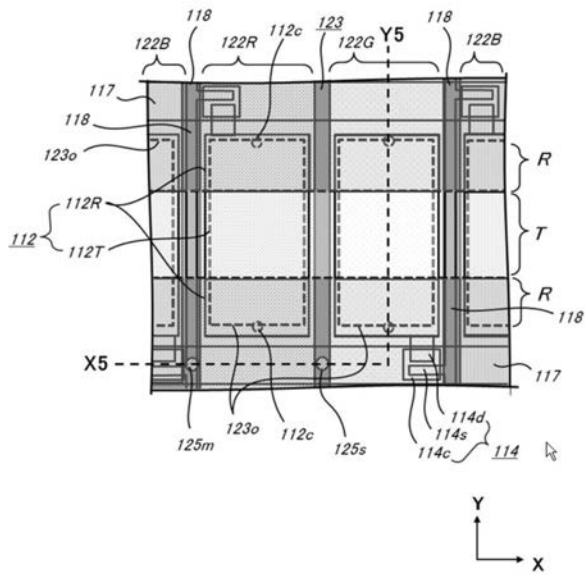
【図 9】



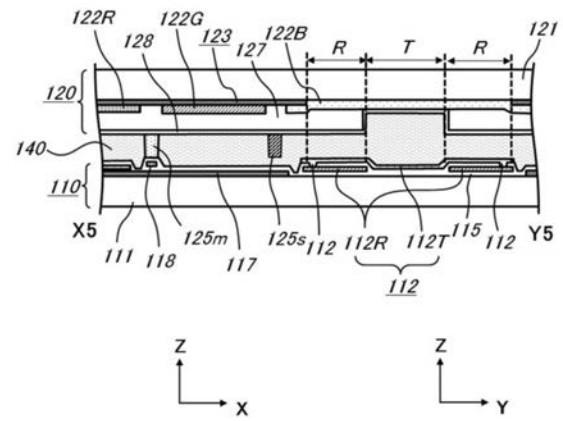
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

Fターム(参考) 2H189 AA07 DA07 DA26 DA32 DA38 DA43 FA16 HA06 HA12 HA16
JA14 LA03 LA10 LA14 LA15 LA19 NA03
2H192 AA24 BB12 BB13 BC31 BC64 BC72 CB05 CC04 CC24 CC62
EA22 EA43 EA54 GD23 JA32
2H291 FA06Y FA09Y FA14Y FA31Y GA05 GA11 GA19 HA15 JA03 LA04
LA05 LA13 LA22 NA14 NA29

