

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2017-215615
(P2017-215615A)

(43) 公開日 平成29年12月7日(2017.12.7)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192
GO2F 1/133 (2006.01)	GO2F 1/133 550	2H193
GO9G 3/36 (2006.01)	GO9G 3/36	5C006
GO9G 3/20 (2006.01)	GO9G 3/20 624B	5C080
審査請求 有 請求項の数 4 O L (全 42 頁) 最終頁に続く		

(21) 出願番号	特願2017-169172 (P2017-169172)	(71) 出願人	000153878
(22) 出願日	平成29年9月4日 (2017.9.4)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-144196 (P2013-144196) の分割		神奈川県厚木市長谷398番地
原出願日	平成25年7月10日 (2013.7.10)	(72) 発明者	三宅 博之
(31) 優先権主張番号	特願2012-155318 (P2012-155318)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成24年7月11日 (2012.7.11)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	平形 吉晴
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	2H092 GA14 JA26 JA46 JB05 JB64 JB69 NA01 NA26 PA06 QA09 2H192 AA24 BA25 BB02 BB04 BC24 BC26 BC31 CB05 CC17 CC57 DA12 DA32 GD61 JA13 JA32
			最終頁に続く

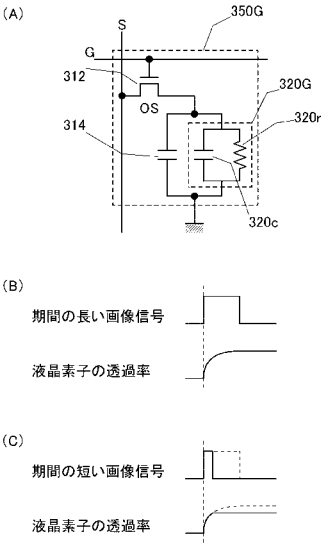
(54) 【発明の名称】 液晶表示装置、及び液晶表示装置の駆動方法

(57) 【要約】

【課題】画質の低下を防ぎ、消費電力が低減された液晶表示装置を提供する。または、画質の低下を防ぎ、消費電力が低減された液晶表示装置の駆動方法を提供する。

【解決手段】オフ状態のリーク電流が低減されたトランジスタおよび液晶素子を備え、画素の容量が数式(1)および数式(2)を満たすように構成される。

【選択図】図2



【特許請求の範囲】

【請求項 1】

チャネル形成領域に酸化物半導体を含むトランジスタと、
前記トランジスタのソース電極またはドレイン電極と電気的に接続される画素電極および液晶層を含む液晶素子と、を備え、

画素の容量の最小値 ($C_X + C_{L1}$) が下記数式 (1) を満たし、且つ前記画素の容量の最大値 ($C_X + C_{L2}$) が下記数式 (2) を満たす液晶表示装置。

【数 1】

$$170 \times 10^{-15} [F] > (C_X + C_{L1}) \quad \cdot \quad \cdot \quad \cdot \quad \cdot \quad \cdot \quad (1)$$

10

【数 2】

$$(C_X + C_{L2}) > 50(C_{L2} - C_{L1}) \quad \cdot \quad \cdot \quad \cdot \quad \cdot \quad \cdot \quad (2)$$

(ただし、数式 (1) および数式 (2) 中、 C_{L1} は前記液晶素子の容量成分の最小値、 C_{L2} は前記液晶素子の容量成分の最大値、($C_{L2} - C_{L1}$) は前記液晶素子の容量成分の変化量、 C_X は前記画素の容量から前記液晶素子に由来する容量を除いた容量である。)

【請求項 2】

20

前記液晶素子が、
絶縁層と、
前記絶縁層の一方の面に接する画素電極と、
前記絶縁層の他方の面に接し、且つ前記画素電極と重なる位置に開口部を備える共通電極と、を有する、請求項 1 記載の液晶表示装置。

【請求項 3】

行方向に延在する複数の走査線と、
前記走査線と交差して、列方向に延在する複数の信号線と、
隣接する走査線と、隣接する信号線の間に囲まれる領域に配設される画素と、を有し、
前記走査線と前記信号線は、1 インチあたり 300 以上の密度で配設され、
前記画素は、チャネル形成領域に酸化物半導体を含み、ゲート電極が一の走査線と電気的に接続され、ソース電極またはドレイン電極の一方が一の信号線と電気的に接続されるトランジスタと、

30

前記トランジスタのソース電極またはドレイン電極の他方と電気的に接続される画素電極、液晶層および共通電極を含む液晶素子と、を備え、

前記画素の容量の最小値 ($C_X + C_{L1}$) が数式 (3) を満たし、且つ前記画素の容量の最大値 ($C_X + C_{L2}$) が数式 (4) を満たす液晶表示装置。

【数 3】

$$170 \times 10^{-15} [F] > (C_X + C_{L1}) \quad \cdot \quad \cdot \quad \cdot \quad \cdot \quad \cdot \quad (3)$$

40

【数 4】

$$(C_X + C_{L2}) > 50(C_{L2} - C_{L1}) \quad \cdot \quad \cdot \quad \cdot \quad \cdot \quad \cdot \quad (4)$$

(ただし、数式 (3) および数式 (4) 中、 C_{L1} は前記液晶素子の容量成分の最小値、 C_{L2} は前記液晶素子の容量成分の最大値、($C_{L2} - C_{L1}$) は前記液晶素子の容量成分の変化量、 C_X は前記画素の容量から前記液晶素子に由来する容量を除いた容量である。)

【請求項 4】

50

選択信号を一の走査線に入力し、前記走査線に電氣的に接続される複数の画素を選択する第1のステップと、

交互に逆の極性を有する画像信号を、任意の画素を挟んで配設される第1の信号線と第2の信号線に入力し、前記画像信号を前記複数の画素に順番に書き込む第2のステップと、を有する、請求項3記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタを画素に有するアクティブマトリクス型の液晶表示装置およびその駆動方法に関する。

10

【背景技術】

【0002】

近年、ポリシリコンや微結晶シリコンによって得られる高い移動度と、アモルファスシリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物が注目されている。

【0003】

半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献1及び特許文献2）。

20

【0004】

また、保持容量が、オフ状態におけるリーク電流が低減されたトランジスタを用いることにより画素から省かれ、画素の開口率が高められた液晶表示装置とその駆動方法が知られている（非特許文献1）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【非特許文献】

【0006】

【非特許文献1】Hideaki Shishido外9名、「76.1: High Aperture Ratio LCD Display using In-Ga-Zn-Oxide TFTs without Storage Capacitor」、SID 10 DIGEST、p.1128 - p.1131 (2010)

30

【発明の概要】

【発明が解決しようとする課題】

【0007】

省エネルギーの観点から、電子機器はより少ない電力で動作することが求められている。電子機器に使用される液晶表示装置についても、同様であり消費電力の低減が求められている。特に、携帯型の電子機器の消費電力が低減されると、使用者は、当該電子機器を長い時間使用することができるようになる。

40

【0008】

透過型の液晶表示装置の場合、画素に占める光が透過する領域の割合（開口率ともいう）を高めると、バックライトから発せられる光を有効に利用できる。その結果、消費電力が低減できる。

【0009】

また、携帯型の電子機器は、使用者から液晶表示装置までの距離が近いため、画面の高精細化が求められる。画面の高精細化にともない、画素そのものの大きさの縮小が求められる。

【0010】

50

画面を高精細化しつつその開口率を高めるには、画素を構成するトランジスタや容量素子などの大きさを縮小せざるを得ない。

【 0 0 1 1 】

容量素子の容量値を小さくすると、画像信号の電位を保持できる期間が短くなるため、液晶表示装置に表示される画質が低下する。また、オフ状態のリーク電流が大きいトランジスタを用いる場合、容量素子の容量を小さくすることは困難である。

【 0 0 1 2 】

本発明の一態様は、このような技術的背景のもとでなされたものである。したがって、画質の低下を防ぎ、消費電力が低減された液晶表示装置を提供することを課題の一とする。または、画質の低下を防ぎ、消費電力が低減された液晶表示装置の駆動方法を提供することを課題の一とする。

10

【課題を解決するための手段】

【 0 0 1 3 】

上記課題を解決するために、本発明の一態様は、画素に用いるトランジスタのオフ状態のリーク電流と、液晶素子の容量成分と、容量素子の容量とに着眼して創作されたものである。そして、本明細書に例示される構成を備える液晶表示装置に想到した。または、交互に逆の極性を有する画像信号を当該液晶表示装置の複数の画素に順番に書き込む駆動方法に想到した。

【 0 0 1 4 】

すなわち、本発明の一態様は、シリコンよりもバンドギャップが広く、且つ真性キャリア密度がシリコンよりも低い半導体材料をチャネル形成領域に含むトランジスタと、当該トランジスタのソース電極またはドレイン電極と電気的に接続される画素電極および液晶層を含む液晶素子と、を備える液晶表示装置である。そして、画素の容量の最小値 ($C_X + C_{L1}$) が下記数式 (1) を満たし、且つ画素の容量の最大値 ($C_X + C_{L2}$) が下記数式 (2) を満たす。

20

【 0 0 1 5 】

【数 1】

$$170 \times 10^{-15} [F] > (C_X + C_{L1}) \cdots \cdots (1)$$

【 0 0 1 6 】

30

【数 2】

$$(C_X + C_{L2}) > \frac{n}{m} (C_{L2} - C_{L1}) \cdots \cdots (2)$$

【 0 0 1 7 】

ただし、数式 (1) および数式 (2) 中、 C_{L1} は 1 つの画素の液晶素子の容量成分の最小値、 C_{L2} は 1 つの画素の液晶素子の容量成分の最大値、 $(C_{L2} - C_{L1})$ は液晶素子の容量成分の変化量、 C_X は 1 つの画素の容量から液晶素子に由来する容量を除いた容量、 n は画像信号に含まれる階調の数、 m は区別できることが要求される階調の幅をそれぞれ表す。なお、式中 $[F]$ は容量の単位を表す。

【 0 0 1 8 】

40

上記本発明の一態様の液晶表示装置は、オフ状態のリーク電流が低減されたトランジスタおよび液晶素子を備え、画素の容量が数式 (1) および数式 (2) を満たすように構成される。これにより、画素に書き込まれる画像信号の電位を保持し、液晶素子の開口率を高めることができる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置を提供することができる。

【 0 0 1 9 】

以下に、画素の容量の最小値 ($C_X + C_{L1}$) が数式 (1) を満たし、且つ画素の容量の最大値 ($C_X + C_{L2}$) が数式 (2) を満たすことによる作用について、図 2 (A) を用いて説明する。

【 0 0 2 0 】

50

本発明の一態様の液晶表示装置が備える画素 350G の等価回路を図 2 (A) に示す。

【0021】

画素 350G は、トランジスタ 312 と液晶素子 320G を含む。トランジスタ 312 のゲート電極は走査線 G と電氣的に接続されている。トランジスタ 312 のソース電極またはドレイン電極の一方が、信号線 S と電氣的に接続され、他方が液晶素子 320G の一方の電極と接続されている。液晶素子 320G の他方の電極は、接地電位が供給されている。

【0022】

《画素の容量とトランジスタのオフ状態のリーク電流の関係》

画素の容量とオフ状態のトランジスタからリークする電流の関係について説明する。オフ状態のトランジスタからリークする電流に由来する画素の電圧降下は、下記数式 (3) により見積もることができる。

10

【0023】

【数 3】

$$\left(\frac{i \times T}{C_X + C_{L1}} \right) \dots \dots (3)$$

【0024】

20

ただし、数式 (3) 中 ($C_X + C_{L1}$) は画素の容量の最小値、 C_{L1} は液晶素子の容量成分の最小値、 i はオフ状態のトランジスタのリーク電流および T は 1 フレーム (画素に画像信号を書き込む間隔) の時間を、それぞれ表す。

【0025】

なお、液晶層はその配向状態により誘電率が異なる。それに従い、液晶素子の容量成分も変化する。ここでは、液晶素子の容量成分の最小値を C_{L1} とする。また、画素の容量から液晶素子の容量成分を除いた容量 C_X は、画素に設けられる容量素子の容量の他、寄生容量等も含む。

【0026】

一方、許容される画素の電圧降下の最大値は、数式 (4) で表すことができる。

30

【0027】

【数 4】

$$\frac{V}{n} \times m \dots \dots (4)$$

【0028】

ただし、数式 (4) 中 V は液晶素子の駆動電圧、 n は入力される画像信号に含まれる階調の数、 m は区別できることが要求される階調の幅 (言い換えると、階調が m だけ異なる 2 つの画像信号が区別できることが要求される) を、それぞれ表す。なお、 m は n の $1/50$ 以下であると、表現できる階調が豊かになるため好ましい。

40

【0029】

ここで、画素の電圧降下の主たる要因が、トランジスタのオフ状態のリーク電流 i である場合について考える。このとき、画素の容量の最小値 ($C_X + C_{L1}$) を、数式 (5) が成り立つように設けることで、要求される階調の幅を区別できる。

【0030】

【数 5】

$$\left(\frac{V}{n} \times m\right) > \left(\frac{i \times T}{C_X + C_{L1}}\right)$$

$$(C_X + C_{L1}) > i \times \left(\frac{T}{V} \times \frac{n}{m}\right) \dots\dots (5)$$

【0031】

数式(5)は、画素に用いるトランジスタのオフ状態のリーク電流*i*の大きさに比例して、画素の容量の最小値($C_X + C_{L1}$)を大きくする必要があることを示唆している。言い換えると、リーク電流*i*を小さくするほど画面を高精細化しつつその開口率を高めることが容易になる。

10

【0032】

例えば、1フレーム(画素に画像信号を書き込む間隔)の時間*T*が1/60sec、液晶素子の駆動電圧が5V、画像信号に含まれる階調の数を256とし、その区別できることが要求される階調の幅を5とする場合、画素の容量の最小値($C_X + C_{L1}$)は以下のように見積もられる。

【0033】

なお、チャネル形成領域にアモルファスシリコンを含むトランジスタは、電界効果移動度が低いため、そのトランジスタの大きさを小さくすることが困難である。これにより、画面を高精細化しつつその開口率を高めることができない。

20

【0034】

また、チャネル形成領域に低温ポリシリコンを含むトランジスタ(例えば、チャネル幅*W*とチャネル長*L*の比*W/L*が1程度)を用いる従来の画素の場合、オフ状態のトランジスタをリークする電流*i*は、およそ 1×10^{-12} Aである。よって、画素の容量の最小値($C_X + C_{L1}$)は、170fFより大きくする必要がある。

【0035】

すなわち、本発明の一態様の液晶表示装置が備える画素は、オフ状態のリーク電流が低減されたトランジスタ、具体的にはシリコンよりもバンドギャップが広く、且つ真性キャリア密度がシリコンよりも低い半導体材料をチャネル形成領域に含むトランジスタを、画素に用いることにより、画素の容量の最小値($C_X + C_{L1}$)を170fFより小さくできる。

30

【0036】

これにより、画像信号の電位を保持し、液晶素子の開口率を高めることができる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置を提供することができる。

【0037】

次に、オフ状態のトランジスタをリークする電流が、考慮する必要がない程度に微小である場合について説明する。

【0038】

《区別できることが要求される階調の幅と液晶層の配向により変化する液晶素子の容量成分の関係》

液晶素子は、二枚の基板が挟持する液晶層を一对の電極が作る電界の間に備える。一对の電極は、液晶層に電界を印加するためのものである。一对の電極を配置する構成としては、一方の電極と他方の電極を互いに異なる基板に設ける場合(例えば、垂直電界型の電極の配置)と、一方の電極と他方の電極を同一の基板に設ける場合(例えば、水平電界型の電極の配置)と、がある。

【0039】

本明細書では、液晶表示装置に用いる液晶素子の、画素に設けたトランジスタのソース電極またはドレイン電極と電氣的に接続される一方の電極を画素電極といい、他方の電極を

40

50

共通電極という。なお、共通の電位を複数の液晶素子の共通電極に与える構成とすると、液晶表示装置の構成を簡略化できる。

【 0 0 4 0 】

液晶素子の一对の電極に印加する電圧により、液晶層に含まれる液晶の配向状態が変化する。これにより、液晶層の誘電率が変化し、液晶素子の透過率だけでなく液晶素子の容量成分も変化する。

【 0 0 4 1 】

液晶素子の電気的な特性は、容量成分 $320c$ と抵抗成分 $320r$ が並列に接続される等価回路で説明できる。

【 0 0 4 2 】

液晶素子の容量成分 $320c$ について説明する。液晶の誘電率は異方性を有する。液晶層は液晶を含むため、その誘電率は液晶の配向状態に応じて変化する。そして、液晶素子の容量成分も、液晶層の配向状態（液晶素子の動作状態ともいえる）に応じて変化する。例えば、液晶表示装置の液晶素子の容量成分は、黒を表示する状態と白を表示する状態とで、異なる。

【 0 0 4 3 】

液晶素子の容量成分の最大値は、液晶素子の容量成分の最小値のおよそ 1.5 倍以上 3.5 倍以下であり、例えば 3 倍である。

【 0 0 4 4 】

図 2 (B) に、画素に画像信号を書き込む時間が、液晶の配向状態が変化するのに要する時間と同程度である場合（例えば数 ms 程度）を図示する。

【 0 0 4 5 】

図 2 (C) に、画素に画像信号を書き込む時間が、液晶の配向状態が変化するのに要する時間より短い場合（例えば数 μs 程度）を図示する。

【 0 0 4 6 】

このとき、液晶素子の透過率が意図する程度に変化する前に、画像信号が入力されなくなると、液晶層の配向状態の変化にともなう誘電率の低下により、液晶素子に印加される電圧が降下してしまう。その結果、液晶素子の透過率が意図する透過率に到達できない場合がある。

【 0 0 4 7 】

配向状態の変化により降下する液晶素子の電圧は、下記数式 (6) の右辺で表される。また、その許容される範囲は左辺より小さい。

【 0 0 4 8 】

【 数 6 】

$$\left(\frac{V}{n} \times m \right) > \left(\frac{C_{L2} - C_{L1} - \frac{T}{2R}}{C_x + C_{L2} + \frac{T}{2R}} \right) \times V \quad \dots \dots (6)$$

【 0 0 4 9 】

ただし、数式 (6) 中、 V は液晶素子の駆動電圧、 n は入力される画像信号に含まれる階調の数、 m は区別できることが要求される階調の幅、1 フレーム（画素に画像信号を書き込む間隔）の時間を T 、液晶素子の容量成分を除いた画素の容量を C_x とする。また、液晶素子の容量成分の最小値を C_{L1} 、液晶素子の容量成分の最大値を C_{L2} 、液晶素子の抵抗成分を R とする。

【 0 0 5 0 】

ここで、1 フレーム（画素に画像信号を書き込む間隔）の時間 T がフリッカーを認識できない程度の時間（具体的には、 $1/60sec$ ）より短いこと並びに液晶素子の抵抗成分が十分に大きい場合には、 $(T/2R)$ の項は十分に小さく、無視することができる。よって、数式 (6) は数式 (7) で近似できる。

10

20

30

40

50

【 0 0 5 1 】

【 数 7 】

$$\left(\frac{V}{n} \times m\right) > \left(\frac{C_{L2} - C_{L1}}{C_X + C_{L2}}\right) \times V \quad \dots\dots (7)$$

【 0 0 5 2 】

そして、数式 (7) を変形することにより、画素の容量の最大値 ($C_X + C_{L2}$) を数式 (2) で表わすことができる。

【 0 0 5 3 】

すなわち、本発明の一態様の液晶表示装置は、画素の容量の最大値 ($C_X + C_{L2}$) が、液晶素子の容量成分の変化量 ($C_{L2} - C_{L1}$) と (n / m) の積より大きくなるように設けられる。

10

【 0 0 5 4 】

これにより、画像信号の電位を保持し、液晶素子の開口率を高めることができる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置を提供することができる。

【 0 0 5 5 】

《 (液晶素子の容量成分を除いた) 画素の容量 》

本発明の一態様の液晶表示装置の画素の容量の一例を計算して、以下に示す。

【 0 0 5 6 】

表示する階調数 n を 256、区別できることが要求される階調の幅 m を 5、液晶素子の駆動電圧 V を 5 V とする。また、画素が配設される密度を 1 インチあたり 300 とする。

20

【 0 0 5 7 】

液晶素子の容量成分の最小値 C_{L1} を 1 f F、液晶素子の容量成分の最大値 C_{L2} を 3 f F とする。

【 0 0 5 8 】

液晶素子の容量成分を除いた画素の容量 C_X を 100 f F より大きくすることで、液晶表示装置に適用可能な画素を構成できる。

【 0 0 5 9 】

画素の容量は、例えば画素に容量素子を設けることにより調整できる。例えば、画素に設けるトランジスタのゲート電極を形成する層と、ソース電極またはドレイン電極を形成する層との間にゲート絶縁膜などの絶縁膜を挟んで設ける構成とすればよい。

30

【 0 0 6 0 】

また、本発明の一態様は、上記液晶素子が、絶縁層と、該絶縁層の一方の面に接する画素電極と、該絶縁層の他方の面に接し、且つ画素電極と重なる位置に開口部を備える共通電極と、を有する上記の液晶表示装置である。

【 0 0 6 1 】

上記本発明の一態様の液晶表示装置は、画素電極を絶縁層の一方の面に、共通電極を他方の面に備え、画素電極と重なる位置に開口部を有する共通電極を有する。これにより、液晶素子を作製する際に、封止基板を画素電極が設けられた基板に重ねる工程において、異物を基板に意図せず押し込んでしまい、画素電極と共通電極とを短絡してしまう事故の発生を防止または低減できる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置を、高い歩留まりで提供することができる。

40

【 0 0 6 2 】

また、本発明の一態様は、行方向に延在する複数の走査線と、該走査線と交差して、列方向に延在する複数の信号線と、隣接する走査線と、隣接する信号線の間に囲まれる領域に配設される画素と、を有する液晶表示装置である。そして、走査線と信号線は、いずれも 1 インチあたり 300 以上の密度で配設されており、画素はシリコンよりもバンドギャップが広く、且つ真性キャリア密度がシリコンよりも低い半導体材料をチャネル形成領域に含み、ゲート電極が一の走査線と電氣的に接続され、ソース電極またはドレイン電極の一

50

方が一の信号線と電氣的に接続されるトランジスタと、当該トランジスタのソース電極またはドレイン電極の他方と電氣的に接続される画素電極、液晶層および共通電極を含む液晶素子と、を備える。そして、画素の容量の最小値 ($C_X + C_{L1}$) が数式 (1) を満たし、且つ画素の容量の最大値 ($C_X + C_{L2}$) が数式 (2) を満たす液晶表示装置である。

【0063】

ただし、数式 (1) および数式 (2) 中、 C_{L1} は液晶素子の容量成分の最小値、 C_{L2} は液晶素子の容量成分の最大値、($C_{L2} - C_{L1}$) は液晶素子の容量成分の変化量、 C_X は画素の容量から液晶素子に由来する容量を除いた容量、 n は画像信号に含まれる階調の数、 m は区別できることが要求される階調の幅をそれぞれ表す。なお、式中 $[F]$ は容量の単位を表す。

10

【0064】

上記本発明の一態様の液晶表示装置は、オフ状態のリーク電流が低減されたトランジスタと、液晶素子と、を備え、画素の容量が数式 (1) および数式 (2) を満たすように構成される画素を、1インチあたり300以上の密度でマトリクス状に有する。これにより、高い密度で配置された画素に書き込まれる画像信号の電位を保持し、液晶素子の開口率を高めることができる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置を提供することができる。

【0065】

また、本発明の一態様は、選択信号を一の走査線に入力し、該走査線に電氣的に接続される複数の画素を選択する第1のステップと、交互に逆の極性を有する画像信号を、任意の画素を挟んで配設される第1の信号線と第2の信号線に入力し、該画像信号を選択された複数の画素に順番に書き込む第2のステップと、を有する、上記の液晶表示装置の駆動方法である。

20

【0066】

上記本発明の一態様の液晶表示装置の駆動方法は、一の走査線に電氣的に接続される複数の画素を選択する第1のステップと、交互に逆の極性を有する画像信号を選択された複数の画素に順番に書き込む第2のステップと、を有する。これにより、一对の信号線の電位が互いに逆の極性方向に変動するため、任意の画素電極が受ける電位の変動が打ち消され、クロストークの発生を抑制できる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置の駆動方法を提供することができる。

30

【0067】

なお、本明細書中において、表示装置とは、画像データにもとづいて画像を表示する装置を指す。また、表示装置はコネクタ、例えばFPC (Flexible printed circuit) もしくはTCP (Tape Carrier Package) が取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュール、または表示素子が形成された基板にCOG (Chip On Glass) 方式によりIC (集積回路) が直接実装されたモジュールを全て含む。

【0068】

なお、本明細書において、容量素子は、液晶素子自体が有する容量成分とは区別される。

40

【0069】

また、特に断りがない限り、本明細書でオフ電流とは、 n チャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ゲート電極とソース電極間の電圧が0以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、 p チャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ゲート電極とソース電極間の電圧が0以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。

【0070】

また、トランジスタが有するソース電極とドレイン電極は、トランジスタの極性及び各電

50

極に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、 n チャネル型トランジスタでは、低い電位が与えられる電極がソース電極と呼ばれ、高い電位が与えられる電極がドレイン電極と呼ばれる。また、 p チャネル型トランジスタでは、低い電位が与えられる電極がドレイン電極と呼ばれ、高い電位が与えられる電極がソース電極と呼ばれる。

【0071】

また、本明細書において、トランジスタが直列に接続されている状態とは、例えば、第1のトランジスタの第1端子と第2端子のいずれか一方のみが、第2のトランジスタの第1端子と第2端子のいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第1のトランジスタの第1端子が第2のトランジスタの第1端子に接続され、第1のトランジスタの第2端子が第2のトランジスタの第2端子に接続されている状態を意味する。

10

【0072】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇を含む。

【0073】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

20

【発明の効果】

【0074】

本発明の一態様によれば、画質の低下を防ぎ、消費電力が低減された液晶表示装置を提供できる。または、画質の低下を防ぎ、消費電力が低減された液晶表示装置の駆動方法を提供できる。

【図面の簡単な説明】

【0075】

30

【図1】実施の形態に係る液晶表示装置を説明する図。

【図2】実施の形態に係る液晶表示装置を説明する図。

【図3】実施の形態に係る液晶表示装置を説明する回路図。

【図4】実施の形態に係る液晶表示装置の駆動方法を説明する図。

【図5】実施の形態に係る液晶表示装置の駆動方法を説明するタイミングチャート。

【図6】実施の形態に係る液晶表示装置に適用可能なトランジスタの構成を説明する図。

【図7】実施の形態に係る液晶表示装置に適用可能なトランジスタの作製工程を説明する図。

【図8】実施の形態に係る液晶表示装置に適用可能な画素の構成を説明する図。

【図9】実施の形態に係る液晶表示装置に適用可能な画素の構成を説明する等価回路図。

40

【図10】実施の形態に係る液晶表示装置に適用可能な画素の構成を説明する図。

【図11】実施の形態に係る液晶表示装置を適用することができる電子機器の例を説明する図。

【発明を実施するための形態】

【0076】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、

50

その繰り返しの説明は省略する。

【0077】

(実施の形態1)

本実施の形態では、本発明の一態様の液晶表示装置の構成について、図1および図2を参照して説明する。図1(A)は本発明の一態様の液晶表示装置の上面図であり、図1(B)は液晶表示装置が備える画素の上面図であり、図1(C)は図1(A)および図1(B)の切断線C-Dにおける一部の断面を含む側面図である。図1(D)は図1(A)の切断線A-Bおよび切断線C-D-Eにおける断面を含む側面図である。また、図2(A)は、液晶表示装置が備える画素350Gの等価回路図である。図2(B)および図2(C)は、画素に書き込む信号と液晶素子の透過率を説明する図である。

10

【0078】

本実施の形態で例示して説明する液晶表示装置300は、シリコンよりもバンドギャップが広く、且つ真性キャリア密度がシリコンよりも低い半導体材料をチャネル形成領域に含むトランジスタ312と、トランジスタ312のソース電極またはドレイン電極と電氣的に接続される画素電極321および液晶層331を含む液晶素子320Gと、を備える。そして、画素350Gの容量の最小値($C_X + C_{L1}$)が数式(1)を満たし、且つ画素350Gの容量の最大値($C_X + C_{L2}$)が数式(2)を満たす(図1(A)および図1(D)参照)。

【0079】

ただし、数式(1)および数式(2)中、 C_X は画素350Gの容量から液晶素子320Gに由来する容量を除いた容量、 C_{L1} は液晶素子320Gの容量成分の最小値、 C_{L2} は液晶素子320Gの容量成分の最大値、($C_{L2} - C_{L1}$)は液晶素子320Gの容量成分の変化量、 n は階調数、 m は区別できることが要求される階調の幅(言い換えると、階調が m だけ異なる2つの画像信号が区別できることが要求される)をそれぞれ表す。

20

【0080】

また、液晶表示装置300は、表示領域301に、画素350Gを含む複数の画素を備える。また、画素を駆動する駆動回路(ゲート側駆動回路303g、ソース側駆動回路303s)を備える(図1(A)参照)。

【0081】

画素350Gは、トランジスタ312と、画素電極321と、共通電極322とを備える(図1(B)参照)。

30

【0082】

画素350Gのトランジスタ312は、第1の基板310上に設けられている。なお、ソース側駆動回路303sのトランジスタ313は、トランジスタ312と同一の工程を用いて形成できる。

【0083】

絶縁層316は、トランジスタ312およびトランジスタ313の半導体層を覆い、当該半導体層への不純物の拡散を抑制する。絶縁層317は、第1の基板310上に形成された構造物(例えば、トランジスタ312、信号線等)に由来する凹凸を平坦にするための層である。

40

【0084】

外部入力端子は、引き回し配線308の先に設けられている。また、外部入力端子にFPC(フレキシブルプリントサーキット)309が接続されて、ビデオ信号、クロック信号、スタート信号、リセット信号等がFPC309を通して液晶表示装置300に入力される。FPC309にはプリント配線基板(PWB)が取り付けられていても良い。本明細書における表示パネルには、表示パネル本体だけでなく、それにFPCまたはPWBが取り付けられた状態をも含むものとする。

【0085】

シール材305は、表示領域301、ゲート側駆動回路303gおよびソース側駆動回路303sを囲み、第1の基板310と第2の基板340を貼り合わせている。スペーサ3

50

26は、第1の基板310と第2の基板340の間隙を調整している。また、間隙が調整された空間は、液晶層331で満たされている。

【0086】

<液晶素子>

液晶素子320Gは、画素電極321と共通電極322とその間の電界に液晶層331を含む。また、配向膜328が液晶層331に接して第1の基板310上に形成され、配向膜346が液晶層331に接して第2の基板340上に形成されている。

【0087】

画素電極321は、カラーフィルタ341Gと重なる位置にあり、櫛歯状または島状に形成されている。

10

【0088】

本実施の形態で例示する液晶表示装置の画素の共通電極322は、絶縁層324の一方の面に接して、カラーフィルタ341Gと重なる。また、共通電極322は、画素電極321に重なる位置に開口部を備える。そして、画素電極321は、絶縁層324の他方の面に接して設けられている(図1(B)および図1(C)参照)。

【0089】

共通電極322に開口部を設けることにより、画素電極321の重なりを抑制し、不要な容量を低減する効果を奏する。また、第2の基板を第1の基板に重ねる工程において、異物を第1の基板に意図せず押し込んでしまい、画素電極321と共通電極322とを短絡してしまう事故の発生を防止または低減できる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置300を、高い歩留まりで提供することができる。

20

【0090】

なお、共通電極322は、遮光層342と重なる位置で画素電極321と交差する。また、本実施の形態の変形例として、共通電極322に開口部を設けず、画素電極321を共通電極322に重ねる構成とし、FFS(Fringe Field Switching)モードで駆動してもよい。

【0091】

絶縁層324は、共通電極322を覆い、画素電極321は、絶縁層324上に形成されている。

30

【0092】

第2の基板340は、カラーフィルタ341Gと遮光層342を備える。

【0093】

画素350Gは、液晶素子320Gと液晶素子320Gに重なる位置にカラーフィルタ341Gを備える。また、遮光層342が、隣接する画素との間に重なるように配設されている(図1(D)参照)。

【0094】

なお、本発明の一態様の液晶表示装置には、さまざまな液晶素子を適用できる。例えば、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFSモード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。また、垂直配向(VA)モードを適用してもよい。垂直配向モードとしては、例えば、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モードなどを用いることができる。

40

【0095】

<画素の電気的特性>

画素350Gの電気的な特性は、図2(A)に示す等価回路を用いて説明できる。画素3

50

50Gは、トランジスタ312と液晶素子320Gを含む。トランジスタ312のゲート電極は走査線Gと電氣的に接続されている。トランジスタ312のソース電極またはドレイン電極の一方が、信号線Sと電氣的に接続され、他方が液晶素子320Gの一方の電極と接続されている。液晶素子320Gの他方の電極は、接地電位が供給されている。

【0096】

また、液晶素子320Gは、抵抗成分320rと容量成分320cを含み、いずれも液晶素子320Gの電極に対して並列に接続される。

【0097】

画素350Gは容量を含む。画素350Gの容量は、液晶素子320Gの容量成分320cの他、トランジスタ312のゲート電極 - ドレイン電極間の寄生容量、配線間の寄生容量などを含む。画素350Gの容量から、液晶素子320Gの容量成分を除いたものを容量314とする。

10

【0098】

容量314は、液晶素子320Gと、トランジスタ312のソース電極またはドレイン電極の他方に対して並列に接続されるものと、等価回路上みなすことができる。

【0099】

なお、画素350Gの容量を調整するために、画素350Gに容量素子を設けてもよい。容量素子は、共通電極322と重なる画素電極321を設けて構成しても、ゲート電極と同一の導電膜と重なるソース電極またはドレイン電極と同一の導電膜を設けて構成してもよい。

20

【0100】

《リーク電流による電圧降下》

本発明の一態様の液晶表示装置について、画像信号が書き込まれた画素から電流が漏れる代表的な経路は3つある。この3つの経路から漏れる電流が、液晶素子の電圧を降下する程度を見積もり、以下に示す。なお、画素が配設される密度を1インチあたり300とする。

【0101】

第1にオフ状態のトランジスタをリークする電流である。トランジスタをリークする電流は、およそ 10^{-18} Aとすることができる。また、トランジスタのゲート絶縁膜をリークする電流は 10^{-18} A程度と見積もられる。

30

【0102】

第2に液晶素子をリークする電流と、第3に容量素子をリークする電流を挙げることができる。いずれも、 10^{-18} A程度と見積もられる。これらのリーク電流の和は、およそ 10^{-17} A程度である。なお、液晶素子の抵抗成分は、およそ $10^{13} \Omega \cdot \text{cm}$ から $10^{14} \Omega \cdot \text{cm}$ である。

【0103】

画素の容量が1 fFである場合、リーク電流により1/60 sec (画素回路を60 Hzで駆動する場合)の間に降下する電圧は、およそ 10^{-6} V程度と見積もられる。数Vで駆動する液晶素子の場合、問題にならない程度であると言える。

【0104】

画素に容量を設けない場合、リーク電流により、1/60 secの間に降下する電圧は、およそ 10^{-4} V程度と見積もられる。

40

【0105】

上記本実施の形態で例示する液晶表示装置300は、オフ状態のリーク電流が低減されたトランジスタ312と、液晶素子320Gと、を備え、画素350Gの容量が数式(1)および数式(2)を満たすように構成される。これにより、画素350Gに書き込まれる画像信号の電位を保持し、液晶素子320Gの開口率を高めることができる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置300を提供できる。

【0106】

以下に、本発明の一態様の液晶表示装置300を構成する個々の要素について説明する。

50

【0107】

<トランジスタ>

本発明の一態様の液晶表示装置には、オフ電流の極めて小さい絶縁ゲート電界効果型トランジスタ（以下、単にトランジスタとする）を適用できる。

【0108】

例えば、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むトランジスタを適用できる。具体的には、炭化珪素（SiC）、窒化ガリウム（GaN）などの化合物半導体および酸化亜鉛（ZnO）などの金属酸化物でなる酸化物半導体などを適用することができる。酸化物半導体には、シリコンの約3倍程度の大きなバンドギャップを有するものがある。

10

【0109】

このような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が著しく低く、なおかつ耐圧が高いトランジスタを実現できる。オフ電流が著しく低いトランジスタを画素に用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、画像信号の電位をより長い期間に渡って保持することができる。

【0110】

この中でも酸化物半導体は、スパッタリング法や湿式法（印刷法など）により作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンのプロセス温度は約1500、窒化ガリウムのプロセス温度は約1100であるが、酸化物半導体のプロセス温度は、300～500（ガラス転移温度以下、最大でも700程度）と低く、安価で入手しやすいガラス基板上への成膜が可能である。また、基板の大型化にも対応が可能である。よって、上述した半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能（例えば電界効果移動度）を向上させるために結晶性の酸化物半導体を得ようとする場合でも、450から800の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

20

【0111】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減されて高純度化された酸化物半導体（purified OS）は、i型（真性半導体）又はi型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。

30

【0112】

具体的に、高純度化された酸化物半導体膜は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）による水素濃度の測定値が、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下とする。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とする。また、酸化物半導体のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。水分または水素などの不純物濃度が十分に低減されて高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるることができる。

40

【0113】

ここで、酸化物半導体膜中の、水素濃度の分析について触れておく。酸化物半導体膜中及び導電膜中の水素濃度測定は、SIMSで行う。SIMS分析は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる膜が存在する範囲において、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を

50

見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の最大値または最小値を、当該膜中の水素濃度として採用する。さらに、当該膜が存在する領域において、最大値を有する山型のピーク、最小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

【0114】

具体的に、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流（ゲート電極とソース電極間の電圧を 0V 以下としたときのドレイン電流）が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100\text{zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに低いオフ電流密度が得られることが分かった。したがって、本発明の一態様に係る半導体装置では、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流密度を、ソース電極とドレイン電極間の電圧によっては、 $100\text{yA}/\mu\text{m}$ 以下、好ましくは $10\text{yA}/\mu\text{m}$ 以下、更に好ましくは $1\text{yA}/\mu\text{m}$ 以下にすることができる。従って、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0115】

また、高純度化された酸化物半導体を用いたトランジスタは、オフ電流の温度依存性がほとんど現れない。これは、酸化物半導体中で電子供与体（ドナー）となる不純物を除去して、酸化物半導体が高純度化することによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するためと言える。また、これは、酸化物半導体のエネルギーギャップが 3eV 以上であり、熱励起キャリアが極めて少ないことにも起因する。また、ソース電極及びドレイン電極が縮退した状態にあることも、温度依存性が現れない要因となっている。トランジスタの動作は、縮退したソース電極から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度には温度依存性がないことから、オフ電流の温度依存性がみられないことを説明することができる。

【0116】

なお、酸化物半導体は、四元系金属酸化物である In-Sn-Ga-Zn 系酸化物や、三元系金属酸化物である In-Ga-Zn 系酸化物、 In-Sn-Zn 系酸化物、 In-Al-Zn 系酸化物、 Sn-Ga-Zn 系酸化物、 Al-Ga-Zn 系酸化物、 Sn-Al-Zn 系酸化物や、二元系金属酸化物である In-Zn 系酸化物、 Sn-Zn 系酸化物、 Al-Zn 系酸化物、 Zn-Mg 系酸化物、 Sn-Mg 系酸化物、 In-Mg 系酸化物、 In-Ga 系酸化物や、酸化インジウム、酸化スズ、酸化亜鉛などを用いることができる。なお、本明細書においては、例えば、 In-Sn-Ga-Zn 系酸化物とは、インジウム（ In ）、錫（ Sn ）、ガリウム（ Ga ）、亜鉛（ Zn ）を有する金属酸化物、という意味であり、その組成は特に問わない。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0117】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ （ $m > 0$ 、且つ、 m は整数でない）で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn および Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ （ $n > 0$ 、且つ、 n は整数）で表記される材料を用いてもよい。

【 0 1 1 8 】

上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低く、なおかつ耐圧が高いトランジスタを実現することができる。そして、上記構成を有するトランジスタをスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、液晶素子に蓄積された電荷のリークを防ぐことができる。よって、画像信号の電位をより長い期間に渡って保持することができるため、画像信号の電位を保持するために液晶素子に容量素子を接続しなくても、表示される画質が低下するのを防ぐことができる。よって、容量素子を設けずとも、或いは容量素子のサイズを小さく抑えても、開口率を高めることができるため、液晶表示装置の消費電力を低減させることができる。

10

【 0 1 1 9 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 1 2 0 】

(実施の形態 2)

本実施の形態では、本発明の一態様の液晶表示装置の構成について、図 3 (A) を参照して説明する。図 3 (A) は、本発明の一態様の液晶表示装置の表示部の構成を説明する回路図である。

【 0 1 2 1 】

本実施の形態で例示する液晶表示装置は、行方向に延在する複数の走査線 (走査線 G 1 から走査線 G y) と、当該走査線と交差して、列方向に延在する複数の信号線 (信号線 S 1 から信号線 S x) と、隣接する走査線 (例えば走査線 G 1 と走査線 G 2) と、隣接する信号線 (例えば信号線 S 1 と信号線 S 2) の間に囲まれる領域に配設される画素 1 0 0 と、を有し、走査線と信号線は、いずれも 1 インチあたり 3 0 0 以上の密度で配設される (図 3 (A) 参照) 。

20

【 0 1 2 2 】

画素 1 0 0 は、シリコンよりもバンドギャップが広く、且つ真性キャリア密度がシリコンよりも低い半導体材料をチャネル形成領域に含み、ゲート電極が一の走査線と電氣的に接続され、ソース電極またはドレイン電極の一方が一の信号線と電氣的に接続されるトランジスタ 1 0 2 と、トランジスタ 1 0 2 のソース電極またはドレイン電極の他方と電氣的に接続される画素電極、液晶層および共通電極を含む液晶素子 1 0 3 と、を備え、画素 1 0 0 の容量の最小値 ($C_x + C_{L1}$) が数式 (1) を満たし、且つ画素 1 0 0 の容量の最大値 ($C_x + C_{L2}$) が数式 (2) を満たす。

30

【 0 1 2 3 】

ただし、数式 (1) および数式 (2) 中、 C_x は画素 1 0 0 の容量から液晶素子 1 0 3 に由来する容量を除いた容量、 C_{L1} は液晶素子 1 0 3 の容量成分の最小値、 C_{L2} は液晶素子 1 0 3 の容量成分の最大値、 $(C_{L2} - C_{L1})$ は液晶素子 1 0 3 の容量成分の変化量、 n は階調数、 m は区別できることが要求される階調の幅 (言い換えると、階調が m だけ異なる 2 つの画像信号が区別できることが要求される) をそれぞれ表す。

40

【 0 1 2 4 】

上記本実施の形態で例示する液晶表示装置は、オフ状態のリーク電流が低減されたトランジスタ 1 0 2 と、液晶素子 1 0 3 と、を備え、容量が数式 (1) および数式 (2) を満たすように構成される画素 1 0 0 を、1 インチあたり 3 0 0 以上の密度でマトリクス状に有する。これにより、画素に書き込まれる画像信号の電位を保持し、液晶素子の開口率を高めることができる。その結果、画質の低下を防ぎ、消費電力が低減された液晶表示装置を提供することができる。

【 0 1 2 5 】

各画素 1 0 0 は、信号線 S 1 から信号線 S x の少なくとも 1 つと、走査線 G 1 から走査線 G y の少なくとも 1 つとを有している。また、画素 1 0 0 は、スイッチング素子として機能するトランジスタ 1 0 2 と、液晶素子 1 0 3 とを有する。液晶素子 1 0 3 は、画素電極

50

と、共通電極と、画素電極と共通電極間の電圧が印加される液晶とを有している。

【0126】

トランジスタ102は、液晶素子103の画素電極に、信号線の電位、すなわち画像信号の電位を与えるか否かを制御する。液晶素子103の共通電極には、所定の基準電位が与えられている。

【0127】

次に、トランジスタ102と液晶素子103の具体的な接続関係を説明する。なお、ソース電極とドレイン電極のいずれか一方を第1端子、他方を第2端子とする。

【0128】

トランジスタ102のゲート電極は走査線G1から走査線G_yのいずれか1つに接続されている。トランジスタ102の第1端子は信号線S1から信号線S_xのいずれか1つに接続され、トランジスタ102の第2端子は、液晶素子103の画素電極に接続されている。

10

【0129】

なお、画素100は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタンスをもつ回路素子などのその他の回路素子を、さらに有していても良い。

【0130】

図3(A)では、画素100において、一のトランジスタ102をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。一のスイッチング素子として機能する複数のトランジスタを用いても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

20

【0131】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0132】

(実施の形態3)

本実施の形態では、実施の形態2に例示する本発明の一態様の液晶表示装置の駆動方法について、図3及び図4を参照して説明する。図3(A)は、本発明の一態様の液晶表示装置の表示部の構成を説明する回路図であり、図3(B)は、その任意の画素とそれを挟む信号線の配置を説明する上面図である。また、図4は、本発明の一態様の液晶表示装置の表示部にある画素に書き込む画像信号の極性を説明するための模式図である。

30

【0133】

本実施の形態で例示する液晶表示装置の駆動方法は、実施の形態2に例示する液晶表示装置の駆動方法である。

【0134】

第1のステップで、選択信号を一の走査線(例えば走査線G2)に inputs し、当該走査線に電氣的に接続される複数の画素100を選択する。

【0135】

次いで、第2のステップで、互いに逆の極性を有する画像信号を、任意の画素を挟んで配設される第1の信号線と第2の信号線(例えば信号線S1と信号線S2)に inputs し、逆の極性を有する画像信号を、選択された複数の画素に順番に書き込む第2のステップと、を有する。

40

【0136】

本実施の形態で例示して説明する液晶表示装置の駆動方法は、一の走査線に電氣的に接続される複数の画素を選択する第1のステップと、交互に逆の極性を有する画像信号を選択された複数の画素に順番に書き込む第2のステップと、を有する。これにより、一対の信号線の電位が互いに逆の極性方向に変動するため、任意の画素電極が受ける電位の変動が打ち消され、クロストークの発生を抑制できる。その結果、画質の低下を防ぎ、消費電力

50

が低減された液晶表示装置の駆動方法を提供することができる。

【0137】

<クロストーク現象>

クロストーク現象とは、画像信号の電位を保持する期間において信号線の電位が変化すると、画素電極の電位が、その変化に連動して変動する現象をいう。クロストーク現象が発生すると、表示のコントラストが低下してしまう。

【0138】

クロストーク現象は、画素に画像信号を入力するための信号線と液晶素子が有する画素電極との間に形成される寄生容量によって引き起こされる現象である。

【0139】

図3(B)に、任意の信号線 S_i (i は1から $x-1$ のいずれか)に接続された一列の画素100の構成を示す。なお、図3(B)には、図3(A)に図示されている液晶素子103の替わりに、液晶素子103が有する画素電極104が図示されている。

【0140】

信号線 S_i に接続されている画素100では、画素電極104が、信号線 S_i と、信号線 S_i に隣接している信号線 S_{i+1} に挟まれるように、画素100内に配置されている。トランジスタ102がオフの状態であるならば、画素電極104と信号線 S_i は、理想的には電氣的に分離している。また、画素電極104と信号線 S_{i+1} も、理想的には、電氣的に分離している。しかし、実際には、画素電極104と信号線 S_i の間には寄生容量106が存在しており、なおかつ、画素電極104と信号線 S_{i+1} の間には寄生容量107が存在している。

【0141】

液晶素子103に容量素子を接続しない場合、或いは液晶素子103に接続されている容量素子の容量値が小さい場合は、画素電極104の電位が上記寄生容量106と寄生容量107の影響を受けやすい。そのため、画像信号の電位を保持する期間においてトランジスタ102がオフの状態であっても、信号線 S_i または信号線 S_{i+1} の電位の変化に連動して上記画素電極104の電位が変動する、所謂クロストークと呼ばれる現象が起こりやすい。そのため、液晶素子103にノーマリーホワイトの液晶を用いた場合、画像が白っぽくなり、コントラストが低下する。

【0142】

<ソースライン反転およびドット反転>

本発明の一態様では、任意の一フレーム期間において、画素電極104を間に挟んで配設されている信号線 S_i と信号線 S_{i+1} に、互いに逆の極性を有する画像信号を入力する。

【0143】

なお、逆の極性を有する画像信号とは、液晶素子の共通電極の電位を基準電位としたときに、基準電位よりも高い電位を有する画像信号と、基準電位よりも低い電位を有する画像信号とを意味する。

【0144】

交互に逆の極性を有する画像信号を選択された複数の画素に順番に書き込む方法として、2つの方法(ソースライン反転およびドット反転)を例に挙げることができる。いずれの方法を適用しても、一对の信号線の電位が互いに逆の極性方向に変動するため、任意の画素電極が受ける電位の変動が打ち消される。よって、クロストークの発生を抑えることができる。

【0145】

ソースライン反転は、一の信号線に接続されている複数の画素と、上記信号線に隣接する一の信号線に接続されている複数の画素とに、任意の一フレーム期間において逆の極性を有する画像信号を入力するものである。

【0146】

ソースライン反転を用いた場合の画素に与えられる画像信号の極性を、図4(A)に模式

10

20

30

40

50

的に示す。任意の一フレーム期間において与えられる画像信号が正の極性の画素を + の記号で、負の極性の画素を - の記号で示している。図 4 (A) の右側に示すフレームは、左側に示すフレームに続くフレームを示している。

【 0 1 4 7 】

ソースライン反転では、同一の信号線に接続されている複数の画素の全てに、同一の極性を有する画像信号が与えられている。そして、隣接する信号線に接続されている複数の画素の全てに、上記極性とは逆の極性を有する画像信号が与えられている。

【 0 1 4 8 】

ドット反転は、一の信号線に接続されている複数の画素と、上記信号線に隣接する一の信号線に接続されている複数の画素とに、任意の一フレーム期間において逆の極性を有する画像信号を入力し、なおかつ同一の信号線に接続されている複数の画素において、隣接する画素に逆の極性を有する画像信号を入力するものである。

10

【 0 1 4 9 】

ドット反転を用いた場合の画素に与えられる画像信号の極性を、図 4 (B) に模式的に示す。任意の一フレーム期間において与えられる画像信号が正の極性の画素を + の記号で、負の極性の画素を - の記号で示している。図 4 (B) の右側に示すフレームは、左側に示すフレームに続くフレームを示している。

【 0 1 5 0 】

ドット反転では、一の信号線に接続されている複数の画素と、隣接する一の信号線に接続されている複数の画素とに、互いに逆の極性を有する画像信号が与えられている。なおかつ、同一の信号線に接続されている複数の画素において、隣接する画素どうし、互いに逆の極性を有する画像信号が与えられている。すなわち、一のフレーム期間に着目すると、一の信号線に入力される画像信号の極性は、交互に反転することになる。

20

【 0 1 5 1 】

いずれの方法においても、信号線 S_i に正 (+) の極性を有する画像信号を入力し、信号線 S_{i+1} に負 (-) の極性を有する画像信号を入力する。次いで、信号線 S_i に負 (-) の極性を有する画像信号を入力し、信号線 S_{i+1} に正 (+) の極性を有する画像信号を入力する。次いで、信号線 S_i に正 (+) の極性を有する画像信号を入力し、信号線 S_{i+1} に負 (-) の極性を有する画像信号を入力する。

【 0 1 5 2 】

このように、信号線 S_i と信号線 S_{i+1} に、互いに逆の極性を有する画像信号を入力することで、信号線 S_i の電位の変化によってもたらされるはずの画素電極 104 の電位の変動と、信号線 S_{i+1} の電位の変化によってもたらされるはずの画素電極 104 の電位の変動とが逆方向に働き、互いに打ち消しあう。

30

【 0 1 5 3 】

よって、画素 100 の容量が比較的小さい場合であっても、画素電極 104 の変動を小さく抑えることができる。したがって、クロストークの発生を抑え、画質を向上させることができる。

【 0 1 5 4 】

< タイミングチャート >

40

次いで、図 5 に、図 3 (A) に示した表示部 101 をソースライン反転で動作させた場合のタイミングチャートを示す。具体的に、図 5 では、走査線 G_1 に与えられる信号の電位と、信号線 S_1 から信号線 S_x に与えられる画像信号の電位と、走査線 G_1 に接続された各画素の有する画素電極の電位の、時間変化を示している。

【 0 1 5 5 】

まず、走査線 G_1 にパルスの有する信号が入力されることで、走査線 G_1 が選択される。選択された走査線 G_1 に接続された複数の各画素 100 において、トランジスタ 102 がオンになる。そして、トランジスタ 102 がオンの状態の時に、信号線 S_1 から信号線 S_x に画像信号の電位が与えられると、オンのトランジスタ 102 を介して、画像信号の電位が液晶素子 103 の画素電極に与えられる。

50

【0156】

図5に示すタイミングチャートでは、第1のフレーム期間の走査線G1が選択されている期間において、奇数番目の信号線S1、信号線S3、．．．に、正の極性の画像信号が順に入力されており、偶数番目の信号線S2、信号線S4、．．．信号線Sxに、負の極性の画像信号が順に入力されている例を示している。よって、奇数番目の信号線S1、信号線S3、．．．に接続された画素100内の画素電極(S1)、画素電極(S3)、．．．には、正の極性の画像信号が与えられている。また、偶数番目の信号線S2、信号線S4、．．．信号線Sxに接続された画素100内の画素電極(S2)、画素電極(S4)、．．．画素電極(Sx)には、負の極性の画像信号が与えられている。

10

【0157】

液晶素子103では、画素電極と共通電極の間に与えられる電圧の値に従って、液晶分子の配向が変化し、透過率が変化する。よって、液晶素子103は、画像信号の電位によってその透過率が制御されることで、階調を表示することができる。

【0158】

信号線S1から信号線Sxへの画像信号の入力が終了すると、走査線G1の選択は終了する。走査線の選択が終了すると、該走査線を有する画素100において、トランジスタ102がオフになる。すると、液晶素子103は、画素電極と共通電極の間に与えられた電圧を保持することで、階調の表示を維持する。そして、走査線G2から走査線Gyが順に選択され、走査線G1が選択されていた期間と同様の動作が、上記各走査線に接続された画素において行われる。

20

【0159】

次いで、第2のフレーム期間において、再び、走査線G1が選択される。そして、第2のフレーム期間の走査線G1が選択されている期間では、第1のフレーム期間の走査線G1が選択されている期間とは異なり、奇数番目の信号線S1、信号線S3、．．．に、負の極性の画像信号が順に入力されており、偶数番目の信号線S2、信号線S4、．．．信号線Sxに、正の極性の画像信号が順に入力されている。よって、奇数番目の信号線S1、信号線S3、．．．に接続された画素100内の画素電極(S1)、画素電極(S3)、．．．には、負の極性の画像信号が与えられている。また、偶数番目の信号線S2、信号線S4、．．．信号線Sxに接続された画素100内の画素電極(S2)、画素電極(S4)、．．．画素電極(Sx)には、正の極性の画像信号が与えられている。

30

【0160】

第2のフレーム期間においても、信号線S1から信号線Sxへの画像信号の入力が終了すると、走査線G1の選択は終了する。そして、走査線G2から走査線Gyが順に選択され、走査線G1が選択されていた期間と同様の動作が、上記各走査線に接続された画素において行われる。

【0161】

そして、第3のフレーム期間と、第4のフレーム期間においても、上記動作が同様に繰り返される。

【0162】

なお、図5に示すタイミングチャートでは、信号線S1から信号線Sxに、順に画像信号が入力されている場合を例示しているが、本発明はこの構成に限定されない。信号線S1から信号線Sxに、一斉に画像信号が入力されていても良いし、複数の信号線ごとに順に画像信号が入力されていても良い。

40

【0163】

また、本実施の形態では、プログレッシブ方式を用いた場合における、走査線の選択について説明したが、インターレース方式を用いて走査線の選択を行うようにしても良い。

【0164】

なお、画像信号の電位の極性を、共通電極の基準電位を基準として反転させる反転駆動を行うことで、焼き付きと呼ばれる液晶の劣化を防ぐことができる。

【0165】

50

しかし、反転駆動を行うと、画像信号の極性が変化する際に信号線に与えられる電位の変化が大きくなるため、スイッチング素子として機能するトランジスタ 102 のソース電極とドレイン電極の電位差が大きくなる。よって、トランジスタ 102 は、閾値電圧がシフトするなどの特性劣化が生じやすい。

【0166】

また、液晶素子 103 に保持されている電圧を維持するために、ソース電極とドレイン電極の電位差が大きくても、オフ電流が低いことが要求される。

【0167】

本発明の一態様では、トランジスタ 102 に、シリコンまたはゲルマニウムよりもバンドギャップが大きく、真性キャリア密度が低い酸化物半導体などの半導体を用いているので、トランジスタ 102 の耐圧性を高め、オフ電流を著しく低くすることができる。よって、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ 102 の劣化を防ぎ、液晶素子 103 に保持されている電圧を維持することができる。

【0168】

なお、液晶は、電圧が印加されてからその透過率が収束するまでの応答時間が、一般的に十数 msec 程度である。よって、液晶素子の透過率の変化が動画のぼやけとして視認されやすい。そこで、本発明の一態様では、液晶素子 103 に印加する電圧を一時的に大きくして液晶の配向を速く変化させるオーバードライブ駆動を用いるようにしても良い。オーバードライブ駆動を用いることで、液晶素子の透過率の変化が動画のぼやけとして視認されにくくなり、動画の画質を改善することができる。

【0169】

また、トランジスタ 102 がオフした後においても、液晶素子の透過率が収束せずに変化し続けると、液晶の誘電率が変化するため、液晶素子の保持する電圧が変化しやすい。特に、本発明の一態様のように、液晶素子に並列で容量素子を接続しない場合、或いは、液晶素子に並列で容量素子を接続していてもその容量値が小さい場合、上述した液晶素子の保持する電圧の変化は顕著に起こりやすい。しかし、上記オーバードライブ駆動を用いることで、応答時間を短くすることができるので、トランジスタ 102 がオフした後における液晶素子の透過率の変化を小さくすることができる。したがって、液晶素子に並列で容量素子を接続しない場合、或いは、液晶素子に並列で容量素子を接続していてもその容量値が小さい場合でも、トランジスタ 102 がオフした後に、液晶素子の保持する電圧が変化するのを防ぐことができる。

【0170】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0171】

(実施の形態 4)

本実施の形態では、本発明の一態様の液晶表示装置に適用可能なトランジスタの構成およびその作製方法の一態様を、図 6 及び図 7 を用いて説明する。具体的には、実施の形態 1 で説明した液晶表示装置の表示部のトランジスタ 312 に用いることができる。

【0172】

図 6 (A) は本発明の一態様の液晶表示装置に適用可能なボトムゲート型のトランジスタ 412 の構造の平面図であり、図 6 (B) は図 6 (A) の X1 - Y1 における断面図であり、図 6 (C) は図 6 (A) の V1 - W1 における断面図である。また、図 7 はトランジスタ 412 の作製方法を説明する断面図である。

【0173】

図 6 に示すトランジスタ 412 は、絶縁表面を有する基板 410 上に設けられたゲート電極層 402 と、ゲート電極層 402 上のゲート絶縁層 404 と、ゲート絶縁層 404 と接し、ゲート電極層 402 と重畳する酸化物半導体層 408 と、酸化物半導体層 408 と電気的に接続するソース電極層またはドレイン電極層 406a 及びソース電極層またはドレ

イン電極層 406b と、を含む。

【0174】

また、ソース電極層またはドレイン電極層 406a 及びソース電極層またはドレイン電極層 406b を覆い、酸化物半導体層 408 と接する絶縁層 416 をトランジスタ 412 の構成要素としてもよい。トランジスタ 412 のチャネル長は、例えば 1 μ m 以上とすることができる。

【0175】

絶縁層 417 は、基板 410 上に形成されるトランジスタ 412 等の構造物に由来する凹凸を平坦にする。共通電極 422 は、絶縁層 417 上に設けられ、絶縁膜 424 が共通電極 422 上に形成されている。画素電極 421 は、絶縁膜 424、絶縁層 417 および絶縁層 416 に設けられた開口部を介して、トランジスタ 412 のソース電極層またはドレイン電極層 406b と電氣的に接続されている。

【0176】

本実施の形態で例示する構成は、酸化物半導体層 408 と接する絶縁層（ゲート絶縁層 404b 及び絶縁層 416a）として酸素を含む絶縁層（例えば酸化シリコン、窒素を含む酸化シリコン）を含む。よって、酸化物半導体層 408 に酸素を供給することが可能となり、該酸化物半導体層 408 の酸素欠損を補填することができる。

【0177】

また、酸素を含む絶縁層に接して酸化物半導体層 408 の外側に設けられた絶縁層（ゲート絶縁層 404a 及び絶縁層 416b）として、窒化シリコン膜を含む。窒化シリコン膜は、水素又は水素を含む化合物（水など）が酸化物半導体層 408 へと侵入することを抑制するブロッキング膜として機能する。よって、このような積層構造を有するトランジスタの信頼性を向上させることができる。

【0178】

以下に、本発明の一態様の液晶表示装置に適用可能なトランジスタを構成する個々の要素について説明する。

【0179】

<ゲート絶縁層>

本実施の形態において、ゲート絶縁層 404 は、ゲート電極層 402 と接するゲート絶縁層 404a と、ゲート絶縁層 404a 上に設けられ、酸化物半導体層 408 と接するゲート絶縁層 404b の積層構造とする。

【0180】

<絶縁層>

絶縁層 416 は、ソース電極層またはドレイン電極層 406a 及びソース電極層またはドレイン電極層 406b と接する絶縁層 416a と、絶縁層 416a 上の絶縁層 416b の積層構造とする。

【0181】

<酸化物半導体層>

酸化物半導体層 408 は、単結晶、多結晶（ポリクリスタルともいう）又は非晶質などの状態をとる。なお、酸化物半導体層 408 は、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜とすることが好ましい。酸化物半導体層 408 に CAAC-OS 膜を適用する構成については、実施の形態 5 で詳細に説明する。

【0182】

酸化物半導体層 408 に用いる酸化物半導体としては、少なくともインジウム（In）を含む。特に、インジウムと亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）、ハフニウム（Hf）、アルミニウム（Al）、ジルコニウム（Zr）のいずれか一種または複数種を有することが好ましい。

10

20

30

40

50

【0183】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロビウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を有してもよい。

【0184】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0185】

例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

20

【0186】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、MnおよびCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0187】

例えば、 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1 (= 1/3:1/3:1/3)$ 、 $\text{In}:\text{Ga}:\text{Zn} = 2:2:1 (= 2/5:2/5:1/5)$ 、あるいは $\text{In}:\text{Ga}:\text{Zn} = 3:1:2 (= 1/2:1/6:1/3)$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn} = 1:1:1 (= 1/3:1/3:1/3)$ 、 $\text{In}:\text{Sn}:\text{Zn} = 2:1:3 (= 1/3:1/6:1/2)$ あるいは $\text{In}:\text{Sn}:\text{Zn} = 2:1:5 (= 1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

30

【0188】

しかし、インジウムを含む酸化物半導体を用いたトランジスタは、これらに限られず、必要とする電気的特性(電界効果移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする電気的特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとする

40

【0189】

例えば、In-Sn-Zn系酸化物を用いたトランジスタでは比較的容易に高い電界効果移動度が得られる。しかしながら、In-Ga-Zn系酸化物を用いたトランジスタでも、バルク内欠陥密度を低くすることにより電界効果移動度を上げることができる。

【0190】

なお、例えば、In、Ga、Znの原子数比が $\text{In}:\text{Ga}:\text{Zn} = a:b:c$ ($a+b+c=1$)である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn} = A:B:C$ ($A+B+C=1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、0.05とすればよい。

50

他の酸化物でも同様である。

【0191】

酸化物半導体層は、スパッタリング法によって形成することができ、スパッタリングターゲットにインジウムを含有すると成膜時のパーティクルの発生を低減することができる。よって、インジウムを含む酸化物半導体層を適用することがより好ましい。

【0192】

<トランジスタの作製方法>

以下に、トランジスタ412の作製方法の一例を、図7を用いて説明する。

【0193】

《ゲート電極層》

まず、絶縁表面を有する基板410上に、ゲート電極層402（これと同じ層で形成される配線を含む）を形成する。

【0194】

絶縁表面を有する基板410に使用することができる基板に大きな制約はないが、少なくとも後の熱処理に耐えられる程度の耐熱性を有することが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラス等のガラス基板、セラミック基板、石英基板、サファイヤ基板などを用いることができる。また、シリコンや炭化シリコン等の単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を適用することができ、これらの基板に半導体素子が設けられたものを基板410として用いてもよい。また、基板410上に下地絶縁層を形成してもよい。

【0195】

ゲート電極層402の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層402としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイド等のシリサイド膜を用いてもよい。ゲート電極層402は単層構造としてもよいし、積層構造としてもよい。ゲート電極層402はテーパ形状としてもよく、例えばテーパ角を15°以上70°以下とすればよい。ここで、テーパ角とは、テーパ形状を有する層の側面と、当該層の底面との間の角度を指す。

【0196】

また、ゲート電極層402の材料は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウムスズ酸化物等の導電性材料を適用することもできる。

【0197】

または、ゲート電極層402の材料として、窒素を含むIn-Ga-Zn系酸化物、窒素を含むIn-Sn系酸化物、窒素を含むIn-Ga系酸化物、窒素を含むIn-Zn系酸化物、窒素を含むSn系酸化物、窒素を含むIn系酸化物、金属窒化物膜（窒化インジウム膜、窒化亜鉛膜、窒化タンタル膜、窒化タングステン膜など）を用いてもよい。これらの材料は、5電子ボルト以上の仕事関数を有するため、これらの材料を用いてゲート電極層402を形成することでトランジスタのしきい値電圧をプラスにすることができ、ノーマリオフのスイッチングトランジスタを実現できる。

【0198】

《ゲート絶縁層》

次いで、ゲート電極層402を覆うようにゲート電極層402上にゲート絶縁層404を形成する（図7（A）参照）。ゲート絶縁層404としては、プラズマCVD法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁膜を、単層で、または積層で用い

10

20

30

40

50

る。

【0199】

なお、ゲート絶縁層404において、後に形成される酸化物半導体層408と接する領域（本実施の形態においては、ゲート絶縁層404b）は、酸素を含む絶縁層であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。ゲート絶縁層404に酸素過剰領域を設けるには、例えば、酸素雰囲気下にてゲート絶縁層404を形成すればよい。又は、成膜後のゲート絶縁層404に酸素を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理等を用いることができる。

10

【0200】

本実施の形態では、ゲート絶縁層404aとして窒化シリコン膜を形成し、ゲート絶縁層404bとして酸化シリコン膜を形成する。

【0201】

《酸化物半導体層》

次いで、ゲート絶縁層404上に、酸化物半導体膜407を成膜する（図7（B）参照）。

【0202】

酸化物半導体膜407の成膜方法は、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。

20

【0203】

なお、ゲート絶縁層404及び酸化物半導体膜407は、大気開放せずに連続的に成膜することが好ましい。ゲート絶縁層404及び酸化物半導体膜407の成膜を大気開放せずに連続的に行うことで、酸化物半導体膜407表面への水素又は水素化合物の付着（例えば、吸着水など）を防止することができるため、不純物の混入を抑制することができる。

【0204】

なお、酸化物半導体膜を成膜するためのスパッタリングターゲットは多結晶、且つ、相対密度（充填率）の高いものを用いる。また、成膜時のスパッタリングターゲットは十分冷やして室温とし、被成膜基板の被成膜面は、室温以上に高め、成膜チャンバー内に水分や水素がほとんどない雰囲気下で酸化物半導体膜の成膜を行う。

30

【0205】

スパッタリングターゲットは高密度であるほど好ましい。スパッタリングターゲットの密度が高いことで成膜される膜密度も高くすることができる。具体的には、ターゲットの相対密度（充填率）は90%以上100%以下、好ましくは95%以上、さらに好ましくは99.9%以上とする。なお、スパッタリングターゲットの相対密度とは、スパッタリングターゲットと同一組成の材料の気孔のない状態における密度との比をいう。

【0206】

スパッタリングターゲットは、不活性ガス雰囲気（窒素または希ガス雰囲気）下、真空中または高圧雰囲気中で焼成を行うことが好ましい。焼成方法として常圧焼成法、加圧焼成法等を適宜用いて得られる多結晶ターゲットを用いる。加圧焼成法としては、ホットプレス法、熱間等方加圧（HIP：Hot Isostatic Pressing）法、放電プラズマ焼結法、又は衝撃法を適用することが好ましい。焼成の最高温度はスパッタリングターゲット材料の焼結温度により選択するが、1000～2000程度とするのが好ましく、1200～1500とするのがより好ましい。また、最高温度の保持時間は、スパッタリングターゲット材料により選択するが、0.5時間～3時間とするのが好ましい。

40

【0207】

In-Ga-Zn系酸化物膜を成膜する場合、スパッタリングターゲットは、In：Ga：Zn=3：1：2の原子数比のターゲットや、In：Ga：Zn=1：1：1の原子数

50

比のターゲットを用いる。

【0208】

また、成膜チャンバー内に残存する不純物を低減することも緻密な膜を得る上で重要である。成膜チャンバー内の背圧（到達真空度：反応ガスを導入する前の真空度）を 5×10^{-3} Pa 以下、好ましくは 6×10^{-5} Pa 以下とし、成膜時の圧力を 2 Pa 未満、好ましくは 0.4 Pa 以下とする。背圧を低くすることで成膜チャンバー内の不純物を低減する。

【0209】

また、成膜チャンバー内に導入するガス、即ち、成膜時に用いるガス中の不純物を低減することも緻密な膜を得る上で重要である。また、成膜ガス中の酸素割合を高め、電力を最適化することが重要である。成膜ガス中の酸素割合（上限は酸素 100%）を高め、電力を最適化することによって成膜時のプラズマダメージを軽減することができる。そのため、緻密な膜を得やすくなる。

10

【0210】

また、酸化物半導体膜の成膜前または成膜中には成膜チャンバー内の水分量などを監視（モニター）するため、四重極形質量分析計（以下、Q-mass と呼ぶ）を常に作動させた状態で成膜を行うことが好ましい。

【0211】

例えば、スパッタリング法を用いて酸化物半導体膜 407 の成膜を行う場合には、スパッタリング装置の成膜チャンバー内に供給する成膜ガスとして、水素、水、水酸基又は水素化物などの不純物が除去された高純度の希ガスと酸素の混合ガス、又は酸素を用いる。

20

【0212】

なお、成膜後の酸化物半導体膜 407 に、脱水化又は脱水素化処理のための熱処理を適宜行ってもよい。また、脱水化又は脱水素化処理を行った酸化物半導体膜 407 に、酸素を供給してもよい。

【0213】

次いで、酸化物半導体膜 407 を、フォトリソグラフィ法を用いたエッチング処理によって島状の酸化物半導体層 408 に加工する（図 7（C）参照）。

【0214】

《ソース電極層及びドレイン電極層》

30

次いで、酸化物半導体層 408 上に導電膜を形成し、これを加工してソース電極層またはドレイン電極層 406a 及びソース電極層またはドレイン電極層 406b（これと同じ層で形成される配線を含む）を形成する。

【0215】

ソース電極層またはドレイン電極層 406a 及びソース電極層またはドレイン電極層 406b としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、Al、Cu などの金属膜の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としてもよい。また、ソース電極層またはドレイン電極層 406a 及びソース電極層またはドレイン電極層 406b を、導電性の金属酸化物で形成してもよい。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ ）、酸化インジウム酸化亜鉛（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

40

【0216】

また、ソース電極層またはドレイン電極層 406a 及びソース電極層またはドレイン電極層 406b として窒素を含む In-Ga-Zn-O 膜、窒素を含む In-Sn-O 膜、窒素を含む In-Ga-O 膜、窒素を含む In-Zn-O 膜、窒素を含む Sn-O 膜、窒素

50

を含むIn-O膜等の金属窒化物膜を用いることができる。これらの膜は、酸化物半導体層408と同じ構成元素を含むため、酸化物半導体層408との界面を安定化させることができる。

【0217】

《絶縁層》

次いで、ソース電極層またはドレイン電極層406a、ソース電極層またはドレイン電極層406b及び露出した酸化物半導体層408を覆うように、絶縁層416を形成する(図7(D)参照)。

【0218】

絶縁層416としてはプラズマCVD法、スパッタリング法により形成することができ、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜等を単層で、又は積層して用いることができる。但し、酸化物半導体層408と接する絶縁層416(本実施の形態においては、絶縁層416a)として、酸素を含む絶縁層を形成すると、該酸素を含む絶縁層によって酸化物半導体層408へ酸素を供給することが可能となるため、好ましい。

10

【0219】

例えば、プラズマCVD装置の真空排気された処理室内に載置された基板を180以上400以下、さらに好ましくは200以上370以下に保持し、処理室に原料ガスを導入して処理室内における圧力を30Pa以上250Pa以下、さらに好ましくは40Pa以上200Pa以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成してもよい。上記条件として成膜することで、酸素が拡散する酸素を含む絶縁層を形成することができる。

20

【0220】

また、該酸素が拡散する酸素を含む絶縁層を成膜後、大気開放せずにプラズマCVD装置の真空排気された処理室内に載置された基板を180以上250以下、さらに好ましくは180以上230以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられる電極に0.17W/cm²以上0.5W/cm²以下、さらに好ましくは0.26W/cm²以上0.35W/cm²以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成してもよい。当該条件にて成膜することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、成膜される酸化シリコン膜又は酸化窒化シリコン膜中における酸素含有量が化学量論比よりも多くなる。しかしながら、基板温度が、上記温度であると、シリコンと酸素の結合力が弱いため、加熱により酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸素を含む絶縁層を形成することができる。

30

【0221】

以上によって、本実施の形態のトランジスタ412を形成することができる。

【0222】

<共通電極および画素電極の作製方法>

40

トランジスタ412を覆う絶縁層417を形成する。絶縁層417は、基板410上に形成された構造物に由来する凹凸を平坦化するための層であり、例えばアクリル樹脂、ポリイミド樹脂などを用いることができる。

【0223】

共通電極422を絶縁層417上に形成する。共通電極422はフォトリソグラフィ工程を用いて導電膜を加工して形成する。

【0224】

絶縁膜424を共通電極422上に形成する。

【0225】

画素電極421を絶縁膜424上に形成する。絶縁膜424は、画素電極421と共通電

50

極 4 2 2 を絶縁する層として機能する。

【 0 2 2 6 】

なお、共通電極 4 2 2 と画素電極 4 2 1 は、可視光に対し透光性を有する膜であると、画素の開口率を高められるため好ましい。

【 0 2 2 7 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 2 2 8 】

(実施の形態 5)

本実施の形態では、本発明の一態様の液晶表示装置に適用可能なトランジスタに好適な酸化物半導体層の一例について図面を用いて詳細に説明する。

10

【 0 2 2 9 】

酸化物半導体層は、単結晶、多結晶（ポリクリスタルともいう）又は非晶質などの状態をとる。

【 0 2 3 0 】

また、成膜条件、例えば被成膜基板の温度を 2 0 0 以上とすることで、結晶部を含む緻密な酸化物半導体膜、即ち C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜を得ることもできる。

【 0 2 3 1 】

以下では、酸化物半導体膜の構造について説明する。

20

【 0 2 3 2 】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜などをいう。

【 0 2 3 3 】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【 0 2 3 4 】

30

微結晶酸化物半導体膜は、例えば、1 n m 以上 1 0 n m 未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【 0 2 3 5 】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 1 0 0 n m 未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が 1 0 n m 未満、5 n m 未満または 3 n m 未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

40

【 0 2 3 6 】

C A A C - O S 膜を透過型電子顕微鏡（T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e ）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【 0 2 3 7 】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察（断面 T E M 観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面（被形成面ともいう。）または上面の凹凸

50

を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0238】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察（平面 T E M 観察）すると、結晶部において、金属原子が三角形形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0239】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0240】

C A A C - O S 膜に対し、X 線回折（X R D : X - R a y D i f f r a c t i o n）装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、回折角（ 2θ ）が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（009）面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0241】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる i n - p l a n e 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（110）面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（ ϕ 軸）として試料を回転させながら分析（ ϕ スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

【0242】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

【0243】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0244】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0245】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0246】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

10

20

30

40

50

【0247】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0248】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0249】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

10

【0250】

被成膜基板の温度を 200° 以上とすると、成膜中は、ターゲットから微小なスパッタリング粒子が飛翔して基板上にそのスパッタリング粒子がはりつくようにして成膜され、且つ、基板が加熱されているため、再配列し高密度な膜となる。

【0251】

C A A C - O S 膜のインジウム原子は、横方向に2個以上20個以下程度为数が連なり、インジウム原子を含む層を形成している。なお、インジウム原子を含む層は、横方向に20個より多く連なっていることもある。例えば、2個以上50個以下、2個以上100個以下または2個以上500個以下のインジウム原子が横方向に連なっているもよい。

20

【0252】

また、インジウム原子を含む層は、層同士が重畳しており、その層数は1層以上20層以下、1層以上10層以下または1層以上4層以下である。

【0253】

このように、インジウム原子を含む層の積層体は、横方向が数個程度、縦方向が数層程度の塊であることが多いように見える。これは、スパッタリング粒子が平板状であることに起因すると考えられる。

【0254】

また、被成膜基板の温度を高めることで、基板表面でのスパッタリング粒子のマイグレーションが起こりやすくなる。この作用でスパッタリング粒子は、平板状で基板表面に到達後、わずかに移動し、平らな面(a - b面)を基板表面に向けて付着する。そのため、表面に垂直な方向から見てc軸配向した結晶領域を有する酸化物半導体膜が得やすくなる。

30

【0255】

また、酸化物半導体膜の成膜後に、 200° 以上の加熱処理を行い、さらに緻密な膜としてもよい。ただし、酸化物半導体膜中の不純物元素(水素や、水など)が低減される際に酸素欠損が生じる恐れがあるため、加熱処理を行う前に、酸化物半導体膜上または酸化物半導体膜下に酸素過剰の絶縁層を設けておくことが好ましく、加熱処理によって酸化物半導体膜中の酸素欠損を低減することができる。

【0256】

成膜直後の酸化物半導体膜の膜質を高密度なものとすることで、薄膜でありながら単結晶に近い緻密な膜を実現でき、膜中を酸素や水素などがほとんど拡散しないため、緻密な酸化物半導体膜を用いた半導体装置は、信頼性の向上を実現できる。

40

【0257】

本発明の一態様のトランジスタに含まれる酸化物半導体層には、非晶質構造、結晶構造のいずれの酸化物半導体層を適用してもよい。但し、C A A C - O S 膜を適用すると、酸化物半導体層中に存在する酸素欠損に起因するD O S (d e n s i t y o f s t a t e) を減少させることが可能となるため、好ましい。

【0258】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

50

。

【0259】

(実施の形態6)

本実施の形態では、本発明の一態様の液晶表示装置に適用可能な垂直配向(VA: Vertical Alignment)モードで動作する液晶素子を備える画素の構成について、図8および図9を参照して説明する。図8(A)は液晶表示装置が備える画素の上面図であり、図8(B)は図8(A)の切断線E-Fにおける断面を含む側面図である。また、図9は、液晶表示装置が備える画素の等価回路図である。

【0260】

VA型とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。

10

【0261】

本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

【0262】

図8(A)のX1は画素電極624が形成された基板600の上面図であり、X3は共通電極640が形成された基板601の上面図であり、X2は画素電極624が形成された基板600と共通電極640が形成された基板601が重ね合わされた状態の上面図である。

20

【0263】

基板600上には、トランジスタ628とそれに接続する画素電極624、及び保持容量部630が形成される。トランジスタ628、配線618、及び保持容量部630は、絶縁層620と絶縁層620上の絶縁層622で覆われている。画素電極624は、絶縁層620と絶縁層622を貫通するコンタクトホール623で、配線618と接続する。

【0264】

保持容量部630は、トランジスタ628のゲート配線602と同時に形成した第1の容量配線である容量配線604と、ゲート絶縁層606と、配線616、618と同時に形成した第2の容量配線である容量配線617で構成される。

30

【0265】

画素電極624は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性の導電性材料を用いることができる。

【0266】

画素電極624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

40

【0267】

トランジスタ629とそれに接続する画素電極626及び保持容量部631は、それぞれトランジスタ628、画素電極624及び保持容量部630と同様に形成することができる。トランジスタ628とトランジスタ629は共に配線616と接続している。この液晶表示パネルの画素は、画素電極624と画素電極626により構成されている。画素電極624と画素電極626はサブピクセルである。

【0268】

基板601には、着色層636、共通電極640が形成され、共通電極640上に突起644が形成されている。画素電極624上には配向膜648が形成され、同様に共通電極640及び突起644上にも配向膜646が形成されている。基板600と基板601の間に液晶層650が形成されている。

50

【0269】

共通電極640は、画素電極624と同様の材料を用いて形成することが好ましい。共通電極640上には液晶の配向を制御する突起644が形成されている。

【0270】

スリット625を設けた画素電極624に電圧を印加すると、スリット625の近傍には電界の歪み（斜め電界）が発生する。このスリット625と、基板601側の突起644とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

【0271】

図8（B）は、基板600と基板601とが重ね合わせられ、液晶が注入された状態を示している。画素電極624と液晶層650と共通電極640が重なり合うことで、液晶素子が形成されている。

【0272】

この画素構造の等価回路を図9に示す。トランジスタ628とトランジスタ629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

【0273】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0274】

（実施の形態7）

本実施の形態では、液晶素子が有する液晶層に、ブルー相を示す液晶を用いる場合の、画素の具体的な構成について説明する。

【0275】

図10（A）に、画素の上面図を一例として示す。また、図10（B）に、図10（A）の破線A1—A2における断面図を示す。なお、図10（A）には、スペーサ510までが形成された画素の上面図が示されている。図10（B）には、スペーサ510までが形成されている基板500と対峙して、基板514が配置されている構造が示されている。

【0276】

図10（A）、図10（B）に示す画素は、走査線として機能する導電膜501と、信号線として機能する導電膜502と、容量配線として機能する導電膜503と、スイッチング素子として機能するトランジスタ550の第2端子として機能する導電膜504とを有している。導電膜501は、トランジスタ550のゲート電極としても機能する。また、導電膜502は、トランジスタ550の第1端子としても機能する。

【0277】

導電膜501、導電膜503は、絶縁表面を有する基板500上に形成された一の導電膜を所望の形状に加工することで形成することができる。導電膜501、導電膜503上にはゲート絶縁膜506が形成されている。さらに、導電膜502、導電膜504は、ゲート絶縁膜506上に形成された一の導電膜を所望の形状に加工することで形成することができる。

【0278】

また、トランジスタ550の活性層507は、導電膜501と重なる位置においてゲート絶縁膜506上に形成されている。さらに、活性層507、導電膜502、導電膜504を覆うように、絶縁膜512と、絶縁膜513とが順に形成されている。そして、絶縁膜513上には画素電極505及び共通電極508が形成されており、絶縁膜512及び絶縁膜513に形成されたコンタクトホールを介して、導電膜504と画素電極505とが接続されている。

10

20

30

40

50

【0279】

なお、容量配線として機能する導電膜503と、導電膜504とが、ゲート絶縁膜506を間に挟んで重なり合っている部分が、容量素子551として機能する。

【0280】

また、本実施の形態では、導電膜503とゲート絶縁膜506の間に絶縁膜509が形成されている。そして、絶縁膜509と重なる位置において、画素電極505上にスペーサ510が形成されている。

【0281】

基板514と、画素電極505及び共通電極508との間には、液晶を含む液晶層516が設けられている。画素電極505と、共通電極508と、液晶層516とを含む領域に液晶素子552が形成される。

10

【0282】

画素電極505と共通電極508には、例えば、酸化珪素を含む酸化インジウムスズ(ITO)、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛(GZO)などの透光性を有する導電材料を用いることができる。

【0283】

液晶層516を形成するために行われる液晶の注入は、ディスペンサ式(滴下式)を用いても良いし、ディップ式(汲み上げ式)を用いても良い。

【0284】

なお、基板514上には、画素間における液晶の配向の乱れに起因するディスクリネーションが視認されるのを防ぐため、或いは、拡散した光が隣接する複数の画素に入射するのを防ぐために、光を遮蔽することができる遮蔽膜が設けられていても良い。遮蔽膜には、カーボンブラック、二酸化チタンよりも酸化数が小さい低次酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

20

【0285】

なお、IPS型の液晶素子やブルー相を用いた液晶素子の場合、図10に示した液晶素子552のように、画素電極505と共通電極508の上に液晶層516が設けられている構造を有する。しかし、本発明の一態様に係る液晶表示装置はこの構成に限定されず、液晶素子が、画素電極と共通電極の間に液晶層が挟まれている構造を有していても良い。

30

【0286】

トランジスタ550は、オフ電流の極めて小さいトランジスタを適用できる。例えば、実施の形態4で説明する構成のトランジスタを適用できる。

【0287】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0288】

(実施の形態8)

本実施の形態では、本発明の一態様の電子機器について説明する。具体的には、本発明の一態様の液晶表示装置を搭載した電子機器について図11を用いて説明する。

40

【0289】

液晶表示装置を適用した電子機器として、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。これらの電子機器の具体例を図11に示す。

【0290】

図11(A)は、テレビジョン装置の一例を示している。テレビジョン装置7100は、筐体7101に表示部7103が組み込まれている。表示部7103により、映像を表示

50

することが可能であり、液晶表示装置を表示部 7103 に用いることができる。また、ここでは、スタンド 7105 により筐体 7101 を支持した構成を示している。

【0291】

テレビジョン装置 7100 の操作は、筐体 7101 が備える操作スイッチや、別体のリモコン操作機 7110 により行うことができる。リモコン操作機 7110 が備える操作キー 7109 により、チャンネルや音量の操作を行うことができ、表示部 7103 に表示される映像を操作することができる。また、リモコン操作機 7110 に、当該リモコン操作機 7110 から出力する情報を表示する表示部 7107 を設ける構成としてもよい。

【0292】

なお、テレビジョン装置 7100 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0293】

図 11 (B) はコンピュータであり、本体 7201、筐体 7202、表示部 7203、キーボード 7204、外部接続ポート 7205、ポインティングデバイス 7206 等を含む。なお、コンピュータは、液晶表示装置をその表示部 7203 に用いることにより作製される。

【0294】

図 11 (C) は携帯型遊技機であり、筐体 7301 と筐体 7302 の 2 つの筐体で構成されており、連結部 7303 により、開閉可能に連結されている。筐体 7301 には表示部 7304 が組み込まれ、筐体 7302 には表示部 7305 が組み込まれている。また、図 11 (C) に示す携帯型遊技機は、その他、スピーカ部 7306、記録媒体挿入部 7307、LED ランプ 7308、入力手段（操作キー 7309、接続端子 7310、センサ 7311（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの）、マイクロフォン 7312）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも表示部 7304 および表示部 7305 の両方、または一方に液晶表示装置を用いていけばよく、その他付属設備が適宜設けられた構成とすることができる。図 11 (C) に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 11 (C) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0295】

図 11 (D) は、携帯電話機の一例を示している。携帯電話機 7400 は、筐体 7401 に組み込まれた表示部 7402 の他、操作ボタン 7403、外部接続ポート 7404、スピーカ 7405、マイク 7406 などを備えている。なお、携帯電話機 7400 は、液晶表示装置を表示部 7402 に用いることにより作製される。

【0296】

図 11 (D) に示す携帯電話機 7400 は、表示部 7402 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを作成するなどの操作は、表示部 7402 を指などで触れることにより行うことができる。

【0297】

表示部 7402 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【0298】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 7402 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合

10

20

30

40

50

、表示部 7402 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【0299】

また、携帯電話機 7400 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 7400 の向き（縦か横か）を判断して、表示部 7402 の画面表示を自動的に切り替えるようにすることができる。

【0300】

また、画面モードの切り替えは、表示部 7402 を触れること、または筐体 7401 の操作ボタン 7403 の操作により行われる。また、表示部 7402 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

10

【0301】

また、入力モードにおいて、表示部 7402 の光センサで検出される信号を検知し、表示部 7402 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0302】

表示部 7402 は、イメージセンサとして機能させることもできる。例えば、表示部 7402 に掌や指で触れ、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

20

【0303】

図 11 (E) は、折りたたみ式のコンピュータの一例を示している。折りたたみ式のコンピュータ 7450 は、ヒンジ 7454 で接続された筐体 7451 L と筐体 7451 R を備えている。また、操作ボタン 7453、左側スピーカ 7455 L および右側スピーカ 7455 R の他、コンピュータ 7450 の側面には図示されていない外部接続ポート 7456 を備える。なお、筐体 7451 L に設けられた表示部 7452 L と、筐体 7451 R に設けられた表示部 7452 R が互いに対峙するようにヒンジ 7454 を折り畳むと、表示部を筐体で保護することができる。

【0304】

表示部 7452 L と表示部 7452 R は、画像を表示する他、指などで触れると情報を入力できる。例えば、インストール済みのプログラムを示すアイコンを指でふれて選択し、プログラムを起動できる。または、表示された画像の二箇所に触れた指の間隔を変えて、画像を拡大または縮小できる。または、表示された画像の一箇所に触れた指を移動して画像を移動できる。また、キーボードの画像を表示して、表示された文字や記号を指で触れて選択し、情報を入力することもできる。

30

【0305】

また、コンピュータ 7450 に、ジャイロ、加速度センサ、GPS (Global Positioning System) 受信機、指紋センサ、ビデオカメラを搭載することもできる。例えば、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、コンピュータ 7450 の向き（縦か横か）を判断して、表示する画面の向きを自動的に切り替えるようにすることができる。

40

【0306】

また、コンピュータ 7450 はネットワークに接続できる。コンピュータ 7450 はインターネット上の情報を表示できる他、ネットワークに接続された他の電子機器を遠隔から操作する端末として用いることができる。

【0307】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0308】

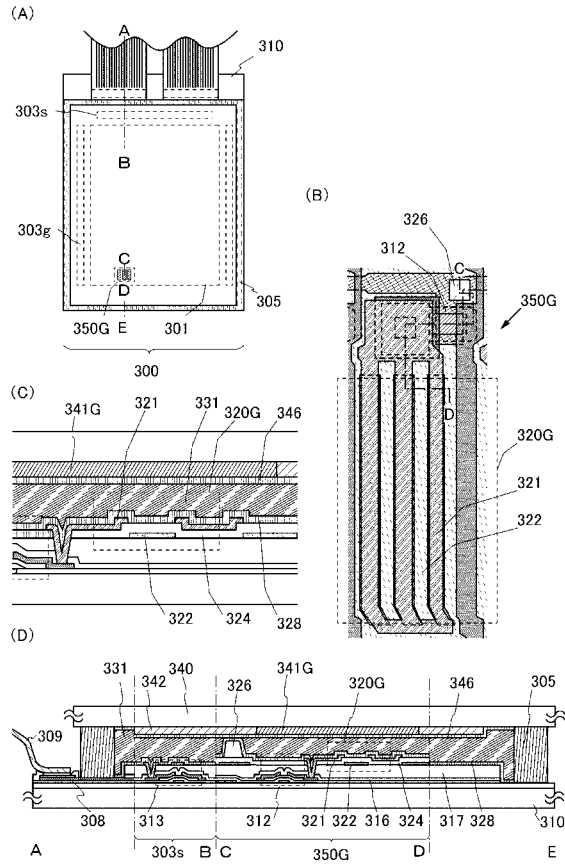
50

1 0 0	画素	
1 0 1	表示部	
1 0 2	トランジスタ	
1 0 3	液晶素子	
1 0 4	画素電極	
1 0 6	寄生容量	
1 0 7	寄生容量	
3 0 0	液晶表示装置	
3 0 1	表示領域	
3 0 3 g	ゲート側駆動回路	10
3 0 3 s	ソース側駆動回路	
3 0 5	シール材	
3 0 8	配線	
3 0 9	F P C	
3 1 0	基板	
3 1 2	トランジスタ	
3 1 3	トランジスタ	
3 1 4	容量	
3 1 6	絶縁層	
3 1 7	絶縁層	20
3 2 0 c	容量成分	
3 2 0 G	液晶素子	
3 2 0 r	抵抗成分	
3 2 1	画素電極	
3 2 2	共通電極	
3 2 4	絶縁層	
3 2 6	スペーサ	
3 2 8	配向膜	
3 3 1	液晶層	
3 4 0	基板	30
3 4 1 G	カラーフィルタ	
3 4 2	遮光層	
3 4 6	配向膜	
3 5 0 G	画素	
4 0 2	ゲート電極層	
4 0 4	ゲート絶縁層	
4 0 4 a	ゲート絶縁層	
4 0 4 b	ゲート絶縁層	
4 0 6 a	ソース電極層またはドレイン電極層	
4 0 6 b	ソース電極層またはドレイン電極層	40
4 0 7	酸化物半導体膜	
4 0 8	酸化物半導体層	
4 1 0	基板	
4 1 2	トランジスタ	
4 1 6	絶縁層	
4 1 6 a	絶縁層	
4 1 6 b	絶縁層	
4 1 7	絶縁層	
4 2 1	画素電極	
4 2 2	共通電極	50

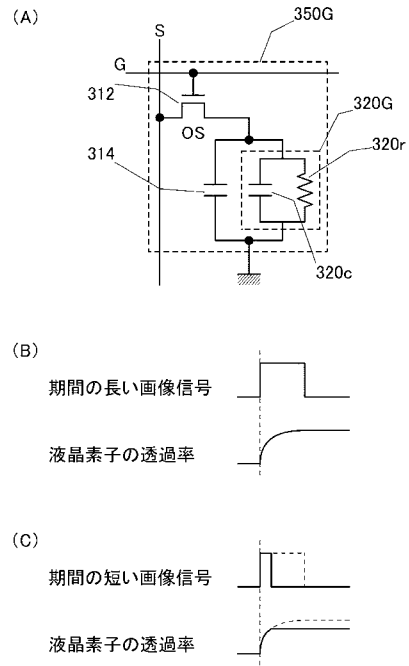
4 2 4	絶縁膜	
5 0 0	基板	
5 0 1	導電膜	
5 0 2	導電膜	
5 0 3	導電膜	
5 0 4	導電膜	
5 0 5	画素電極	
5 0 6	ゲート絶縁膜	
5 0 7	活性層	
5 0 8	共通電極	10
5 0 9	絶縁膜	
5 1 0	スペーサ	
5 1 2	絶縁膜	
5 1 3	絶縁膜	
5 1 4	基板	
5 1 6	液晶層	
5 5 0	トランジスタ	
5 5 1	容量素子	
5 5 2	液晶素子	
6 0 0	基板	20
6 0 1	基板	
6 0 2	ゲート配線	
6 0 4	容量配線	
6 0 5	容量配線	
6 0 6	ゲート絶縁層	
6 1 6	配線	
6 1 7	容量配線	
6 1 8	配線	
6 2 0	絶縁層	
6 2 2	絶縁層	30
6 2 3	コンタクトホール	
6 2 4	画素電極	
6 2 5	スリット	
6 2 6	画素電極	
6 2 8	トランジスタ	
6 2 9	トランジスタ	
6 3 0	保持容量部	
6 3 1	保持容量部	
6 3 6	着色層	
6 4 0	共通電極	40
6 4 4	突起	
6 4 6	配向膜	
6 4 8	配向膜	
6 5 0	液晶層	
6 5 1	液晶素子	
6 5 2	液晶素子	
7 1 0 0	テレビジョン装置	
7 1 0 1	筐体	
7 1 0 3	表示部	
7 1 0 5	スタンド	50

7 1 0 7	表示部	
7 1 0 9	操作キー	
7 1 1 0	リモコン操作機	
7 2 0 1	本体	
7 2 0 2	筐体	
7 2 0 3	表示部	
7 2 0 4	キーボード	
7 2 0 5	外部接続ポート	
7 2 0 6	ポインティングデバイス	
7 3 0 1	筐体	10
7 3 0 2	筐体	
7 3 0 3	連結部	
7 3 0 4	表示部	
7 3 0 5	表示部	
7 3 0 6	スピーカ部	
7 3 0 7	記録媒体挿入部	
7 3 0 8	L E D ランプ	
7 3 0 9	操作キー	
7 3 1 0	接続端子	
7 3 1 1	センサ	20
7 3 1 2	マイクロフォン	
7 4 0 0	携帯電話機	
7 4 0 1	筐体	
7 4 0 2	表示部	
7 4 0 3	操作ボタン	
7 4 0 4	外部接続ポート	
7 4 0 5	スピーカ	
7 4 0 6	マイク	
7 4 5 0	コンピュータ	
7 4 5 1 L	筐体	30
7 4 5 1 R	筐体	
7 4 5 2 L	表示部	
7 4 5 2 R	表示部	
7 4 5 3	操作ボタン	
7 4 5 4	ヒンジ	
7 4 5 5 L	左側スピーカ	
7 4 5 5 R	右側スピーカ	
7 4 5 6	外部接続ポート	

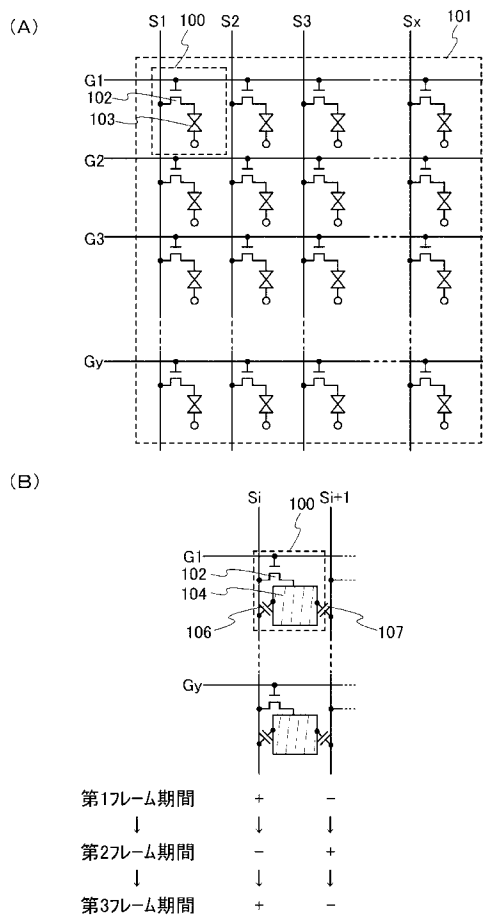
【図 1】



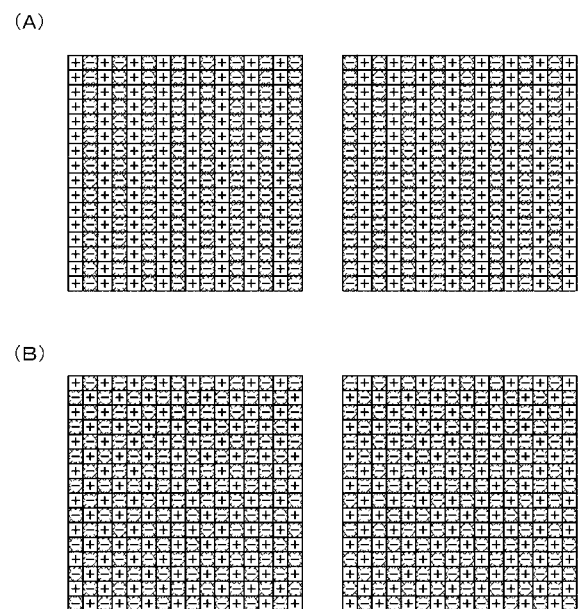
【図 2】



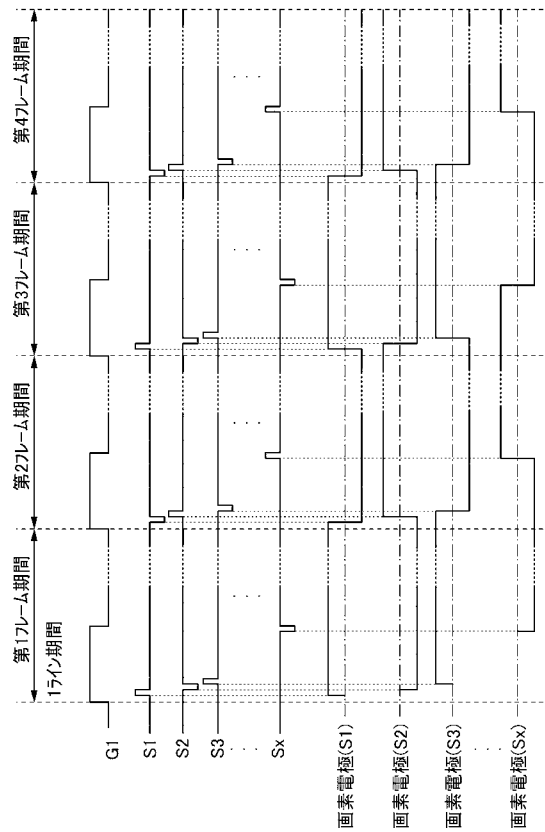
【図 3】



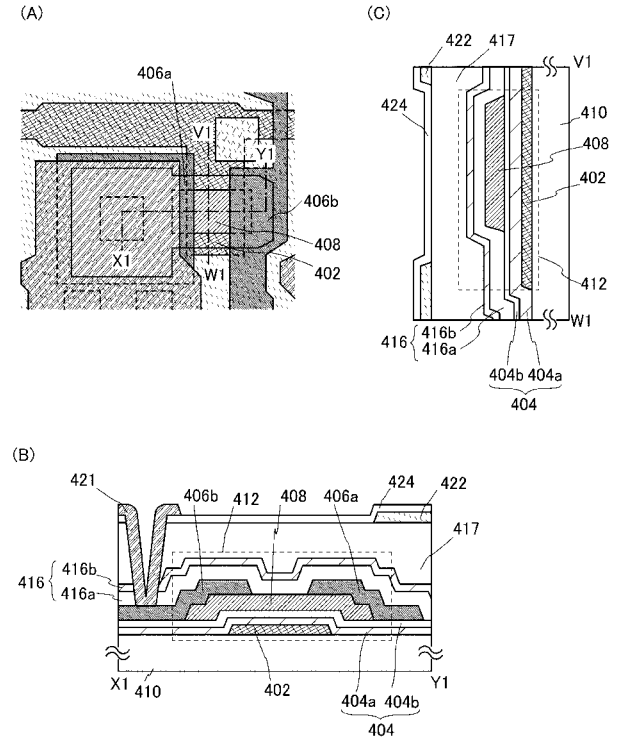
【図 4】



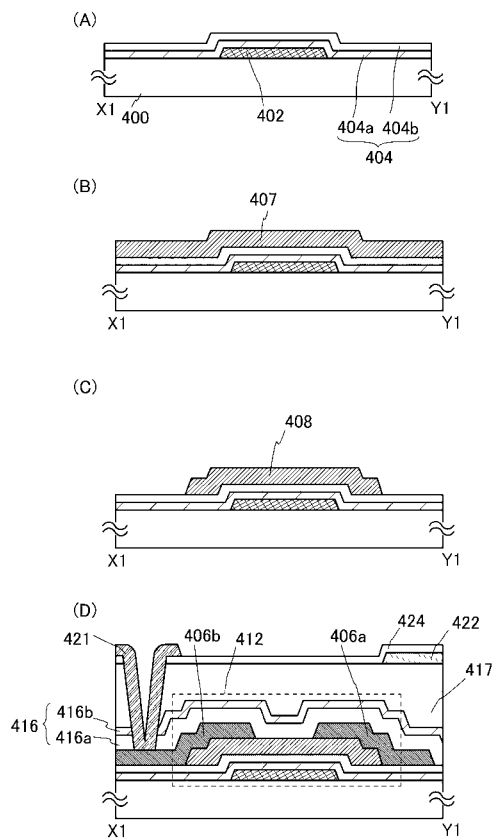
【図 5】



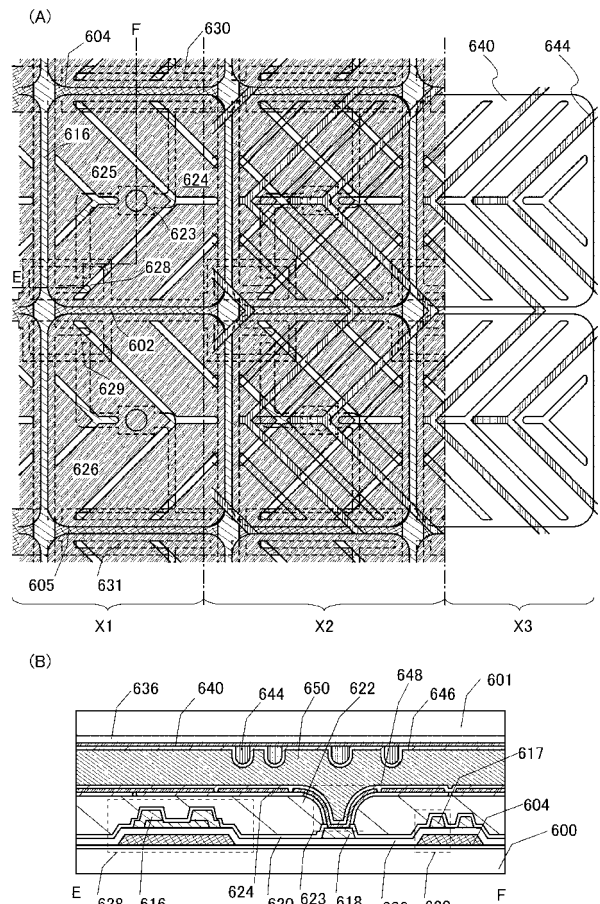
【図 6】



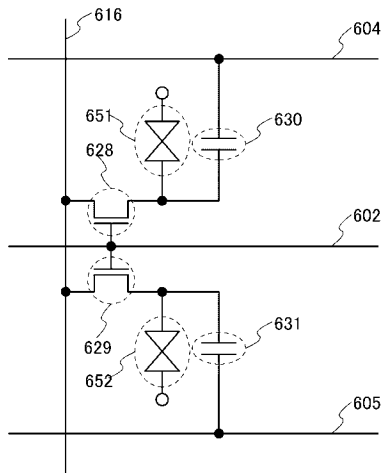
【図 7】



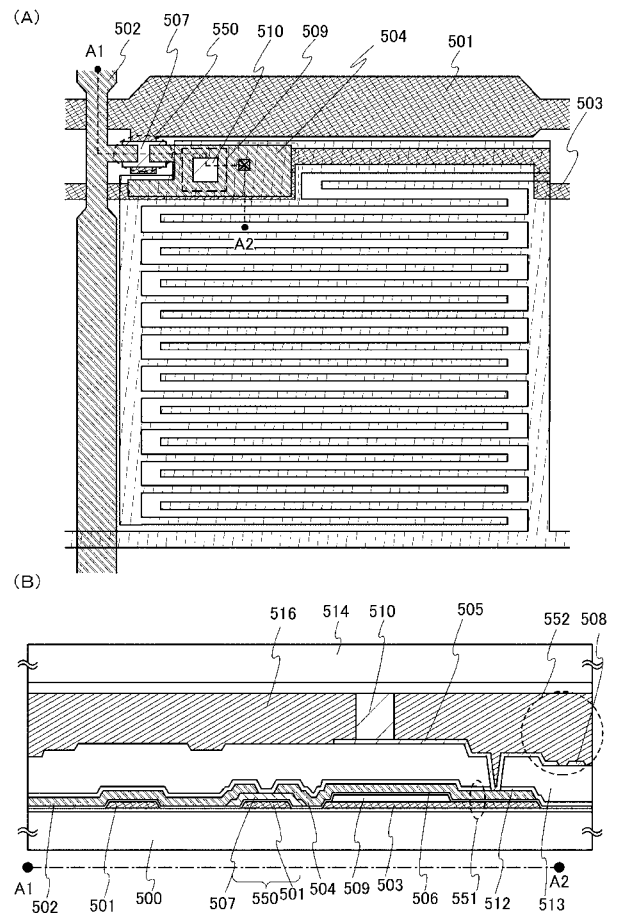
【図 8】



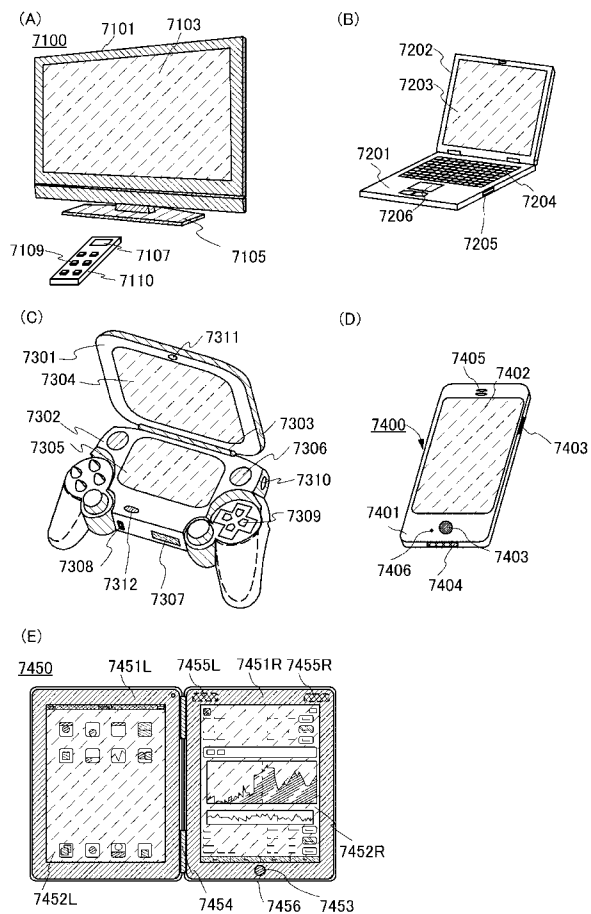
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 1 B	
	G 0 9 G 3/20 6 1 1 A	

F ターム(参考)	2H193	ZA04	ZA07	ZC07	ZC16	ZC25	ZQ11	ZQ16		
	5C006	AA11	AA22	AC27	BA12	BA13	BA15	BA16	BA19	BF31 BF36
		BF37	BF38	FA14	FA34	FA36	FA47	FA54	FA55	GA02
	5C080	AA10	BB05	CC03	DD01	DD02	DD07	DD08	DD10	DD26 EE01
		EE19	EE29	FF11	JJ01	JJ03	JJ04	JJ06	KK07	KK43 KK50

专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	JP2017215615A	公开(公告)日	2017-12-07
申请号	JP2017169172	申请日	2017-09-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	三宅博之 平形吉晴		
发明人	三宅 博之 平形 吉晴		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G02F1/1368 G09G3/3614 G09G3/3648 H01L27/1225 G02F1/133345 G02F1/133512 G02F1/133514 G02F1/134309 G02F1/136213 G02F1/136286 G02F2201/121 G02F2201/123 G02F2201/40 G02F2202/10 G09G2330/023		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.611.A		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB64 2H092/JB69 2H092/NA01 2H092/NA26 2H092/PA06 2H092/QA09 2H192/AA24 2H192/BA25 2H192/BB02 2H192/BB04 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CC17 2H192/CC57 2H192/DA12 2H192/DA32 2H192/GD61 2H192/JA13 2H192/JA32 2H193/ZA04 2H193/ZA07 2H193/ZC07 2H193/ZC16 2H193/ZC25 2H193/ZQ11 2H193/ZQ16 5C006/AA11 5C006/AA22 5C006/AC27 5C006/BA12 5C006/BA13 5C006/BA15 5C006/BA16 5C006/BA19 5C006/BF31 5C006/BF36 5C006/BF37 5C006/BF38 5C006/FA14 5C006/FA34 5C006/FA36 5C006/FA47 5C006/FA54 5C006/FA55 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD02 5C080/DD07 5C080/DD08 5C080/DD10 5C080/DD26 5C080/EE01 5C080/EE19 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK43 5C080/KK50		
优先权	2012155318 2012-07-11 JP		
其他公开文献	JP6449955B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止图像质量劣化并降低功耗的液晶显示装置。或者，场 提供一种驱动液晶显示装置的方法，该方法防止质量劣化并降低功耗。提供其中关断状态漏电流减小的晶体管和液晶元件，以及图像满足 (1) 和 (2) 。 .The

