

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-83760

(P2017-83760A)

(43) 公開日 平成29年5月18日(2017.5.18)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1345 (2006.01)	GO2F 1/1345	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192

審査請求 未請求 請求項の数 12 O L (全 12 頁)

(21) 出願番号 特願2015-214375 (P2015-214375) (22) 出願日 平成27年10月30日 (2015.10.30)	(71) 出願人 502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号 (74) 代理人 110000350 ポレール特許業務法人 (72) 発明者 鈴木 喬之 東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内 (72) 発明者 阿部 裕行 東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内 Fターム(参考) 2H092 GA13 GA17 GA20 GA29 GA34 GA59 HA04 JA25 JA46 JB24 KA04 NA25 PA06 QA09 最終頁に続く
---	--

(54) 【発明の名称】 液晶表示装置

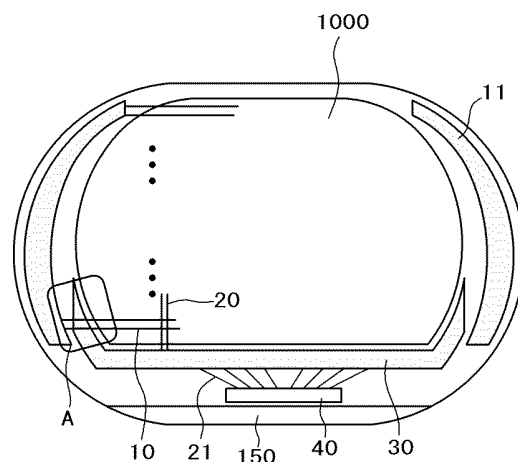
(57) 【要約】

【課題】表示領域が矩形でない表示装置においても、セレクトラの配置を可能とし、かつ、額縁領域を小さく抑える。

【解決手段】表示領域の外形が矩形ではない液晶表示装置であって、前記表示領域1000の外側に映像信号を供給するドライバ40が配置し、前記表示領域1000と前記ドライバ40の間にセレクトラ用TFIを有するセレクトラ30が存在し、前記ドライバ40と前記セレクトラ30の間には映像信号線が存在し、前記セレクトラ30と前記表示領域1000の間には前記ドレイン線20が存在し、前記表示領域1000の外側には前記走査線10に走査線号を供給する走査回路11が存在し、前記セレクトラ30は前記走査線10と前記表示領域1000の間に存在し、前記セレクトラ30は、コモン電極であるITOによって覆われ、前記セレクトラ30の外側にコモンバス配線が配置していることを特徴とする液晶表示装置。

【選択図】 図2

図2



【特許請求の範囲】**【請求項 1】**

走査線と、ドレイン線と、映像信号引き出し線とが形成された T F T 基板を有する表示装置であって、

前記ドレイン線と、映像信号引き出し線との間にセクタが存在し、

前記走査線は、走査線号を供給する走査回路に接続されており、

前記走査線と前記映像信号引き出し線とが交差していることを特徴とする表示装置。

【請求項 2】

前記セクタと前記走査回路との間にコモン配線が設けられていることを特徴とする請求項 1 に記載の表示装置。

10

【請求項 3】

前記セクタは、セクタ T F T を有しており、

前記セクタ T F T のゲートに接続されたセクタ制御線は、前記ドレイン線と同じ層に形成されていることを特徴とする請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記セクタは、セクタ T F T を有しており、

前記セクタ T F T のゲートに接続された電圧を供給するセクタ制御線は、前記映像信号引き出し線と、前記セクタとの間に設けられていることを特徴とする請求項 1 又は 2 に記載の表示装置。

【請求項 5】

20

前記セクタ制御線は、ドレイン線と同じ層に形成されていることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の表示装置。

【請求項 6】

前記表示装置の表示領域は、矩形ではないことを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の表示装置。

【請求項 7】

前記コモン配線と前記 T F T 基板の前記端部との間には、前記走査回路が設けられていること特徴とする請求項 1 乃至 6 の何れか 1 項に記載の表示装置。

【請求項 8】

30

前記セクタ制御線と前記走査線とは、絶縁膜を介して交差し、
前記セクタ制御線と前記映像信号引き出し線とは、前記絶縁膜を介して交差していることを特徴とする請求項 1 乃至 7 の何れかに記載の表示装置。

【請求項 9】

前記映像信号引き出し線はドライバ I C に接続されており、

前記ドライバ I C は、前記表示領域の第 1 の辺に沿って形成され、前記走査回路は前記表示領域の前記第 1 の辺と隣接する第 2 の辺と、前記第 2 の辺と対向する第 3 の辺に沿って形成されていることを特徴とする請求項 6 に記載の表示装置。

【請求項 10】

前記表示領域における、前記走査線の延在方向の画素の数は、前記ドレイン線の延在方向の画素の数と異なり、前記ドレイン線の延在方向の画素の数が多い列に対応する前記セクタ T F T のチャンネル幅は、前記ドレイン線の延在方向の画素の数が少ない列に対応する前記セクタ T F T のチャンネル幅よりも大きいことを特徴とする請求項 6 に記載の表示装置。

40

【請求項 11】

前記表示領域の外形は直線部分と曲線部分の組み合わせからなり、前記直線部分に対応して前記ドライバ I C が配置していることを特徴とする請求項 9 に記載の表示装置。

【請求項 12】

前記表示領域の外形は直線部分と曲線部分の組み合わせからなり、前記直線部分に対応して前記ドライバ I C が配置しており、

前記直線部分に対応する前記セクタ T F T のチャンネル幅は、前記曲線部分に対応す

50

る前記セレクトＴＦＴのチャンネル幅よりも大きいことを特徴とする請求項９に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は表示装置に係り、特に表示領域および外形が矩形ではない表示装置に関する。

【背景技術】

【０００２】

表示装置の一つである液晶表示装置では画素電極および薄膜トランジスタ（ＴＦＴ）等を有する画素がマトリクス状に形成されたＴＦＴ基板と、ＴＦＴ基板に対向して対向基板が配置され、ＴＦＴ基板と対向基板との間に液晶が挟持されている。そして液晶分子による光の透過率を画素毎に制御することによって画像を形成している。液晶表示装置はフラットで軽量であることから、色々な分野で用途が広がっている。

10

【０００３】

液晶表示装置に表示領域や外形は矩形のものが多いが、自動車に使用される表示装置、種々のゲーム等に使用される表示装置等では、表示領域や装置の外形が矩形でない表示装置に対する要求も存在する。表示装置が矩形でないことに起因する走査線駆動回路の問題と対策を記載したものとして、特許文献１があげられる。

【先行技術文献】

【特許文献】

20

【０００４】

【特許文献１】特開２００８－２９２９９５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

表示領域が矩形でないと表示装置の周辺に配置される周辺回路や配線のレイアウトは、表示領域が矩形でない場合とは異なってくる。また、表示装置が矩形でないと、表示領域が矩形の場合には生じなかった問題が生ずる。以後、矩形でない表示領域を異形表示領域といい、表示領域が矩形でない表示パネルを異形表示パネルという。

30

【０００６】

異形表示パネルの場合でも、高い解像度を要求される場合が多い。高解像度とすると、横方向の画素が多くなり、画素に映像信号を供給するドレイン線の数も多くなる。ドレイン線の数が多くなると、表示領域外において、ドレイン引き回し線の数が多くなり、このための配線領域の面積が増大する。特に最近では、表示領域の端部から表示パネルの端部までの幅、いわゆる額縁領域を小さくしたいという要求がある。このためには、ドレイン引き回し線の数減らす必要がある。

【０００７】

ドレイン引き回し線の数増大を防ぐために、後で説明するようなセレクト回路を用いてドライバＩＣから供給される映像信号線数を１／２、あるいは１／３等に減少させて、引き回し線数を減らす技術がある。しかし、異形表示領域にセレクト回路を用いると、セレクト回路と走査線あるいはコモン配線等とセレクト回路との干渉（レイアウト上の交差、或いは、交差や近接に伴う電氣的な影響）が生ずる。

40

【０００８】

本発明の課題は、セレクト回路を有する異形表示領域を有する異形表示パネルを用いた場合であっても、額縁領域を抑えることが出来る表示領域を実現することである。

【課題を解決するための手段】

【０００９】

本発明は上記課題を克服するものであり、主な具体的な手段は次のとおりである。

【００１０】

（１）走査線が第１の方向に延在して第２の方向に配列し、ドレイン線が前記第２の方

50

向に延在して前記第 1 の方向に配列し、走査線とドレイン線で囲まれた領域に画素が形成された T F T 基板に、液晶を介して対向基板を配置し、表示領域の外形が矩形ではない液晶表示装置であって、前記表示領域の外側に映像信号を供給するドライバが配置し、前記表示領域と前記ドライバの間にセクタ用 T F T を有するセクタが存在し、前記ドライバと前記セクタの間には映像信号線が存在し、前記セクタと前記表示領域の間には前記ドレイン線が存在し、前記表示領域に対応する前記ドレイン線の数 N_d とし、前記ドレイン線に対応する前記映像信号線の数 N_v とした場合、 $N_d / N_v = n$ であって、 n は 2 以上の整数であり、

前記表示領域の外側には前記走査線に走査信号を供給する走査回路が存在し、前記セクタは前記走査線と前記表示領域との間、或いは、前記走査回路と前記表示領域との間に存在し、前記セクタは、コモン電極である I T O によって覆われ、前記セクタの外側にコモンバス配線が配置していることを特徴とする液晶表示装置。

【 0 0 1 1 】

(2) 前記セクタ用 T F T にゲート電圧を供給するセクタ制御信号線は、前記ドレイン線と同じ層で形成されていることを特徴とする (1) に記載の液晶表示装置。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】液晶表示装置の表示領域の断面図である。

【図 2】異形表示パネルの例である。

【図 3】セクタの構成を示す等価回路である。

【図 4】表示領域の周辺を示す模式図である。

【図 5】ドレイン線が形成された状態までの表示領域の周辺のレイアウトを示す平面図である。

【図 6】画素電極が形成された状態までの表示領域の周辺のレイアウトを示す平面図である。

【図 7】セクタ部分における断面図である。

【図 8】異形表示パネルの他の例である。

【図 9】表示領域が矩形である場合におけるレイアウトを示す平面図である。

【発明を実施するための形態】

【 0 0 1 3 】

表示装置には各種が存在するが、その一種である液晶表示装置では視野角特性が問題となる。視野角特性は、画面を正面から見た場合と、斜め方向から見た場合に、輝度が変化したり、色度が変化したりする現象である。視野角特性は、液晶分子を水平方向の電界によって動作させる I P S (I n P l a n e S w i t c h i n g) 方式が優れた特性を有している。以後の実施形態では、I P S 方式の液晶表示装置を前提に説明する。本発明は、表示領域の外側における構成が対象となるが、層構造の説明のために、まず、表示領域の断面構造を説明する。

【 0 0 1 4 】

図 1 は、I P S 方式の液晶表示装置の断面図である。図 1 における T F T は、いわゆるトップゲートタイプの T F T であり、使用される半導体としては、L T P S (L o w T e m p e r a t u r e P o l y - S i) が使用されている。図 1 において、ガラス基板 1 0 0 の上に S i N からなる第 1 下地膜 1 0 1 および S i O₂ からなる第 2 下地膜 1 0 2 が C V D (C h e m i c a l V a p o r D e p o s i t i o n) によって形成される。第 1 下地膜 1 0 1 および第 2 下地膜 1 0 2 の役割はガラス基板 1 0 0 からの不純物が半導体層 1 0 3 を汚染することを防止することである。

【 0 0 1 5 】

第 2 下地膜 1 0 2 の上には半導体層 1 0 3 が形成される。この半導体層 1 0 3 は第 2 下地膜 1 0 2 に上に C V D によって a - S i 膜を形成し、これをレーザアニールすることによって p o l y - S i 膜に変換したものである。この p o l y - S i 膜をフォトリソグラフィによってパターニングする。

10

20

30

40

50

【0016】

半導体膜103の上にはゲート絶縁膜104が形成される。このゲート絶縁膜104はTEOS（テトラエトキシシラン）によるSiO₂膜である。この膜もCVDによって形成される。その上にゲート電極105が形成される。ゲート電極105は走査線が兼ねている。ゲート電極105は例えば、MoW膜によって形成される。ゲート電極105あるいは走査線10の抵抗を小さくする必要があるときはAl合金が使用される。

【0017】

ゲート電極105を覆って層間絶縁膜106をSiO₂によって形成する。層間絶縁膜106はゲート配線105とコンタクト電極107とを絶縁するためである。層間絶縁膜106およびゲート絶縁膜104には、半導体層103のソース部Sをコンタクト電極107と接続するためのスルーホール120が形成される。層間絶縁膜106とゲート絶縁膜104にスルーホール120を形成するためのフォトリソグラフィは同時に行われる。

10

【0018】

層間絶縁膜106の上にコンタクト電極107が形成される。コンタクト電極107は、スルーホール130を介して画素電極112と接続する。TFTは、図示しない部分においてドレイン線と接続している。

【0019】

コンタクト電極107およびドレイン線は、同層で、同時に形成される。コンタクト電極107およびドレイン線（以後コンタクト電極107で代表させる）は、抵抗を小さくするために、例えば、AlSi合金が使用される。AlSi合金はヒロックを発生したり、Alが他の層に拡散したりするので、例えば、図示しないMoWによるバリア層、およびキャップ層によってAlSiをサンドイッチする構造がとられている。

20

【0020】

コンタクト電極107を覆って無機パッシベーション膜（絶縁膜）108を被覆し、TFT全体を保護する。無機パッシベーション膜108は第1下地膜101と同様にCVDによって形成される。無機パッシベーション膜108を覆って有機パッシベーション膜109が形成される。有機パッシベーション膜109は感光性のアクリル樹脂で形成される。有機パッシベーション膜109は、アクリル樹脂の他、シリコーン樹脂、エポキシ樹脂、ポリイミド樹脂等でも形成することが出来る。有機パッシベーション膜109は平坦化膜としての役割を持っているので、厚く形成される。有機パッシベーション膜109の膜厚は1～4μmであるが、多くの場合は2μm程度である。

30

【0021】

画素電極112とコンタクト電極107との導通を取るために、有機パッシベーション膜109にスルーホール130が形成される。その後コモン電極110となるITO（Indium Tin Oxide）をスパッタリングによって形成し、スルーホール130およびその周辺からITOを除去するようにパターニングする。コモン電極110は各画素共通に平面状に形成することが出来る。コモン電極は初めに形成されるITOなので第1ITOと呼ばれることもある。

【0022】

その後、容量絶縁膜111となるSiNをCVDによって全面に形成する。その後、スルーホール130内において、コンタクト電極107と画素電極112の導通をとるためのスルーホールを容量絶縁膜111および無機パッシベーション膜108に形成する。

40

【0023】

その後、ITOをスパッタリングによって形成し、パターニングして画素電極112を形成する。画素電極は2番目に形成されるITOなので第2ITOと呼ばれることもある。画素電極の平面は、例えば図6に示すような、屈曲したストライプ状である。画素電極を屈曲させるのは、視野角特性をより均一にするためである。画素電極112の上に配向膜材料をフレキソ印刷あるいはインクジェット等によって塗布し、焼成して配向膜113を形成する。配向膜113の配向処理にはラビング法のほか偏光紫外線による光配向法が用いられる。

50

【 0 0 2 4 】

画素電極 1 1 2 とコモン電極 1 1 0 の間に電圧が印加されると図 1 に示すような電気力線が発生する。この電界によって液晶分子 3 0 1 を回転させ、液晶層 3 0 0 を通過する光の量を画素毎に制御することによって画像を形成する。

【 0 0 2 5 】

図 1 において、液晶層 3 0 0 を挟んで対向基板 2 0 0 が配置されている。対向基板 2 0 0 の内側には、カラーフィルタ 2 0 1 が形成されている。カラーフィルタ 2 0 1 は画素毎に、赤、緑、青のカラーフィルタが形成されており、これによってカラー画像が形成される。カラーフィルタ 2 0 1 とカラーフィルタ 2 0 1 の間にはブラックマトリクス 2 0 2 が形成され、画像のコントラストを向上させている。なお、ブラックマトリクス 2 0 2 は T F T の遮光膜としての役割も有し、T F T に光電流が流れることを防止している。

10

【 0 0 2 6 】

カラーフィルタ 2 0 1 およびブラックマトリクス 2 0 2 を覆ってオーバーコート膜 2 0 3 が形成されている。カラーフィルタ 2 0 1 およびブラックマトリクス 2 0 2 の表面は凹凸となっているために、オーバーコート膜 2 0 3 によって表面を平らにしている。オーバーコート膜の上には、液晶の初期配向を決めるための配向膜 1 1 3 が形成される。配向膜 1 1 3 の配向処理は T F T 基板 1 0 0 側の配向膜 1 1 3 と同様、ラビング法あるいは光配向法が用いられる。

【 0 0 2 7 】

なお、以上の構成は例であり、例えば、品種によって T F T 基板 1 0 0 における無機パッシベーション膜 1 0 8 が形成されていない場合もある。また、スルーホール 1 3 0 の形成プロセスも品種によって異なる場合がある。以下に実施例を用いて本発明を詳細に説明する。

20

【 実施例 1 】

【 0 0 2 8 】

図 2 は異形表示パネルの例である。図 2 は、表示領域 1 0 0 0、外形とも、上下が直線で、側部が曲線であるようなレーストラック状となっている。図 2 は T F T 基板側の平面図である。図 2 において、表示領域 1 0 0 0 には、横方向に走査線 1 0 が延在し、縦方向にドレイン線 2 0 が延在し、走査線 1 0 とドレイン線 2 0 で囲まれた領域に画素が形成されている。

30

【 0 0 2 9 】

図 2 において、表示領域 1 0 0 0 より下側には、セクタ 3 0 とドライバ I C 4 0 とが配置されている。ドライバ I C 4 0 の外側は、フレキシブル配線基板と接続するための端子領域 1 5 0 となっている。表示領域 1 0 0 0 のドレイン線 2 0 にはセクタ 3 0 を介してドライバ I C 4 0 から映像信号が供給される。ドレイン線 2 0 は、表示領域 1 0 0 0 の横方向の画素分存在するが、ドライバ I C 4 0 からセクタ 3 0 までの映像信号引き出し線 2 1 の数は、例えば、ドレイン線の 1 / 3 である。なお、ドレイン線の数 N_d とし、映像信号引き出し線の数 N_v とすると、 $N_d / N_v = n$ で、 n は 2 以上の整数となっている。

【 0 0 3 0 】

表示領域 1 0 0 0 の両側には、走査線 1 0 に走査信号を供給するための走査回路 1 1 が存在している。図 2 では、セクタ 3 0 が表示領域 1 0 0 0 と隣接して配置されている。表示領域 1 0 0 0 がレーストラック状であるため、表示領域 1 0 0 0 の側部の曲線部の外側における領域 A において、走査回路 1 1 と表示領域 1 0 0 0 の間にセクタ 3 0 が存在している。この場合、走査線 1 0 とセクタ 3 0 との間で、配線上の干渉が生ずる。

40

【 0 0 3 1 】

図 9 は、表示領域 1 0 0 0 が矩形の場合の表示装置の平面図である。図 9 において、表示領域 1 0 0 0 の下側にはセクタ 3 0 とドライバ I C 4 0、端子部 1 5 0 が順に配置し、表示領域 1 0 0 0 の両側には走査回路 1 1 が存在している。この場合は、走査回路 1 1 から延在する走査線 1 0 とセクタ 3 0 との干渉はない。

50

【 0 0 3 2 】

本発明は、異形表示パネルにおいて、走査線 1 0 とセクタ 3 0 との干渉を防止して、かつ、額縁領域を小さくする構成を与えるものである。図 3 はセクタ 3 0 の構成を示す等価回路である。上側が表示領域側であり、下側がドライバ IC 側である。図 3 において、T F T 5 1 および画素容量 5 2 を有する画素 5 0 が横方向に配列している。各画素 5 0 には、ドレイン線 2 0 を介して映像信号が供給される。また、各画素 5 0 の T F T 5 1 は走査線 1 0 によって制御される。

【 0 0 3 3 】

セクタ 3 0 は表示領域外におけるドレイン引き出し線（映像信号引き出し線）2 1 の数を減らすために配置され、表示領域の最外部に隣接して配置される。図 3 におけるセクタによって、ドライバ IC から出力する映像信号引き出し線 2 1 の数はドレイン線 2 0 の $1/3$ になっている。したがって、映像信号引き出し線 2 1 の引き回し配線のための面積を節約することが出来る。

【 0 0 3 4 】

一方、セクタ 3 0 を制御するために、セクタ制御線 3 1 が必要になる。図 4 は、図 2 の領域 A におけるセクタ 3 0 と画素 5 0 の配置を示す平面図である。図 4 において、赤画素 R、緑画素 G、青画素 B の 3 つの画素 5 0 のセットは、表示領域 1 0 0 0 の外端が曲線に近似されるように、階段状に形成されている。各画素セットに対応するセクタ 3 0 は画素セットに隣接して形成されている。従来は、表示領域 1 0 0 0 の外端部に隣接して、表示領域のコモン電極にコモン電圧を供給するコモンバス配線が形成されていたが、本発明では、セクタ 3 0 が配置している点が異なっている。

【 0 0 3 5 】

各画素には、図 4 の横方向の外側に配置する走査回路から走査線が接続される。つまり、セクタ 3 0 はセクタ用 T F T を有しているが、セクタ用 T F T のゲート電極、すなわち、セクタ制御線と走査線の干渉を防ぐ必要がある。

【 0 0 3 6 】

図 5 は、ドレイン線 2 0 が形成された状態までにおける表示領域端部付近の配線レイアウトを示す平面図である。図 5 の表示領域には、くの字型に屈曲したドレイン線 2 0 が縦方向に延在して横方向に配列し、走査線 1 0 が横方向に延在して縦方向に配列している。ドレイン線 2 0 と走査線 1 0 とで囲まれた領域が画素であり、画素電極が形成されるが、図 5 では、まだ、画素電極は形成されていない。図 5 において、点線より、ドレイン線 2 0 が形成された側が表示領域になっている。

【 0 0 3 7 】

最外周の画素に隣接してセクタ用 T F T 3 2 がドレイン線 2 0 毎に配置している。各セクタ用 T F T 3 2 にゲート信号を送るための 3 本のセクタ制御線 3 1 がセクタ用 T F T 3 2 の外側に延在している。走査線 1 0 とセクタ制御信号線 3 1 との干渉を防止するために、セクタ制御線 3 1 はドレイン線 2 0 と同じ層で配線し、セクタ用 T F T 3 2 と接続する直前でスルーホールを介して走査線 1 0 と同じ層に乗りかえている。これによって、表示領域が異形であっても、セクタ 3 0 を表示領域に隣接して配置することが出来る。

【 0 0 3 8 】

セットになった 3 つのセクタ用 T F T 3 2 には、共通して映像信号引き出し線 2 1 を介して映像信号が送られる。この映像信号を、セクタ制御線 3 1 を介する信号によって、ドレイン線 2 0 に振り分けて供給する。したがって、図 5 では、映像信号引き出し線 2 1 の数はドレイン線 2 0 の数の $1/3$ になっている。本願発明では、セクタを表示領域に近接して設けている。そのため、映像信号引き出し線 2 1 と走査線とが交差することとなる。しかし、セクタを表示領域から離間して設けた場合は、映像信号引き出し線と走査線との交差箇所を減らすことができるが、ドレイン線との交差数が増加してしまう。本願発明の構成により、走査線とドレイン線との交差箇所数を減らすことができる。更に、セクタ制御線 3 1 を映像信号引き出し線とセクタとの間に設けることにより、セク

タ制御線と映像信号引き出し線との交差個所を少なくすることが出来るとともに、セレクト制御線の長さを短くすることができる。尚、図5では、セレクト制御線をセレクトに沿って配置しているが、映像線引き出し線と平行に設けることも可能である。それにより、セレクト制御線の長さを更に短くすることが可能となる。

【0039】

ところで、図4に示すように、各セレクトで受け持つY方向の画素の数はX方向によって異なっている。例えば、表示領域1000の外形が直線となっている部分では、セレクト30が受け持つ画素の数は320画素、表示領域の外形が曲線になっている部分での、セレクト30が受け持つ画素の最も少ない数は6画素である。

【0040】

そうすると、各セレクト30で受け持つ配線の抵抗や容量が異なり、したがって、信号の大きさや遅延等が場所によって異なることになる。これを防止するために、本発明では、セレクト用TF T 32のチャンネル幅を場所によって変えている。例えば、直線部に配置するセレクト用TF T 32のチャンネル幅は曲線部に配置されるおけるセレクト用TF T 32のチャンネル幅よりも大きくする。また、曲線部に配置するセレクト用TF T 32のチャンネル幅も場所によって変えている。これによって、異形表示パネルであっても均一な画像を形成することが出来る。

【0041】

図6は、図5と同じ領域に対し画素電極112まで形成した状態における平面図である。すなわち、図5に対し、無機パッシベーション膜、有機パッシベーション膜、共通電極、容量絶縁膜、画素電極が積層して形成された状態である。図6において、点線より、ドレイン線20が形成された側が表示領域になっている。

【0042】

図6において、透明電極である共通電極110がスルーホール130を除く全面に形成されている。表示領域において、ドレイン線20と走査線10とで囲まれた領域に画素電極112がITOによって形成されている。表示領域の外側には、画素電極112と同じ形状のダミー画素電極1121が表示領域の画素電極112と同じピッチで形成されている。これによって、表示領域の最外部における画素電極112が他の表示領域内の画素電極112と同様のプロセス条件で形成できるようにしている。後で述べるように、ダミーの画素電極1121には、共通電圧を印加することが出来る。

【0043】

図7は図5、のA-Aに対応する断面図であり、セレクト用TF T 32付近の断面図を示している。層構造は、図1で説明した表示領域における断面構造と同じである。すなわち、半導体層103の上にゲート絶縁膜104が形成され、その上にゲート電極105が形成され、これを覆って層間絶縁膜106が形成されている。

【0044】

ゲート電極105はセレクト制御線31に接続されており、ソース電極は映像信号線21となっている。また、ドレイン電極はドレイン線20である。すなわち、セレクト用TF T 32はソース電極が並列して2個形成されている。ドレイン電極およびソース電極を覆って無機パッシベーション膜108が形成され、その上に有機パッシベーション膜109が形成されている。有機パッシベーション膜109の上には、平面状にITOで形成された共通電極110が形成されている。

【0045】

共通電極110を覆って容量絶縁膜111が形成され、その上にダミー画素電極1121が形成されている。すなわち、本発明では、セレクト用TF T 32の上を共通電極110で覆う形となっている。この共通電極110は表示領域の共通電極110と連続して形成されている。このような構成とすることによって、セレクト30を共通電極110でシールドすることになる。そして、共通電極110には、セレクト30よりもさらに外側に形成された共通配線（共通バス配線）から共通電圧が供給される。

【0046】

10

20

30

40

50

従来は、コモンバス配線は表示領域に隣接して形成されていたが、本発明の構成では、コモンバス配線はセクタ30よりも外側に形成される。このような構成とすることによって、セクタ制御線31をドレイン線20あるいはコモンバス配線と同層で形成することが出来るようになる。

【0047】

図6に示すダミー画素電極1121をフロートにしたい場合は、図7の右側に示すように、容量絶縁膜111にスルーホール140を形成して、ダミー画素電極1121にコモン電圧を供給することが出来る。なお、容量絶縁膜111に形成するスルーホール140は表示領域におけるスルーホール130内において、容量絶縁膜111に形成するスルーホールと同時に形成することが出来る。

10

【0048】

以上説明したように、本発明によれば、異形表示パネルの場合であっても、表示領域と隣接してセクタを形成することができるので、異形表示パネルにおける額縁領域の面積の増大を防止することが出来る。また、セクタをコモン電極によってシールドすることが出来、かつ、セクタ用TF Tのチャンネル幅を場所によって変化させることによって、異形表示パネルにおいても均一な画面を形成することが出来る。

【0049】

以上は図2に示すようなレーストラック状の異形表示パネルについて説明したが、これに限らず、例えば、図8に示すようなハート型異形表示パネルについても適用することが出来る。図8の形状に対しては、図2で説明したのと同様構成を適用することが出来る。つまり、図8の領域Aは図2の領域Aと同様な構成とすることが出来る。ただし、図8では表示領域の上部が直線ではないので、表示領域の下方に配置するセクタ用TF Tの容量、すなわち、チャンネル幅は、直線部においても変える必要がある。

20

【0050】

図2、図8等の異形表示領域は、直線と曲線の組み合わせであるが、3角形、5角形、6角形等の辺が直線の組み合わせで形成された表示領域を有する表示装置に対しても本発明を適用することが出来る。また、図2、図8等は走査回路が画面の両側に存在しているが、走査回路は画面の片側に存在する場合にも本発明を適用することが出来る。尚、本発明は、液晶表示装置に限定されるものではなく、矩形以外の形状の表示領域を有し、表示領域のドレイン線（映像信号線）に対し、映像信号を時分割で供給するセクタ（スイッチ回路）を有する、有機EL型表示装置等、表示装置全般に適用することが可能となる。

30

【符号の説明】

【0051】

10 ... 走査線、 11 ... 走査回路、 20 ... ドレイン線、 21 ... 映像信号線、 30 ... セクタ、 31 ... セクタ制御信号線、 32 ... セクタ用TF T、 40 ... ドライバIC、 50 ... 画素、 51 ... 画素用TF T、 52 ... 画素容量、 100 ... TF T基板、 101 ... 第1下地膜、 102 ... 第2下地膜、 103 ... 半導体層、 104 ... ゲート絶縁膜、 105 ... ゲート電極、 106 ... 層間絶縁膜、 107 ... コンタクト電極、 108 ... 無機パッシベーション膜、 109 ... 有機パッシベーション膜、 110 ... コモン電極、 111 ... 容量絶縁膜、 112 ... 画素電極、 113 ... 配向膜、 120 ... 第1スルーホール、 130 ... 第2スルーホール、 140 ... スルーホール、 150 ... 端子領域、 200 ... 対向基板、 201 ... カラーフィルタ、 202 ... ブラックマトリクス、 203 ... オーバーコート膜、 300 ... 液晶層、 301 ... 液晶分子、 1121 ... ダミー画素電極、 D ... ドレイン部、 S ... ソース部

40

フロントページの続き

F ターム(参考) 2H192 AA24 BB13 BB53 BC01 BC35 BC42 CB02 CB34 CC04 CC33
FA32 FA35 FB03 FB05 FB27 FB32 JA32

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017083760A	公开(公告)日	2017-05-18
申请号	JP2015214375	申请日	2015-10-30
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	鈴木 喬之 阿部 裕行		
发明人	鈴木 喬之 阿部 裕行		
IPC分类号	G02F1/1345 G02F1/1368		
CPC分类号	G02F1/13452 G02F1/13306 G02F1/134363 G02F1/1345 G02F1/136286 G02F1/1368 G02F2201/56 G09G3/3688 G09G2300/0426 G09G2310/0297 H01L27/124 G02F1/133345 G02F1/133512 G02F1/133514 G02F1/13378 G02F1/13439 G02F2001/133519 G02F2001/136295 G02F2201/121 G02F2201/123 G02F2203/04 H01L27/1222		
FI分类号	G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA17 2H092/GA20 2H092/GA29 2H092/GA34 2H092/GA59 2H092/HA04 2H092/JA25 2H092/JA46 2H092/JB24 2H092/KA04 2H092/NA25 2H092/PA06 2H092/QA09 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BC01 2H192/BC35 2H192/BC42 2H192/CB02 2H192/CB34 2H192/CC04 2H192/CC33 2H192/FA32 2H192/FA35 2H192/FB03 2H192/FB05 2H192/FB27 2H192/FB32 2H192/JA32		
其他公开文献	JP6639866B2 JP2017083760A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：在显示区域不是矩形的显示设备中布置选择器，并保持框架区域小。解决方案：显示区域的外形不是矩形的液晶显示装置包括用于向显示区域1000的外部提供视频信号的驱动器40，以及用于选择器的驱动器40存在具有TFT的选择器30，以及驱动器40和选择器30，排水线20存在于选择器30和显示区域1000之间，并且扫描线被提供给显示区域1000外部的扫描线10存在扫描电路11，选择器30存在于扫描线10和显示区域1000之间，其中选择器覆盖有作为公共电极的ITO，并且公共总线布置在选择器外部。

图 2

