

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-152291
(P2013-152291A)

(43) 公開日 平成25年8月8日(2013.8.8)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 530	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624C	5C080
G09F 9/30 (2006.01)	G09G 3/20 691D	5C094

審査請求 未請求 請求項の数 10 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2012-12262 (P2012-12262)
(22) 出願日 平成24年1月24日 (2012.1.24)

(71) 出願人 502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号
(74) 代理人 100083552
弁理士 秋田 収喜
(74) 代理人 100103746
弁理士 近野 恵一
(72) 発明者 青木 義典
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内
(72) 発明者 笹沼 啓太
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

最終頁に続く

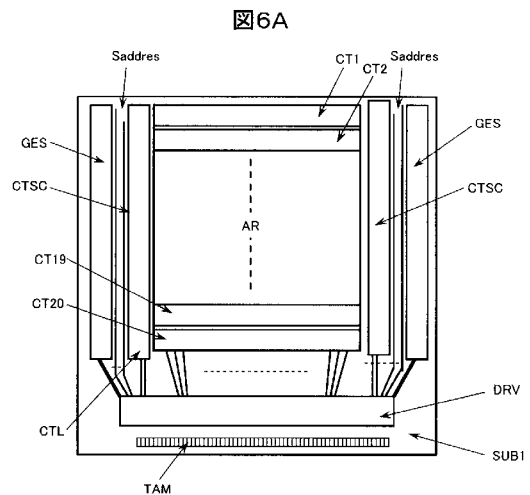
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】タッチパネル機能を内蔵した液晶表示装置において、液晶表示パネルのサイズが大型化した場合に、額縁領域を従来よりも削減する。

【解決手段】第2基板は、タッチパネルの検出電極を有し、各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記分割された各ブロックの対向電極を選択する対向電極選択回路を有する。前記対向電極選択回路は、前記各ブロックの対向電極を所定期間選択するアドレスデコーダ回路と、前記アドレスデコーダ回路で選択されたブロックの対向電極にタッチパネル走査電圧を供給し、前記アドレスデコーダ回路で選択されないブロックの対向電極に対向電圧を供給する選択回路とを有する。

【選択図】 図6A



【特許請求の範囲】

【請求項 1】

第 1 基板と、

第 2 基板と、

前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、

前記第 2 基板は、タッチパネルの検出電極を有し、

前記各画素は、画素電極と対向電極とを有し、

前記対向電極は、複数のブロックに分割されており、

前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、

前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、

前記分割された各ブロックの対向電極を選択する対向電極選択回路を有することを特徴とする液晶表示装置。

10

【請求項 2】

前記対向電極選択回路は、隣接する 2 個のブロックの前記対向電極を同時に選択することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記対向電極は、前記第 1 基板上で 1 表示ラインの各画素に対して共通に設けられており、

20

連続する複数の表示ラインの前記各対向電極は、前記第 1 基板上で電氣的に接続されて前記ブロック単位に分割された対向電極を構成することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記対向電極選択回路は、前記各ブロックの対向電極を所定期間選択するアドレスデコーダ回路と、

前記アドレスデコーダ回路で選択されたブロックの対向電極にタッチパネル走査電圧を供給し、前記アドレスデコーダ回路で選択されないブロックの対向電極に対向電圧を供給する選択回路とを有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

30

前記対向電極選択回路は、前記第 1 基板上に形成され、前記液晶表示パネルの内部に内蔵される回路であることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 基板は、前記各画素に走査電圧を入力する複数の走査線と、

前記複数の走査線に前記走査電圧を供給する走査線駆動回路とを有し、

前記マトリクス状に配置された複数の画素は、表示領域を構成し、

前記対向電極選択回路の前記選択回路は、前記走査線駆動回路と前記表示領域との間に配置されることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 基板は、前記各画素に走査電圧を入力する複数の走査線と、

40

前記複数の走査線に前記走査電圧を供給する走査線駆動回路とを有し、

前記マトリクス状に配置された複数の画素は、表示領域を構成し、

前記対向電極選択回路は、前記走査線駆動回路と前記表示領域との間に配置されることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 8】

前記走査線駆動回路は、前記第 1 基板上に形成され、前記液晶表示パネルの内部に内蔵される回路であることを特徴とする請求項 6 または請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 基板は、前記各画素に映像電圧を入力する複数の映像線と、

前記複数の映像線に前記映像電圧を供給する映像線駆動回路とを有し、

50

前記対向電極選択回路は、前記映像線駆動回路により駆動・制御されることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 10】

前記画素電極と前記対向電極とは、層間絶縁膜を介して絶縁されていることを特徴とする請求項 1 ないし請求項 9 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、タッチパネルを内蔵したインセル方式の液晶表示装置に適用して有効な技術に関する。

10

【背景技術】

【0002】

表示画面に使用者の指またはペンなどを用いてタッチ操作（接触押圧操作、以下、単にタッチと称する）して情報を入力する装置（以下、タッチセンサ又はタッチパネルとも称する）を備えた表示装置は、PDA や携帯端末などのモバイル用電子機器、各種の家電製品、現金自動預け払い機（Automated Teller Machine）等に用いられている。

このようなタッチパネルとして、タッチされた部分の容量変化を検出する静電容量方式が知られている。

この静電容量方式タッチパネルとして、下記特許文献 1 に示すように、タッチパネル機能を液晶表示パネルに内蔵した、所謂、インセル方式のタッチパネルを有する液晶表示装置が知られている。

20

インセル方式のタッチパネルでは、タッチパネルの走査電極を、液晶表示パネルを構成第 1 基板（所謂、TFT 基板）上に形成される対向電極（コモン電極ともいう）を分割して使用している。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2009 - 258182 号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

インセル方式のタッチパネルでは、対向電極に供給される対向電圧（コモン電圧ともいう）が、表示動作において寄生容量により電圧変動した場合、画質悪化を引き起こすため、分割した各対向電極とドライバ IC 間の配線抵抗を下げる必要がある。

ドライバ IC と、分割した対向電極との間の配線は、液晶表示パネルの表示領域の左右に配置されるため、配線本数の増加に比例し、液晶表示パネルの左右の額縁の幅が増加する。

一方、静電容量方式のタッチパネルでは、指等による静電容量の変化を検出するため、交流駆動を行う走査電極の幅は約 4 ~ 5 mm 程度の幅があることが望ましい。そのため、液晶表示パネルなどの表示パネルの大型化により走査電極の本数は増加する。例えば、解像度が FWVGA（480RGB × 854）の 3.2 インチの液晶表示パネルの場合には、縦の長さは約 71 mm となるため、5 mm 程度のピッチとするには 14 分割する必要がある。また、解像度が HD（720RGB × 1280）の 4.5 インチの液晶表示パネルの場合には、縦は約 95 mm であるため 20 分割が必要となる。

40

このように、液晶表示パネルのサイズが、解像度が FWVGA（480RGB × 854）の 3.2 インチから、解像度が HD（720RGB × 1280）の 4.5 インチに大きくなった場合には、左右 6 本分の配線の配線幅の分、額縁が増加することになる。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、タッチパネル機能を内蔵した液晶表示装置において、液晶表示パネルのサイズが大型化しても、額縁領域を従来よりも削減することが可能となる技術を提供することにある。

50

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 第1基板と、第2基板と、前記第1基板と前記第2基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第2基板は、タッチパネルの検出電極を有し、前記各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記分割された各ブロックの対向電極を選択する対向電極選択回路を有する。

10

(2) (1)において、前記対向電極選択回路は、隣接する2個のブロックの前記対向電極を同時に選択する。

(3) (1)において、前記対向電極は、前記第1基板上で1表示ラインの各画素に対して共通に設けられており、連続する複数の表示ラインの前記各対向電極は、前記第1基板上で電氣的に接続されて前記ブロック単位に分割された対向電極を構成する。

(4) (1)において、前記対向電極選択回路は、前記各ブロックの対向電極を所定期間選択するアドレスデコーダ回路と、前記アドレスデコーダ回路で選択されたブロックの対向電極にタッチパネル走査電圧を供給し、前記アドレスデコーダ回路で選択されないブロックの対向電極に対向電圧を供給する選択回路とを有する。

20

(5) (4)において、前記対向電極選択回路は、前記第1基板上に形成され、前記液晶表示パネルの内部に内蔵される回路である。

【0006】

(6) (5)において、前記第1基板は、前記各画素に走査電圧を入力する複数の走査線と、前記複数の走査線に前記走査電圧を供給する走査線駆動回路とを有し、前記マトリクス状に配置された複数の画素は、表示領域を構成し、前記対向電極選択回路の前記選択回路は、前記走査線駆動回路と前記表示領域との間に配置される。

(7) (5)において、前記第1基板は、前記各画素に走査電圧を入力する複数の走査線と、前記複数の走査線に前記走査電圧を供給する走査線駆動回路とを有し、前記マトリクス状に配置された複数の画素は、表示領域を構成し、前記対向電極選択回路は、前記走査線駆動回路と前記表示領域との間に配置される。

30

(8) (6)または(7)において、前記走査線駆動回路は、前記第1基板上に形成され、前記液晶表示パネルの内部に内蔵される回路である。

(9) (4)において、前記第1基板は、前記各画素に映像電圧を入力する複数の映像線と、前記複数の映像線に前記映像電圧を供給する映像線駆動回路とを有し、前記対向電極選択回路は、前記映像線駆動回路により駆動・制御される。

(10) (1)ないし(9)の何れかにおいて、前記画素電極と前記対向電極とは、層間絶縁膜を介して絶縁されている。

40

【発明の効果】

【0007】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明のタッチパネル機能を内蔵した液晶表示装置によれば、液晶表示パネルのサイズが大型化しても、額縁領域を従来よりも削減することが可能となる。

【図面の簡単な説明】

【0008】

【図1】従来例1のタッチパネル付き液晶表示装置の概略構成を示す分解斜視図である。

【図2】図1に示すタッチパネルの電極構成を示す平面図である。

50

- 【図 3】図 1 に示すタッチパネルの断面構造を示す断面図である。
- 【図 4】液晶表示パネルの内部にインセル方式のタッチパネルを内蔵した液晶表示装置の概略構成を示す分解斜視図である。
- 【図 5】液晶表示装置における、複数のブロックに分割した対向電極の一例を示す平面図である。
- 【図 6 A】本発明の実施例 1 の液晶表示装置における、分割した対向電極の駆動方法を説明するための平面図である。
- 【図 6 B】本発明の実施例 1 の液晶表示パネルの 1 サブピクセルの構成を示す平面図である。
- 【図 6 C】図 6 B に示す A - A' 切断線に沿った断面構造を示す断面図である。 10
- 【図 7】図 6 A に示す対向電極選択回路の構成例を示すブロック図である。
- 【図 8】図 7 に示す選択回路の一例の回路構成を示す回路図である。
- 【図 9】図 7 に示すアドレスデコーダ回路の一例の回路構成を示す回路図である。
- 【図 10】本発明の実施例 1 の液晶表示装置において、タッチパネル検出時と、画素書込み時の駆動波形を説明するための図である。
- 【図 11】本発明の実施例 1 の液晶表示装置において、タッチパネル検出時と、画素書込み時のタイミングを説明するための図である。
- 【図 12】本発明の実施例 2 の液晶表示装置における、分割した対向電極の駆動方法を説明するための平面図である。
- 【図 13】図 12 に示す対向電極選択回路の構成例を示すブロック図である。 20
- 【図 14】図 13 に示す選択回路の一例の回路構成を示す回路図である。
- 【図 15】図 13 に示すアドレスデコーダ回路の一例の回路構成を示す回路図である。
- 【図 16】走査線駆動回路を内蔵した液晶表示パネルにおける、LCD 点灯検査の概要を説明するための図である。
- 【図 17】図 16 に示す点灯検査用薄膜トランジスタを説明するための図である。
- 【図 18】本発明の実施例 1 の液晶表示装置における LCD 点灯検査の概要を説明するための図である。
- 【図 19】本発明の各実施例における、画素の等価回路を示す回路図である。
- 【図 20】一般的な液晶表示装置における、通常の液晶駆動信号の電圧波形を示す図である。 30
- 【図 21】本発明の各実施例の液晶表示装置において、対向電極選択回路検査用の駆動波形を示す図である。
- 【図 22】本発明の各実施例のアドレスデコーダ回路の検査を目的とした対向電極選択回路の信号波形の一例を示す図である。
- 【図 23】本発明の各実施例の選択回路の検査を目的とした対向電極選択回路の信号波形の一例を示す図である。
- 【発明を実施するための形態】
- 【0009】
- 以下、図面を参照して本発明の実施例を詳細に説明する。
- なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。 40
- [従来例 1]
- 図 1 は、従来例 1 のタッチパネル付き液晶表示装置の概略構成を示す分解斜視図である。
- 図 2 は、図 1 に示すタッチパネルの電極構成を示す平面図である。
- 図 3 は、図 1 に示すタッチパネルの断面構造を示す断面図である。
- 一般的に、タッチパネルは、図 2 に示すように、容量検出用の走査電極 (TX) と、検出電極 (RX) を有する。ここでは、例えば、走査電極 (TX) を 3 本 (TX1 ~ TX3)、検出電極 (RX) を 2 本 (RX1, RX2) で図示しているが、電極数はこれに限ら 50

ない。

また、タッチパネルは、図 1、図 3 に示すように、タッチパネル基板 4 1 と、タッチパネル基板 4 1 上に形成される走査電極 (TX) および検出電極 (RX) と、走査電極 (TX) および検出電極 (RX) 上に形成される層間絶縁膜 4 2 と、層間絶縁膜 4 2 上に形成され、走査電極 (TX) 同士を電氣的に接続する接続部 (STX) と、前記接続部 (STX) 上に形成される保護膜 4 3 と、前記保護膜 4 3 上に配置されるフロントウィンドウ (又は、保護フィルム) 4 4 と、前記タッチパネル基板 4 1 の液晶表示パネル側に形成されるシールド用の透明電極 (例えば、ITO (Indium Tin Oxide) 膜で形成される電極) 4 5 とで構成される。

従来のタッチパネルでは、タッチパネル制御 IC (DRT) により、各走査電極 (TX) を 5 V ~ 10 V 程度の電圧でパルス駆動を行い、タッチパネル制御 IC (DRT) において、検出電極 (RX) での電圧変化を検出し、タッチ位置の検出を行う。即ち、指等により走査電極 (TX) と検出電極 (RX) との間の容量値が変化し、走査電極 (TX) をパルス駆動した際に、検出電極 (RX) で検出される電圧変動が変化することから、検出電極 (RX) の電圧を測定することによりタッチ位置を検出することができる。

【0010】

タッチパネルは、液晶表示パネルの前面に設置される。従って、液晶表示パネルに表示された画像を使用者が見る場合には、表示画像がタッチパネルを透過する必要があるため、タッチパネルは光透過率が高いことが望ましい。

液晶表示パネルは、図 1 に示すように、第 1 基板 (SUB 1 ; TFT 基板ともいう)、第 2 基板 (SUB 2 ; CF 基板ともいう) と、第 1 基板 (SUB 1) と第 2 基板 (SUB 2) との間に挟持される液晶 (図示せず) とを有する。

また、第 1 基板 (SUB 1) は、第 2 基板 (SUB 2) よりも大きな面積を有し、第 1 基板 (SUB 1) の、第 2 基板 (SUB 2) と対向しない領域には、液晶ドライバ IC (DRV) が実装され、さらに、当該領域の一辺の周辺部には、メインフレキシブル配線基板 (MPC) が実装される。

なお、図 1 において、CT は対向電極 (共通電極ともいう)、TFPC はタッチパネル用フレキシブル配線基板、CD は裏面側透明導電膜、5 2 は接続部材、5 3 は接続用フレキシブル配線基板である。

IPS 方式の液晶表示パネルは、TN 方式の液晶表示パネルや VA 方式の液晶表示パネルのように、カラーフィルタが設けられる基板に対向電極 (CT) が存在しない。そのため、表示ノイズを低減する等の理由により、カラーフィルタが設けられる基板に、例えば ITO などの透明導電膜で構成される裏面側透明導電膜 (CD) が形成されている。

【0011】

図 4 は、液晶表示パネルの内部にインセル方式のタッチパネルを内蔵した液晶表示装置の概略構成を示す分解斜視図である。

図 4 において、SUB 1 は第 1 基板 (TFT 基板ともいう)、SUB 2 は第 2 基板 (CF 基板ともいう) と、CT は対向電極 (共通電極ともいう)、DRV は液晶ドライバ IC、MPC はメインフレキシブル配線基板、4 4 はフロントウィンドウ、5 3 は接続用フレキシブル配線基板である。

図 4 に示す液晶表示装置では、第 2 基板 (SUB 2) 上の裏面側透明導電膜 (CD) を、帯状のパターンに分割して、タッチパネルの検出電極 (RX) となし、第 1 基板 (SUB 1) の内部に形成される対向電極 (CT) を帯状のパターンに分割、即ち、複数のブロックに分割して、タッチパネルの走査電極 (TX) として兼用することにより、タッチパネル基板 (図 1 の 4 1) を削減している。そのため、図 4 に示す液晶表示装置では、図 1 に示すタッチパネル制御 IC (DRT) の機能が、液晶ドライバ IC (DRV) の内部に設けられる。

図 5 は、液晶表示装置における、複数のブロックに分割した対向電極の一例を示す平面図である。図 5 において、SUB 1 は第 1 基板、DRV は液晶ドライバ IC、CT 1 ~ CT 20 は帯状のパターンに分割された各ブロックの対向電極、GES は液晶表示パネルに

10

20

30

40

50

内蔵された走査線駆動回路、CTLは対向電極配線、TAMはメインフレキシブル配線基板(MFPC)と接続される端子部、ARはマトリクス状に配置された複数の画素で構成される表示部である。

【0012】

静電容量方式のタッチパネルでは、指等による静電容量の変化を検出するため、交流駆動を行うタッチパネル用の走査電極(TX)の幅は約4~5mm程度の幅があることが望ましい。そのため、液晶表示パネルの大型化により走査電極(TX)の本数は増加する。

図5に示す例では、1280表示ラインの対向電極(CT)を、CT1~CT20の20ブロック(1ブロックは64表示ラインの対向電極で構成される)に分割しており、対向電極配線(CTL)は左右に各20本必要となる。各ブロックの対向電極(CT1~CT20)は、表示動作において寄生容量により電圧変動した場合は画質悪化を引き起こす。そのため、各々のブロックの対向電極(CT1~CT20)と、液晶ドライバIC(DRV)とを接続する対向電極配線(CTL)の抵抗値を下げる必要があるため、液晶表示パネルの大型化に伴い、対向電極(CT)の分割数が増加すると、対向電極配線(CTL)の配線領域が増加し、結果として、液晶表示パネルに左右の額縁の幅が増加することになる。

【0013】

[実施例1]

図6Aは、本発明の実施例1の液晶表示装置における、分割した対向電極の駆動方法を説明するための平面図である。

本実施例の液晶表示装置は、20ブロックに分割した各々の対向電極(CT1~CT20)を、アドレスデコード方式により選択する対向電極選択回路(CTSC)を、液晶表示パネルの内部に内蔵した点で、図5に示す液晶表示装置と相違する。

20ブロックに分割した対向電極(CT1~CT20)の選択方法をアドレスデコード方式とすることにより、低抵抗が必要となる配線は、対向電極(CT1~CT20)に供給する対向電圧(Vcom)と、タッチパネル走査電圧(Vstc)の2本となる。

本実施例では、タッチパネル走査電圧(Vstc)は、対向電圧(Vcom)に対して、5~10V高い電圧を直流で供給し、アドレス信号線(Saddress)を介して供給されるアドレス信号(address)により走査箇所の選択を行い、タッチパネル走査信号(STC)に従い、走査電極(TX)を兼ねる、選択されたブロックの対向電極(CT)に対して、対向電圧(Vcom)、あるいは、タッチパネル走査電圧(Vstc)を切り替えて出力する。

対向電極(CT)の分割数が増加した場合でも、増加する配線は、アドレス信号線(Saddress)のみであり、液晶表示パネルの左右の額縁の増加を抑制したまま、タッチパネル走査電極として使用する対向電極の分割数を増加させることが可能となる。

【0014】

図6Bは、本発明の実施例の液晶表示パネルの1サブピクセルの構成を示す平面図である。

図6Cは、図6Bに示すA-A'切断線に沿った断面構造を示す断面図である。以下、図6B、図6Cを用いて、本実施例の液晶表示パネルの構造について説明する。

本実施例の液晶表示パネルは、面状の対向電極を使用するIPS方式の液晶表示パネルであり、第2基板(SUB2)の主表面側が観察側となっている。

ガラス基板やプラスチック基板などの透明基板から成る第2基板(SUB2)の液晶層(LC)側には、第2基板(SUB2)から液晶層(LC)に向かって順に、遮光膜(BM)およびカラーフィルタ層(CF)、オーバーコート層(OC)、配向膜(AL2)が形成される。さらに、第2基板(SUB2)の外側には、裏面側透明導電膜(CD)と偏光板(POL2)が形成される。

また、ガラス基板やプラスチック基板などの透明基板から成る第1基板(SUB1)の液晶層(LC)側には、第1基板(SUB1)から液晶層(LC)に向かって順に、走査線(走査線ともいう)(GL;図示せず)、ゲート絶縁膜(PAS3)、映像線(ドレイ

10

20

30

40

50

ン線、ソース線ともいう) (DL; 図示せず)、層間絶縁膜(PAS2)、面状の対向電極(CT)、層間絶縁膜(PAS1)、櫛歯電極から成る画素電極(PX)、配向膜(AL1)が形成される。さらに、第1基板(SUB1)の外側には偏光板(POL1)が形成される。

なお、本実施例の液晶表示パネルでは、対向電極(CT)は、1表示ライン毎に形成される。したがって、図6Aに示す各ブロックの対向電極(CT1~CT20)は、例えば連続する64の表示ラインの各々の対向電極(CT)を液晶表示パネルの内部で電氣的に接続して構成される。また、図6Bにおいて、2はゲート電極、3は薄膜トランジスタ(TFT)の半導体層、4はソース電極(映像線(DL))をソース線と呼ぶ場合はドレイン電極ともいう)である。

10

【0015】

図7は、図6Aに示す対向電極選択回路(CTSC)の構成例を示すブロック図である。図7に示すように、対向電極選択回路(CTSC)は、DEC1~DEC20のアドレスデコーダ回路と、SCH1~SCH20の選択回路で構成されている。

本実施例では、タッチパネルの走査電極(TX)が5mmピッチとなるように、64表示ライン分の対向電極(CT)を、液晶表示パネルの内部で電氣的に接続して1つのブロックとし、1280の表示ラインを20分割する。そして、当該20分割された対向電極(CT1~CT20)と、アドレスデコーダ回路(DEC1~DEC20)とを、1対1で割りつけている。分割数が、20ブロックであるため、アドレス信号線(Sadd)は5bitの5本が必要となる。

20

アドレス信号(address)により選択された、1ブロックの対向電極、即ち、64表示ライン分の対向電極(CT)が、タッチパネル走査信号(STC)により交流駆動を行い、その他の対向電極(CT)は対向電圧を出力する。

【0016】

図8は、図7に示す選択回路(SCH1~SCH20)の一例の回路構成を示す回路図である。

図8に示す選択回路は、アドレスデコーダ回路(DEC1~DEC20)の出力(ODEC)と、インバータ(INV1)で反転されたタッチパネル走査信号(STC)の反転信号とを、ノア回路(NOR1)に入力し、当該ノア回路(NOR1)の出力をインバータ(INV2)で反転して、スイッチ回路(SW)に入力することにより、タッチパネル走査電圧(Vstc)、あるいは、対向電圧(Vcom)を選択して各ブロックの対向電極(CT1~CT20)に出力する。

30

これにより、アドレスデコーダ回路(DEC1~DEC20)の一つが選択された場合、タッチパネル走査信号(STC)に従い、各ブロックの対向電極に、タッチパネル走査電圧(Vstc)と、対向電圧(Vcom)とを切り替えて出力する。

即ち、図8に示す選択回路では、アドレスデコーダ回路(DEC1~DEC20)の出力(ODEC)が、Lowレベル(以下、Lレベル)、および、タッチパネル走査信号(STC)がHighレベル(以下、Hレベル)のときに、ノア回路(NOR1)の出力がHレベルとなるので、スイッチ回路(SW)は、タッチパネル走査電圧(Vstc)を選択し、タッチパネル走査信号(STC)がLレベル、あるいは、アドレスデコーダ回路(DEC1~DEC20)の出力(ODEC)が、Hレベルのときに、ノア回路(NOR1)の出力がLレベルとなるので、スイッチ回路(SW)は、対向電圧(Vcom)を選択する。

40

【0017】

図9は、図7に示すアドレスデコーダ回路(DEC1~DEC20)の一例の回路構成を示す回路図である。

図7に示すように、アドレスデコーダ回路(DEC1~DEC20)には、5個のアドレス信号(address)の各々について、アドレス信号、あるいは、アドレス信号をインバータ(INV)で反転した反転信号が入力され、5個のアドレス信号(address)と5個のアドレス信号(address)の反転信号の組み合わせに基づきデコードする

50

。

図 9 に示すアドレスデコーダ回路では、アドレスデコーダ回路に入力された 5 個のアドレス信号 (a d d r e s) と 5 個のアドレス信号 (a d d r e s) の反転信号の中の所定の組み合わせのアドレス信号 (a d d) をナンド回路 (N A N D 1 , N A N D 2) に入力し、当該ナンド回路 (N A N D 1 , N A N D 2) の出力を、ノア回路 (N O R 2) に入力し、当該ノア回路 (N O R 2) の出力をインバータ (I N V 4) で反転して、アドレスデコーダ回路の出力 (O D E C) としている。したがって、図 9 に示すアドレスデコーダ回路では、アドレス信号の組み合わせが、自アドレスデコーダ回路に設定されたアドレス信号の組み合わせと一致するときに、L レベルの電圧が、アドレスデコーダ回路の出力 (O D E C) として出力され、アドレス信号の組み合わせが、自アドレスデコーダ回路に設定されたアドレス信号の組み合わせと一致しないときに、H レベルの電圧が、アドレスデコーダ回路の出力 (O D E C) として出力される。

10

【 0 0 1 8 】

図 1 0 は、本発明の実施例の液晶表示装置において、タッチパネル検出時と、画素書き込み時の駆動波形を説明するための図である。

図 1 0 の A は、20 ブロックに分割された対向電極のうち、11 番目のブロックとなる 641 ~ 704 表示ラインの対向電極 (C T 1 1) に供給されるタッチパネル走査電圧 (V s t c) の電圧波形を示している。また、図 1 0 の B は、奇数列の映像線 (D L) に供給される映像電圧の波形を、図 1 0 C は、偶数列の映像線 (D L) に供給される映像電圧の波形を、図 1 0 の D は、641 番目の走査線 (G L) を介して、641 表示ラインの薄膜トランジスタのゲート電極に供給されるゲート信号を示している。さらに、T 1 は、タッチ位置検出期間、T 2 は画素書き込み期間を示している。

20

タッチ位置検出期間 (T 1) は、表示への影響を防止するため、画素書き込み期間 (T 2) 以外の期間に設定される。また、タッチ位置検出期間 (T 1) において、検出感度を増加させるために、同一箇所の走査電極 (T X) で複数回のスキャン、即ち、図 1 0 では、11 番目のブロックの対向電極 (C T 1 1) に、複数回タッチパネル走査電圧 (V s t c) が供給される。また、画素書き込み期間 (T 2) 内には、11 番目のブロックの対向電極 (C T 1 1) には、タッチパネル走査電圧 (V s t c) が供給されず、対向電圧 (V c o m) が供給される。

図 1 1 は、本発明の実施例の液晶表示装置において、タッチパネル検出時と、画素書き込み時のタイミングを説明するための図である。

30

図 1 1 の A は、1 フレームの画素書き込み期間 (T 4) に、1 番目の表示ラインから 1280 表示ラインまでの画素書き込みタイミングを示し、図 1 1 の B が、20 ブロックに分割された各ブロックの対向電極 (C T 1 ~ C T 2 0) におけるタッチパネル検出タイミングを示す。

図 1 1 に示すように、任意の表示ラインの対向電極を走査電極 (T X) として機能させ、タッチパネル検出時のスキャン動作は、画素書き込みを行うゲートスキャンとは異なる箇所で行う。なお、図 1 1 において、T 3 は帰線期間、V S Y N C は垂直同期信号、H S Y N C は水平同期信号を示す。

【 0 0 1 9 】

40

[実施例 2]

図 1 2 は、本発明の実施例 2 の液晶表示装置における、分割した対向電極の駆動方法を説明するための平面図である。

タッチ位置検出において、検出位置の分解能を上げるためには、走査を行う走査電極 (T X) の電極幅を細かくする必要がある。しかし、前述したように、走査電極 (T X) の電極幅は 4 m m ~ 5 m m 程度が望ましい。

そこで、本実施例では、隣接する 2 つのブロックの対向電極を、複数のアドレスでオーバーラップして駆動することにより、分解能を上げつつ、走査電極 (T X) の電極幅を確保するようにしたものである。

図 1 2 では、各ブロックの対向電極は、1280 表示ラインの対向電極を、2 . 5 m m

50

ピッチとなる32表示ライン分の対向電極を1つのブロックとし、CT1～CT40の40ブロックに分割している。

タッチ位置検出時には、

CT1のブロックと、CT2のブロックの対向電極、
CT2のブロックと、CT3のブロックの対向電極、
CT3のブロックと、CT4のブロックの対向電極、

・
・

CT39のブロックと、CT40ブロックの対向電極と、

2つのブロックずつスキャンすることで、走査電極(TX)の電極幅を5mm程度確保し、かつ、スキャン幅を2.5mmとすることが可能となり、検出感度を保持しつつ、垂直方向の分解能を向上させることが可能となる。

10

【0020】

図13は、図12に示す対向電極選択回路(CTSC)の構成例を示すブロック図である。図13に示すように、対向電極選択回路(CTSC)は、DEC1～DEC39のアドレスデコーダ回路と、SCH1～SCH40の選択回路で構成されている。

本実施例では、2.5mmピッチとなる32表示ライン分の対向電極を1つのブロックとし、40ブロックに分割している。

そのため、アドレスデコーダ回路は、DEC1～DEC39の39個あり、各ブロックの対向電極は、隣接する2つのアドレスデコーダ回路に接続されており、2つのアドレスデコーダ回路の中でどちらかのデコーダがアドレス信号(address)により選択されたときに、選択された32表示ライン分の対向電極(CT)が、タッチパネル走査信号(STC)により交流駆動を行い、その他の対向電極(CT)は対向電圧を出力する。

20

図14は、図13に示す選択回路(SCH1～SCH40)の一例の回路構成を示す回路図である。

図14に示す選択回路は、隣接する2つのアドレスデコーダ回路の出力(ODEC1, ODEC2)の論理積を取るアンド回路(AND)が追加されている点で、図8に示す選択回路と相違する。

図14に示す選択回路では、隣接する2つのアドレスデコーダ回路のどちらか一方のアドレスデコーダ回路の出力がLレベルとなると、アンド回路(AND)の出力がLレベルとなる。それ以外の動作は、図8に示す選択回路と同じであるので、詳細な説明は省略する。

30

【0021】

図15は、図13に示すアドレスデコーダ回路(DEC1～DEC39)の一例の回路構成を示す回路図である。

図13に示すように、本実施例では、アドレスデコーダ回路は、DEC1～DEC39の39個あるので、アドレス信号(address)は6個必要となる。

図15に示すアドレスデコーダ回路(DEC1～DEC39)には、6個のアドレス信号(address)の各々について、アドレス信号、あるいは、アドレス信号をインバータ(INV)で反転した反転信号が入力され、6個のアドレス信号(address)と6個のアドレス信号(address)の反転信号の組み合わせに基づきデコードする。

40

図15にアドレスデコーダ回路の回路構成は、アドレス信号(Add)が6個になった以外は、図9に示すアドレスデコーダ回路と同じであるので、詳細な説明は省略する。

以上説明したように、前述の各実施例では、複数のブロックに分割した対向電極の選択方法をアドレスデコード方式としているので、対向電極の分割数が増加した場合でも、増加する配線はアドレス信号線(Saddress)のみであり、液晶表示パネルの左右の額縁の増加を抑制することができる。

対向電極が、前述の14分割から20分割となった場合では、アドレス信号線(Saddress)が4本から5本に増加する。アドレス信号線(Saddress)は比較的高抵抗で正常動作するため、細い配線の左右1本の追加でよく、液晶表示パネルの左右の額縁

50

の増加を抑制したままタッチパネル走査電極分割数の増加が可能となる。

また、前述の各実施例では、アドレスデコーダ回路によりタッチパネル走査箇所を指定するため、タッチパネル走査の回数や、位置の変更は、液晶ドライバIC(DRV)の設定変更のみで可能となるため、表示動作によるノイズ等による誤動作の場合に柔軟に対応できる。

【0022】

以下、液晶表示パネル点灯検査(以下、LCD点灯検査という)時の対向電極選択回路(CTSC)の検査方法(QD点灯検査)について説明する。

図16は、走査線駆動回路を内蔵した液晶表示パネルにおける、LCD点灯検査の概要を説明するための図である。

10

LCD点灯検査は、液晶ドライバIC(DRV)の搭載前で、第1基板(SUB1)と第2基板(SUB2)とを張り合わせ、液晶封入後の液晶表示パネルを用いる。

図16に示すように、第1基板(SUB1)の、第2基板(SUB2)と対向しない領域に、走査線駆動回路用のQD試験接続端子(TAGQ)と、対向電極用のQD試験接続端子(TACQ)と、映像線用のQD試験接続端子(TADQ)を形成する。なお、図16において、TADRは、液晶ドライバIC(DRV)の各端子と接続されるドライバIC接続端子、STFTは点灯検査用の薄膜トランジスタである。

TAGQ、TACQ、TADQの各端子に、走査線駆動回路の制御信号、映像線用の信号、対向電極用の信号等の駆動信号を入力することにより、液晶ドライバIC(DRV)の搭載前に、液晶表示パネルを点灯させることができ、表示画像により配線の断線や走査線駆動回路の動作不良、薄膜トランジスタ(TFT)の特性不良を判定することができる。

20

【0023】

走査線駆動回路の制御信号と、対向電極用の信号は、画素または液晶表示パネルに内蔵された走査線駆動回路(GES)と、液晶ドライバIC(DRV)の接続端子(あるいは、フレキシブル配線基板の端子)と間に形成した端子に入力し、液晶ドライバIC(DRV)が出力する駆動信号を模擬した信号を印加する。

映像線用の信号の入力については、端子数が膨大となるため、点灯検査用薄膜トランジスタ(STFT)を用いる。図17にその一例を示す。

図17に示すように、点灯検査用薄膜トランジスタ(STFT)のドレイン電極(または、ソース電極)は、各ドライバIC接続端子(TADR)に接続し、それぞれを複数本の共通線にまとめる。図17では、共通線を2系統とした場合であり、点灯検査用薄膜トランジスタ(STFT)のドレイン(又は、ソース)用の2つのQD試験接続端子(TADSQ)から、奇数および偶数の映像線(DL)に異なる信号を印加できる。これにより、多色表示や隣接ソース線ショート検査等が可能であり、不良の早期発見・対応、および後工程の品質保証を行う。

30

なお、LCD点灯検査時には、点灯検査用薄膜トランジスタ(STFT)のゲート電極には、点灯検査用薄膜トランジスタ(STFT)のゲート用のQD試験接続端子(TADGQ)から、点灯検査用薄膜トランジスタ(STFT)をオンとする電圧が供給される。

また、液晶ドライバIC(DRV)の搭載時には、点灯検査用薄膜トランジスタ(STFT)のゲート用のQD試験接続端子(TADGQ)を、点灯検査用薄膜トランジスタ(STFT)をオフとする電圧を出力するドライバIC接続端子(TDR)に接続することで、共通線を機械的に切断する必要はない。

40

【0024】

[本発明の各実施例のQD点灯検査]

図18に、本発明の実施例1の液晶表示装置におけるLCD点灯検査の概要を説明するための図である。この図18は、対向電極選択回路(CTSC)がある場合のLCD点灯検査を説明するための概要図である。

図16と異なる点は、対向電極用のQD試験接続端子(TACQ)に代えて、対向電極選択回路駆動用のQD試験接続端子(TACTQ)が配置されている点である。

50

図19は、本発明の各実施例における、画素の等価回路を示す回路図である。

図19において、DLxは、x列の映像線、GLyは、y行目の走査線、PXxyは、x列y行の画素電極、CTは対向電極、Cstは保持容量、Clcは液晶容量である。

通常液晶駆動は、薄膜トランジスタ(TFT)のゲート電極に入力する走査信号により、各画素の薄膜トランジスタ(TFT)を1表示ライン毎に順次動作させ、画素電極(PX)と対向電極間(CT)との間に接続される保持容量(Cst)と液晶容量(Clc)に、映像電圧を充電、保持することで、液晶に電圧を印加し点灯表示させている。

タッチパネル用の対向電極選択回路(CTSC)についても、点灯検査により不良検出を行うことが望ましい。しかしながら、タッチパネルの位置検出時の走査において、液晶表示パネルの表示に影響を与えない駆動をするため、対向電極選択回路(CTSC)をLCD点灯検査工程で対応するには、検査専用の特殊な駆動方法を使用する必要がある。

【0025】

図20は、一般的な液晶表示装置における、通常液晶駆動信号の電圧波形を示す図である。

なお、図20では、例として対向電極(CT)に供給する対向電圧が、直流駆動の場合のみを図示している。また、図20において、Vcomは対向電極(CT)に供給する対向電圧、VDLは映像線(DL)に供給される映像電圧、VPXは画素電極(PX)の電圧、VGLは走査線(GL)に供給される走査電圧、Vholdは、各画素に保持される保持電圧である。

通常液晶駆動では、対向電極(CT)に固定電位の対向電圧(Vcom)を入力した状態で、薄膜トランジスタ(TFT)のゲート電極に走査電圧(VGL)を入力し、各画素の画素電極に、所望の電圧(VPX)を印加するための映像電圧(VDL)を入力する。なお、液晶劣化防止のため、映像電圧(VDL)は、対向電圧(Vcom)に対して、フレーム単位で電位の正負極性を入れ替え、交流駆動を行う。

【0026】

図21は、本発明の各実施例の液晶表示装置において、対向電極選択回路検査用の駆動波形を示す図である。

図21に示すように、映像電圧(VDL)と対向電圧(Vcom)は、同一電圧で固定し、タッチパネル走査電圧(Vstc)を交流信号とする。

これにより、書き込み動作のタイミングにおいて、対向電極選択回路(CTSC)が選択され、タッチパネル走査電圧(Vstc)が出力された箇所では、対向電圧(Vcom)に対して交流動作となることから、画素電極(PX)と対向電極(CT)との間に電圧差が発生し、各画素に、保持電圧(Vhold)が保持される。

一方、書き込み動作のタイミングにおいて対向電極選択回路(CTSC)が正常に動作しない場合、画素電極(PX)と対向電極(CT)との間に電圧差が発生しない状態となる。すなわち、対向電極選択回路(CTSC)が正常動作した箇所は点灯し、異常箇所については点灯しない状態となることから、対向電極選択回路(CTSC)の動作を検査することが可能となる。

【0027】

図22は、本発明の各実施例のアドレスデコーダ回路の検査を目的とした対向電極選択回路(CTSC)の信号波形の一例を示す図である。

図22は、解像度がHD(720RGBx1280ピクセル)で、1ブロックが64表示ラインの対向電極の場合を図示している。

タッチパネル走査信号(STC)は、Hレベルの電圧に固定し、例えば、GL1~GL64の走査線(GL)に順次選択走査電圧(SDL)を供給するタイミングに同期して、各ブロックの対向電極(CT)を、アドレスデコーダ回路(DEC1~DEC20)で順次選択するように、ADR_0~ADR_4のアドレス信号(address)を入力する。これにより、例えば、1~64の各表示ラインで、タッチパネル走査電圧(Vstc)が各画素に印加される。

全アドレスデコーダ回路(DEC1~DEC20)が正しく動作した場合、全ての画素

10

20

30

40

50

において、タッチパネル走査電圧（ V_{stc} ）に基づく電圧（図22の V_{PX} ）が液晶に印加されるため全画面が点灯表示となり、特定の回路に動作不良があった場合、該当する対向線からタッチパネル走査電圧（ V_{stc} ）が出力されないため、非点灯（黒表示）の横帯が発生するため不具合を検知できる。

【0028】

図23は、本発明の各実施例の選択回路の検査を目的とした対向電極選択回路（ $CTSC$ ）の信号波形の一例を示す図である。

図22の場合に対して異なる点は、タッチパネル走査信号（ STC ）を64表示ライン毎に、HレベルとLレベルに切替える。これにより、タッチパネル走査信号（ STC ）による、選択回路（ $SCH1 \sim SCH20$ ）の電圧切り替えを行う。

図23では、奇数行のブロックの対向電極で、タッチパネル走査電圧（ V_{stc} ）を出力するため、ゲートスキャン方向に従い、白/黒の横ストライプ状の表示となる。タッチパネル走査信号（ STC ）の反転により、各ブロックの対向電極の偶数列/奇数列毎の点灯検査から、点灯特定の出力回路に動作不良があった場合、横方向の黒線として不良検知が可能である。

また、本検査方法は、断線・ショート等による回路動作不良を検知できるほか、液晶表示パネルの駆動周波数や駆動方法（フレーム/ライン反転等）を変更することで、対向信号出力遅延による画質劣化を調べることができるため、対向電極選択回路（ $CTSC$ ）の動作マージンを検査することが可能である。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【符号の説明】

【0029】

- 2 ゲート電極
- 3 半導体層
- 4 ソース電極
- 41 タッチパネル基板
- 42, PAS1, PAS2 層間絶縁膜
- 43 保護膜
- 44 フロントウィンドウ（又は、保護フィルム）
- 45 シールド用の透明電極
- 52 接続部材
- 53 接続用フレキシブル配線基板
- TX タッチパネルの走査電極
- RX タッチパネルの検出電極
- AR 表示領域
- SUB1 第1基板
- SUB2 第2基板
- DRV 液晶ドライバIC
- DRT タッチパネル制御IC
- MFCP メインフレキシブル配線基板
- TFPC タッチパネル用フレキシブル配線基板
- GES 走査線駆動回路
- CTSC 対向電極選択回路
- PX 画素電極
- GL 走査線
- DL 映像線
- CT, CT1 ~ CT40 対向電極
- CTL 対向電極配線

10

20

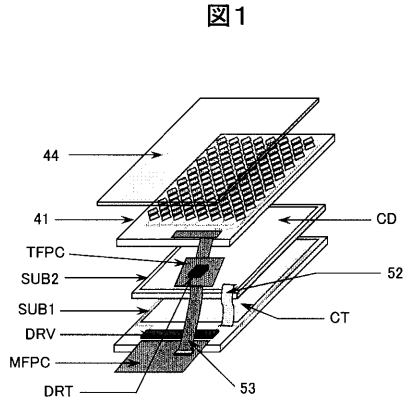
30

40

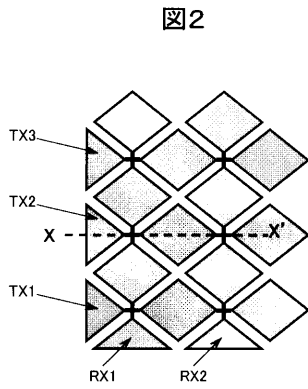
50

C D	裏面側透明導電膜	
B M	遮光膜	
C F	カラーフィルタ層	
O C	オーバーコート層	
A L 1 , A L 2	配向膜	
L C	液晶層	
C l c	液晶容量	
C s t	保持容量	
P A S 3	ゲート絶縁膜	
P O L 1 , P O L 2	偏光板	10
D E C 1 ~ D E C 2 0	アドレスデコーダ回路	
S C H 1 ~ S C H 4 0	選択回路	
I N V 1 ~ I N V 3	インバータ	
N O R 1 , N O R 2	ノア回路	
N A N D 1 , N A N D 2	ナンド回路	
A N D	アンド回路	
S W	スイッチ回路	
T F T	薄膜トランジスタ	
S T F T	点灯検査用薄膜トランジスタ	
T A M	端子部	20
T A G Q	走査線駆動回路用の Q D 試験接続端子	
T A C Q	対向電極用の Q D 試験接続端子	
T A C T Q	対向電極選択回路用の Q D 試験接続端子	
T A D Q	映像線用の Q D 試験接続端子	
T A D R	ドライバ I C 接続端子	
T A D G Q	点灯検査用薄膜トランジスタのゲート用の Q D 試験接続端子	
T A D S Q	点灯検査用薄膜トランジスタのドレイン (又は、ソース) 用の Q D 試験接続端子	

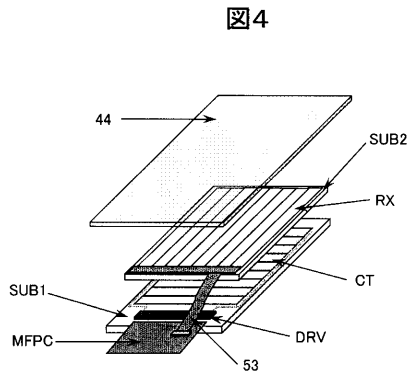
【 図 1 】



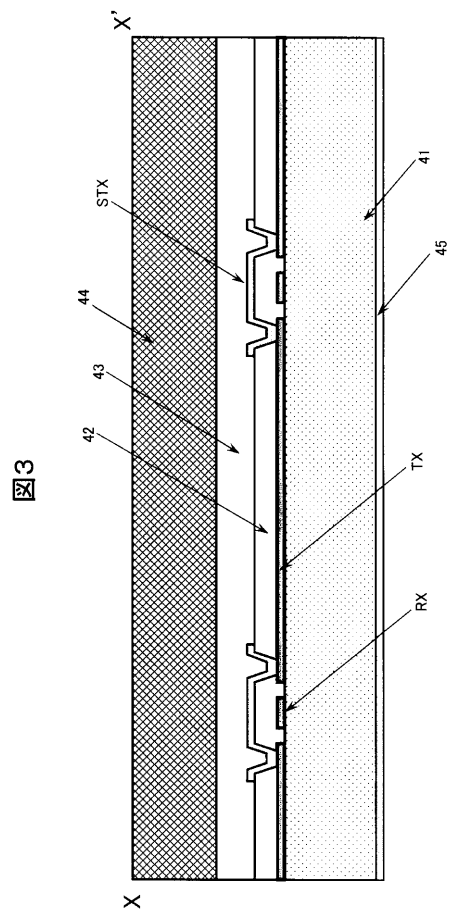
【 図 2 】



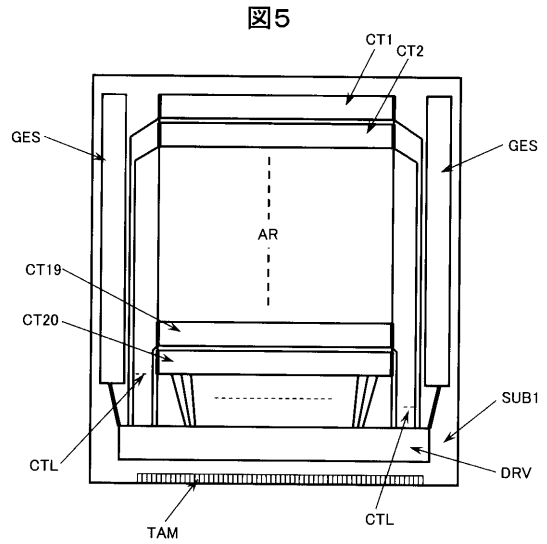
【 図 4 】



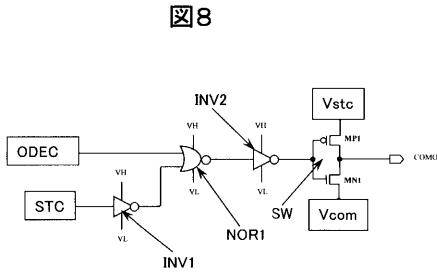
【 図 3 】



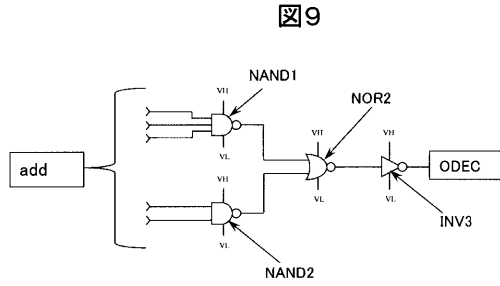
【 図 5 】



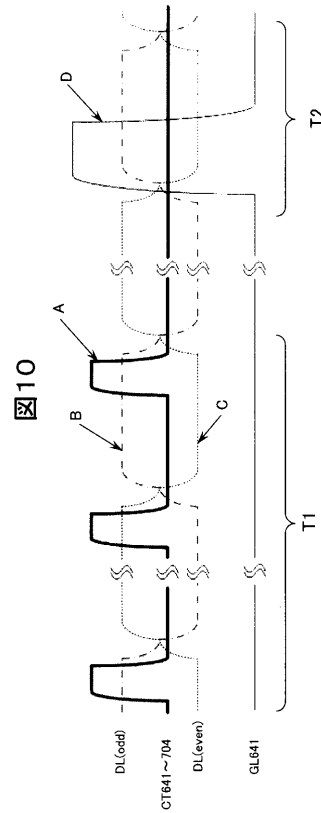
【 図 8 】



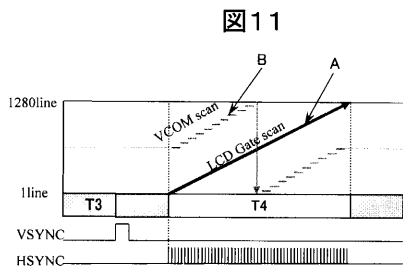
【 図 9 】



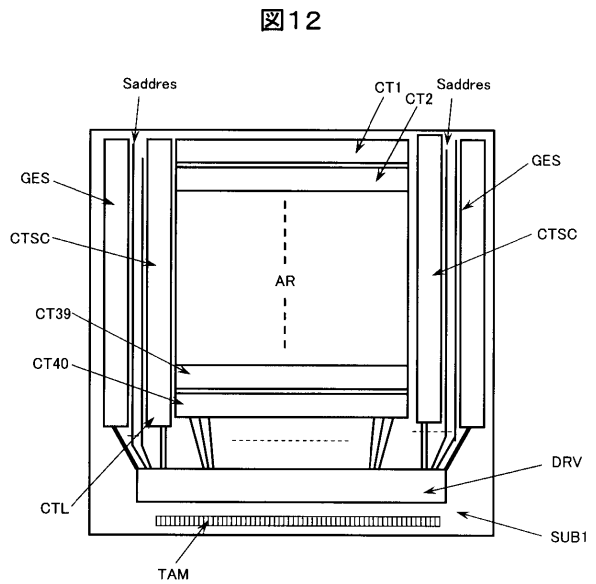
【 図 10 】



【 図 11 】



【 図 12 】



【 図 1 3 】

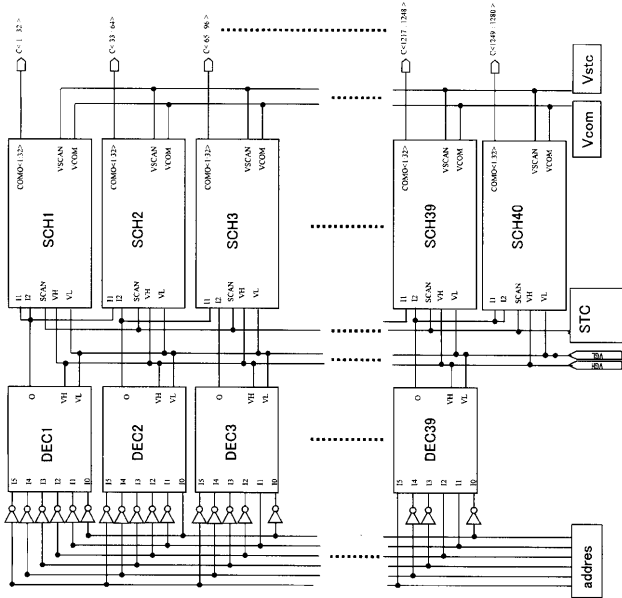


図 13

【 図 1 4 】

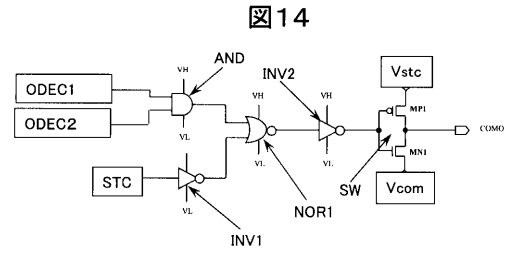


図 14

【 図 1 5 】

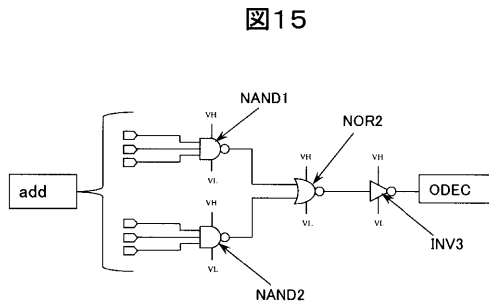


図 15

【 図 1 6 】

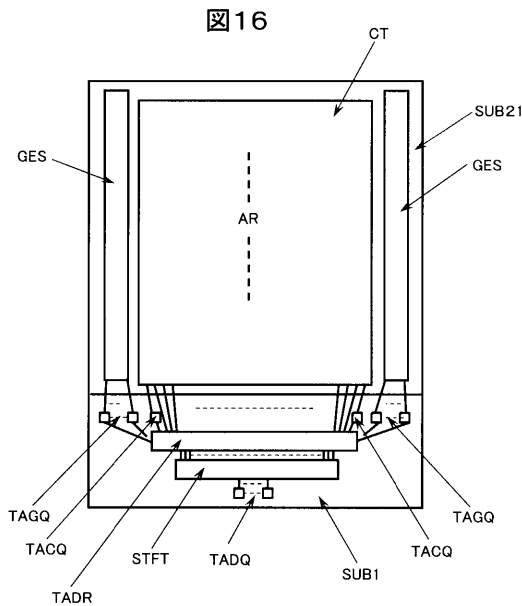


図 16

【 図 1 7 】

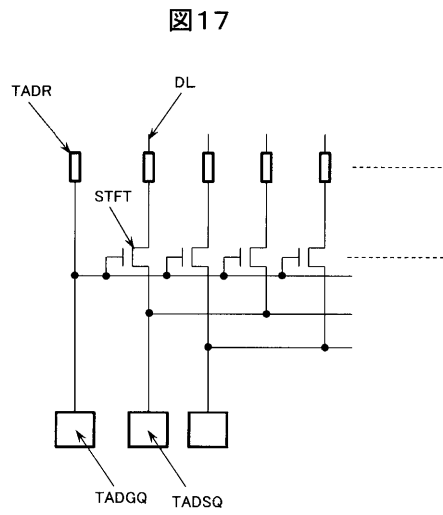
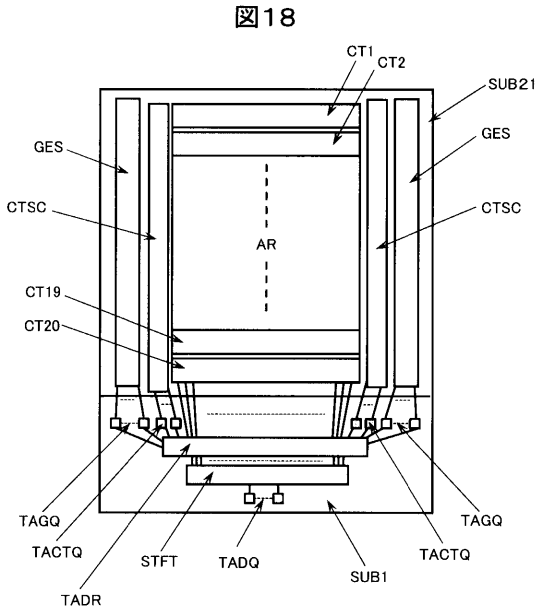
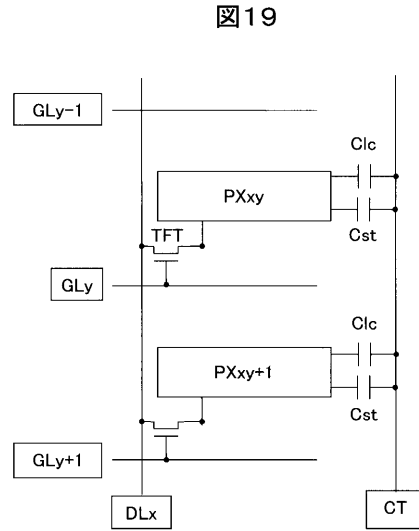


図 17

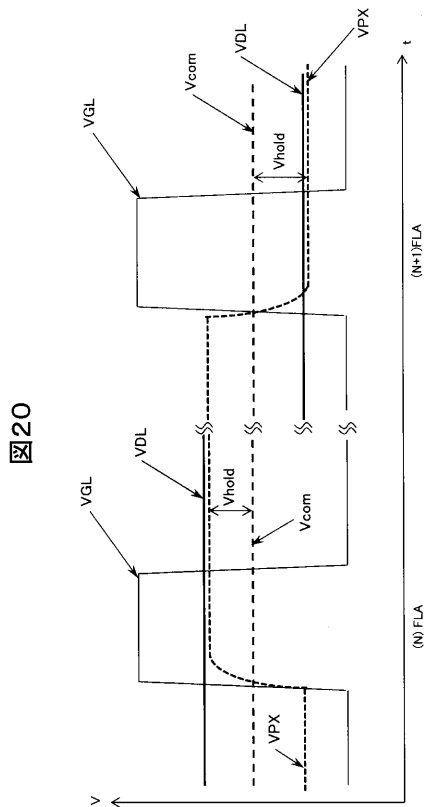
【 図 18 】



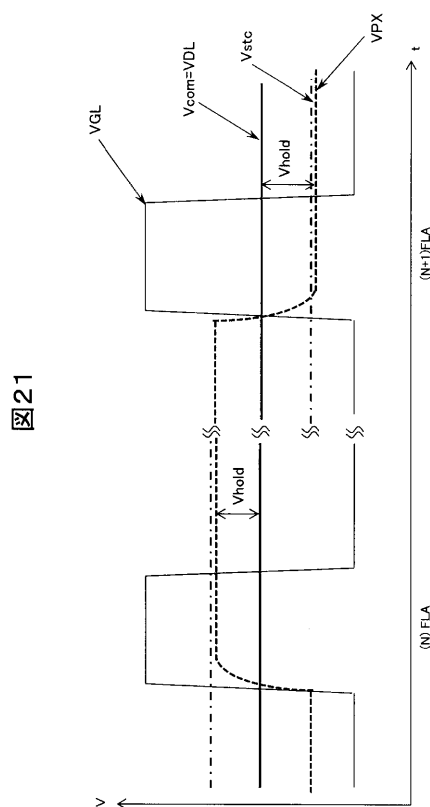
【 図 19 】



【 図 20 】



【 図 21 】



【 図 2 2 】

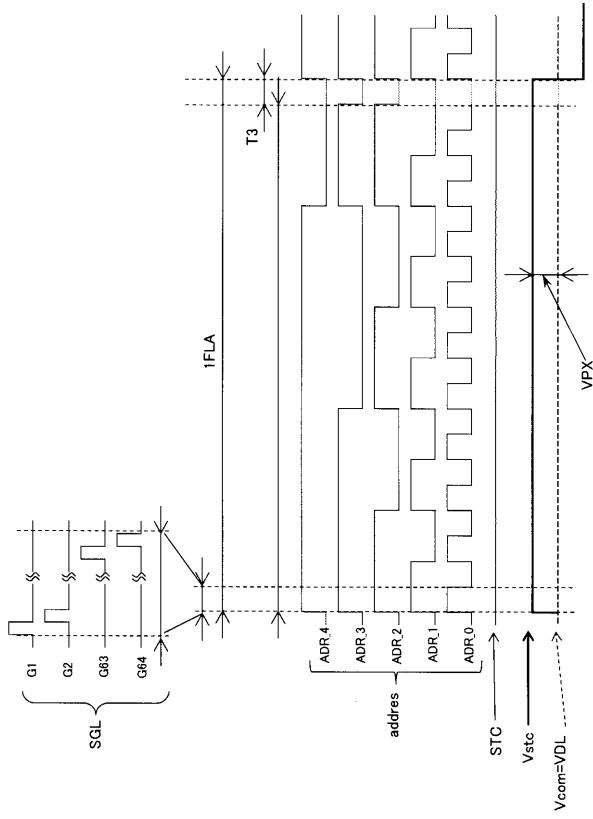


図 22

【 図 2 3 】

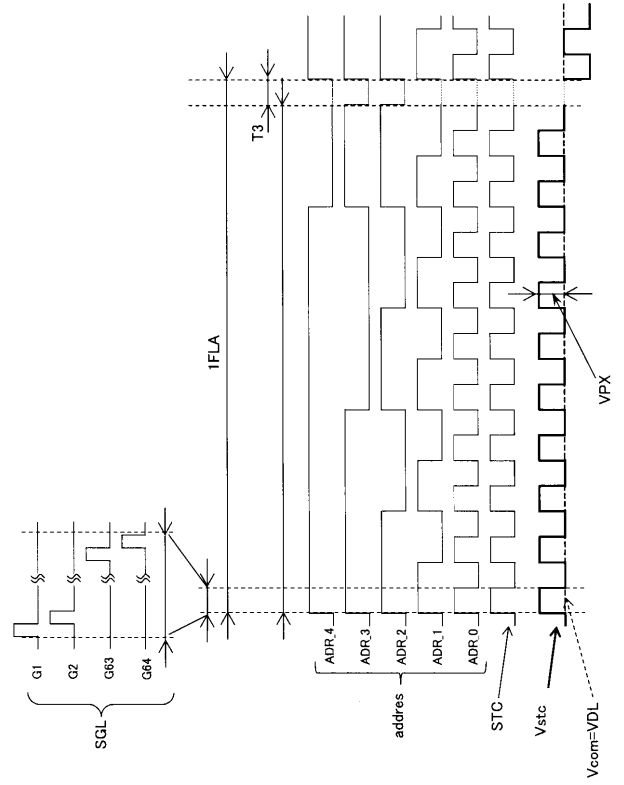


図 23

フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)	
G 0 9 F	9/00	(2006.01)	G 0 9 G 3/20	6 8 0 H	5 G 4 3 5
			G 0 9 G 3/20	6 2 3 R	
			G 0 9 F 9/30	3 4 9 Z	
			G 0 9 F 9/00	3 6 6 A	

(72)発明者 松村 和音

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H092 GA14 GA62 HA04 JA24 PA08 PA11 QA06
 2H193 ZA04 ZA09 ZD12 ZD23 ZF21 ZF31 ZF59 ZJ02 ZQ16
 5C006 AA22 AF53 BB16 BC11 BF26 BF38 EB01 EC02 FA37 FA41
 5C080 AA10 BB05 CC03 DD01 DD21 FF11 GG01 JJ02 JJ03 JJ04
 JJ06
 5C094 AA15 BA14 BA43 CA19 DA09 EA07 EA10
 5G435 AA18 BB12 CC09 EE49 HH12

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013152291A	公开(公告)日	2013-08-08
申请号	JP2012012262	申请日	2012-01-24
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	青木義典 笹沼啓太 松村和音		
发明人	青木 義典 笹沼 啓太 松村 和音		
IPC分类号	G02F1/133 G02F1/1343 G09G3/36 G09G3/20 G09F9/30 G09F9/00		
CPC分类号	G02F1/13338 G02F1/134363 G06F3/0412 G06F3/044 G06F2203/04111 G09G3/3655 G09G2300/023 G09G2300/0426 G09G2300/0465 G02F1/1343 G06F3/041 G02F1/134336 G02F1/136286 G02F2001/13456 G09G3/3618		
FI分类号	G02F1/133.530 G02F1/1343 G09G3/36 G09G3/20.624.C G09G3/20.691.D G09G3/20.680.H G09G3/20.623.R G09F9/30.349.Z G09F9/00.366.A		
F-TERM分类号	2H092/GA14 2H092/GA62 2H092/HA04 2H092/JA24 2H092/PA08 2H092/PA11 2H092/QA06 2H193/ZA04 2H193/ZA09 2H193/ZD12 2H193/ZD23 2H193/ZF21 2H193/ZF31 2H193/ZF59 2H193/ZJ02 2H193/ZQ16 5C006/AA22 5C006/AF53 5C006/BB16 5C006/BC11 5C006/BF26 5C006/BF38 5C006/EB01 5C006/EC02 5C006/FA37 5C006/FA41 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD21 5C080/FF11 5C080/GG01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA15 5C094/BA14 5C094/BA43 5C094/CA19 5C094/DA09 5C094/EA07 5C094/EA10 5G435/AA18 5G435/BB12 5G435/CC09 5G435/EE49 5G435/HH12		
其他公开文献	JP2013152291A5 JP6022164B2		
外部链接	Espacenet		

摘要(译)

提供是结合了触摸面板功能，如果在液晶显示面板的尺寸变大，为了减少比之前的帧区域的液晶显示装置。第二基板具有触摸面板的检测电极，每个像素具有像素电极和反电极，所述反电极被划分成多个块，每个都分割该块的反电极被共同设置的多条显示线的划分的块的连续计数器电极的每个像素中，也用作触摸面板的扫描电极，被分割以及用于选择块的对电极的对电极选择电路。对置电极选择电路包括：用于选择在预定时段各个块的对置电极的地址解码器电路，和触摸面板扫描电压供给到由地址解码器电路选择的块的对置电极，而不是由地址解码器电路选择的以及用于向块的对电极提供反电压的选择电路。（图6A）。

