

【特許請求の範囲】

【請求項 1】

直線的に延出した画素電極を備えた第 1 基板と、
絶縁基板と、前記絶縁基板の前記第 1 基板と対向する内面に配置されたシールド電極と、
前記画素電極を挟んだ両側で前記画素電極と略平行に延出した共通電極と、前記シールド電極と前記共通電極との間に配置された誘電体層と、を備えた第 2 基板と、
前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記シールド電極は、前記絶縁基板の内面全体に亘って配置されたことを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 3】

前記誘電体層は、前記共通電極と略平行に延出したブラックマトリクスと、前記ブラックマトリクスに乗り上げたカラーフィルタと、前記カラーフィルタを覆うオーバーコート層と、を含むことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

直線的に延出した画素電極を備えた第 1 基板と、
絶縁基板と、前記絶縁基板の前記第 1 基板と対向する内面に配置され前記画素電極と対向する開口部を形成するブラックマトリクスと、前記絶縁基板の内面における前記開口部に配置されたシールド電極と、前記画素電極を挟んだ両側で前記画素電極と略平行に延出した共通電極と、前記ブラックマトリクス及び前記シールド電極と前記共通電極との間に配置された誘電体層と、を備えた第 2 基板と、
前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えたことを特徴とする液晶表示装置。

20

【請求項 5】

前記誘電体層は、前記シールド電極を覆うとともに前記ブラックマトリクスに乗り上げたカラーフィルタと、前記カラーフィルタを覆うオーバーコート層と、を含むことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

互いに略平行に延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間において直線的に延出した画素電極と、を備えた第 1 基板と、
絶縁基板と、前記絶縁基板の前記第 1 基板と対向する内面に配置されたシールド電極と、
前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し前記画素電極と略平行に延出した共通電極と、を備えた第 2 基板と、
前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えたことを特徴とする液晶表示装置。

30

【請求項 7】

前記シールド電極は、前記絶縁基板の内面全体に亘って配置されたことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

さらに、前記絶縁基板の内面に配置され前記画素電極と対向する開口部を形成するブラックマトリクスを備え、
前記シールド電極は、前記絶縁基板の内面における前記開口部に配置されたことを特徴とする請求項 6 に記載の液晶表示装置。

40

【請求項 9】

さらに、前記シールド電極を覆うカラーフィルタと、前記カラーフィルタを覆うオーバーコート層と、を含むことを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

前記シールド電極の膜厚は、前記共通電極の膜厚よりも薄いことを特徴とする請求項 1

50

乃至 9 のいずれか 1 項に記載の液晶表示装置。

【請求項 1 1】

前記シールド電極と前記共通電極とが電氣的に接続されたことを特徴とする請求項 1 乃至 1 0 のいずれか 1 項に記載の液晶表示装置。

【請求項 1 2】

さらに、前記第 1 基板に備えられ前記共通電極に電圧を印加するための給電部と、前記給電部と前記共通電極とを電氣的に接続する導電部材と、を備えたことを特徴とする請求項 1 乃至 1 1 のいずれか 1 項に記載の液晶表示装置。

【請求項 1 3】

さらに、前記第 1 基板と前記第 2 基板とを貼り合わせるシール材を備え、前記絶縁基板と前記シール材との間には、前記絶縁基板の内面に配置されたブラックマトリクスと、前記ブラックマトリクスを覆うオーバーコート層とが配置されたことを特徴とする請求項 1 乃至 1 2 のいずれか 1 項に記載の液晶表示装置。

10

【請求項 1 4】

前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記液晶層の液晶分子の初期配向方向は、前記画素電極の延出方向に対して 0 ° 乃至 2 0 ° の範囲内の方向と略平行であることを特徴とする請求項 1 乃至 1 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 1 5】

前記液晶分子は、前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記第 1 基板と前記第 2 基板との間においてスプレイ配向またはホモジニアス配向していることを特徴とする請求項 1 4 に記載の液晶表示装置。

20

【請求項 1 6】

さらに、前記第 1 基板の外面に配置された第 1 偏光板及び第 2 基板の外面に配置された第 2 偏光板を備え、前記第 1 偏光板の第 1 偏光軸と前記第 2 偏光板の第 2 偏光軸とが直交し、前記第 1 偏光板の第 1 偏光軸が前記液晶層の液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項 1 乃至 1 5 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

30

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0 0 0 2】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

40

【0 0 0 3】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開 2 0 0 9 - 1 9 2 8 2 2 号公報

【特許文献 2】特開 2 0 0 9 - 1 8 6 5 1 4 号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

直線的に延出した画素電極を備えた第1基板と、絶縁基板と、前記絶縁基板の前記第1基板と対向する内面に配置されたシールド電極と、前記画素電極を挟んだ両側で前記画素電極と略平行に延出した共通電極と、前記シールド電極と前記共通電極との間に配置された誘電体層と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【0007】

本実施形態によれば、

直線的に延出した画素電極を備えた第1基板と、絶縁基板と、前記絶縁基板の前記第1基板と対向する内面に配置され前記画素電極と対向する開口部を形成するブラックマトリクスと、前記絶縁基板の内面における前記開口部に配置されたシールド電極と、前記画素電極を挟んだ両側で前記画素電極と略平行に延出した共通電極と、前記ブラックマトリクス及び前記シールド電極と前記共通電極との間に配置された誘電体層と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

20

【0008】

本実施形態によれば、

互いに略平行に延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間において直線的に延出した画素電極と、を備えた第1基板と、絶縁基板と、前記絶縁基板の前記第1基板と対向する内面に配置されたシールド電極と、前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し前記画素電極と略平行に延出した共通電極と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

30

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図2に示した液晶表示パネルをA-A線で切断したときの断面構造を概略的に示す断面図である。

【図4】図4は、図2に示した液晶表示パネルにおける画素電極と共通電極との間に形成される電界、及び、この電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

40

【図5】図5は、シールド電極と共通電極とを電氣的に接続するための構造を概略的に示す断面図である。

【図6】図6は、シールド電極と共通電極とを電氣的に接続するための他の構造を概略的に示す断面図である。

【図7】図7は、図2に示した液晶表示パネルをA-A線で切断したときの他の断面構造を概略的に示す断面図である。

【図8】図8は、図2に示した液晶表示パネルをA-A線で切断したときの他の断面構造を概略的に示す断面図である。

【図9】図9は、図2に示した液晶表示パネルをA-A線で切断したときの他の断面構造を概略的に示す断面図である。

50

【図 1 0】図 1 0 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図 1 1】図 1 1 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図 1 2】図 1 2 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0 0 1 0】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

10

【0 0 1 1】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0 0 1 2】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

20

【0 0 1 3】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G ($G_1 \sim G_n$)、 n 本の補助容量線 C ($C_1 \sim C_n$)、 m 本のソース配線 S ($S_1 \sim S_m$)などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それら

30

の一部が屈曲していてもよい。

【0 0 1 4】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【0 0 1 5】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C Eなどを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

40

【0 0 1 6】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主として液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0 0 1 7】

50

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0018】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

10

【0019】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

【0020】

図2は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

20

【0021】

図示した画素PXは、破線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長方形状である。ゲート配線G1及びゲート配線G2は、第1方向Xに沿って延出している。補助容量線C1は、隣接するゲート配線G1とゲート配線G2との間に配置され、第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、第2方向Yに沿って延出している。画素電極PEは、隣接するソース配線S1とソース配線S2との間に配置されている。また、この画素電極PEは、ゲート配線G1とゲート配線G2との間に位置している。

30

【0022】

図示した例では、画素PXにおいて、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置されている。厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。また、画素PXにおいて、ゲート配線G1は上側端部に配置され、ゲート配線G2は下側端部に配置されている。厳密には、ゲート配線G1は当該画素PXとその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。補助容量線C1は、画素の略中央部に配置されている。

【0023】

スイッチング素子SWは、図示した例では、ゲート配線G1及びソース配線S1に電氣的に接続されている。このスイッチング素子SWは、ゲート配線G1とソース配線S1の交点に設けられ、そのドレイン配線はソース配線S1及び補助容量線C1に沿って延長され、補助容量線C1と重なる領域に形成されたコンタクトホールCHを介して画素電極PEと電氣的に接続されている。このようなスイッチング素子SWは、ソース配線S1及び補助容量線C1と重なる領域に設けられ、ソース配線S1及び補助容量線C1と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

40

【0024】

画素電極PEは、互いに電氣的に接続された主画素電極PA及びコンタクト部PCを備

50

えている。主画素電極 P A は、コンタクト部 P C から画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延出している。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。コンタクト部 P C は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。このコンタクト部 P C は、主画素電極 P A よりも幅広に形成されている。

【 0 0 2 5 】

このような画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。ソース配線 S 1 と画素電極 P E との第 1 方向 X に沿った間隔は、ソース配線 S 2 と画素電極 P E との第 1 方向 X に沿った間隔と略同等である。

10

【 0 0 2 6 】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 7 】

図示した例では、主共通電極 C A は、第 1 方向 X に沿って 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの主共通電極 C A を区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。主共通電極 C A L はソース配線 S 1 と対向し、主共通電極 C A R はソース配線 S 2 と対向している。これらの主共通電極 C A L 及び主共通電極 C A R は、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

20

【 0 0 2 8 】

画素 P X において、主共通電極 C A L は左側端部に配置され、主共通電極 C A R は右側端部に配置されている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【 0 0 2 9 】

30

画素電極 P E と主共通電極 C A との位置関係に着目すると、画素電極 P E と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。これらの画素電極 P E と主共通電極 C A とは、互いに略平行に配置されている。このとき、X - Y 平面内において、主共通電極 C A のいずれも画素電極 P E とは重ならない。

【 0 0 3 0 】

すなわち、隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の画素電極 P E が位置している。換言すると、主共通電極 C A L 及び主共通電極 C A R は、画素電極 P E の直上の位置を挟んだ両側に配置されている。あるいは、画素電極 P E は、主共通電極 C A L と主共通電極 C A R との間に配置されている。このため、主共通電極 C A L 、主画素電極 P E 、及び、主共通電極 C A R は、第 1 方向 X に沿ってこの順に配置されている。

40

【 0 0 3 1 】

これらの画素電極 P E と共通電極 C E との第 1 方向 X に沿った間隔は略一定である。すなわち、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った間隔は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【 0 0 3 2 】

図 3 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【 0 0 3 3 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置

50

されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (LED) を利用したものや冷陰極管 (CCFL) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0034】

アレイ基板 AR は、光透過性を有する第 1 絶縁基板 10 を用いて形成されている。ソース配線 S は、第 1 層間絶縁膜 11 の上に形成され、第 2 層間絶縁膜 12 によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第 1 絶縁基板 10 と第 1 層間絶縁膜 11 の間に配置されている。画素電極 PE は、第 2 層間絶縁膜 12 の上に形成されている。この画素電極 PE は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。

10

【0035】

第 1 配向膜 AL1 は、アレイ基板 AR の対向基板 CT と対向する面に配置され、アクティブエリア ACT の略全体に亘って延在している。この第 1 配向膜 AL1 は、画素電極 PE などを覆っており、第 2 層間絶縁膜 12 の上にも配置されている。このような第 1 配向膜 AL1 は、水平配向性を示す材料によって形成されている。

【0036】

なお、アレイ基板 AR は、さらに、共通電極 CE の一部を備えていても良い。

【0037】

対向基板 CT は、光透過性を有する第 2 絶縁基板 20 を用いて形成されている。この対向基板 CT は、シールド電極 SE、ブラックマトリクス BM、カラーフィルタ CF、オーバークोट層 OC、共通電極 CE、第 2 配向膜 AL2 などを備えている。

20

【0038】

シールド電極 SE は、第 2 絶縁基板 20 のアレイ基板 AR に対向する内面 20A に配置されている。図示した例では、シールド電極 SE は、第 2 絶縁基板 20 の内面 20A の全体に亘って配置され、アクティブエリア ACT のみならず、その周辺にも延在している。また、このシールド電極 SE は、比較的薄い膜厚 T1 を有している。このようなシールド電極 SE は、共通電極 CE と同様に、ITO や IZO などの光透過性を有する導電材料によって形成されている。

【0039】

対向基板 CT において、シールド電極 SE と共通電極 CE は異なる層に配置されている。画素の第 1 方向において、共通電極 CE 間の間隔は液晶層 LQ の厚みよりも大きく、また、シールド電極 SE はこれら共通電極 CE 間に配置されている。したがって、1 画素におけるシールド電極 SE の占める割合は共通電極 CE の占める割合よりも大きい構造になる。

30

【0040】

シールド電極 SE は、外部から液晶層 LQ への不所望な電界の侵入を抑制するものであり、比較的高抵抗であっても、導電性を有していれば、面内で電荷を拡散することが可能となり、電界シールド効果を発揮できる。逆に、シールド電極 SE が厚い膜厚 T1 を有している場合あるいは比較的低抵抗である場合、本来、液晶層 LQ に印加すべき電界に対して影響を及ぼすおそれがあり、望ましくない。

40

【0041】

また、上述の構造の場合には、1 画素におけるシールド電極 SE の占める割合が共通電極 CE の占める割合よりも小さい構造と比較して、シールド電極 SE から生じる電界が液晶層 LQ に及ぼす影響は大きい。

【0042】

このことから、シールド電極 SE の表面抵抗が共通電極 CE の表面抵抗と同等あるいはより低い抵抗である場合には、シールド電極 SE からの電界が液晶層 LQ に作用し液晶分子の配向を乱す虞がある。

【0043】

したがって、液晶層 LQ に対するシールド電極 SE による電界の影響を考慮すると、シ

50

ールド電極 S E の表面抵抗 ($\Omega / \square$) は、共通電極 C E の表面抵抗 ($\Omega / \square$) より大きいことが望ましい。

【 0 0 4 4 】

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。このブラックマトリクス B M は、シールド電極 S E のアレイ基板 A R と対向する側に形成されている。開口部 A P に重なるシールド電極 S E は、ブラックマトリクス B M から露出している。

10

【 0 0 4 5 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、開口部 A P に重なるシールド電極 S E を覆うとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタ C F R は、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタ C F B は、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタ C F G は、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

20

【 0 0 4 6 】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

【 0 0 4 7 】

共通電極 C E は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。この共通電極 C E (主共通電極 C A) は、比較的厚い膜厚 T 2 を有している。このような共通電極 C E は、アクティブエリア A C T の各画素 P X において略均一な電圧を印加するため、面内での電圧降下 (電圧勾配) を低減する必要がある、低抵抗であることが望ましい。

30

【 0 0 4 8 】

このように、対向基板 C T において、アクティブエリア A C T に配置されたシールド電極 S E と共通電極 C E とではそれらの役割が異なり、シールド電極 S E の膜厚 T 1 は共通電極 C E の膜厚 T 2 よりも薄い、あるいは、シールド電極 S E が共通電極 C E よりも高抵抗であることが望ましい。

【 0 0 4 9 】

図示した断面においては、共通電極 C E の主共通電極 C A は、ブラックマトリクス B M と対向している。また、主共通電極 C A は、ソース配線 S と対向している。つまり、ブラックマトリクス B M 及び主共通電極 C A は、ソース配線 S の直上に位置している。主共通電極 C A は、対向するブラックマトリクス B M の幅と同等以下の幅を有している。シールド電極 S E と主共通電極 C A との間には、誘電体層として、主共通電極 C A と同様に第 2 方向 Y に延出したブラックマトリクス B M、ブラックマトリクス B M に乗り上げたカラーフィルタ C F、及び、カラーフィルタ C F を覆うオーバーコート層 O C が配置されている。

40

【 0 0 5 0 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E 及びオーバーコート層 O Cなどを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 5 1 】

50

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1、及び、第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、ともに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、図 2 に示したように、第 2 方向 Y と略平行であって、同じ向きである。

【 0 0 5 2 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば $2 \sim 7 \mu\text{m}$ のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材 S B によって貼り合わせられている。

10

【 0 0 5 3 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

20

【 0 0 5 4 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。

【 0 0 5 5 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。

30

【 0 0 5 6 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

40

【 0 0 5 7 】

図 2 において、（ a ）で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 5 8 】

また、図 2 において、（ b ）で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）よ

50

うに配置されている。

【0059】

次に、上記構成の液晶表示パネルLPNの動作について、図2及び図3を参照しながら説明する。

【0060】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成されていない状態（OFF時）には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

10

【0061】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0062】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。OFF時においては、液晶分子LMは、図2に破線で示したように、その長軸が第2方向Yと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行（あるいは、第2方向Yに対して0°）である。

20

【0063】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

30

【0064】

バックライト4からのバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

【0065】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

40

【0066】

図2に示した例では、画素電極PEと主共通電極CALとの間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極PEと主共通電極CARとの間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。

【0067】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数

50

の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【 0 0 6 8 】

このような ON 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶層 L Q に入射したバックライト光は、その偏光状態が変化する。このような ON 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 6 9 】

図 4 は、図 2 に示した液晶表示パネル L P N における画素電極 P E と共通電極 C E との間に形成される電界、及び、この電界による液晶分子 L M のダイレクタと透過率との関係を説明するための図である。

【 0 0 7 0 】

OFF 状態では、液晶分子 L M は、第 2 方向 Y に略平行な方向に初期配向している。画素電極 P E と共通電極 C E との間に電位差が形成された ON 状態では、液晶分子 L M のダイレクタ（あるいは液晶分子 L M の長軸方向）が、X - Y 平面内で、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 及び第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 に対して概ね 45° ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

【 0 0 7 1 】

図示した例では、ON 状態となったとき、主共通電極 C A L と画素電極 P E との間の液晶分子 L M のダイレクタは X - Y 平面内で 45° - 225° の方位と略平行となり、主共通電極 C A R と画素電極 P E との間の液晶分子 L M のダイレクタは X - Y 平面内で 135° - 315° の方位と略平行となり、ピーク透過率が得られる。

【 0 0 7 2 】

このとき、一画素あたりの透過率分布に着目すると、画素電極 P E 上及び共通電極 C E 上においては透過率が略ゼロとなる一方で、画素電極 P E と共通電極 C E との間の電極間隙では、略全域に亘って高い透過率が得られる。より具体的には、ソース配線 S 1 の直上に位置する主共通電極 C A L 及びソース配線 S 2 の直上に位置する主共通電極 C A R は、それぞれブラックマトリクス B M と対向しているが、これらの主共通電極 C A L 及び主共通電極 C A R は、ともに、ブラックマトリクス B M の第 1 方向 X に沿った幅と同等以下の幅を有しており、ブラックマトリクス B M と重なる位置よりも画素電極 P E の側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクス B M の間もしくはソース配線 S 1 とソース配線 S 2 との間の領域のうち、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の領域に相当する。

【 0 0 7 3 】

このような本実施形態によれば、対向基板 C T は、第 2 絶縁基板 20 の内面 20 A にシールド電極 S E を備えている。このため、たとえ対向基板 C T の外面が帯電したとしても、対向基板 C T の外面に帯電した電荷によって生じうる不所望な電界をシールドすることが可能である。したがって、対向基板 C T の外面が帯電しても、液晶層 L Q が不所望な電界の影響を受けにくくなり、液晶層 L Q には、画素電極 P E と共通電極 C E との間に形成される所望の電界を印加することが可能となる。

【 0 0 7 4 】

特に、共通電極 C E が形成されていない領域、すなわち、開口部 A P が形成されている領域において、帯電の影響による不所望な電界によって液晶分子が動作することに起因した液晶分子の配向不良を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

【 0 0 7 5 】

図 3 に示した構成の液晶表示装置を製造し、第 2 光学素子 O D 2 の表面を布で擦り、帯電の影響を調べたが、帯電の影響による表示ムラは発生しなかった。

10

20

30

40

50

【 0 0 7 6 】

また、近年、液晶表示装置の薄型化が要求されており、基板を研磨するケースが増えている。第2絶縁基板20の外面20Bにシールド電極SEを設けた場合には、研磨ができない、あるいは、研磨の過程でシールド電極が除去されてしまうといった不都合が生じる。一方、本実施形態では、第2絶縁基板20の内面20Aにシールド電極SEを設ける構成を採用したことにより、基板を研磨する前後の製造過程を通して対向基板CTの不所望な帯電を抑制することが可能となる。

【 0 0 7 7 】

また、シールド電極SEは、液晶表示パネルLPNの内部で電氣的な導通を容易にとることが可能である。すなわち、第2絶縁基板20の外面20Bにシールド電極SEを設けた場合には、このシールド電極SEにアース線を半田付けするなどの作業を必要とするが、第2絶縁基板20の内面20Aにシールド電極SEを設けた場合には、例えば、シールド電極SEと対向するアレイ基板ARに接地電位の接地配線を設け、導電スペーサや銀ペーストなどの導電部材を介して接地配線とシールド電極SEとを電氣的に接続することにより、シールド電極SEを接地電位に設定することが可能である。

【 0 0 7 8 】

さらに、シールド電極SEを第2絶縁基板20の内面20Aの全体に亘って配置する構成では、シールド電極SEのパターニングが不要であり、製造工程の簡素化や、製造コストの削減が可能となる。

【 0 0 7 9 】

また、シールド電極SEは、比較的薄い膜厚T1を有しているため、開口部APと重なる領域において、外部からの電界の侵入を抑制しつつ、開口部APを透過する光の吸収を抑制することが可能となる。シールド電極SEは、略透明な導電材料によって形成されているが、膜厚T1が増加すると、入射した光を吸収する割合が増加する傾向にあり、膜厚T1を薄く設定することによって、透過率の低減を抑制することが可能となる。

【 0 0 8 0 】

また、本実施形態によれば、画素電極PEと共通電極CEとの間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極PEと主共通電極CAL及び主共通電極CARとの間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素PXの略中央に配置された画素電極PEに対して主共通電極CAの配置位置を変更する）ことで、図4に示したような透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

【 0 0 8 1 】

また、本実施形態によれば、図4に示したように、ブラックマトリクスBMと重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 8 2 】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違

10

20

30

40

50

はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0083】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A L 及び主共通電極 C A R がそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置されている場合には、主共通電極 C A L 及び主共通電極 C A R がソース配線 S 1 及びソース配線 S 2 よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

10

【0084】

また、主共通電極 C A L 及び主共通電極 C A R をそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置することによって、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【0085】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

20

【0086】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、図 2 に示したように、第 2 方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、第 2 方向 Y に対する初期配向方向 D のなす角度 $\theta 1$ は、 0° より大きく 45° より小さい角度である。なお、このなす角度 $\theta 1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 L M の配向制御の観点で極めて有効である。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【0087】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 $\theta 1$ が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

30

【0088】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

40

【0089】

次に、本実施形態のバリエーションについて説明する。

【0090】

図 5 は、シールド電極 S E と共通電極 C E とを電氣的に接続するための構造を概略的に示す断面図である。

【0091】

50

すなわち、シールド電極 S E は、フローティング状態であっても良いが、ここに示した例では、主共通電極 C A を含む共通電極 C E と電氣的に接続されている。共通電極 C E は、ブラックマトリクス B M 及びオーバーコート層 O C に形成されたコンタクトホールを介して、シールド電極 S E と電氣的に接続されている。このようにシールド電極 S E と共通電極 C E とを電氣的に接続させることによって、シールド電極 S E は、常に共通電極 C E と同電位（コモン電位）に設定される。

【 0 0 9 2 】

このような構成においては、シールド電極 S E がフローティング状態である場合と比較して、シールド電極 S E が常に共通電極 C E と同電位に設定されるため、帯電に対してより高い耐性を得ることが可能となる。なお、シールド電極 S E と共通電極 C E とを電氣的に接続する位置については、アクティブエリア内であっても良いし、アクティブエリア外であっても良いし、シール材 S B によって囲まれた内側であっても良いし、シール材 S B の外側であっても良い。

10

【 0 0 9 3 】

図 6 は、シールド電極 S E と共通電極 C E とを電氣的に接続するための他の構造を概略的に示す断面図である。

【 0 0 9 4 】

すなわち、アレイ基板 A R は、共通電極 C E に印加すべき電圧が供給される給電線 F W を備えている。アレイ基板 A R の給電部 V S は、アクティブエリア外において、第 2 層間絶縁膜 1 2 の上に形成され、給電線 F W と電氣的に接続されている。導電部材 C M は、給電部 V S と共通電極 C E との間に配置されており、両者を電氣的に接続している。

20

【 0 0 9 5 】

また、図示した例では、図 5 に示した例と同様に、共通電極 C E とシールド電極 S E とが電氣的に接続されている。また、共通電極 C E とシールド電極 S E とを電氣的に接続する位置は、導電部材 C M を介して共通電極 C E と給電部 V S とを電氣的に接続する位置と一致している。なお、共通電極 C E と給電部 V S とを電氣的に接続する位置については、シール材 S B によって囲まれた内側であっても良いし、シール材 S B の外側であっても良い。

【 0 0 9 6 】

このような構成においても、図 5 に示した例と同様に、シールド電極 S E が常に共通電極 C E と同電位に設定されるため、帯電に対してより高い耐性を得ることが可能となる。

30

【 0 0 9 7 】

図 7 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの他の断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示しており、また、図 3 に示した例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【 0 0 9 8 】

図 7 に示した構成は、図 3 に示した構成と比較して、ブラックマトリクス B M が第 2 絶縁基板 2 0 の内面 2 0 A に配置され開口部 A P を形成する点、及び、シールド電極 S E が第 2 絶縁基板 2 0 の内面 2 0 A における開口部 A P に配置された点で相違している。

40

【 0 0 9 9 】

このようなシールド電極 S E は、例えば、第 2 絶縁基板 2 0 の内面 2 0 A の全体に亘って透明な導電材料を形成した後に、フォトリソグラフィプロセスを経たパターンニングを施すことによって形成可能である。なお、シールド電極 S E を形成するプロセスと、ブラックマトリクス B M を形成するプロセスのどちらを先行して行っても図 7 に示したような断面構造を得ることは可能である。

【 0 1 0 0 】

ブラックマトリクス B M 及びシールド電極 S E と、主共通電極 C A との間には、誘電体層として、シールド電極 S E を覆うとともにブラックマトリクス B M に乗上げたカラーフィルタ C F、及び、カラーフィルタ C F を覆うオーバーコート層 O C が配置されている

50

。

【 0 1 0 1 】

このような構成によれば、ブラックマトリクス B M とシールド電極 S E とはほとんど重ならない。このため、図 3 に示した例では、ブラックマトリクス B M とシールド電極 S E との間にブラックマトリクス B M の膜厚分の段差が形成されていたが、この図 7 に示した例では、ブラックマトリクス B M とシールド電極 S E との間の段差を低減することが可能となる。したがって、実質的に表示に寄与する開口部 A P において、液晶層 L Q の厚さを均一化することが可能となり、液晶層 L Q のリタデーション $\Delta n \cdot d$ (Δn は屈折率異方性であり、 d は液晶層 L Q の厚さである) のバラツキを低減することが可能となる。これにより、開口部 A P を透過する光に対するリタデーション $\Delta n \cdot d$ のバラツキに起因した表示の不具合を改善することが可能となる。

10

【 0 1 0 2 】

また、図 7 に示した構成は、図 3 に示した構成と比較して、対向基板 C T の第 2 絶縁基板 2 0 とシール材 S B との間には、第 2 絶縁基板 2 0 の内面 2 0 A に配置されたブラックマトリクス B M と、ブラックマトリクス B M を覆うオーバーコート層 O C とが配置された点で相違している。

【 0 1 0 3 】

すなわち、液晶表示パネル L P N に対して応力が加わった際、シール材 S B によってアレイ基板 A R と対向基板 C T とを貼り合わせている部分には、比較的大きな負荷がかかる。このため、積層された部材が剥離するおそれがある。図 3 に示した構成では、第 2 絶縁基板 2 0 とシール材 S B との間には、シールド電極 S E 、ブラックマトリクス、及び、オーバーコート層 O C が介在していたのに対して、図 7 に示した構成では、ブラックマトリクス及びオーバーコート層 O C が介在しており、部材間の界面を低減することが可能となる。したがって、シール材 S B によって貼り合わせている部分に大きな負荷がかかっても、積層部材の剥離を抑制することが可能となる。

20

【 0 1 0 4 】

シールド電極 S E は導電性を有しているため、シールド電極 S E が画素電極 P E と共通電極 C E との間に形成される電界に影響を与えないようにするためには、シールド電極 S E は、共通電極 C E あるいは液晶層 L Q から離れた位置に配置されることが望ましい。図 3 及び図 7 に示したように、共通電極 C E がオーバーコート層 O C のアレイ基板 A R と対向する側に形成される一方で、シールド電極 S E が第 2 絶縁基板 2 0 の内面 2 0 A に形成され、共通電極 C E とシールド電極 S E との間に誘電体層として少なくともカラーフィルタ C F 及びオーバーコート層 O C が介在する構成は、シールド電極 S E を共通電極 C E あるいは液晶層 L Q から離すといった観点からも有効である。

30

【 0 1 0 5 】

なお、シールド電極 S E を配置する位置については、上記の例に限定されるものではない。

【 0 1 0 6 】

図 8 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの他の断面構造を概略的に示す断面図である。

40

【 0 1 0 7 】

図 8 に示した構成では、図 3 に示した構成と比較して、ブラックマトリクス B M が第 2 絶縁基板 2 0 の内面 2 0 A に配置され開口部 A P を形成する点、及び、シールド電極 S E が第 2 絶縁基板 2 0 の内面 2 0 A における開口部 A P に配置されるとともにブラックマトリクス B M を覆っている点で相違している。その他については、図 3 に示した例と同様である。このような構成においても、図 3 に示した例と同様の効果が得られる。

【 0 1 0 8 】

図 9 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの他の断面構造を概略的に示す断面図である。

【 0 1 0 9 】

50

図 9 に示した構成では、図 3 に示した構成と比較して、ブラックマトリクス B M が第 2 絶縁基板 2 0 の内面 2 0 A に配置され開口部 A P を形成する点、カラーフィルタ C F が第 2 絶縁基板 2 0 の内面 2 0 A における開口部 A P に配置されるとともにブラックマトリクス B M に乗り上げている点、及び、シールド電極 S E がカラーフィルタ C F を覆っている点で相違している。その他については、図 3 に示した例と同様である。このような構成においても、図 3 に示した例と同様の効果が得られる。

【 0 1 1 0 】

本実施形態において、画素 P X の構造は、図 2 に示した例に限定されるものではない。

【 0 1 1 1 】

図 1 0 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

10

【 0 1 1 2 】

この構造例は、図 2 に示した構造例と比較して、補助容量線 C 1 が画素 P X の上側端部に配置され、補助容量線 C 2 が画素 P X の下側端部に配置され、ゲート配線 G 1 が画素 P X の略中央部に配置されている点で相違している。

【 0 1 1 3 】

すなわち、補助容量線 C 1 及び補助容量線 C 2 は、第 1 方向 X に沿って延出している。ゲート配線 G は、隣接する補助容量線 C 1 と補助容量線 C 2 との間に配置され、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 2 方向 Y に沿って延出している。なお、画素 P X において、ソース配線 S 1 が左側端部に配置されている点、ソース配線 S 2 が右側端部に配置されている点、スイッチング素子 S W がゲート配線 G 1 及びソース配線 S 1 に電氣的に接続され且つソース配線 S 1 及び補助容量線 C 1 と重なる領域に形成されている点については、図 2 に示した構造例と同様である。

20

【 0 1 1 4 】

画素電極 P E は、画素 P X の上側端部において補助容量線 C 1 と重なるコンタクト部 P C と、コンタクト部 P C から画素 P X の下側端部付近に亘って第 2 方向 Y に沿って延出した主画素電極 P A とを備えている。このような画素電極 P E は、コンタクト部 P C において、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。

【 0 1 1 5 】

共通電極 C E は、図 2 に示した構造例と同様に、X - Y 平面において、画素電極 P E を挟んで両側に配置されている。

30

【 0 1 1 6 】

このような構造例においても、図 2 に示した構造例と同様の効果が得られる。

【 0 1 1 7 】

図 1 1 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【 0 1 1 8 】

この構造例は、図 2 に示した構造例と比較して、共通電極 C E が一画素 P X を取り囲むように格子状に形成された点で相違している。

【 0 1 1 9 】

すなわち、共通電極 C E は、上記した主共通電極 C A の他に、第 1 方向 X に沿って延出した副共通電極 C B を含んでいる。これらの主共通電極 C A 及び副共通電極 C B は、一体的あるいは連続的に形成されている。

40

【 0 1 2 0 】

副共通電極 C B は、ゲート配線 G の各々と対向している。図示した例では、副共通電極 C B は第 1 方向 X に沿って 2 本平行に並んでおり、以下では、これらを区別するために、図中の上側の副共通電極を C B U と称し、図中の下側の副共通電極を C B B と称する。副共通電極 C B U は、画素 P X の上側端部に配置され、ゲート配線 G 1 と対向している。つまり、副共通電極 C B U は、当該画素 P X とその上側に隣接する画素との境界に跨って配置されている。また、副共通電極 C B B は、画素 P X の下側端部に配置され、ゲート配線

50

G 2 と対向している。つまり、副共通電極 C B B は、当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

【 0 1 2 1 】

このような構造例においても、図 2 に示した構造例と同様の効果が得られる。

【 0 1 2 2 】

図 1 2 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【 0 1 2 3 】

この構造例は、図 1 0 に示した構造例と比較して、共通電極 C E が一画素 P X を取り囲むように格子状に形成された点で相違している。

10

【 0 1 2 4 】

すなわち、共通電極 C E は、上記した主共通電極 C A の他に、第 1 方向 X に沿って延出した副共通電極 C B を含んでいる。これらの主共通電極 C A 及び副共通電極 C B は、一体的あるいは連続的に形成されている。副共通電極 C B は、補助容量線 C の各々と対向している。画素 P X の上側端部に配置された副共通電極 C B U は、補助容量線 C 1 と対向している。また、画素 P X の下側端部に配置された副共通電極 C B B は、補助容量線 C 2 と対向している。

【 0 1 2 5 】

このような構造例においても、図 2 に示した構造例と同様の効果が得られる。

【 0 1 2 6 】

20

なお、本実施形態においては、共通電極 C E は、対向基板 C T に備えられた主共通電極 C A に加えて、アレイ基板 A R に備えられ主共通電極 C A と対向する（あるいはソース配線 S と対向する）第 2 主共通電極を備えていても良い。この第 2 主共通電極は、主共通電極 C A と略平行に延出し、しかも、主共通電極 C A と同電位である。このような第 2 主共通電極を設けることにより、ソース配線 S からの不所望な電界をシールドすることが可能である。また、共通電極 C E は、対向基板 C T に備えられた主共通電極 C A に加えて、アレイ基板 A R に備えられゲート配線 G や補助容量線 C と対向する第 2 副共通電極を備えていても良い。この第 2 副共通電極は、主共通電極 C A と交差する方向に延出し、しかも、主共通電極 C A と同電位である。このような第 2 副共通電極を設けたことにより、ゲート配線 G や補助容量線 C からの不所望な電界をシールドすることが可能である。このような第 2 主共通電極や第 2 副共通電極を備えた構成によれば、更なる表示品位の劣化を抑制することが可能となる。

30

【 0 1 2 7 】

また、本実施形態においては、画素電極 P E は、主画素電極 P A と交差する方向に延出した副画素電極を備えていても良い。この副画素電極は、コンタクトホールを介してスイッチング素子 S W と電氣的に接続されるコンタクト部 P C の機能を有していても良い。副画素電極を画素 P X の略中央に設けた場合、画素電極 P E は、十字状となる。このような副画素電極を設けたことにより、一画素 P X においてより多くのドメインを形成することが可能となり、視野角を拡大することが可能となる。

【 0 1 2 8 】

40

また、本実施形態においては、画素電極 P E は、第 1 方向 X に間隔をおいて略平行に並んだ複数の主画素電極 P A を備えていても良い。この場合、隣接する主画素電極 P A の間には主共通電極 C E が配置され、主画素電極 P A と主共通電極 C A とを第 1 方向 X に沿って交互に配置する関係を維持する。

【 0 1 2 9 】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 1 3 0 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態

50

は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0131】

L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

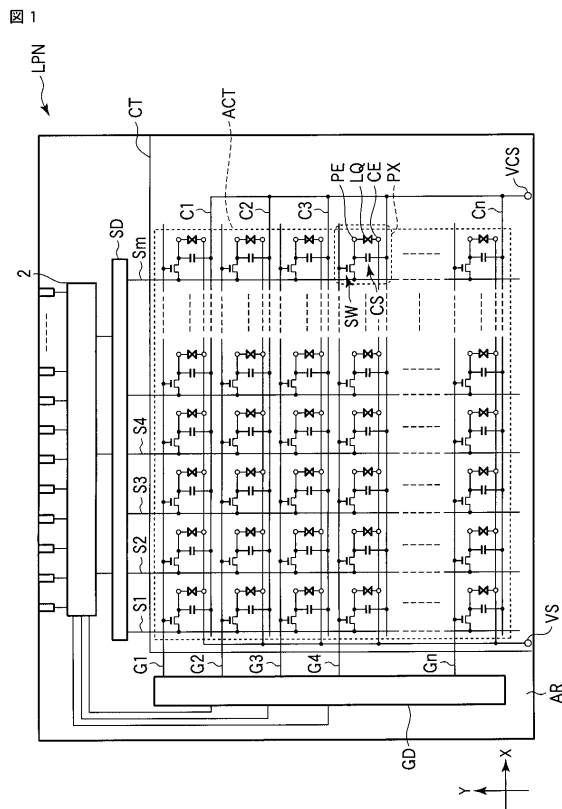
P E ... 画素電極 P A ... 主画素電極 P C ... コンタクト部

C E ... 共通電極 C A ... 主共通電極 C B ... 副共通電極

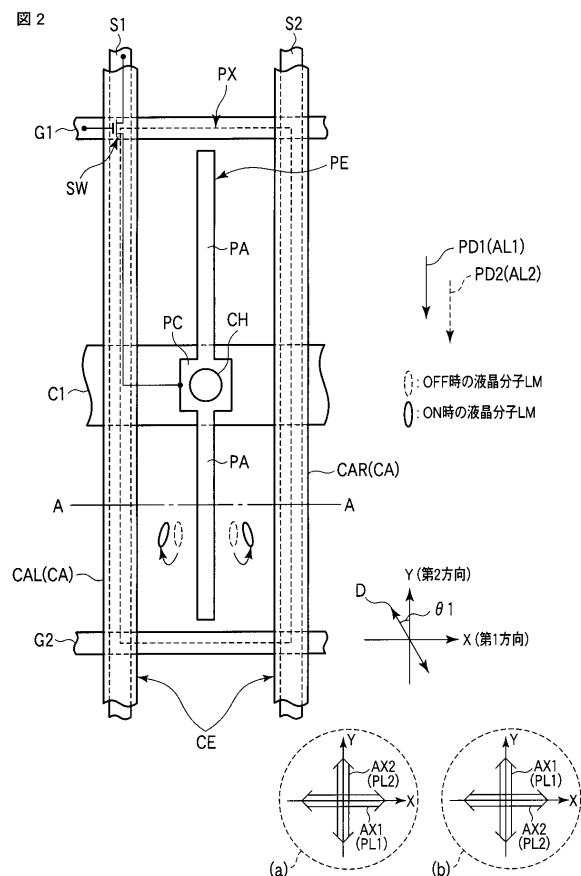
S E ... シールド電極

10

【図1】

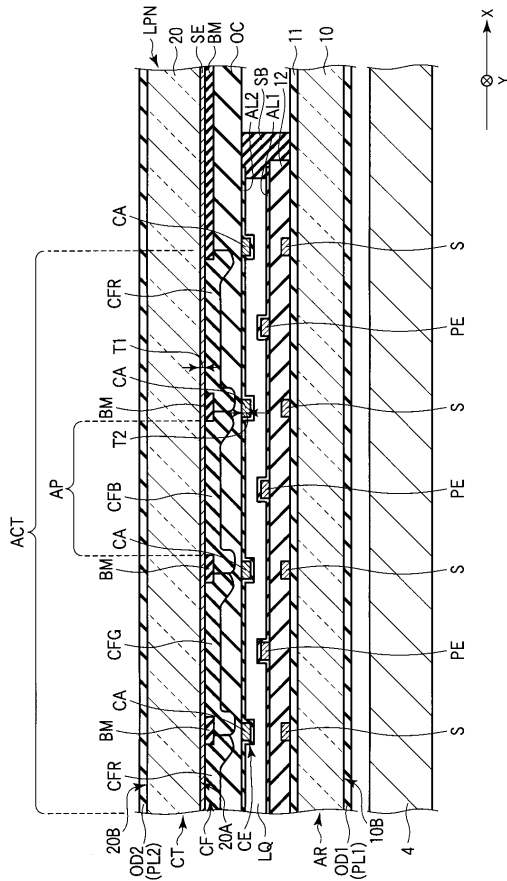


【図2】



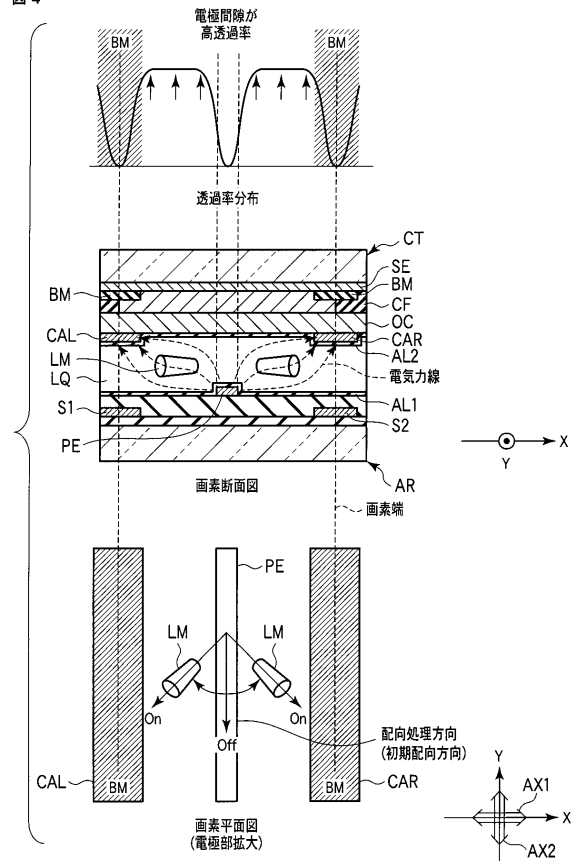
【 図 3 】

図 3



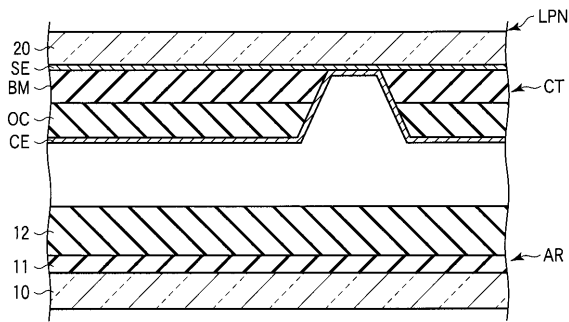
【 図 4 】

図 4



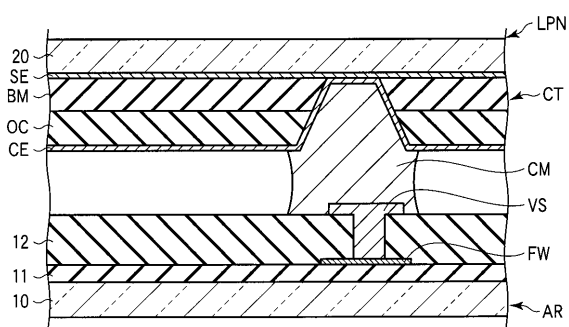
【 図 5 】

図 5



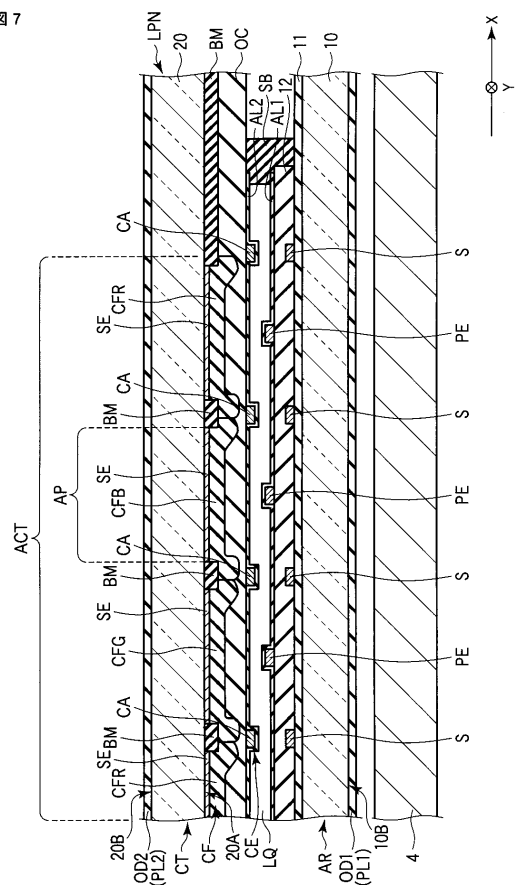
【 図 6 】

図 6



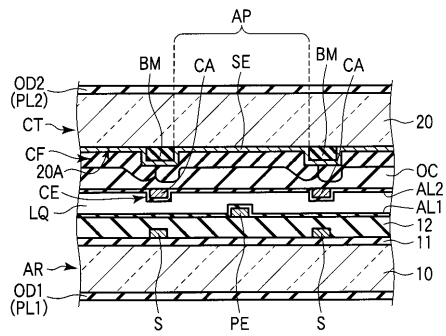
【 図 7 】

図 7



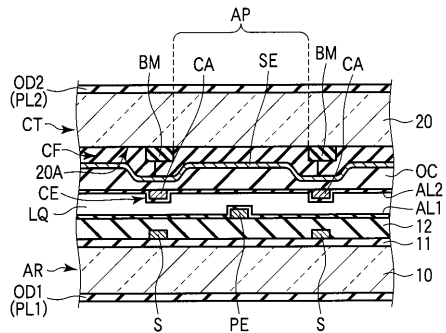
【図 8】

図 8



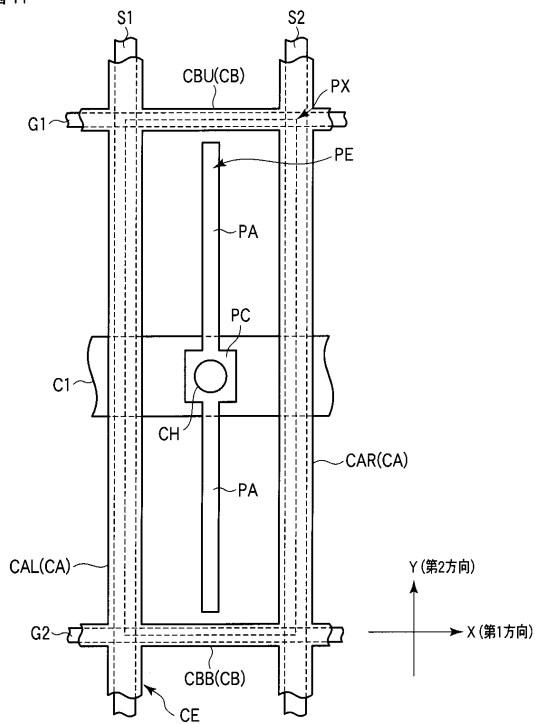
【図 9】

図 9



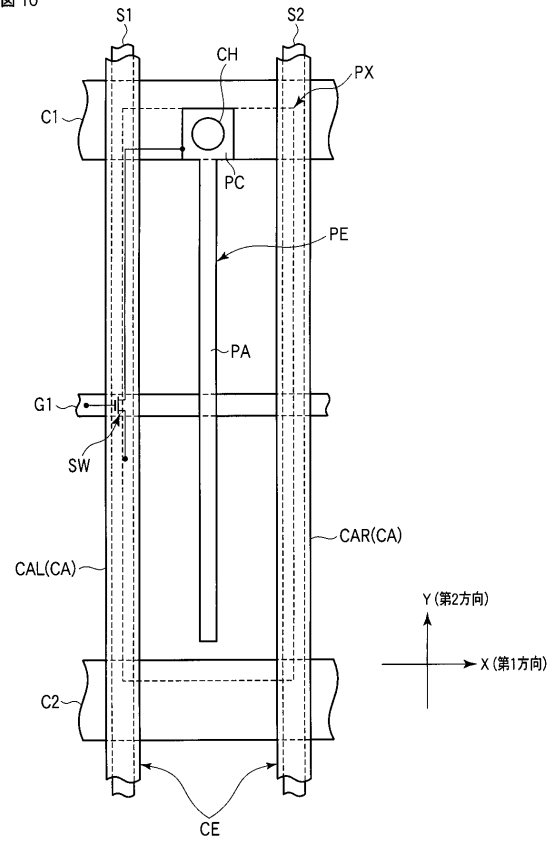
【図 11】

図 11



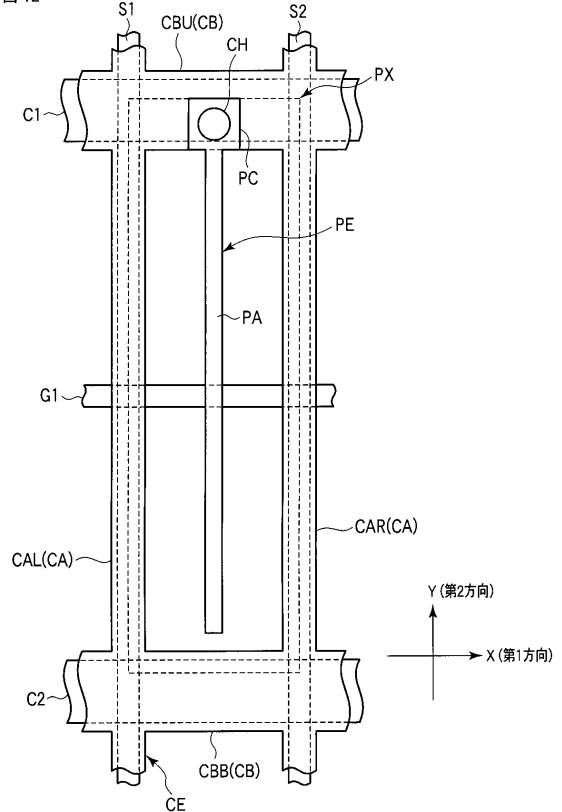
【図 10】

図 10



【図 12】

図 12



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 藤山 奈津子
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 武田 有広
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

F ターム(参考) 2H092 GA14 GA27 JA24 JB14 JB16 JB65 JB69 JB79 NA11 NA14
2H191 FA02Y FA14Y FA22X FA22Z FA82Z FA85Z FD09 FD22 FD26 GA05
HA15 LA08

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013015766A	公开(公告)日	2013-01-24
申请号	JP2011150149	申请日	2011-07-06
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	藤山奈津子 武田有広		
发明人	藤山 奈津子 武田 有広		
IPC分类号	G02F1/1343 G02F1/1335		
CPC分类号	G02F1/134309 G02F1/13439 G02F2001/134381 G02F2001/136218		
FI分类号	G02F1/1343 G02F1/1335.505 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA27 2H092/JA24 2H092/JB14 2H092/JB16 2H092/JB65 2H092/JB69 2H092/JB79 2H092/NA11 2H092/NA14 2H191/FA02Y 2H191/FA14Y 2H191/FA22X 2H191/FA22Z 2H191/FA82Z 2H191/FA85Z 2H191/FD09 2H191/FD22 2H191/FD26 2H191/GA05 2H191/HA15 2H191/LA08 2H192/AA24 2H192/BA32 2H192/BB32 2H192/BB52 2H192/BB73 2H192/BC31 2H192/CC05 2H192/CC26 2H192/DA12 2H192/EA22 2H192/EA43 2H192/EA56 2H192/EA72 2H192/FA11 2H192/FA73 2H192/GA02 2H192/GD12 2H192/GD42 2H192/HA47 2H192/JA33 2H291/FA02Y 2H291/FA14Y 2H291/FA22X 2H291/FA22Z 2H291/FA82Z 2H291/FA85Z 2H291/FD09 2H291/FD22 2H291/FD26 2H291/GA05 2H291/HA15 2H291/LA08		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5636342B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。第一基板，其具有线性延伸的像素电极，绝缘基板，设置在绝缘基板的面对第一基板的内表面上的屏蔽电极，以及夹在其间的像素电极。第二电极包括：公共电极，该公共电极在两侧上基本平行于像素电极延伸；以及介电层，其设置在屏蔽电极和公共电极，第一基板和第一基板之间。一种液晶显示装置，包括：液晶层，其被保持在两个基板之间。[选择图]图3

