

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2012-215742  
(P2012-215742A)

(43) 公開日 平成24年11月8日(2012.11.8)

|                                      |                |             |
|--------------------------------------|----------------|-------------|
| (51) Int.Cl.                         | F I            | テーマコード (参考) |
| G09G 3/36 (2006.01)                  | G09G 3/36      | 2H193       |
| G09G 3/20 (2006.01)                  | G09G 3/20 623Y | 5C006       |
| G02F 1/133 (2006.01)                 | G09G 3/20 623R | 5C080       |
|                                      | G09G 3/20 621B |             |
|                                      | G09G 3/20 621E |             |
| 審査請求 未請求 請求項の数 5 O L (全 23 頁) 最終頁に続く |                |             |

|           |                            |          |                                                                              |
|-----------|----------------------------|----------|------------------------------------------------------------------------------|
| (21) 出願番号 | 特願2011-81640 (P2011-81640) | (71) 出願人 | 000002369                                                                    |
| (22) 出願日  | 平成23年4月1日 (2011.4.1)       |          | セイコーエプソン株式会社                                                                 |
|           |                            |          | 東京都新宿区西新宿2丁目4番1号                                                             |
|           |                            | (74) 代理人 | 100095728                                                                    |
|           |                            |          | 弁理士 上柳 雅誉                                                                    |
|           |                            | (74) 代理人 | 100107261                                                                    |
|           |                            |          | 弁理士 須澤 修                                                                     |
|           |                            | (74) 代理人 | 100127661                                                                    |
|           |                            |          | 弁理士 宮坂 一彦                                                                    |
|           |                            | (72) 発明者 | 小林 淳也                                                                        |
|           |                            |          | 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内                                                |
|           |                            | Fターム(参考) | 2H193 ZA04 ZA05 ZC16 ZC24 ZD01<br>ZD02 ZD23 ZD34 ZE21 ZF21<br>ZF31 ZQ11 ZR04 |
|           |                            |          | 最終頁に続く                                                                       |

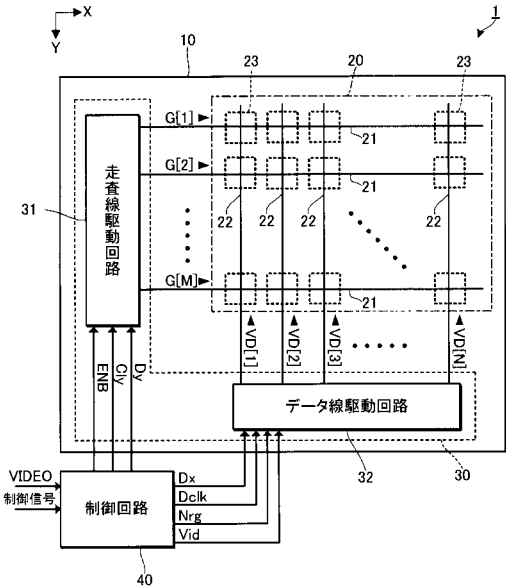
(54) 【発明の名称】 液晶表示装置及び電子機器

(57) 【要約】

【課題】領域走査駆動方式とリセット駆動方式とを一体とした駆動方式を実現する。

【解決手段】液晶装置1は、複数の走査線21と、複数のデータ線22と、前記複数のデータ線22と交差する複数の容量線24と、前記複数の走査線21と前記複数のデータ線22との交差に対応して設けられた複数の画素回路23と、走査線駆動回路31と、データ線駆動回路32とを備え、データ線駆動回路32は、第1リセット期間Tr1において第1リセット信号Vr1を出力し、第1画像信号書込期間Twd1において第1画像信号Vd1を出力し、第2リセット期間Tr2において第1リセット信号Vr1と同極性の第2リセット信号Vr2を出力し、第2画像信号書込期間Twd2において第1画像信号Vd1と逆極性の第2画像信号Vd2を出力する。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

複数の走査線と、  
複数のデータ線と、  
前記複数のデータ線と交差する複数の容量線と、  
前記複数の走査線と前記複数のデータ線との交差に対応して設けられた複数の画素回路と、

第 1 リセット期間、第 1 画像信号書込期間、第 2 リセット期間、及び第 2 画像信号書込期間を含む各水平期間において、前記第 1 リセット期間にアクティブとなる第 1 リセット選択信号、前記第 1 画像信号書込期間にアクティブとなる第 1 書込選択信号、前記第 2 リセット期間にアクティブとなる第 2 リセット選択信号、及び前記第 2 画像信号書込期間にアクティブとなる第 2 書込選択信号を各々生成して、水平期間毎に出力先の走査線を順次切り替えながら、互いに異なる 4 つの前記走査線に対して前記第 1 リセット選択信号、前記第 1 書込選択信号、前記第 2 リセット選択信号、及び前記第 2 書込選択信号を出力する走査線駆動回路と、

前記第 1 リセット期間において第 1 リセット信号を前記複数のデータ線に出力し、前記第 1 画像信号書込期間において第 1 画像信号を前記複数のデータ線に出力し、前記第 2 リセット期間において第 2 リセット信号を前記複数のデータ線に対して出力し、前記第 2 画像信号書込期間において第 2 画像信号を前記複数のデータ線に対して出力するデータ線駆動回路と、

を備え、

前記複数の画素回路の各々は、共通電位が印加される共通電極、画素電極、及び前記共通電極と画素電極との間に挟持された液晶を有する液晶素子と、前記画素電極と前記データ線との間に設けられたスイッチング素子と、前記画素電極と前記容量線との間に設けられた保持容量とを有し、

前記データ線駆動回路は、前記共通電位を基準として信号レベルが同極性となるように前記第 1 リセット信号及び前記第 2 リセット信号を生成し、前記共通電位を基準として信号レベルが逆極性となるように前記第 1 画像信号及び前記第 2 画像信号を生成する、

ことを特徴とする液晶表示装置。

**【請求項 2】**

前記データ線駆動回路は、前記第 1 リセット信号のレベルと前記第 2 リセット信号のレベルが同じになるように前記第 1 リセット信号及び前記第 2 リセット信号を生成する、

ことを特徴とする請求項 1 に記載の液晶表示装置。

**【請求項 3】**

前記第 1 リセット期間と前記第 1 画像信号書込期間との間には第 1 プリチャージ期間が設けられており、前記第 2 リセット期間と前記第 2 画像信号書込期間との間には第 2 プリチャージ期間が設けられており、

前記走査線駆動回路は、前記第 1 プリチャージ期間及び前記第 1 画像信号書込期間において前記第 1 書込選択信号をアクティブとし、前記第 2 プリチャージ期間及び前記第 2 画像信号書込期間において前記第 2 書込選択信号をアクティブとし、

前記データ線駆動回路は、前記第 1 プリチャージ期間において第 1 プリチャージ信号を前記複数のデータ線に出力し、前記第 2 プリチャージ期間において第 2 プリチャージ信号を前記複数のデータ線に出力する、

ことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

**【請求項 4】**

前記データ線駆動回路は、

前記共通電位を基準として前記第 1 リセット信号と前記第 1 画像信号とが逆極性の場合、前記第 1 プリチャージ信号のレベルを前記第 1 リセット信号のレベルから前記共通電位までの範囲に設定し、

前記共通電位を基準として前記第 2 リセット信号と前記第 2 画像信号とが逆極性の場合

、前記第2プリチャージ信号のレベルを前記第2リセット信号のレベルから前記共通電位までの範囲に設定する、

ことを特徴とする請求項3に記載の液晶表示装置。

【請求項5】

請求項1乃至4のうちいずれか1項に記載の液晶表示装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、領域走査駆動及びリセット駆動により、液晶装置の表示特性を向上する技術 10  
に関する。

【背景技術】

【0002】

従来、液晶装置においては、焼き付きや劣化を防止するため、各画素に対して正極性及び負極性の画像信号を交互に供給する反転駆動方式が一般的に採用されている。

反転駆動方式の一つとして、データ線に印加する電圧の極性を1フレーム周期で反転させるフレーム反転駆動方式が存在する。

【0003】

フレーム反転駆動方式では、ある1フレーム期間を対象とした場合、データ線からは、正極性または負極性のいずれか一方の画像信号が、画面の上部に位置する画素から画面の下部に位置する画素へと順次供給されるため、画面の上部に位置する画素は、1フレーム期間のうち多くの期間において、データ線から供給される画像信号と同極性の電位を有するのに対して、画面の下部に位置する画素は、1フレーム期間のうち多くの期間において、データ線から供給される画像信号とは逆極性の電位を保持する。 20

すなわち、各画素の画面中での位置により、画素とデータ線との間の電位差が大きく異なり、画素からデータ線に対して発生するリーク電流の方向及びリーク電流の強さが大きく異なることになるため、画面の場所により表示が不均一になるという問題が生じていた。

【0004】

そこで、このような画面の場所による表示の不均一性という問題を解消するために、1 フレーム期間において、同一画面内で一定距離だけ離れた2つの画素に対して、正極性の画像信号と負極性の画像信号とを交互に供給する、領域走査駆動方式が提案されている。 30

領域走査駆動方式では、表示領域内の正極性の電位を有する画素数と負極性の電位を有する画素数とが、任意のタイミングにおいてほぼ等しくなる。また、データ線に印加される電圧は、1水平走査期間の短い周期内で極性が反転されるため、各画素とデータ線との電位差が、一定値のままで長期間維持されることもない。

このような領域走査駆動方式によって、画素とデータ線との間の電位の関係が、画面の場所により大きく偏った状態が長期間持続されることを防ぐことが可能となるため、画面の場所による表示の不均一性が解消される。

【先行技術文献】 40

【特許文献】

【0005】

【特許文献1】特願2004-177930号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで液晶装置の小型化、高精細化が進み、画素ピッチについても狭くなると、互いに隣接する画素間で生じる横電界の影響により、液晶分子が不安定な状態になり、配向不良が生じることがある。

この配向不良の問題を解決するために、ある画素に画像信号を供給する前に、当該画素 50

の液晶に大きな電圧（リセット信号）を印加して、液晶分子を配向不良の状態から正常な状態へと復元するリセット駆動方式が存在する。そして、ある画素に対して正極性の画像信号が供給される前に、当該画素の液晶に正極性のリセット信号を印加し、ある画素に対して負極性の画像信号が供給される前に、当該画素の液晶に負極性のリセット信号を印加する、領域走査駆動方式とリセット駆動方式とを一体とした駆動方式により、焼き付きや表示の不均一を防止しつつ、配向不良についても防止可能となる。

【0007】

しかし、このような、領域走査駆動方式とリセット駆動方式とを一体とした駆動方式を採用した場合、各水平走査期間において、正極性及び負極性の画像信号と、正極性及び負極性のリセット信号とがデータ線に出力されるため、データ線の電位は大きく変化する。データ線の電位が大きく変化した場合、各画素が備える容量が接続する容量線と、データ線とは、寄生容量によりカップリングしているため、容量線の電位も変化する。そして、容量線の電位が変化する場合には、各画素が画像信号の指定する階調を正確に表示できなくなる。

10

【0008】

そこで、本発明では、領域走査駆動方式と、リセット駆動方式とを一体とした駆動方式を採用した場合に、データ線の急激な電位変化に伴う容量線の電位変化に起因する表示不具合の問題を低減させることを解決課題とする。

【課題を解決するための手段】

【0009】

20

上述した課題を解決するため、本発明に係る液晶表示装置は、複数の走査線と、複数のデータ線と、前記複数のデータ線と交差する複数の容量線と、前記複数の走査線と前記複数のデータ線との交差に対応して設けられた複数の画素回路と、第1リセット期間、第1画像信号書込期間、第2リセット期間、及び第2画像信号書込期間を含む各水平期間において、前記第1リセット期間にアクティブとなる第1リセット選択信号、前記第1画像信号書込期間にアクティブとなる第1書込選択信号、前記第2リセット期間にアクティブとなる第2リセット選択信号、及び前記第2画像信号書込期間にアクティブとなる第2書込選択信号を各々生成して、水平期間毎に出力先の走査線を順次切り替えながら、互いに異なる4つの前記走査線に対して前記第1リセット選択信号、前記第1書込選択信号、前記第2リセット選択信号、及び前記第2書込選択信号を出力する走査線駆動回路と、前記第1リセット期間において第1リセット信号を前記複数のデータ線に出力し、前記第1画像信号書込期間において第1画像信号を前記複数のデータ線に出力し、前記第2リセット期間において第2リセット信号を前記複数のデータ線に対して出力し、前記第2画像信号書込期間において第2画像信号を前記複数のデータ線に対して出力するデータ線駆動回路と、を備え、前記複数の画素回路の各々は、共通電位が印加される共通電極、画素電極、及び前記共通電極と画素電極との間に挟持された液晶を有する液晶素子と、前記画素電極と前記データ線との間に設けられたスイッチング素子と、前記画素電極と前記容量線との間に設けられた保持容量とを有し、前記データ線駆動回路は、前記共通電位を基準として信号レベルが同極性となるように前記第1リセット信号及び前記第2リセット信号を生成し、前記共通電位を基準として信号レベルが逆極性となるように前記第1画像信号及び前記第2画像信号を生成する、ことを特徴とする。

30

40

【0010】

この発明によれば、第1リセット信号及び第2リセット信号を、共通電位を基準として信号レベルが同極性となるように生成している。

リセット信号と画像信号とが逆極性となる場合、データ線に出力される信号が、リセット信号及び画像信号の一方から他方へと切り替わる際に、データ線に急峻且つ大きな電位変化が生じることがある。複数のデータ線の各々は、複数の容量線の各々と交差しており、データ線及び容量線は、寄生容量によりカップリングしている。従って、データ線に、急峻且つ大きな電位変化が生じる場合、容量線の電位も変化する。そして、容量線の電位が変化した場合、画素回路の備える保持容量は容量線と接続しているため、画素回路の保

50

持容量を介して、画素電極の電位も変化することになる。この結果、画素回路により表示される階調は、画像信号が指定する階調とは異なる階調となり、表示品質が劣化する。

これに対して、この発明では、第 1 リセット信号及び第 2 リセット信号は、第 1 画像信号または第 2 画像信号のうちいずれか一方と、同極性の信号となるため、データ線に生じる急峻且つ大きな電位変化の回数を低減させることが可能となる。この結果、データ線の電位変化に伴い発生する容量線の電位変化に起因する表示不具合が視認される可能性を低減することができる。

また、この発明によれば、各水平走査期間において、共通電位を基準として信号レベルが逆極性となるような第 1 画像信号及び第 2 画像信号がデータ線に印加して、例えば、画面の上部に正極性の画像信号を書き込み、画面の下部に負極性の画像信号を書き込む領域走査駆動方式を採用するため、表示の不均一性を抑制することが可能となる。さらに、画像信号の印加とは別にリセット信号を印加するリセット駆動方式を採用するので、液晶の配向不良による表示品質の劣化を防止することが可能となる。

#### 【 0 0 1 1 】

また、上述した液晶表示装置において、前記データ線駆動回路は、前記第 1 リセット信号のレベルと前記第 2 リセット信号のレベルが同じになるように前記第 1 リセット信号及び前記第 2 リセット信号を生成する、ことが好ましい。

この場合には、第 1 リセット信号と、第 2 リセット信号とを、同一の信号として生成することが可能となるため、液晶表示装置の構造を簡素化することができる。

#### 【 0 0 1 2 】

また、上述した液晶表示装置において、前記第 1 リセット期間と前記第 1 画像信号書込期間との間には第 1 プリチャージ期間が設けられており、前記第 2 リセット期間と前記第 2 画像信号書込期間との間には第 2 プリチャージ期間が設けられており、前記走査線駆動回路は、前記第 1 プリチャージ期間及び前記第 1 画像信号書込期間において前記第 1 書込選択信号をアクティブとし、前記第 2 プリチャージ期間及び前記第 2 画像信号書込期間において前記第 2 書込選択信号をアクティブとし、前記データ線駆動回路は、前記第 1 プリチャージ期間において第 1 プリチャージ信号を前記複数のデータ線に出力し、前記第 2 プリチャージ期間において第 2 プリチャージ信号を前記複数のデータ線に出力する、ことが好ましい。

この場合、複数のデータ線には、画像信号が出力される前に、プリチャージ信号が出力される。従って、リセット信号の信号レベルと、画像信号の信号レベルとが大きく異なる場合であっても、プリチャージ信号により、複数のデータ線に対する電荷の充電または放電を、画像信号の書き込みに先立って行うことができるため、画像信号の書き込みが容易になる。この結果、各画素回路により表示される階調が、画像信号に指定された階調となる。

#### 【 0 0 1 3 】

また、上述した液晶表示装置において、前記データ線駆動回路は、前記共通電位を基準として前記第 1 リセット信号と前記第 1 画像信号とが逆極性の場合、前記第 1 プリチャージ信号のレベルを前記第 1 リセット信号のレベルから前記共通電位までの範囲に設定し、前記共通電位を基準として前記第 2 リセット信号と前記第 2 画像信号とが逆極性の場合、前記第 2 プリチャージ信号のレベルを前記第 2 リセット信号のレベルから前記共通電位までの範囲に設定する、ことが好ましい。

この場合、プリチャージ信号の信号レベルが、リセット信号の信号レベルと、画像信号の信号レベルとの間であるため、データ線にリセット信号が出力されてから、画像信号が出力されるまでの、データ線の電位変化を緩やかにすることができ、データ線の電位変化に伴う容量線の電位変化を抑制し、容量線の電位変化に起因した表示の不具合を防止することが可能となる。

#### 【 0 0 1 4 】

次に、本発明に係る電子機器としては、例えば、携帯電話機、パーソナルコンピュータ、あるいは投写型表示装置などが該当する。

10

20

30

40

50

## 【図面の簡単な説明】

【 0 0 1 5 】

【図 1】本発明の実施形態に係る液晶表示装置を示すブロック図である。

【図 2】画素回路を示す回路図である。

【図 3】表示領域内の液晶素子が保持する信号の遷移を示す図である。

【図 4】走査線駆動回路の構成を示すブロック図である。

【図 5】Y入力パルスの波形を示すタイミングチャートである。

【図 6】Yシフトパルスの波形を示すタイミングチャートである。

【図 7】制御回路及び駆動回路の動作を示すタイミングチャートである。

【図 8】選択信号の波形を示すタイミングチャートである。

10

【図 9】データ信号及び容量線の電位変化を示すタイミングチャートである。

【図 10】データ信号及び容量線の電位変化を示すタイミングチャートである。

【図 11】電子機器（パーソナルコンピュータ）の斜視図である。

【図 12】電子機器（携帯電話機）の斜視図である。

【図 13】電子機器（プロジェクタ）の斜視図である。

## 【発明を実施するための形態】

【 0 0 1 6 】

&lt; A : 実施形態 &gt;

以下、添付の図面を参照しながら本発明に係る様々な実施の形態を説明する。図面においては、各部の寸法の比率は実際のものとは適宜に異ならせてある。

20

【 0 0 1 7 】

図 1 は、本発明の形態に係る液晶装置 1 のブロック図である。液晶装置 1 は、画像を表示する表示体として、電子機器に搭載することができる。図 1 に示すように、液晶装置 1 は、画像を表示する表示パネル 10 と、これを制御する制御回路 40 と、を備える。

表示パネル 10 は、複数の画素回路 23 を有する表示領域 20 と、複数の画素回路 23 を駆動する駆動回路 30 とを備える。

【 0 0 1 8 】

表示領域 20 は、X 方向に延在する M 本（M は 1 以上の自然数）の走査線 21 と、X 方向に交差する Y 方向に延在する N 本（N は 1 以上の自然数）のデータ線 22 と、X 方向に延在する M 本の容量線 24（図示略）と、各走査線 21 と各データ線 22 との交差に対応して縦 M 行 × 横 N 列の行列状に配置された複数の画素回路 23 とを備える。

30

駆動回路 30 は、M 本の走査線 21 と接続する走査線駆動回路 31 と、N 本のデータ線 22 と接続するデータ線駆動回路 32 とより構成される。駆動回路 30 は、例えば複数の集積回路に分散して実装される。ただし、駆動回路 30 の少なくとも一部は、画素回路 23 と共に基板上に形成された薄膜トランジスタで構成され得る。なお、本実施形態では、表示パネル 10 は駆動回路 30 を含んで構成されているが、駆動回路 30 の少なくとも一部を表示パネル 10 とは別に形成しても良い。

【 0 0 1 9 】

走査線駆動回路 31 は、複数の走査線 21 を行単位で順次に走査（選択）する手段であり、選択信号 G[1] ~ G[M] を生成して、M 本の各走査線 21 に対して出力する。

40

また、データ線駆動回路 32 は、制御回路 40 より供給されるデータ信号 Vid に基づいて、各画素回路 23 の階調を指定する画像信号 VD[1] ~ VD[N] を生成する。そして、データ線駆動回路 32 は、制御回路 40 より供給される X 入力パルス Dx、ドットクロック信号 Dclk、及び制御信号 Nrg に基づいて、画像信号 VD[1] ~ VD[N] を含むデータ信号 Vid をデータ線 22 に対して出力する。

【 0 0 2 0 】

制御回路 40 は、図示しない上位装置より供給される、表示領域 20 の有する画素の階調を指定する表示データ VIDEO に基づいて、アナログのデータ信号 Vid を生成し、これをデータ線駆動回路 32 に供給する。

また、制御回路 40 は、図示しない上位装置から供給される制御信号に基づいて、1 垂

50

直走査期間 F の半分に相当する周期でアクティブになるパルス信号である Y 転送開始パルス  $Dy_{in}$ 、及び 1 水平走査期間 H に相当する周期を有するクロック信号であるインバータ信号  $INV$ 、等の内部信号を生成する。そして、制御回路 40 は、これらの制御信号及び内部信号に基づき、表示パネル 10 を制御するための各種信号を生成する。具体的には、制御回路 40 は、1 垂直走査期間 F において 4 回アクティブになるパルス信号である Y 入力パルス  $Dy$ 、1 水平走査期間 H の 2 個分に相当する周期を有するクロック信号である Y クロック信号  $Cl_y$ 、及び 1 水平走査期間 H のうち所定の期間を指定する信号であるイネーブル信号  $ENB$  を生成して、走査線駆動回路 31 に供給すると共に、1 水平走査期間 H の半分に相当する周期でアクティブになるパルス信号である X 入力パルス  $Dx$ 、1 水平走査期間 H を細分化し、各画素に対してデータ信号  $Vid$  が供給される期間を指定するドットクロック信号  $Dclk$ 、及び 1 水平走査期間 H のうち所定の期間を指定する制御信号  $Nrg$  を生成して、データ線駆動回路 32 に供給する。

10

#### 【0021】

図 2 は、画素回路 23 の回路図である。ここでは、第  $i$  行 ( $i$  は、 $1 \leq i \leq M$  を満たす自然数) 第  $j$  列 ( $j$  は、 $1 \leq j \leq N$  を満たす自然数) に位置する画素回路 23 を代表的に図示している。画素回路 23 は、選択トランジスタ (スイッチング素子) 235 と、透明な画素電極 231 と透明な共通電極 233 との間に設けられた液晶 232 とを備える液晶素子 230 と、保持容量  $CO$  とを有する。

#### 【0022】

選択トランジスタ 235 のゲート電極は  $i$  行目の走査線 21 に接続され、ソース電極及びドレイン電極の一方は  $j$  列目のデータ線 22 に接続され、ソース電極及びドレイン電極の他方は画素電極 231 に接続されている。保持容量  $CO$  は、画素電極 231 と容量線 24 との間に設けられる。容量線 24 には一定の電位  $Vco$  が供給される。

20

#### 【0023】

走査線 21 に供給され選択信号  $G[i]$  がハイレベルになると、選択トランジスタ 235 はオンし、データ信号  $Vid$  がデータ線 22 より選択トランジスタ 235 を介して画素電極 231 に供給される。また、走査線 21 に供給される選択信号  $G[i]$  がローレベルになると、選択トランジスタ 235 はオフし、データ線 22 と画素電極 231 とは非導通の状態となるが、選択トランジスタ 235 はオフである間も、画素電極 231 に印加されたデータ信号  $Vid$  は、液晶素子 230 の容量及び保持容量  $CO$  により保持される。

30

#### 【0024】

図示は省略するが、表示パネル 10 は、一定の間隔を保って貼り合わされた素子基板と対向基板とを備える。液晶 232 は、素子基板と対向基板との間隙に封止されている。素子基板上には、走査線駆動回路 31、データ線駆動回路 32、走査線 21、データ線 22、選択トランジスタ 235、及び画素電極 231 が形成され、対向基板上には共通電極 233 が形成される。共通電極 233 は、複数の画素電極 231 に共通であり、そこには共通電位  $Vcom$  が印加される。

以下の説明では、共通電位  $Vcom$  を基準として、データ信号  $Vid$  の電位が共通電位  $Vcom$  以上となる場合を正極性、データ信号  $Vid$  の電位が共通電位  $Vcom$  を下回る場合を負極性と称する。

40

#### 【0025】

ところで、液晶に対して、同一の極性の電圧を長時間印加し続けた場合、液晶の容量性による帯電が生じ、帯電の影響により残像が表示される、いわゆる焼き付きの問題が存在する。このような問題に対応するために、一定周期で画素回路に対して印加する電圧の極性を反転させることで、液晶に帯電した電荷を除去し焼き付きを防止する、反転駆動方式が一般的に採用されている。

#### 【0026】

反転駆動方式としては、極性の反転を 1 垂直走査期間 F 毎に行うフレーム反転駆動方式が存在するが、その場合、各画素とデータ線との電位差が、1 画面の上部に位置する画素と下部に位置する画素との間で偏りが生じるため、画面の上部と下部との間で表示が不均

50

一になるという問題が生じていた。

そこで、1垂直走査期間Fの各々において正極性または負極性のいずれか一方の極性を有する画像信号を書き込むのではなく、一定の間隔を隔てた2つの画素に対して、それぞれ交互に正極性と負極性の画像信号の書き込みを行う領域走査駆動方式により、このような表示不均一の問題に対応している。

#### 【0027】

一方、近年の液晶装置の小型化、高精度化に伴い、画素間の間隔が狭まっている。そのため、画素電極間の電位差により、本来、基板面に対して縦方向の電界により駆動されるべき液晶に対して、横方向の電界が加わるため、液晶分子の配向が乱れるという配向不良の問題が生じる。

10

この配向不良の問題は、隣接する画素間の電位差が大きい場合に生じやすい。例えば、隣接する2つの画素間において、一方の画素に白表示相当の電圧 $V_{wt}$ （ノーマリーブラックモードの場合）、または、黒表示相当の電圧 $V_{bk}$ （ノーマリーホワイトモードの場合）等の共通電位 $V_{com}$ と大きな電位差を有する電圧を印加し、他方の画素に光学的閾値電圧 $V_{th}$ 以下の小さな電圧が印加されている場合には、画素間の電位差が大きくなり、横電界の影響による配向不良が生じやすくなる。

本実施形態では、このような配向不良の問題に対応するため、液晶に対して、横電界の影響を受けた液晶をその影響下から脱するのに十分な大きさの電圧を有するリセット信号 $V_r$ を印加して、液晶を正常な状態に戻したうえで、画像信号を印加する。この駆動方式をリセット駆動と称する。

20

#### 【0028】

なお、本実施形態は、液晶232はVA（Vertical Alignment）方式であり、液晶素子230に対して電圧が印加されない状態において画素が黒表示（画素の相対透過率が0%）となるノーマリーブラックモードを想定する。

また、リセット信号 $V_r$ のレベルは、光学的飽和電圧 $V_{sat}$ 以上のとなるように設定すればよい。具体的には、本実施形態では、リセット信号 $V_r$ のレベルは、白表示相当の電圧 $V_{wt}$ に設定している。

ここで、相対透過率とは、ノーマリーブラックモードの場合、表示パネル10において液晶素子230に電圧を印加しない場合の透過率を0%とし、液晶素子230に最大電圧を印加した場合の透過率を100%として、液晶素子230の透過率をスケールリングしたものである。そして、（社）電子情報技術産業協会が制定した「液晶表示パネル及びその構成材料の測定方法」に関する規格J E I T A E D - 2 5 2 1 Bによれば、相対透過率が10%となる印加電圧が光学的閾値電圧 $V_{th}$ であり、相対透過率が90%となる印加電圧が光学的飽和電圧 $V_{sat}$ である。

30

#### 【0029】

本実施形態では、以上に述べたような、領域走査駆動方式とリセット駆動方式とを一体とした駆動方式を採用することにより、焼き付きの問題、表示不均一の問題、及び配向不良の問題を解決する。

以下では、図3を参照しつつ、本駆動方式の動作の概要について説明する。

#### 【0030】

40

本実施形態では、一定の間隔の行数を隔てた2つの画素に対して、交互にリセット信号 $V_r$ を供給し、その一定期間後に、これら2つの画素に対して、交互に正極性と負極性の画像信号 $V_D$ を供給する。より具体的には、各水平走査期間Hにおいて、選択信号 $G[i]$ が4行の走査線21を選択し、これら4行の走査線21に接続する複数の画素回路23に対して、それぞれ、正極性の画像信号 $V_D$ （第1画像信号 $V_{d1}$ ）、正極性の画像信号 $V_D$ が供給される前に供給されるリセット信号 $V_r$ （第1リセット信号 $V_{r1}$ ）、負極性の画像信号 $V_D$ （第2画像信号 $V_{d2}$ ）、及び負極性の画像信号 $V_D$ が供給される前に供給されるリセット信号 $V_r$ （第2リセット信号 $V_{r2}$ ）を供給する。

なお、本実施形態では、第1リセット信号 $V_{r1}$ 及び第2リセット信号 $V_{r2}$ は、共に負極性である。

50

## 【 0 0 3 1 】

図 3 ( A ) は、選択信号  $G[i]$  が選択する走査線 2 1 の行数と、選択する時間との関係を表す図である。図 3 ( A ) の縦軸は走査線 2 1 の行数 ( 1 から  $M$  までの自然数 ) を表し、横軸は時間を表す。

直線  $LR1$  は、第 1 リセット信号  $Vr1$  が供給される複数の画素回路 2 3 が接続する走査線 2 1 の行と、供給される時間との関係を示す。同様に、直線  $LV1$  は第 1 画像信号  $Vd1$  が供給される走査線 2 1 について、直線  $LR2$  は第 2 リセット信号  $Vr2$  が供給される走査線 2 1 について、直線  $LV2$  は第 2 画像信号  $Vd2$  が供給される走査線 2 1 について、それぞれの供給される行数と供給される時間との関係を示す。

また、直線  $LR1$  上のある点で示が示す行の走査線 2 1 に対して、当該点が示す時間に第 1 リセット信号  $Vr1$  が供給された場合、その後、当該走査線 2 1 に接続する複数の画素回路 2 3 は、複数の画素回路 2 3 の各々が有する保持容量  $CO$  により、第 1 リセット信号  $Vr1$  を保持する。領域  $AreaR1$  は、このような、当該領域の左側で接する直線  $LR1$  において供給された第 1 リセット信号  $Vr1$  を保持する画素回路 2 3 の行数と、保持している時間との関係を表している。同様に、領域  $AreaV1$ 、領域  $AreaR2$ 、及び領域  $AreaV2$  の各領域は、それぞれの領域の左側に接する、直線  $LV1$ 、直線  $LR2$ 、及び直線  $LV2$  において供給された第 1 画像信号  $Vd1$ 、第 2 リセット信号  $Vr2$ 、及び第 2 画像信号  $Vd2$  を保持している画素回路 2 3 の行数と、保持している時間との関係を表している。

## 【 0 0 3 2 】

例えば、第 1 行目の走査線 2 1 に接続する複数の画素回路 2 3 は、直線  $LR1$  と交差する時刻  $T = t_0$  において第 1 リセット信号  $Vr1$  が供給され、供給された第 1 リセット信号  $Vr1$  は、領域  $AreaR1$  の範囲である  $t_0 \sim T \sim t_1$  の期間、保持される。その後、第 1 行目の走査線 2 1 に接続する複数の画素回路 2 3 は、直線  $LV1$  と交差する時刻  $T = t_1$  に供給される第 1 画像信号  $Vd1$  を、領域  $AreaV1$  の範囲である  $t_1 \sim T \sim t_2$  の期間保持し、直線  $LR2$  と交差する時刻  $T = t_2$  に供給される第 2 リセット信号  $Vr2$  を、領域  $AreaR2$  の範囲である  $t_2 \sim T \sim t_3$  の期間保持し、直線  $LV2$  と交差する時刻  $T = t_3$  に供給される第 2 画像信号  $Vd2$  を、領域  $AreaV2$  の範囲である  $t_3 \sim T \sim t_4$  の期間保持する。

## 【 0 0 3 3 】

このような、第 1 リセット信号  $Vr1$ 、第 1 画像信号  $Vd1$ 、第 2 リセット信号  $Vr2$ 、及び第 2 画像信号  $Vd2$  の各信号は、1 水平走査期間  $H$  に、1 行ずつ順次シフトして供給される。

また、本実施形態では、第 1 リセット信号  $Vr1$  が供給される行及び第 1 画像信号  $Vd1$  が供給される行の間隔と、第 2 リセット信号  $Vr2$  が供給される行及び第 2 画像信号  $Vd2$  が供給される行の間隔とは、共に  $\Delta RV$  であり ( $\Delta RV$  は 1 以上の自然数)、第 1 リセット信号  $Vr1$  が供給される行及び第 2 リセット信号  $Vr2$  が供給される行の間隔と、第 2 リセット信号  $Vr2$  が供給される行及び第 1 リセット信号  $Vr1$  が供給される行の間隔とは、共に  $\Delta RR$  である ( $\Delta RR$  は 1 以上の自然数)。

## 【 0 0 3 4 】

前述の通り、第 1 リセット信号  $Vr1$  及び第 2 リセット信号  $Vr2$  は、液晶素子 2 3 0 に対して白表示相当の電圧  $Vwt$  を印加するものである。

液晶素子 2 3 0 に対して白表示相当の電圧  $Vwt$  を長時間印加する場合、本来表示すべき階調とは異なる階調 (例えば、ノーマリーブラックモードの場合、白表示) として観察者に知覚される。そこで、間隔  $\Delta RV$  は十分に小さく設定 (例えば、 $\Delta RV = 6$  と設定) して、液晶素子 2 3 0 にリセット信号  $Vr$  を印加する時間を、液晶素子 2 3 0 の相対透過率が 0 % から 90 % に変化する時間に比べて十分に短く設定する。これにより、液晶素子 2 3 0 の透過率をほとんど変化させることなく、液晶 2 3 2 を配向不良の状態から脱する契機を与えることができる。

このように、本実施形態では、画素回路 2 3 に対して画像信号を供給する前に、当該画

素回路 23 の液晶 232 に十分に短い時間だけリセット信号を印加することで、観察者に知覚されることなく液晶 232 の配向不良を解消することが可能となる。

【0035】

図 3 (B) (C) (D) は、図 3 (A) の時刻  $T = T_1$ 、時刻  $T = T_2$ 、及び時刻  $T = T_3$  のそれぞれの瞬間における、表示領域 20 の画素回路 23 が保持する電圧を示した図である。図 3 (B) に示すように、時刻  $T = T_1$  では、画面下方から上方に向けて順に、画素回路 23 が第 1 リセット信号  $V_{r1}$  を保持する領域  $Area R_1$ 、画素回路 23 が第 1 画像信号  $V_{d1}$  を保持する領域  $Area V_1$ 、画素回路 23 が第 2 リセット信号  $V_{r2}$  を保持する領域  $Area R_2$ 、画素回路 23 が第 2 画像信号  $V_{d2}$  を保持する領域  $Area V_2$  が順番に並ぶ。時刻  $T = T_1$  以降、これらの各領域は、その幅を保ったまま、1 水平走査期間  $H$  毎に 1 行ずつ下方に遷移し、やがて、領域  $Area R_1$  が画面下部に消滅する。そして、時刻  $T = T_2$  では、図 3 (C) に示すように、画面下部より、領域  $Area V_1$ 、領域  $Area R_2$ 、領域  $Area V_2$  が順番に並ぶ。さらに、時刻  $T = T_3$  では、図 3 (D) に示すように、画面下部より、領域  $Area V_1$ 、領域  $Area R_2$ 、領域  $Area V_2$  が順番に並ぶと共に、画面上部より、新たに、領域  $Area R_1$ 、領域  $Area V_1$  が出現する。

【0036】

前述のとおり、間隔  $\Delta RV$  は十分に小さいため、領域  $Area R_1$  及び領域  $Area R_2$  は、領域  $Area V_1$  及び領域  $Area V_2$  に比べて十分に小さい。従って、表示領域 20 において、正極性の電位を有する領域（領域  $Area V_1$ ）と、負極性の電位を有する領域（領域  $Area R_1$ 、領域  $Area R_2$ 、及び領域  $Area V_2$ ）とは、ほぼ等しい面積を占めることになり、表示の不均一性の問題が解消される。

【0037】

前述の通り、1 垂直走査期間  $F$  は、 $Y$  転送開始パルス  $Dy_{in}$  の 2 周期分に相当する期間であり、図 3 (A) において、第 1 リセット信号  $V_{r1}$  が 1 行目に供給されるタイミング（時刻  $T = t_0$ ）から、再び 1 行目に供給されるタイミング（時刻  $T = t_4$ ）までの期間である。また、垂直有効期間  $F_a$  は、各信号が 1 行目から  $M$  行目まで供給されるのに要する期間であり、水平走査期間  $H$  の  $M$  個分の期間に相当する。垂直帰線期間  $F_b$  は、垂直走査期間  $F$  より垂直有効期間  $F_a$  を除いた時間である。

【0038】

図 4 は、走査線駆動回路 31 の構成を示す図である。走査線駆動回路 31 は、 $Y$  シフトレジスタ 311 と、選択信号生成部 312 とを備える。

$Y$  シフトレジスタ 311 は、 $Y$  入力パルス  $Dy$  が供給されると、これを  $Y$  クロック信号  $Cl_y$  に従って順次転送することによって、 $Y$  シフトパルス  $Y[1] \sim Y[M]$  を生成する。 $Y$  シフトパルス  $Y[1] \sim Y[M]$  は、1 水平走査期間  $H$  に相当するパルス幅を有するパルス信号であり、 $Y$  シフトパルス  $Y[1] \sim Y[M]$  の各々は、互いに 1 水平走査期間  $H$  ずつ遅れて順次出力される。

【0039】

図 5 に示すように、 $Y$  入力パルス  $Dy$  は、1 垂直走査期間  $F$  において 4 回アクティブになるパルス信号である。具体的には、 $Y$  入力パルス  $Dy$  は、各垂直走査期間  $F$  の開始されるタイミングでアクティブになる第 1 リセット入力パルス  $Dr_1$ 、第 1 リセット入力パルス  $Dr_1$  よりも期間  $dRV$  の後にアクティブになる第 1 書込入力パルス  $Dv_1$ 、第 1 リセット入力パルス  $Dr_1$  よりも期間  $dRR$  の後にアクティブになる第 2 リセット入力パルス  $Dr_2$ 、及び第 2 リセット入力パルス  $Dr_2$  よりも期間  $dRV$  の後にアクティブになる第 2 書込入力パルス  $Dv_2$  を有する。

なお、期間  $dRV$  は、1 水平走査期間  $H$  の  $\Delta RV$  倍に相当する期間であり、期間  $dRR$  は、1 水平走査期間  $H$  の  $\Delta RR$  倍に相当する期間である。期間  $dRV$  は、1 垂直走査期間  $F$  の半分に相当する期間よりも短い。また、本実施形態では、期間  $dRR$  は、1 垂直走査期間  $F$  の半分の期間に相当する。

【0040】

10

20

30

40

50

Yシフトレジスタ311は、これら4種類のY入力パルスD<sub>y</sub>の各々に対して、Y入力パルスD<sub>y</sub>を順次シフトしたYシフトパルスY[1]~Y[M]を生成する。

具体的には、図6に示すように、Yシフトレジスタ311は、第1リセット入力パルスD<sub>r</sub>1を順次シフトさせて第1リセットシフトパルスY<sub>r</sub>1を生成し、第1書込入力パルスD<sub>v</sub>1を順次シフトさせて第1書込シフトパルスY<sub>v</sub>1を生成し、第2リセット入力パルスD<sub>r</sub>2を順次シフトさせて第2リセットシフトパルスY<sub>r</sub>2を生成し、及び第2書込入力パルスD<sub>v</sub>2を順次シフトさせて第2書込シフトパルスY<sub>v</sub>2を生成する。

第1リセットシフトパルスY<sub>r</sub>1、第1書込シフトパルスY<sub>v</sub>1、第2リセットシフトパルスY<sub>r</sub>2、及び第2書込シフトパルスY<sub>v</sub>2の出力が開始される間隔は、4つのY入力パルスD<sub>y</sub>の間隔と等しい。すなわち、ある走査線21に対して、第1書込シフトパルスY<sub>v</sub>1は第1リセットシフトパルスY<sub>r</sub>1よりも期間d<sub>RV</sub>の後に出力され、第2リセットシフトパルスY<sub>r</sub>2は第1リセットシフトパルスY<sub>r</sub>1よりも期間d<sub>RR</sub>の後に出力され、第2書込シフトパルスY<sub>v</sub>2は第2リセットシフトパルスY<sub>r</sub>2よりも期間d<sub>RV</sub>の後に出力され、第1リセットシフトパルスY<sub>r</sub>1は第2リセットシフトパルスY<sub>r</sub>2よりも期間d<sub>RR</sub>の後に出力される。

#### 【0041】

選択信号生成部312は、4種類のYシフトパルスY[1]~Y[M]と、イネーブル信号ENBとに基づいて、4種類の選択信号G[1]~G[M]、すなわち、第1リセット選択信号G<sub>r</sub>1、第1書込選択信号G<sub>v</sub>1、第2リセット選択信号G<sub>r</sub>2、及び第2書込選択信号G<sub>v</sub>2を生成する。図7を参照しつつ、イネーブル信号ENB及び4種類の選択信号G[1]~G[M]の詳細について説明する。

#### 【0042】

図7は、駆動回路30及び制御回路40の動作を規定するタイミングチャートである。

図7に示すように、1水平走査期間Hは、等しい長さの第1期間H1と第2期間H2とから成り立つ。第1期間H1は、インバータ信号INVがハイレベルである期間であり、各水平走査期間Hの開始と同時に開始され、1水平走査期間Hの半分に相当する期間である。第2期間H2は、インバータ信号INVがローレベルである期間であり、各水平走査期間HにおいてX入力パルスD<sub>x</sub>が2回目にアクティブになるタイミングで開始される、1水平走査期間Hの半分に相当する期間である。

また、第1期間H1は、第1リセット期間T<sub>r</sub>1と、第1書込期間T<sub>w</sub>1とより成り立ち、第2期間H2は、第2リセット期間T<sub>r</sub>2と、第2書込期間T<sub>w</sub>2とより成り立つ。

#### 【0043】

イネーブル信号ENBは、各水平走査期間Hにおいて、第1リセット期間T<sub>r</sub>1を指定する信号R1、第1書込期間T<sub>w</sub>1を指定する信号V1、第2リセット期間T<sub>r</sub>2を指定する信号R2、及び第2書込期間T<sub>w</sub>2を指定する信号V2を含む信号である。

なお、イネーブル信号ENBは、前述の通り、制御回路40で生成される。具体的には、制御回路40は、各水平走査期間Hの開始時を起点として、第1リセット期間T<sub>r</sub>1、第1書込期間T<sub>w</sub>1、第2リセット期間T<sub>r</sub>2、及び第2書込期間T<sub>w</sub>2の各々の開始時間及び終了時間を示す各種カウント値と、ドットクロック信号D<sub>clk</sub>に基づいてカウントアップするカウンタとを備える。そして、制御回路40は、各種カウント値とカウンタとに基づいて、イネーブル信号ENBを生成する。

#### 【0044】

選択信号生成部312は、第1リセットシフトパルスY<sub>r</sub>1及び信号R1の論理積を演算して、第1リセット期間T<sub>r</sub>1においてアクティブとなる第1リセット選択信号G<sub>r</sub>1を生成し、第1書込シフトパルスY<sub>v</sub>1及び信号V1の論理積を演算して、第1書込期間T<sub>w</sub>1においてアクティブとなる第1書込選択信号G<sub>v</sub>1を生成し、第2リセットシフトパルスY<sub>r</sub>2及び信号R2の論理積を演算して、第2リセット期間T<sub>r</sub>2においてアクティブとなる第2リセット選択信号G<sub>r</sub>2を生成し、第2書込シフトパルスY<sub>v</sub>2及び信号V2の論理積を演算して、第2書込期間T<sub>w</sub>2においてアクティブとなる第2書込選択信号G<sub>v</sub>2を生成する。

10

20

30

40

50

## 【 0 0 4 5 】

図 8 に示すように、第 1 リセット選択信号  $G r 1$ 、第 1 書込選択信号  $G v 1$ 、第 2 リセット選択信号  $G r 2$ 、及び第 2 書込選択信号  $G v 2$  の各々は、第 1 行～第  $M$  行の走査線 2 1 に対して、1 水平走査期間  $H$  毎に順次出力される。

4 種類の選択信号  $G [ 1 ] \sim G [ M ]$  が出力される走査線 2 1 及びその間隔は、4 種類の  $Y$  シフトパルス  $Y [ 1 ] \sim Y [ M ]$  に基づいて定められる。そのため、第 1 リセット選択信号  $G r 1$  が出力される走査線 2 1、及び第 1 書込選択信号  $G v 1$  が出力される走査線 2 1 の間隔と、第 2 リセット選択信号  $G r 2$  が出力される走査線 2 1、及び第 2 書込選択信号  $G v 2$  が出力される走査線 2 1 の間隔とは、共に間隔  $\Delta R V$  行であり、第 1 リセット選択信号  $G r 1$  が出力される走査線 2 1、及び第 2 リセット選択信号  $G r 2$  が出力される走査線 2 1 の間隔と、第 2 リセット選択信号  $G r 2$  が出力される走査線 2 1、及び第 1 リセット選択信号  $G r 1$  が出力される走査線 2 1 の間隔とは、共に間隔  $\Delta R R$  行である。

10

## 【 0 0 4 6 】

図 7 に示すように、第 1 書込期間  $T w 1$  は、制御信号  $N r g$  がハイレベルとなる第 1 プリチャージ期間  $T w p 1$  と、制御信号  $N r g$  がローレベルとなる第 1 画像信号書込期間  $T w d 1$  とを含む。また、第 2 書込期間  $T w 2$  は、制御信号  $N r g$  がハイレベルとなる第 2 プリチャージ期間  $T w p 2$  と、制御信号  $N r g$  がローレベルとなる第 2 画像信号書込期間  $T w d 2$  とを含む。

なお、第 1 期間  $H 1$  において、第 1 リセット期間  $T r 1$  及び第 1 プリチャージ期間  $T w p 1$  が水平帰線期間  $H b$  に該当し、第 1 画像信号書込期間  $T w d 1$  は水平有効期間  $H a$  に該当する。また、第 2 期間  $H 2$  において、第 2 リセット期間  $T r 2$  及び第 2 プリチャージ期間  $T w p 2$  が水平帰線期間  $H b$  に該当し、第 2 画像信号書込期間  $T w d 2$  は水平有効期間  $H a$  に該当する。

20

## 【 0 0 4 7 】

第 1 プリチャージ期間  $T w p 1$  及び第 2 プリチャージ期間  $T w p 2$  は、画素回路 2 3 に対して画像信号  $V D$  を供給するのに先立って、プリチャージ信号  $V p$  を供給するための期間である。以下では、図 7 に示すように、第 1 プリチャージ期間  $T w p 1$  において供給されるプリチャージ信号  $V p$  を第 1 プリチャージ信号  $V p 1$  と称し、第 2 プリチャージ期間  $T w p 2$  において供給されるプリチャージ信号  $V p$  を第 2 プリチャージ信号  $V p 2$  と称する。

30

なお、本実施形態では、第 1 プリチャージ信号  $V p 1$  のレベルは、共通電位  $V c o m$  に設定される。また、第 2 プリチャージ信号  $V p 2$  のレベルは、負極性の白表示相当の電圧  $V w t (-)$  から、共通電極  $V c o m$  及び負極性の白表示相当の電圧  $V w t (-)$  の中間の電位  $\{ (V c o m + V w t (-)) / 2 \}$  までの範囲となるように設定される。

## 【 0 0 4 8 】

制御信号  $N r g$  は、1 水平走査期間  $H$  の半分の期間に相当する周期を有する信号であり、第 1 期間  $H 1$  の開始時から、第 1 リセット期間  $T r 1$  及び第 1 プリチャージ期間  $T w p 1$  の合計に相当する期間と、第 2 期間  $H 2$  の開始時から、第 2 リセット期間  $T r 2$  及び第 2 プリチャージ期間  $T w p 2$  の合計に相当する期間とにおいてハイレベルになる。

前述の通り、制御信号  $N r g$  は、制御回路 4 0 で生成され、データ線駆動回路 3 2 に対して出力される信号である。具体的には、制御回路 4 0 は、第 1 期間  $H 1$  及び第 2 期間  $H 2$  の開始時を起点として、制御信号  $N r g$  がハイレベルに立ち上がる時間及びローレベルに立ち下がる時間を示す各種カウント値を有し、ドットクロック信号  $D c l k$  に基づいてカウントアップするカウンタと、各種カウント値とに基づいて、制御信号  $N r g$  を生成する。

40

## 【 0 0 4 9 】

データ信号  $V i d$  は、水平有効期間  $H a$  に画像信号  $V D$  を、水平帰線期間  $H b$  にリセット信号  $V r$  及びプリチャージ信号  $V p$  を時分割多重した信号である。

制御信号  $N r g$  がハイレベルとなる期間において、データ線駆動回路 3 2 は、 $N$  本のデータ線 2 2 に対して、データ信号  $V i d$  を同時に出力する。具体的には、データ線駆動回

50

路 3 2 は、第 1 リセット期間  $T_{r1}$  において、第 1 リセット選択信号  $G_{r1}$  により選択された走査線 2 1 に接続する  $N$  個の画素回路 2 3 に対して、第 1 リセット信号  $V_{r1}$  を供給し、第 1 プリチャージ期間  $T_{wp1}$  において、第 1 書込選択信号  $G_{v1}$  により選択された走査線 2 1 に接続する  $N$  個の画素回路 2 3 に対して、第 1 プリチャージ信号  $V_{p1}$  を供給する。同様に、データ線駆動回路 3 2 は、第 2 リセット期間  $T_{r2}$  において、第 2 リセット選択信号  $G_{r2}$  により選択された走査線 2 1 に接続する  $N$  個の画素回路 2 3 に対して、第 2 リセット信号  $V_{r2}$  を供給し、第 2 プリチャージ期間  $T_{wp2}$  において、第 2 書込選択信号  $G_{v2}$  により選択された走査線 2 1 に接続する  $N$  個の画素回路 2 3 に対して、第 2 プリチャージ信号  $V_{p2}$  を供給する。

#### 【0050】

一方、制御信号  $N_{rg}$  がローレベルとなる期間において、データ線駆動回路 3 2 は、 $N$  本のデータ線 2 2 に対して、データ信号  $V_{id}$  を、ドットクロック信号  $D_{clk}$  に基づいて、順次排他的なタイミングで出力する。

具体的には、データ線駆動回路 3 2 は、第 1 画像信号書込期間  $T_{wd1}$  において、第 1 書込選択信号  $G_{v1}$  により選択された走査線 2 1 に接続する  $N$  個の画素回路 2 3 に対して、第 1 画像信号  $V_{d1}$  (画像信号  $V_{D[1]} \sim V_{D[N]}$ ) をドットクロック信号  $D_{clk}$  に基づいて順次排他的に出力し、第 2 画像信号書込期間  $T_{wd2}$  において、第 2 書込選択信号  $G_{v2}$  により選択された走査線 2 1 に接続する  $N$  個の画素回路 2 3 に対して、第 2 画像信号  $V_{d2}$  (画像信号  $V_{D[1]} \sim V_{D[N]}$ ) をドットクロック信号  $D_{clk}$  に基づいて順次排他的に出力する。

#### 【0051】

ところで、画素回路 2 3 の階調を指定する画像信号  $V_D$  は、前述の通り、保持容量  $C_O$  及び液晶素子 2 3 0 の容量により保持される。

すなわち、容量線 2 4 の電位  $V_c$  が基準電位  $V_{co}$  に保たれた状態で、当該容量線 2 4 に接続する画素回路 2 3 に画像信号  $V_D$  が供給されると、当該画素回路 2 3 の保持容量  $C_O$  には、その両電極間の電位差が  $V_D - V_{co}$  となるような電荷が蓄積される。そして、当該画素回路 2 3 の選択トランジスタ 2 3 5 がオフした後も、容量線 2 4 の電位  $V_c$  が基準電位  $V_{co}$  を保つ場合には、保持容量  $C_O$  の両電極間の電位差も  $V_D - V_{co}$  に保たれ、画素電極 2 3 1 の電位も画像信号  $V_D$  の示す電位に保たれる。この結果、当該画素回路 2 3 により表示される階調は、画像信号  $V_D$  の指定する階調となる。

#### 【0052】

しかし、容量線 2 4 の電位  $V_c$  が基準電位  $V_{co}$  とは異なる電位  $V_{co} + \Delta V$  に変化したタイミングで、当該容量線 2 4 に接続する画素回路 2 3 に対して画像信号  $V_D$  が供給される場合、当該画素回路 2 3 の保持容量  $C_O$  には、両電極間の電位差が  $V_D - (V_{co} + \Delta V)$  となるような電荷が蓄積される。そして、画素回路 2 3 の選択トランジスタ 2 3 5 がオフした後に、容量線 2 4 の電位  $V_c$  が、電位  $V_{co} + \Delta V$  から、基準電位  $V_{co}$  へと変化する場合、画素電極 2 3 1 の電位も、画像信号  $V_D$  の示す電位から、画像信号  $V_D$  の示す電位とは異なる電位へと変化する。このとき、当該画素回路 2 3 により表示される階調は、画像信号  $V_D$  の指定する階調とは異なる階調となる。

#### 【0053】

領域走査駆動方式とリセット駆動方式とを一体とした駆動方式では、一定の間隔を隔てた 2 行の走査線 2 1 に接続する 2 つの画素回路 2 3 に対して、交互に正極性及び負極性の画像信号  $V_D$  を供給するため、データ線 2 2 の電位も、交互に正極性及び負極性を繰り返すことになる。

$Y$  方向に延在する  $N$  本のデータ線 2 2 の各々は、 $X$  方向に延在する  $M$  本の容量線 2 4 と交差する。そして、各データ線 2 2 と各容量線 2 4 との間には寄生容量が存在する。従って、データ線 2 2 の電位 (データ信号  $V_{id}$ ) が急激に変化した場合には、データ信号  $V_{id}$  の高周波成分の影響を受け、容量線 2 4 の電位  $V_c$  も変化する。そして、データ線 2 2 の電位変化が大きくなるに従って、また、電位変化の発生するデータ線 2 2 の本数が多くなるに従って、容量線 2 4 の電位  $V_c$  の変化も大きくなる。

## 【 0 0 5 4 】

図 9 及び図 10 は、本実施形態に係る液晶装置 1 において、複数のデータ線 22 にデータ信号  $V_{id}$  が供給されたときの容量線電位  $V_c$  の変化を表したタイミングチャートである。

なお、本実施形態では、データ信号  $V_{id}$  の中で第 1 リセット信号  $V_{r1}$  及び第 2 リセット信号  $V_{r2}$  は共に負極性としているが、図 9 及び図 10 では、本実施形態と比較するための対比例として、第 1 リセット信号  $V_{r1}$  を正極性とした場合のデータ信号  $V_{id2}$  と、データ信号  $V_{id2}$  がデータ線 22 に出力される場合の容量線電位  $V_{c2}$  の変化についても表示している。

## 【 0 0 5 5 】

10

図 9 は、水平走査期間  $H[i]$  の第 2 期間  $H_2$  において、第 2 書込選択信号  $G_{v2}$  が選択する走査線 21 に接続する  $N$  個の画素回路 23 の各々に対して供給される第 2 画像信号  $V_{d2}$  (画像信号  $V_{D[1]} \sim V_{D[N]}$ ) が、白表示相当の電圧  $V_{wt}$  に近い信号レベルであり、その後、水平走査期間  $H[i+1]$  の第 1 期間  $H_1$  において、第 1 書込選択信号  $G_{v1}$  が選択する走査線 21 に接続する  $N$  個の画素回路 23 の各々に対して供給される第 1 画像信号  $V_{d1}$  (画像信号  $V_{D[1]} \sim V_{D[N]}$ ) が、中間階調である場合を示している。

## 【 0 0 5 6 】

20

図 9 に示すように、データ信号  $V_{id2}$  は、水平走査期間  $H[i+1]$  が開始されるタイミングで、負極性の白表示相当の電圧  $V_{wt}(-)$  から、第 1 リセット信号  $V_{r1}$  の指定する正極性の白表示相当の電圧  $V_{wt}(+)$  へと大きく変化する。つまり、 $N$  本のデータ線 22 が、負極性の白表示相当の電圧  $V_{wt}(-)$  から、正極性の白表示相当の電圧  $V_{wt}(+)$  へと大きく変化する。この影響により、 $N$  本のデータ線 22 と交差する  $M$  本の容量線 24 の電位  $V_{c2}$  も、基準電位  $V_{co}$  相当の電位から、基準電位  $V_{co}$  よりも高い電位  $V_{co} + \Delta V$  へと変化する。そして、容量線 24 の電位  $V_{c2}$  が基準電位  $V_{co}$  に戻る前に、水平走査期間  $H[i+1]$  の第 1 画像信号書込期間  $T_{wd1}$  が開始される。

従って、水平走査期間  $H[i+1]$  において第 1 書込選択信号  $G_{v1}$  の選択する走査線 21 に接続する  $N$  個の画素回路 23 には、容量線 24 の電位  $V_{c2}$  が電位  $V_{co} + \Delta V$  に変化している間に、第 1 画像信号  $V_{d1}$  が供給される。

## 【 0 0 5 7 】

30

その後、容量線 24 の電位  $V_{c2}$  が、電位  $V_{co} + \Delta V$  から、基準電位  $V_{co}$  に戻る場合、第 1 画像信号  $V_{d1}$  が供給された  $N$  個の画素回路 23 の画素電極 231 の電位は、第 1 画像信号  $V_{d1}$  の指定する電位から、第 1 画像信号  $V_{d1}$  の指定する電位よりも低い電位に変化する。従って、これら  $N$  個の画素回路 23 によって表示される階調の各々は、第 1 画像信号  $V_{d1}$  の指定する階調とは異なる階調となる。

このように、ある行の画素回路 23 に対して供給される負極性の画像信号  $V_D$  が高階調である場合には、当該画素回路 23 から  $\Delta R R + 1$  行離れた行に位置する  $N$  個の画素回路 23 によって表示される階調の各々は、正極性の画像信号  $V_D$  の指定する階調と異なる階調となる。

40

なお、容量線 24 の電位  $V_{c2}$  が、基準電位  $V_{co}$  から電位  $V_{co} + \Delta V$  へと変化する場合には、第 1 書込選択信号  $G_{v1}$  により選択される走査線 21 に接続する  $N$  個の画素回路 23 以外の画素回路 23 によって表示される階調の各々は、画像信号  $V_D$  の指定する階調と異なる階調となる。容量線 24 の電位  $V_{c2}$  が変化すると、画素電極 231 の電位も変化し、画素電極 231 の電位を、画像信号  $V_D$  が示す電位に保てないためである。

## 【 0 0 5 8 】

50

これに対して、本実施形態において、データ信号  $V_{id}$  は、第 1 リセット信号  $V_{r1}$  及び第 2 リセット信号  $V_{r2}$  が共に負極性となるように設定される。従って、水平走査期間  $H[i+1]$  が開始されるタイミングにおいて、データ信号  $V_{id}$  の示す電位に大きな変化は生じない。この場合、水平走査期間  $H[i+1]$  が開始されるタイミングで、 $M$  本の容量線 24 の電位  $V_c$  も、基準電位  $V_{co}$  に近い電位に保たれる。従って、水平走査期間

H [ i + 1 ] において第 1 画像信号 V d 1 が供給される N 個の画素回路 2 3 によって表示される階調の各々は、水平走査期間 H [ i + 1 ] 以降、第 1 画像信号 V d 1 の指定する階調となる。

なお、前述の通り、本実施形態では、第 1 プリチャージ信号 V p 1 を、共通電位 V c o m に等しく設定している。これにより、第 1 リセット期間 T r 1 と第 1 書込期間 T w 1 との間で、データ信号 V i d の示す電位の変動を緩やかにすることが可能となり、容量線 2 4 の電位 V c の変動を小さく抑えることが可能となる。

#### 【 0 0 5 9 】

図 1 0 は、水平走査期間 H [ i ] において、第 1 画像信号 V d 1 が、白表示相当の電圧 V w t に相当する高階調の信号であり、第 2 画像信号 V d 2 が中間階調の信号である場合を示している。この場合、データ信号 V i d 及びデータ信号 V i d 2 の双方は、第 1 画像信号書込期間 T w d 1 において、第 1 画像信号 V d 1 の指定する正極性の白表示相当の電圧 V w t ( + ) に相当する電位となり、その後、第 2 リセット期間 T r 2 が開始されるタイミングで、第 2 リセット信号 V r 2 の指定する負極性の白表示相当の電圧 V w t ( - ) に相当する電位へと大きく変化する。つまり、N 本のデータ線 2 2 の電位は、正極性から負極性へと大きく変化するため、N 本のデータ線 2 2 と交差する M 本の容量線 2 4 の電位 V c も、基準電位 V c o 相当の電位から、基準電位 V c o よりも低い電位 V c o - Δ V へと変化する。

その後、容量線 2 4 の電位 V c が基準電位 V c o に戻る前に、第 2 画像信号書込期間 T w d 2 が開始される。従って、容量線 2 4 の電位 V c が電位 V c o - Δ V に変化している間に、第 2 書込選択信号 G v 2 の選択する走査線 2 1 に接続する N 個の画素回路 2 3 に対して、第 2 画像信号 V d 2 が供給される。

よって、水平走査期間 H [ i ] 以降、容量線 2 4 の電位 V c が、基準電位 V c o に戻る場合、これらの N 個の画素回路 2 3 によって表示される階調の各々は、第 2 画像信号 V d 2 の指定する階調とは異なる階調となる。

#### 【 0 0 6 0 】

このように、本実施形態に係る液晶装置 1 は、対比例と同様に、ある画素回路 2 3 に供給される正極性の画像信号 V D が高階調である場合には、その後、負極性の画像信号 V D が供給される画素回路 2 3 によって表示される階調が、画像信号 V D により指定される階調とはならない場合がある。

しかし、本実施形態に係る液晶装置 1 は、領域走査駆動方式を採用し、ある画素回路 2 3 に対して、1 垂直走査期間 F の間に、正極性の第 1 画像信号 V d 1 と、負極性の第 2 画像信号 V d 2 とを供給する。従って、ある画素回路 2 3 に対して高階調な正極性の第 1 画像信号 V d 1 を供給する際に、当該画素回路 2 3 から Δ R R 行離れた画素回路 2 3 において表示上の不具合が発生することがあるが、その後 ( 1 垂直走査期間 F の 2 分の 1 に相当する期間の後 ) 、当該画素回路 2 3 に、高階調な負極性の第 2 画像信号 V d 2 が供給される際に、表示上の不具合が解消される。

従って、画像信号 V D の指定する階調が高階調である場合に発生する、データ線 2 2 の急激な電位変化に伴う容量線 2 4 の電位変化に起因する表示上の不具合が、利用者に視認される可能性を低減させることが可能となる。

#### 【 0 0 6 1 】

以上、説明したように、上記実施形態によれば、液晶装置 1 の駆動方式として一定の間隔を隔てた 2 つの画素回路 2 3 に対してそれぞれ交互に正極性の画像信号 ( 第 1 画像信号 V d 1 ) 及び負極性の画像信号 ( 第 2 画像信号 V d 2 ) の 2 つの画像信号 V D の書き込みを行う領域走査駆動方式を採用すると共に、2 つの画像信号 V D の書き込みを行う直前にリセット信号 V r を書き込むリセット駆動方式を採用した。

本実施形態に係る液晶装置 1 は、領域走査駆動方式とリセット駆動方式とを一体とした駆動方式を実装することで、画面の場所による表示の不均一が解消されるという利点を有すると共に、液晶 2 3 2 の配向不良を抑制できるという利点を有する。

#### 【 0 0 6 2 】

また、本実施形態は、第1リセット信号 $V_{r1}$ と第2リセット信号 $V_{r2}$ とを共に負極性とする事で、負極性の第1リセット信号 $V_{r1}$ がデータ線22に出力されるタイミングにおけるデータ線22の電位変化を小さく抑えた。

データ線22に急峻且つ大きな電位変化が発生する場合、その影響で容量線24の電位 $V_c$ も変化する。容量線24の電位が変化する場合、当該容量線24に接続するN個の画素回路23によって表示される階調の各々は、画像信号 $V_D$ が指定する階調とは異なる階調となる。しかし、本実施形態では、第1リセット信号 $V_{r1}$ がデータ線22に出力されるタイミングにおけるデータ線22の電位変化を小さく抑えたため、画素回路23によって表示される階調を、第1画像信号 $V_{d1}$ の指定する階調とすることができる。

#### 【0063】

また、本実施形態は、第1プリチャージ信号 $V_{p1}$ のレベルを、共通電位 $V_{com}$ と等しくすることにより、第1リセット期間 $T_{r1}$ から第1書込期間 $T_{w1}$ に変化する際のデータ信号 $V_{id}$ の示す電位の変化を小さく抑えた。これにより、第1リセット期間 $T_{r1}$ から第1書込期間 $T_{w1}$ に変化するタイミングで、容量線24の電位 $V_c$ の変化を小さく抑えることが可能となり、容量線24の電位変化に起因する表示上の不具合の発生を抑えることが可能となる。

#### 【0064】

次に、本実施形態では、リセット駆動を採用し、画素回路23に対して、画像信号 $V_D$ を供給する前に、リセット信号 $V_r$ として白表示相当の電圧 $V_{wt}$ に相当する電圧を供給している。このリセット信号 $V_r$ が供給される時間は液晶素子230の相対透過率が0%から90%に変化する時間に比べて十分短い時間である。これにより、本実施形態に係る液晶装置1は、画素回路23によって表示される階調の変化を観察者に知覚されることなく、液晶232の配向不良を解消することが可能となるという利点を有する。

#### 【0065】

本実施形態では、画素回路23に対して、リセット信号 $V_r$ とプリチャージ信号 $V_p$ とを水平帰線期間 $H_b$ において供給している。これにより、本実施形態は、画素回路23に画像信号 $V_D$ を供給する期間である水平有効期間 $H_a$ を短縮することなくリセット駆動とプリチャージとを可能とし、液晶素子230に対して画像信号 $V_D$ を書き込む期間をより長く確保することが可能となるため、画像の安定的な表示が可能になるという利点を有する。

#### 【0066】

また、本実施形態では、データ線駆動回路32は、第1リセット信号 $V_{r1}$ 、第2リセット信号 $V_{r2}$ 、第1画像信号 $V_{d1}$ 、第2画像信号 $V_{d2}$ 、第1プリチャージ信号 $V_{p1}$ 、及び第2プリチャージ信号 $V_{p2}$ を時分割多重した信号であるデータ信号 $V_{id}$ を、データ線22に対して供給するものである。これにより、リセット信号 $V_r$ が供給される配線、プリチャージ信号 $V_p$ が供給される配線、及び画像信号 $V_D$ が供給される配線を個別に設ける場合と比べて配線数の大幅な低減が可能であり、液晶装置1の小型化を可能にするという利点を有する。

#### 【0067】

< B：変形例 >

本発明は上述した実施形態に限定されるものではなく、例えば、以下の変形が可能である。また、以下に示す変形例のうちの2以上の変形例を組み合わせることもできる。

#### 【0068】

##### (1) 変形例

上述した実施形態では、第1リセット信号 $V_{r1}$ 及び第2リセット信号 $V_{r2}$ を共に負極性の信号としているが、第1リセット信号 $V_{r1}$ 及び第2リセット信号 $V_{r2}$ は、共通電位 $V_{com}$ を基準として信号レベルが同極性であれば良い。

例えば、第1リセット信号 $V_{r1}$ 及び第2リセット信号 $V_{r2}$ を共に正極性の信号としても良い。この場合には、ある水平走査期間 $H$ の第1画像信号書込期間 $T_{wd1}$ においてデータ線22に高階調の第1画像信号 $V_{d1}$ を出力した場合であっても、その後の第2リ

10

20

30

40

50

セット期間  $T_{r2}$  が開始されるタイミングにおいて、データ線 22 の電位が急激に変化することがなく、容量線 24 の電位変化も抑制できるため、画素回路 23 により正確な階調を表示することができる。

#### 【0069】

##### (2) 変形例 2

上述した実施形態では、各水平走査期間  $H$  の中で、第 1 リセット選択信号  $G_{r1}$ 、第 1 書込選択信号  $G_{v1}$ 、第 2 リセット選択信号  $G_{r2}$ 、及び第 2 書込選択信号  $G_{v2}$  の順番でアクティブになるが、これ以外の順番でアクティブとなっても良い。

例えば、第 2 リセット選択信号  $G_{r2}$ 、第 2 書込選択信号  $G_{v2}$ 、第 1 リセット選択信号  $G_{r1}$ 、及び第 1 書込選択信号  $G_{v1}$  の順番でアクティブとしても良い。この場合にも、互いに異なる 4 つの画素回路 23 に対して、第 1 リセット信号  $V_{r1}$ 、第 1 プリチャージ信号  $V_{p1}$  及び第 1 画像信号  $V_{d1}$ 、第 2 リセット信号  $V_{r2}$ 、及び第 2 プリチャージ信号  $V_{p2}$  及び第 2 画像信号  $V_{d2}$  の各々を供給することができる。

また、第 1 書込選択信号  $G_{v1}$ 、第 1 リセット選択信号  $G_{r1}$ 、第 2 書込選択信号  $G_{v2}$ 、第 2 リセット選択信号  $G_{r2}$  の順番でアクティブとしても良い。この場合、制御信号  $N_{rg}$  は、第 1 書込選択信号  $G_{v1}$  がアクティブとなる期間のうち第 1 プリチャージ信号  $V_{p1}$  がデータ線 22 に出力される期間、第 1 リセット選択信号  $G_{r1}$  がアクティブとなる期間、第 2 書込選択信号  $G_{v2}$  がアクティブとなる期間のうち第 2 プリチャージ信号  $V_{p2}$  がデータ線 22 に出力される期間、及び第 2 リセット選択信号  $G_{r2}$  がアクティブとなる期間においてハイレベルになる。

#### 【0070】

##### (3) 変形例 3

上述した実施形態では、水平走査期間  $H$  の開始と第 1 リセット期間  $T_{r1}$  の開始とが同時であり、第 1 リセット期間  $T_{r1}$  の終了と第 1 書込期間  $T_{w1}$  の開始とが同時であり、第 1 書込期間  $T_{w1}$  の終了と第 2 リセット期間  $T_{r2}$  の開始とが同時であり、第 2 リセット期間  $T_{r2}$  の終了と水平走査期間  $H$  とが同時であるが、これら各種期間の開始または終了を、異なるタイミングとしても良い。

例えば、水平走査期間  $H$  が開始された後、間隔をあけて第 1 リセット期間  $T_{r1}$  を開始し、第 1 リセット期間  $T_{r1}$  終了後、間隔をあけて第 1 書込期間  $T_{w1}$  を開始し、第 1 書込期間  $T_{w1}$  終了後、間隔をあけて第 2 リセット期間  $T_{r2}$  を開始し、第 2 リセット期間  $T_{r2}$  終了後、間隔をあけて第 2 書込期間  $T_{w2}$  を開始しても良い。

#### 【0071】

##### (4) 変形例 4

上述した実施形態においては、プリチャージ信号  $V_p$  をデータ線 22 に供給したが、本発明はこれに限定されるものではなく、プリチャージ信号  $V_p$  を供給しなくてもよい。この場合、データ信号  $V_{id}$  は、リセット信号  $V_r$  と画像信号  $V_D$  とから構成される。また、第 1 書込期間  $T_{w1}$  は正極性の画像信号  $V_D$  を書き込むための第 1 画像信号書込期間  $T_{wd1}$  と一致し、第 2 書込期間  $T_{w2}$  は負極性の画像信号  $V_D$  を書き込むための第 2 画像信号書込期間  $T_{wd2}$  と一致する。

#### 【0072】

##### (5) 変形例 5

上述した実施形態においては、第 1 プリチャージ信号  $V_{p1}$  のレベルを、共通電位  $V_{com}$  と等しくなるように設定したが、第 1 プリチャージ信号  $V_{p1}$  のレベルを、第 1 リセット信号  $V_{r1}$  のレベルから、共通電位  $V_{com}$  までの範囲としても良い。この場合、第 1 リセット期間  $T_{r1}$  から第 1 書込期間  $T_{w1}$  に変化するタイミングで、容量線 24 の電位  $V_c$  の変化を小さく抑えることが可能となり、容量線 24 の電位変化に起因する表示上の不具合の発生を抑止することが可能となる。

#### 【0073】

##### (6) 変形例 6

上述した実施形態においては、第 1 プリチャージ信号  $V_{p1}$  のレベルを、共通電位  $V_c$

omと等しくなるように設定し、第2プリチャージ信号Vp2のレベルを、負極性の白表示相当の電圧Vwt(-)から、共通電位Vcom及び負極性の白表示相当の電圧Vwt(-)の中間の電位 $\{(Vcom + Vwt(-)) / 2\}$ までの範囲となるように設定しているが、第1プリチャージ信号Vp1のレベルを、第1画像信号Vd1のレベルが取り得る範囲に設定し、第2プリチャージ信号Vp2のレベルを、第2画像信号Vd2のレベルが取り得る範囲に設定しても良い。

例えば、第1プリチャージ信号Vp1を、正極性の白表示相当の電圧Vwt(+)と共通電位Vcomとの中間の電位 $\{(Vcom + Vwt(+)) / 2\}$ とし、第2プリチャージ信号Vp2を、負極性の白表示相当の電圧Vwt(-)と共通電位Vcomとの中間の電位 $\{(Vcom + Vwt(-)) / 2\}$ としても良い。この場合、データ線22の電位が、画像信号VDに近い電位となるため、画素回路23に対する画像信号VDの印加を容易にすることができる。

#### 【0074】

##### (7) 変形例7

上述した実施形態においては、リセット信号Vrのレベルを白表示相当の電圧Vwtとしたリセット駆動を採用しているが、リセット信号Vrのレベルを、これよりも小さな電圧、例えば、光学的飽和電圧Vsatとしても良い。光学的飽和電圧Vsatは、液晶232が配向不良の状態から脱するために十分な大きさの電圧であり、液晶素子230に光学的飽和電圧Vsat相当のリセット信号Vrを印加するリセット駆動を採用すると、液晶232の配向不良の問題を解決することができる。

#### 【0075】

##### (8) 変形例8

上述した実施形態において、液晶232はVA方式であったが、TN(Twisted Nematic)方式の液晶232を採用しても良い。また、上述した実施形態において、液晶装置1はノーマリーブラックモードであったが、ノーマリーホワイトモードであっても良い。この場合、リセット信号Vrのレベルを、光学的飽和電圧Vsat以上の電圧、例えば、黒表示相当の電圧Vbkとしても良い。

#### 【0076】

##### < C : 応用例 >

次に、以上の各態様に係る液晶装置1を利用した電子機器について説明する。図11ないし図13には、液晶装置1を表示装置として採用した電子機器の形態が図示されている。

図11は、液晶装置1を採用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。パーソナルコンピュータ2000は、各種の画像を表示する液晶装置1と、電源スイッチ2001やキーボード2002が設置された本体部2010とを具備する。

#### 【0077】

図12は、液晶装置1を適用した携帯電話機の構成を示す斜視図である。携帯電話機3000は、複数の操作ボタン3001及びスクロールボタン3002と、各種の画像を表示する液晶装置1とを備える。スクロールボタン3002を操作することによって、液晶装置1に表示される画面がスクロールされる。

#### 【0078】

図13は、投写型表示装置(プロジェクタ)4000を電子機器として例示する模式図である。投射型表示装置4000は、照明装置4020と分離光学系4040と以上の各形態に係る3個の表示パネル10(10r、10g、10b)と投射光学系4060と図示せぬ制御回路40(40r、40g、40b)とを具備する。

3つの制御回路40は、3つの表示パネル10の間で画像表示の同期を取りつつ、リセット駆動及び領域走査駆動がなされるように、各種制御信号を生成する。また、3つの制御回路40は、それぞれ、外部上位装置より供給される赤色、緑色、青色を表す表示データVIDEO(VIDEO\_r、VIDEO\_g、VIDEO\_b)に基づき、赤色、緑色、青色に対応するデータ信号Vid(Vid\_r、Vid\_g、Vid\_b)を生成する。

各表示パネル１０には、３つの制御回路４０より、それぞれ、各種制御信号と、赤色、緑色、青色に対応するデータ信号Ｖｉｄとが供給される。

分離光学系４０４０は、照明装置４０２０から出射した照明光を複数の単色光（赤色光、緑色光、青色光）に分離して各表示パネル１０に照射する。具体的には、照明光のうちの赤色光ｒは、ダイクロイックミラー４０４１及びミラー４０４２による反射後に表示パネル１０ｒに入射する。ダイクロイックミラー４０４１を透過した緑色光ｇは、ダイクロイックミラー４０４３にて反射されて表示パネル１０ｇに入射する。ダイクロイックミラー４０４３を透過した青色光ｂは、ミラー４０４４及びミラー４０４５を介して表示パネル１０ｂに入射する。

各表示パネル１０は、入射光を変調して画像を形成する光変調器（ライトバルブ）として利用される。表示パネル１０ｒは、ミラー４０４２から到来する赤色光ｒを変調して赤色の画像を形成する。同様に、表示パネル１０ｇは緑色の画像を形成し、表示パネル１０ｂは青色の画像を形成する。投射光学系４０６０は、各表示パネル１０からの出射光を表示面４０８０に投射する。投射光学系４０６０は、各表示パネル１０からの出射光（赤色光、緑色光、青色光）を合成するダイクロイックプリズム４０６１と、ダイクロイックプリズム４０６１からの出射光を表示面４０８０に投射する投射レンズ４０６２とを含んで構成される。したがって、表示面４０８０にはカラー画像が表示される。

#### 【００７９】

なお、本発明に係る液晶装置が適用される電子機器としては、図１１から図１３に例示した機器のほか、携帯情報端末（ＰＤＡ：Personal Digital Assistants）、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャ、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、ＰＯＳ端末、プリンタ、スキャナ、複写機、ビデオプレーヤ、タッチパネルを備えた機器等などが挙げられる。

#### 【符号の説明】

#### 【００８０】

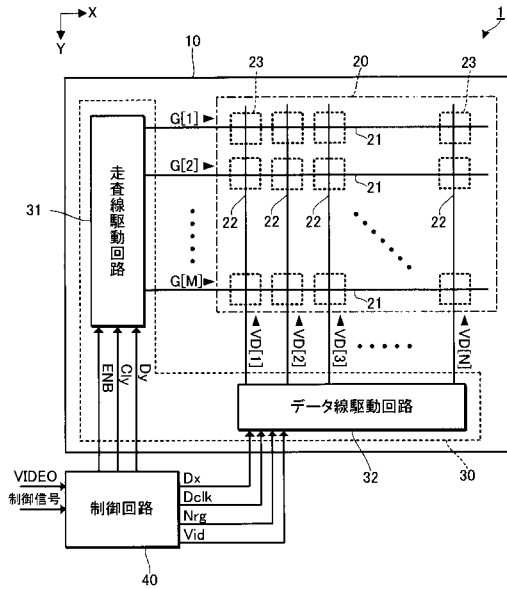
１…液晶装置、２１…走査線、２２…データ線、２３…画素回路、２３０…液晶素子、２３１…画素電極、２３３…共通電極、２３５…選択トランジスタ、２４…容量線、３１…走査線駆動回路、３２…データ線駆動回路、ＣＯ…保持容量、Ｇｒ１…第１リセット選択信号、Ｇｒ２…第２リセット選択信号、Ｇｖ１…第１書込選択信号、Ｇｖ２…第２書込選択信号、Ｔｒ１…第１リセット期間、Ｔｒ２…第２リセット期間、Ｔｗｄ１…第１画像信号書込期間、Ｔｗｄ２…第２画像信号書込期間、Ｔｗｐ１…第１プリチャージ期間、Ｔｗｐ２…第２プリチャージ期間、Ｖｃ…電位、Ｖｃｏｍ…共通電位、Ｖｉｄ…データ信号、Ｖｄ１…第１画像信号、Ｖｄ２…第２画像信号、Ｖｐ１…第１プリチャージ信号、Ｖｐ２…第２プリチャージ信号、Ｖｒ１…第１リセット信号、Ｖｒ２…第２リセット信号。

10

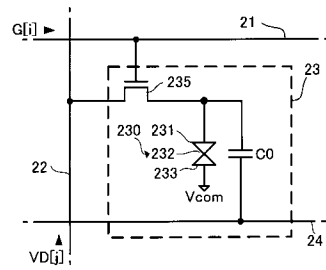
20

30

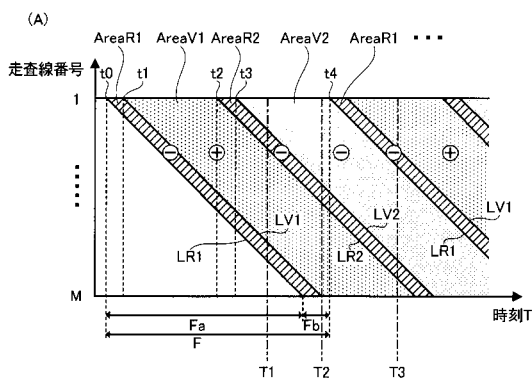
【図 1】



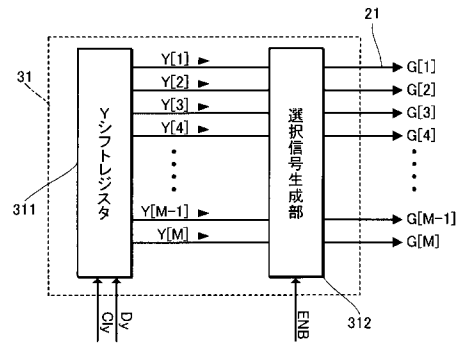
【図 2】



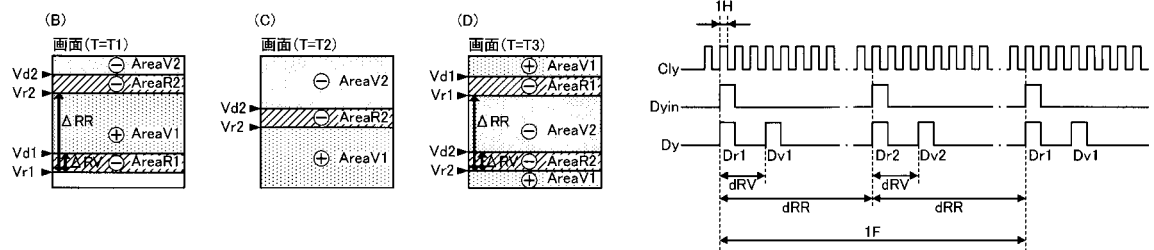
【図 3】



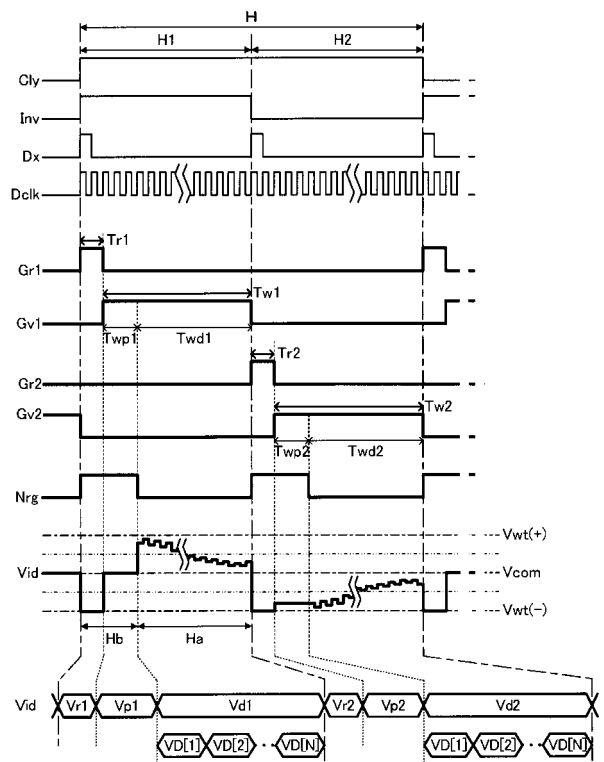
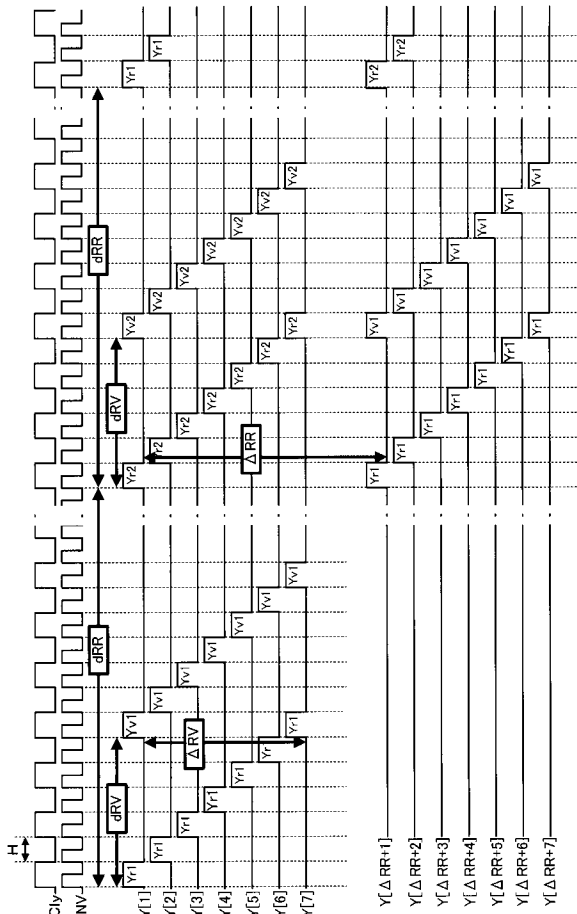
【図 4】



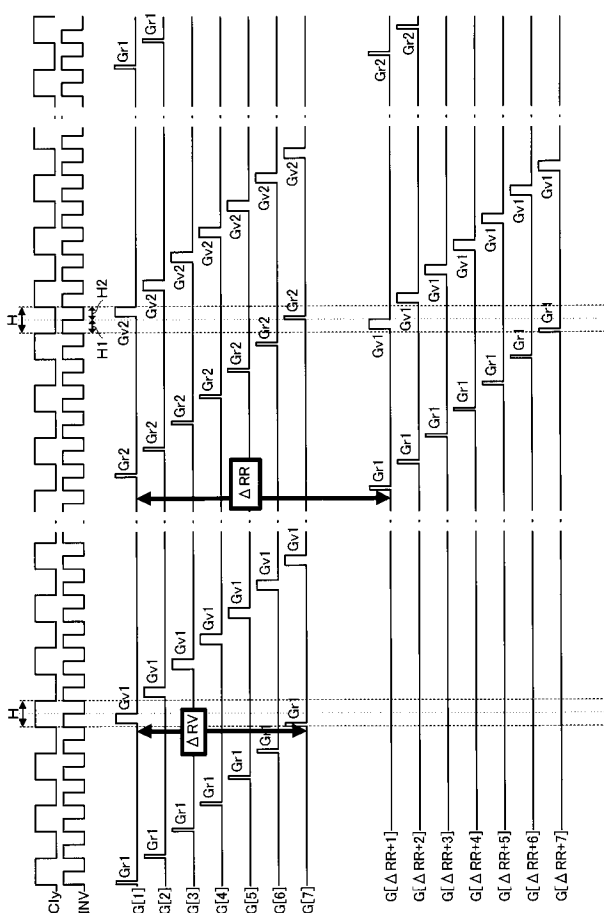
【図 5】



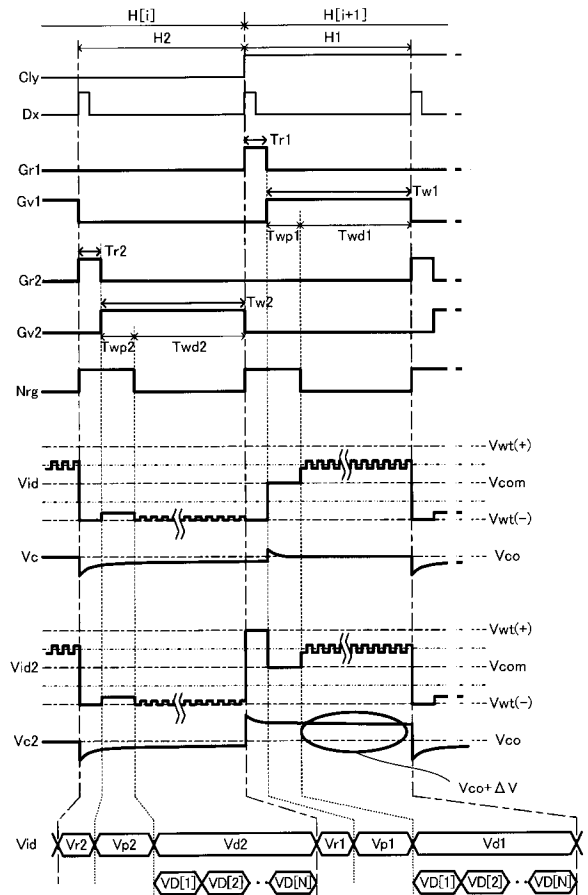
【 図 7 】



【圖 8】



【 図 9 】





## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

|         |       |         |
|---------|-------|---------|
| G 0 9 G | 3/20  | 6 7 0 K |
| G 0 9 G | 3/20  | 6 8 0 C |
| G 0 9 G | 3/20  | 6 4 1 C |
| G 0 9 G | 3/20  | 6 2 2 K |
| G 0 9 G | 3/20  | 6 2 3 V |
| G 0 9 G | 3/20  | 6 2 3 U |
| G 0 2 F | 1/133 | 5 5 0   |
| G 0 2 F | 1/133 | 5 2 5   |

F ターム(参考) 5C006 AA16 AC28 AF42 BB16 FA14 FA25 FA34  
5C080 AA10 BB05 CC03 DD05 DD18 EE29 EE30 FF11 JJ01 JJ02  
JJ03 JJ04 JJ05 JJ06

|                |                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置及び电子机器                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">JP2012215742A</a>                                                                                                                                                                                                                                                                                                                                                         | 公开(公告)日 | 2012-11-08 |
| 申请号            | JP2011081640                                                                                                                                                                                                                                                                                                                                                                          | 申请日     | 2011-04-01 |
| [标]申请(专利权)人(译) | 精工爱普生株式会社                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 申请(专利权)人(译)    | 精工爱普生公司                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| [标]发明人         | 小林 淳也                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 发明人            | 小林 淳也                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                                                                                                                                                                                                                                                                                                           |         |            |
| FI分类号          | G09G3/36 G09G3/20.623.Y G09G3/20.623.R G09G3/20.621.B G09G3/20.621.E G09G3/20.670.K G09G3/20.680.C G09G3/20.641.C G09G3/20.622.K G09G3/20.623.V G09G3/20.623.U G02F1/133.550 G02F1/133.525                                                                                                                                                                                            |         |            |
| F-TERM分类号      | 2H193/ZA04 2H193/ZA05 2H193/ZC16 2H193/ZC24 2H193/ZD01 2H193/ZD02 2H193/ZD23 2H193/ZD34 2H193/ZE21 2H193/ZF21 2H193/ZF31 2H193/ZQ11 2H193/ZR04 5C006/AA16 5C006/AC28 5C006/AF42 5C006/BB16 5C006/FA14 5C006/FA25 5C006/FA34 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD18 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 |         |            |
| 代理人(译)         | 须泽 修<br>宫坂和彦                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                             |         |            |

# 摘要(译)

要解决的问题：实现一种驱动系统，其中集成了区域扫描驱动系统和复位驱动系统。解决方案：液晶装置1包括：多条扫描线21；多条数据线22；多条电容线24，与多条数据线22交叉；多个像素电路23，对应于多条扫描线21和多条数据线22之间的交叉点设置；扫描线驱动电路31；数据线驱动电路32输出：第一复位周期Tr1中的第一复位信号Vr1；以及数据线驱动电路32。第一图像信号写入周期Twd1中的第一图像信号Vd1；第二重置信号Vr2，其在第二重置时段Tr2中具有与第一重置信号Vr1相同的极性；第二图像信号Vd2在第二图像信号写入周期Twd2中具有与第一图像信号Vd1的极性相反的极性。

