

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-103501

(P2012-103501A)

(43) 公開日 平成24年5月31日(2012.5.31)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621B	5C006
G02F 1/133 (2006.01)	G09G 3/20 623C	5C080
	G09G 3/20 680G	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 9 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2010-252213 (P2010-252213)	(71) 出願人	000116024
(22) 出願日	平成22年11月10日 (2010.11.10)		ローム株式会社
			京都府京都市右京区西院溝崎町21番地
		(74) 代理人	100085501
			弁理士 佐野 静夫
		(74) 代理人	100134555
			弁理士 林田 英樹
		(72) 発明者	矢熊 宏司
			京都市右京区西院溝崎町21番地 ローム株式会社内
		(72) 発明者	北川 誠
			京都市右京区西院溝崎町21番地 ローム株式会社内
		Fターム(参考)	2H193 ZA04 ZA05 ZC05 ZC07 ZC14 ZF36
		最終頁に続く	

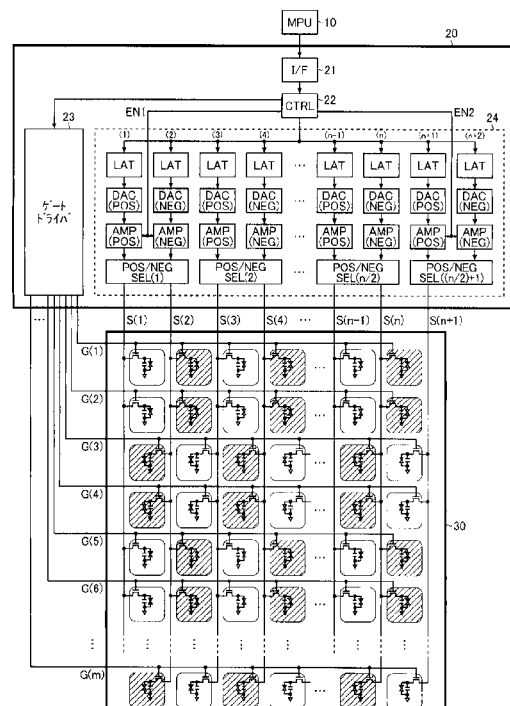
(54) 【発明の名称】 液晶表示パネル、液晶駆動装置、液晶表示装置

(57) 【要約】 (修正有)

【課題】ドット反転駆動時の電力ロスを低減することが可能な液晶表示装置を提供する。

【解決手段】液晶表示パネル30は、複数行のゲート線Gと、複数列のソース線Sと、複数個の液晶画素と、を有しており、液晶表示パネル30全体として前記複数個の液晶画素に各々印加される電圧の極性がドット毎に反転されるように、かつ、前記複数列のソース線Sに各々印加される電圧の極性が少なくとも行走査期間にわたって反転されないように、前記複数列のソース線S及び前記複数個の液晶画素がレイアウトされている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数行のゲート線と、複数列のソース線と、複数個の液晶画素と、を有する液晶表示パネルであって、

前記液晶表示パネル全体として前記複数個の液晶画素に各々印加される電圧の極性がドット毎に反転されるように、かつ、

前記複数列のソース線に各々印加される電圧の極性が少なくとも行走査期間にわたって反転されないように、

前記複数列のソース線及び前記複数個の液晶画素がレイアウトされていることを特徴とする液晶表示パネル。

10

【請求項 2】

m 行（ただし $m \geq 2$ ）の前記ゲート線と、 $(n + 1)$ 列（ただし $n \geq 2$ ）の前記ソース線と、 $(m \times n)$ 個の前記液晶画素と、を有し、

1 列目のソース線には、行走査方向に沿って 1 列目の液晶画素が x 行分（ただし $1 \leq x \leq (m / 2)$ ）ずつ x 行分の間隔を空けて接続されており、

y 列目（ただし、 $2 \leq y \leq n$ ）のソース線には、行走査方向に沿って y 列目の液晶画素と $(y - 1)$ 列目の液晶画素が x 行分ずつ交互に接続されており、

$(n + 1)$ 列目のソース線には、行走査方向に沿って n 列目の液晶画素が x 行分ずつ x 行分の間隔を空けて接続されていることを特徴とする請求項 1 に記載の液晶表示パネル。

20

【請求項 3】

m 行（ただし $m \geq 2$ ）の前記ゲート線と、 n 列（ただし $n \geq 2$ ）の前記ソース線と、 $(m \times n)$ 個の前記液晶画素と、を有し、

y 列目（ただし $y = 1, 3, 5, \dots, (n - 1)$ ）のソース線には、行走査方向に沿って y 列目の液晶画素と $(y + 1)$ 列目の液晶画素が x 行分（ただし $1 \leq x \leq (m / 2)$ ）ずつ交互に接続されており、

$(y + 1)$ 列目のソース線には、行走査方向に沿って $(y + 1)$ 列目の液晶画素と y 列目の液晶画素が x 行分ずつ交互に接続されており、かつ、

y 列目のソース線と $(y + 1)$ 列目のソース線とは、行走査方向に沿って x 行毎に互いの敷設位置が反転されていることを特徴とする請求項 1 に記載の液晶表示パネル。

30

【請求項 4】

請求項 1 ~ 請求項 3 のいずれか一項に記載の液晶表示パネルをドット反転駆動方式で駆動することを特徴とする液晶駆動装置。

【請求項 5】

前記液晶表示パネルは、請求項 2 に記載の液晶表示パネルであり、

1 列目のソース線に電圧を印加すべき行では、1 列目のソース線に接続されるアンプをオンして、 $(n + 1)$ 列目のソース線に接続されるアンプをオフし、逆に、 $(n + 1)$ 列目のソース線に電圧を印加すべき行では、1 列目のソース線に接続されるアンプをオフして、 $(n + 1)$ 列目のソース線に接続されるアンプをオンすることを特徴とする請求項 4 に記載の液晶駆動装置。

40

【請求項 6】

請求項 1 ~ 請求項 3 のいずれか一項に記載の液晶表示パネルと、

請求項 4 または請求項 5 に記載の液晶駆動装置と、

を有することを特徴とする液晶表示装置。

【請求項 7】

前記液晶駆動装置の出力を複数に分配して前記液晶表示パネルに供給するマルチプレクサをさらに有することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記マルチプレクサは、同一極性の電圧が印加される複数列のソース線に接続されていることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

50

前記マルチプレクサは、連続する複数列のソース線に接続されていることを特徴とする請求項 7 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネル、これを駆動する液晶駆動装置、及び、これらを用いた液晶表示装置に関する。

【背景技術】

【0002】

近年、液晶表示パネルの駆動方式としては、液晶画素に印加する電圧の極性（正／負）をドット毎に反転させるドット反転駆動方式が主流となってきている。

10

【0003】

図 1 3 及び図 1 4 は、それぞれ、液晶表示装置の第 1 従来例（マルチプレクサなし）及び第 2 従来例（マルチプレクサあり）を示すブロック図である。いずれの従来例においても、液晶表示パネル 3 0 0 は、 m 行のゲート線 $G(1) \sim G(m)$ と、 n 列のソース線 $S(1) \sim S(n)$ と、 $(m \times n)$ 個の液晶画素（角の丸い四角枠で囲まれた部分）と、を有している（ただし $m \geq 2$ 、 $n \geq 2$ ）。

【0004】

白抜ききの液晶画素は、 k 番目のフレーム期間において、これに印加される電圧が正極性（POS）であることを示しており、ハッチングされた液晶画素は、 k 番目のフレーム期間において、これに印加される電圧が負極性（NEG）であることを示している。なお、液晶表示パネル 3 0 0 において、液晶画素に印加される電圧の極性は、基本的にはドット毎に反転されている。ただし、各列の液晶画素に着目すると、各々に印加される電圧の極性は、ゲート線 $G(1) \sim G(m)$ を 2 行走査する毎に反転されている。すなわち、図 1 3 及び図 1 4 では、いわゆる 2 ドット反転駆動方式によって液晶表示パネル 3 0 0 を駆動する様子が描写されている。

20

【0005】

なお、上記に関連する従来技術の一例としては、特許文献 1 を挙げることができる。

【先行技術文献】

【特許文献】

30

【0006】

【特許文献 1】特開平 5 - 4 8 0 5 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

確かに、液晶表示パネルの駆動方式としてドット反転駆動方式を採用すれば、液晶表示パネルのちらつき（フリッカ）を低減することが可能である。

【0008】

しかしながら、第 1 及び第 2 従来例の液晶表示パネル 3 0 0 では、いずれも y 列目（ただし $1 \leq y \leq n$ ）の液晶画素が y 列目のソース線 $S(y)$ に全て接続されていたので、上記の 2 ドット反転駆動を行う際には、ゲート線 $G(1) \sim G(m)$ を 2 行走査する毎に、ソース線 $S(1) \sim S(n)$ に各々印加される電圧の極性反転が生じていた（図 1 5 及び図 1 6 の符号 A を参照）。このような極性反転時には、ソース線 $S(1) \sim S(n)$ に各々接続される容量成分（画素容量、補助容量、及び、配線容量）を正→負または負→正にチャージしなければならず、多大な電力ロスが発生していた。

40

【0009】

また、第 2 従来例の液晶表示パネル 3 0 0 では、 z 個（ただし $1 \leq z \leq (n/3)$ ）のマルチプレクサ $MUX(1) \sim (z)$ により、 $(n/3)$ 列のドライバ出力線 $S'(1) \sim S'(z)$ に印加される電圧が n 列のソース線 $S(1) \sim S(n)$ に分配されていたので、各行毎の電圧分配処理に際して、少なくとも 1 回ずつ、ドライバ出力線 $S'(1) \sim$

50

$S'(z)$ に各々印加される電圧の極性反転が生じていた(図16の符号Bを参照)。このような極性反転時には、ドライバ出力線 $S'(1) \sim S'(z)$ に各々接続される容量成分(配線容量)を正 $\rightarrow$ 負または負 $\rightarrow$ 正にチャージしなければならず、多少なりとも電力ロスが発生していた。

【0010】

なお、従来より、上記の電力ロスを低減すべく、極性反転時にチャージシエを行う手法(=1列のソース線を3つの電圧レベル(POS、NEG、GND)で駆動する手法)が採用されていたが、例えば、バッテリーを電源とする携帯電話機、携帯型ゲーム機、PDA[Personal Digital/Data Assistant]、カーオーディオ等に搭載される小型液晶表示装置の分野においては、電力ロスのさらなる低減が求められていた。

10

【0011】

本発明は、本願の発明者らによって見い出された上記の問題点に鑑み、ドット反転駆動時の電力ロスを低減することが可能な液晶表示パネル、これを駆動する液晶駆動装置、及び、これらを用いた液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するために、本発明に係る液晶表示パネルは、複数行のゲート線と、複数列のソース線と、複数個の液晶画素と、を有する液晶表示パネルであって、前記液晶表示パネル全体として前記複数個の液晶画素に各々印加される電圧の極性がドット毎に反転されるように、かつ、前記複数列のソース線に各々印加される電圧の極性が少なくとも行走査期間にわたって反転されないように、前記複数列のソース線及び前記複数個の液晶画素がレイアウトされている構成(第1の構成)とされている。

20

【0013】

なお、上記第1の構成から成る液晶表示パネルは、 m 行(ただし $m \geq 2$)の前記ゲート線と、 $(n+1)$ 列(ただし $n \geq 2$)の前記ソース線と、 $(m \times n)$ 個の前記液晶画素とを有し、1列目のソース線には、行走査方向に沿って1列目の液晶画素が x 行分(ただし $1 \leq x \leq (m/2)$)ずつ x 行分の間隔を空けて接続されており、 y 列目(ただし、 $2 \leq y \leq n$)のソース線には、行走査方向に沿って y 列目の液晶画素と $(y-1)$ 列目の液晶画素が x 行分ずつ交互に接続されており、 $(n+1)$ 列目のソース線には、行走査方向に沿って n 列目の液晶画素が x 行分ずつ x 行分の間隔を空けて接続されている構成(第2の構成)にするとよい。

30

【0014】

また、上記第2の構成から成る液晶表示パネルは、 m 行(ただし $m \geq 2$)の前記ゲート線と、 n 列(ただし $n \geq 2$)の前記ソース線と、 $(m \times n)$ 個の前記液晶画素を有し、 y 列目(ただし $y = 1, 3, 5, \dots, (n-1)$)のソース線には、行走査方向に沿って y 列目の液晶画素と $(y+1)$ 列目の液晶画素が x 行分(ただし $1 \leq x \leq (m/2)$)ずつ交互に接続されており、 $(y+1)$ 列目のソース線には、行走査方向に沿って $(y+1)$ 列目の液晶画素と y 列目の液晶画素が x 行分ずつ交互に接続されており、かつ、 y 列目のソース線と $(y+1)$ 列目のソース線とは、行走査方向に沿って x 行毎に互いの敷設位置が反転されている構成(第3の構成)にするとよい。

40

【0015】

また、本発明に係る液晶駆動装置は、上記第1~第3いずれかの構成から成る液晶表示パネルをドット反転駆動方式で駆動する構成(第4の構成)とされている。

【0016】

なお、上記第4の構成から成る液晶駆動装置は、上記第2の構成から成る液晶表示パネルを駆動対象とし、1列目のソース線に電圧を印加すべき行では、1列目のソース線に接続されるアンプをオンして、 $(n+1)$ 列目のソース線に接続されるアンプをオフし、逆に、 $(n+1)$ 列目のソース線に電圧を印加すべき行では、1列目のソース線に接続されるアンプをオフして、 $(n+1)$ 列目のソース線に接続されるアンプをオンする構成(第5の構成)にするとよい。

50

【 0 0 1 7 】

また、本発明に係る液晶表示装置は、上記第 1 ～ 第 3 いずれかの構成から成る液晶表示パネルと、上記第 4 または第 5 の構成から成る液晶駆動装置と、を有する構成（第 6 の構成）とされている。

【 0 0 1 8 】

なお、上記第 6 の構成から成る液晶表示装置は、前記液晶駆動装置の出力を複数に分配して前記液晶表示パネルに供給するマルチプレクサをさらに有する構成（第 7 の構成）にするとよい。

【 0 0 1 9 】

また、上記第 7 の構成から成る液晶表示装置において、前記マルチプレクサは、同一極性の電圧が印加される複数列のソース線に接続された構成（第 8 の構成）にするとよい。

10

【 0 0 2 0 】

また、上記第 7 の構成から成る液晶表示装置において、前記マルチプレクサは、連続する複数列のソース線に接続された構成（第 9 の構成）にするとよい。

【 発明の効果 】

【 0 0 2 1 】

上記本発明によれば、ドット反転駆動時の電力ロスを低減することが可能な液晶表示パネル、これを駆動する液晶駆動装置、及び、これらを用いた液晶表示装置を提供することが可能となる。

【 図面の簡単な説明 】

20

【 0 0 2 2 】

【 図 1 】 本発明に係る液晶表示装置の第 1 実施形態を示すブロック図

【 図 2 】 第 1 実施形態の液晶駆動処理を説明するためのタイムチャート

【 図 3 】 第 1 実施形態の表示データ処理を説明するためのデータテーブル

【 図 4 】 本発明に係る液晶表示装置の第 2 実施形態を示すブロック図

【 図 5 】 第 2 実施形態の液晶駆動処理を説明するためのタイムチャート

【 図 6 】 第 2 実施形態の表示データ処理を説明するためのデータテーブル

【 図 7 】 本発明に係る液晶表示装置の第 3 実施形態を示すブロック図

【 図 8 】 第 3 実施形態の液晶駆動処理を説明するためのタイムチャート

【 図 9 】 第 3 実施形態の表示データ処理を説明するためのデータテーブル

30

【 図 1 0 】 本発明に係る液晶表示装置の第 4 実施形態を示すブロック図

【 図 1 1 】 第 4 実施形態の液晶駆動処理を説明するためのタイムチャート

【 図 1 2 】 第 4 実施形態の表示データ処理を説明するためのデータテーブル

【 図 1 3 】 液晶表示装置の第 1 従来例を示すブロック図

【 図 1 4 】 液晶表示装置の第 2 従来例を示すブロック図

【 図 1 5 】 第 1 従来例の液晶駆動処理を説明するためのタイムチャート

【 図 1 6 】 第 2 従来例の液晶駆動処理を説明するためのタイムチャート

【 発明を実施するための形態 】

【 0 0 2 3 】

40

< 第 1 実施形態 >

図 1 は、本発明に係る液晶表示装置の第 1 実施形態を示すブロック図である。第 1 実施形態の液晶表示装置は、M P U [Micro Processing Unit] 1 0 と、ドライバ I C （液晶駆動装置）2 0 と、液晶表示パネル 3 0 と、を有する。

【 0 0 2 4 】

M P U 1 0 は、液晶表示装置全体の動作を統括的に制御する。特に、M P U 1 0 は、本発明に関連する動作として、ドライバ I C 2 0 に表示データを出力する。

【 0 0 2 5 】

ドライバ I C 2 0 は、インタフェース 2 1 と、コントローラ 2 2 と、ゲートドライバ 2 3 と、ソースドライバ 2 4 と、が集積化された半導体装置であり、液晶表示パネル 3 0 をいわゆる 2 ドット反転駆動方式で駆動する。

50

【 0 0 2 6 】

インタフェイス 2 1 は、M P U 1 0 からの表示データをコントローラ 2 2 に伝達する。

【 0 0 2 7 】

コントローラ 2 2 は、M P U 1 0 からの表示データを受け取り、各種の表示データ処理（表示データの並べ替え処理など）や各種のタイミング制御（ゲートドライバ 2 3 の行走査タイミング制御など）を行う。また、コントローラ 2 2 は、第 1 イネーブル信号 E N 1 と第 2 イネーブル信号 E N 2 を各々生成して、これをソースドライバ 2 4 に出力する。なお、コントローラ 2 2 の動作については、後ほど詳細に説明する。

【 0 0 2 8 】

ゲートドライバ 2 3 は、コントローラ 2 2 からの指示に基づいて、m 系統（ただし m 2 ）のゲート信号を生成し、これを液晶表示パネル 3 0 のゲート線 G (1) ~ G (m) に出力する。

10

【 0 0 2 9 】

ソースドライバ 2 4 は、コントローラ 2 2 からの指示に基づいて、(n + 1) 系統（ただし n 2 ）のソース信号を生成し、これを液晶表示パネル 3 0 のソース線 S (1) ~ S (n + 1) に出力する。

【 0 0 3 0 】

ソースドライバ 2 4 は、ラッチ L A T (1) ~ L A T (n + 2) と、デジタル / アナログ変換器 D A C (1) ~ D A C (n + 2) と、バッファアンプ A M P (1) ~ A M P (n + 2) と、セクタ S E L (1) ~ S E L ((n / 2) + 1) と、を含む。

20

【 0 0 3 1 】

ラッチ L A T (1) ~ L A T (n + 2) は、それぞれ、コントローラ 2 2 から入力される表示データを一時的に格納して、デジタル / アナログ変換器 D A C (1) ~ D A C (n + 2) に出力する。

【 0 0 3 2 】

デジタル / アナログ変換器 D A C (1) ~ D A C (n + 2) は、それぞれ、ラッチ L A T (1) ~ L A T (n + 2) から入力されるデジタル形式の表示データをアナログ電圧に変換して、バッファアンプ A M P (1) ~ A M P (n + 2) に出力する。なお、奇数列のデジタル / アナログ変換器 D A C (1) 、 D A C (3) 、 ... 、 D A C (n - 1) 、 D A C (n + 1) は、いずれも正出力 (P O S) とされており、偶数列のデジタル / アナログ変換器 D A C (2) 、 D A C (4) 、 ... 、 D A C (n) 、 D A C (n + 2) は、いずれも負出力 (N E G) とされている。

30

【 0 0 3 3 】

バッファアンプ A M P (1) ~ A M P (n + 2) は、それぞれ、デジタル / アナログ変換器 D A C (1) ~ D A C (n + 2) から入力されるアナログ電圧をバッファして、セクタ S E L (1) ~ S E L ((n / 2) + 1) に出力する。なお、奇数列のバッファアンプ A M P (1) 、 A M P (3) 、 ... 、 A M P (n - 1) 、 A M P (n + 1) は、いずれも正出力 (P O S) とされており、偶数列のバッファアンプ A M P (2) 、 A M P (4) 、 ... 、 A M P (n) 、 A M P (n + 2) はいずれも負出力 (N E G) とされている。また、バッファアンプ A M P (1) 及び A M P (2) は、それぞれ第 1 イネーブル信号 E N 1 によってオン / オフ制御され、バッファアンプ A M P (n + 1) 及び A M P (n + 2) は、それぞれ第 2 イネーブル信号 E N 2 によってオン / オフ制御される。

40

【 0 0 3 4 】

セクタ S E L (1) は、バッファアンプ A M P (1) の正出力を 1 列目のソース線 S (1) に印加して、バッファアンプ A M P (2) の負出力を 2 列目のソース線 S (2) に印加する第 1 状態と、第 1 状態とは逆に、バッファアンプ A M P (1) の正出力を 2 列目のソース線 S (2) に印加して、バッファアンプ A M P (2) の負出力を 1 列目のソース線 S (1) に印加する第 2 状態とを切り換える。セクタ S E L (2) ~ S E L ((n / 2)) の切り換え動作についても、基本的には上記と同様である。一方、セクタ S E L ((n / 2) + 1) の切り換え動作については、(n + 2) 列目のソース線 S (n + 2)

50

が存在しないので、バッファアンプAMP (n + 1) の正出力を (n + 1) 列目のソース線S (n + 1) に印加する第1状態と、バッファアンプAMP (n + 2) の負出力を (n + 1) 列目のソース線S (n + 1) に印加する第2状態とを切り換えることになる。

【0035】

なお、上記構成から成るソースドライバ24の動作については、後ほど具体例を挙げて詳細に説明する。

【0036】

液晶表示パネル30は、m行のゲート線G (1) ~ G (m) と、これらに直交する (n + 1) 列のソース線S (1) ~ S (n + 1) と、(m × n) 個の液晶画素 (角の丸い四角枠で囲まれた部分) と、を有する。

10

【0037】

白抜き液晶画素は、k番目のフレーム期間において、これに印加される電圧が正極性 (POS) であることを示しており、ハッチングされた液晶画素は、k番目のフレーム期間において、これに印加される電圧が負極性 (NEG) であることを示している。なお、液晶表示パネル30において、液晶画素に印加される電圧の極性は、基本的にはドット毎に反転されている。ただし、各列の液晶画素に着目すると、各々に印加される電圧の極性は、ゲート線G (1) ~ G (m) を2行走査する毎に反転されている。すなわち、図1では、いわゆる2ドット反転駆動方式によって液晶表示パネル30を駆動する様子が描写されている。

20

【0038】

各液晶画素には、液晶素子、補助容量素子、及び、アクティブ素子としての薄膜トランジスタ (TFT [Thin Film Transistor]) が組み込まれている。薄膜トランジスタのゲートは、ゲート線G (1) ~ G (m) のいずれかに接続されている。薄膜トランジスタのソースは、ソース線S (1) ~ S (n + 1) のいずれかに接続されている。薄膜トランジスタのドレインは、対応する液晶素子及び補助容量素子の一端に接続されている。液晶素子及び補助容量素子の他端は、いずれもコモン電圧の印加端に接続されている。

【0039】

なお、第1実施形態の液晶表示装置では、アモルファスシリコン型 (AMO型) の薄膜トランジスタを好適に用いることができる。ただし、本発明の構成はこれに限定されるものではなく、高温ポリシリコン型 (HTPS [High Temperature Poly Silicon] 型) や低温ポリシリコン型 (LTPS [Low Temperature Poly Silicon] 型) の薄膜トランジスタを用いることも可能である。

30

【0040】

ここで、液晶表示パネル30の特徴的な構成として、1列目のソース線S (1) には、行走査方向に沿って1列目の液晶画素がx行分 (ただし1 ≤ x ≤ (m / 2)) ずつx行分の間隔を空けて接続されている。図1の例に即して具体的に述べると、1列目のソース線S (1) には、行走査方向に沿って、まず1列目の液晶画素が2行分 (1行目と2行目) だけ接続された後、2行分 (3行目と4行目) の間隔を空けて、さらに1列目の液晶画素が2行分 (5行目と6行目) だけ接続されている。図示されていない7行目以降についても上記と同様である。

40

【0041】

また、y列目 (ただし2 ≤ y ≤ n) のソース線S (y) には、行走査方向に沿ってy列目の液晶画素と (y - 1) 列目の液晶画素がx行分ずつ交互に接続されている。図1の例に即して具体的に述べると、2列目のソース線S (2) には、行走査方向に沿って、まず2列目の液晶画素が2行分 (1行目と2行目) だけ接続された後、1列目の液晶画素が2行分 (3行目と4行目) だけ接続され、さらに2列目の液晶画素が2行分 (5行目と6行目) だけ接続されている。すなわち、2列目のソース線S (2) には、これを対称軸として左右反転 (ミラーリング) させた状態で、1列目の液晶画素と2列目の液晶画素が交互に (千鳥状に) 接続されている。図示されていない7行目以降についても上記と同様であり、また、ソース線S (3) ~ S (n) についても上記と同様である。

50

【 0 0 4 2 】

また、 $(n+1)$ 列目のソース線 $S(n+1)$ には、行走査方向に沿って n 列目の液晶画素が x 行分ずつ x 行分の間隔を空けて接続されている。図 1 の例に則して具体的に述べると、 $(n+1)$ 列目のソース線 $S(n+1)$ には、行走査方向に沿ってまず 2 行分（1 行目と 2 行目）の間隔が空けられた後、 n 列目の液晶画素が 2 行分（3 行目と 4 行目）だけ接続され、さらに 2 行分（5 行目と 6 行目）の間隔が空けられている。図示されていない 7 行目以降についても上記と同様である。

【 0 0 4 3 】

上記のように液晶画素が配列された液晶表示パネル 30 であれば、その 2 ドット反転駆動に際して、少なくとも 1 フレーム期間中には、ソース線 $S(1) \sim S(n)$ に各々印加される電圧の極性反転が生じなくなるので、ソース線 $S(1) \sim S(n)$ に各々接続される容量成分（画素容量、補助容量、及び、配線容量）を正→負または負→正にチャージする必要がなくなり、電力ロスを大幅に低減することが可能となる。

【 0 0 4 4 】

図 2 は、第 1 実施形態の液晶駆動処理を説明するためのタイムチャートであり、上から順に、ゲート線 $G(1) \sim G(m)$ 、及び、ソース線 $S(1) \sim S(n+1)$ の電圧印加状態が描写されている。また、図 3 は、第 1 実施形態の表示データ処理を説明するためのデータテーブル（上段：入力データ、下段：出力データ（ $S(1) \sim S(n+1)$ ）、 $EN1$ 、 $EN2$ ）である。なお、図 2 中の「 $p.c.$ 」はプリチャージ期間を表しており、図 3 中の「 $D(i, j)$ （ただし、 $1 \leq i \leq m$ 、 $1 \leq j \leq (n+1)$ ）」は、座標 (i, j) に位置する液晶画素用の表示データ（またはこれに応じた電圧値）を表している。

【 0 0 4 5 】

k 番目のフレーム期間 $FRAME(k)$ において、1 行目の選択期間（ $G(1) = H$ ）には、ソース線 $S(1)$ 、 $S(3)$ 、...、 $S(n-1)$ に POS 電圧（ $D(1, 1)$ 、 $D(1, 3)$ 、...、 $D(1, n-1)$ ）が印加され、ソース線 $S(2)$ 、 $S(4)$ 、...、 $S(n)$ に NEG 電圧（ $D(1, 2)$ 、 $D(1, 4)$ 、...、 $D(1, n)$ ）が印加される。また、続く 2 行目の選択期間（ $G(2) = H$ ）には、ソース線 $S(1)$ 、 $S(3)$ 、...、 $S(n-1)$ に POS 電圧（ $D(2, 1)$ 、 $D(2, 3)$ 、...、 $D(2, n-1)$ ）が印加されて、ソース線 $S(2)$ 、 $S(4)$ 、...、 $S(n)$ に NEG 電圧（ $D(2, 2)$ 、 $D(2, 4)$ 、...、 $D(2, n)$ ）が印加される。

【 0 0 4 6 】

なお、ソース線 $S(n+1)$ には、1 行目及び 2 行目の液晶画素が接続されていないので、1 行目及び 2 行目の選択期間には、ソース線 $S(n+1)$ に電圧を印加する必要がない。そこで、コントローラ 22 は、1 行目及び 2 行目の選択期間には、ソース線 $S(1)$ に接続されるアンプ $AMP(1)$ 及び $AMP(2)$ をオンして、ソース線 $S(n+1)$ に接続されるアンプ $AMP(n+1)$ 及び $AMP(n+2)$ をオフするように、第 1 イネーブル信号 $EN1$ と第 2 イネーブル信号 $EN2$ を生成する。このような構成とすることにより、ソースドライバ 24 の不要な電力消費を回避することが可能となる。なお、アンプ $AMP(n+1)$ 及び $AMP(n+2)$ がオフされている間、ソース線 $S(n+1)$ は、 $Hi-Z$ （ハイインピーダンス状態）または GND となる。このとき、アンプ $AMP(n+1)$ 及び $AMP(n+2)$ に入力される表示データの内容は不問であり、何らかのダミーデータを入力しておけばよい。

【 0 0 4 7 】

3 行目の選択期間（ $G(3) = H$ ）には、ソース線 $S(3)$ 、 $S(5)$ 、...、 $S(n+1)$ に POS 電圧（ $D(3, 2)$ 、 $D(3, 4)$ 、...、 $D(3, n)$ ）が印加されて、ソース線 $S(2)$ 、 $S(4)$ 、...、 $S(n)$ に NEG 電圧（ $D(3, 1)$ 、 $D(3, 3)$ 、...、 $D(3, n-1)$ ）が印加される。また、4 行目の選択期間（ $G(4) = H$ ）には、ソース線 $S(3)$ 、 $S(5)$ 、...、 $S(n+1)$ に POS 電圧（ $D(4, 2)$ 、 $D(4, 4)$ 、...、 $D(4, n)$ ）が印加されて、ソース線 $S(2)$ 、 $S(4)$ 、...、 $S(n)$ に NEG 電圧（ $D(4, 1)$ 、 $D(4, 3)$ 、...、 $D(4, n-1)$ ）が印加される。

【 0 0 4 8 】

なお、ソース線 $S(1)$ には、3 行目及び 4 行目の液晶画素が接続されていないので、3 行目及び 4 行目の選択期間には、ソース線 $S(1)$ に電圧を印加する必要がない。そこで、コントローラ 22 は、3 行目及び 4 行目の選択期間には、ソース線 $S(1)$ に接続されるアンプ AMP (1) 及び AMP (2) をオフし、ソース線 $S(n+1)$ に接続されるアンプ AMP (n+1) 及び AMP (n+2) をオンするように、第 1 イネーブル信号 $EN1$ と第 2 イネーブル信号 $EN2$ を生成する。このような構成とすることにより、ソースドライバ 24 の不要な電力消費を回避することが可能となる。なお、アンプ AMP (1) 及び AMP (2) がオフされている間、ソース線 $S(1)$ は、 $Hi-Z$ (ハイインピーダンス状態) または GND となる。このとき、アンプ AMP (1) 及び AMP (2) に入力される表示データの内容は不問であり、何らかのダミーデータを入力しておけばよい。

10

【 0 0 4 9 】

5 行目 ~ m 行目についても、上記と同様の液晶駆動処理及び表示データ処理が実施される。また、 $(k+1)$ 番目のフレーム期間 $FRAME(k+1)$ においては、正極性と負極性を反転させた上で、上記と同様の液晶駆動処理及び表示データ処理が実施される。

【 0 0 5 0 】

このような構成とすることにより、先にも述べた通り、液晶表示パネル 30 の 2 ドット反転駆動に際して、少なくとも 1 フレーム期間中には、ソース線 $S(1) \sim S(n)$ に各々印加される電圧の極性反転が生じなくなるので、ソース線 $S(1) \sim S(n)$ に各々接続される容量成分 (画素容量、補助容量、及び、配線容量) を正 → 負または負 → 正にチャージする必要がなくなり、電力ロスを大幅に低減することが可能となる。

20

【 0 0 5 1 】

< 第 2 実施形態 >

図 4 は、本発明に係る液晶表示装置の第 2 実施形態を示すブロック図である。第 2 実施形態の液晶表示装置は、基本的には先述の第 1 実施形態と同様の構成を有しているが、ドライバ IC 20 のドライバ出力線 $S'(1) \sim S'(z)$ (ただし $1 \leq z \leq (n+1)/3$) に印加される電圧を各々 3 系統に分配して液晶表示パネル 30 のソース線 $S(1) \sim S(n+1)$ に供給するマルチプレクサ $MUX(1) \sim MUX(z)$ をさらに有するほか、ソースドライバ 24 の内部構成や動作についても多少の変更が加えられている。そこで、第 1 実施形態と同様の構成部分については、図 1 と同一の符号を付すことで重複した説明を割愛し、以下では、第 2 実施形態の特徴部分について重点的な説明を行う。

30

【 0 0 5 2 】

ソースドライバ 24 は、ラッチ $LAT(1) \sim LAT(z)$ と、デジタル / アナログ変換器 $DAC(1) \sim DAC(z)$ と、バッファアンプ $AMP(1) \sim AMP(z)$ と、セレクト $SEL(1) \sim SEL(z/2)$ と、を含む。

【 0 0 5 3 】

ラッチ $LAT(1) \sim LAT(z)$ は、それぞれ、コントローラ 22 から入力される表示データを一時的に格納して、デジタル / アナログ変換器 $DAC(1) \sim DAC(z)$ に出力する。

【 0 0 5 4 】

デジタル / アナログ変換器 $DAC(1) \sim DAC(z)$ は、それぞれに、ラッチ $LAT(1) \sim LAT(z)$ から入力されるデジタル形式の表示データをアナログ電圧に変換して、バッファアンプ $AMP(1) \sim AMP(z)$ に出力する。なお、奇数列のデジタル / アナログ変換器 $DAC(1)$ 、 $DAC(3)$ 、...、 $DAC(z-1)$ は、いずれも正出力 (POS) とされており、また、偶数列のデジタル / アナログ変換器 $DAC(2)$ 、 $DAC(4)$ 、...、 $DAC(z)$ は、いずれも負出力 (NEG) とされている。

【 0 0 5 5 】

バッファアンプ $AMP(1) \sim AMP(z)$ は、それぞれ、デジタル / アナログ変換器 $DAC(1) \sim DAC(z)$ から入力されるアナログ電圧をバッファして、セレクト $SEL(1) \sim SEL(z/2)$ に出力する。なお、奇数列のバッファアンプ $AMP(1)$ 、

40

50

A M P (3)、...、A M P (z - 1) は、いずれも正出力 (P O S) とされており、偶数列のバッファアンプ A M P (2)、A M P (4)、...、A M P (z) は、いずれも負出力 (N E G) とされている。また、バッファアンプ A M P (1) 及び A M P (2) は、それぞれ第 1 イネーブル信号 E N 1 によってオン / オフ制御され、バッファアンプ A M P (z - 1) 及び A M P (z) は、それぞれ第 2 イネーブル信号 E N 2 によってオン / オフ制御される。

【 0 0 5 6 】

セクタ S E L (1) は、バッファアンプ A M P (1) の正出力をドライバ出力線 S ' (1) に印加して、バッファアンプ A M P (2) の負出力をドライバ出力線 S ' (2) に印加する第 1 状態と、第 1 状態とは逆に、バッファアンプ A M P (1) の正出力をドライバ出力線 S ' (2) に印加して、バッファアンプ A M P (2) の負出力をドライバ出力線 S ' (1) に印加する第 2 状態を切り換える。セクタ S E L (2) ~ S E L (z / 2) の切り換え動作についても、基本的には上記と同様である。

10

【 0 0 5 7 】

マルチプレクサ M U X (1) は、ドライバ出力線 S ' (1) に印加される電圧をソース線 S (1)、S (3)、S (5) に分配出力する。マルチプレクサ M U X (2) は、ドライバ出力線 S ' (2) に印加される電圧をソース線 S (2)、S (4)、S (5) に分配出力する。マルチプレクサ M U X (3) ~ M U X (z) の電圧分配処理についても、基本的には上記と同様である。

【 0 0 5 8 】

20

液晶表示パネル 3 0 は、先述の第 1 実施形態と全く同一の構成を有している。従って、その 2 ドット反転駆動に際して、少なくとも 1 フレーム期間中には、ソース線 S (1) ~ S (n) に各々印加される電圧の極性反転が生じないので、ソース線 S (1) ~ S (n) に各々接続される容量成分 (画素容量、補助容量、及び、配線容量) を正 → 負または負 → 正にチャージする必要がなくなり、電力ロスを大幅に低減することが可能となる。

【 0 0 5 9 】

また、マルチプレクサ M U X (1) ~ M U X (z) は、それぞれ、同一極性の電圧が印加される 3 系統のソース線に接続されているので、各行の選択期間中に、マルチプレクサ M U X (1) ~ M U X (z) での電圧分配処理が行われても、ドライバ出力線 S ' (1) ~ S ' (z) に印加される電圧の極性反転が生じることはない。

30

【 0 0 6 0 】

なお、第 2 実施形態の液晶表示装置では、高温ポリシリコン型 (H T P S 型) や低温ポリシリコン型 (L T P S 型) の薄膜トランジスタを好適に用いることができる。ただし、本発明の構成はこれに限定されるものではなく、アモルファスシリコン型 (A M O 型) の薄膜トランジスタを用いることも可能である。

【 0 0 6 1 】

図 5 は、第 2 実施形態の液晶駆動処理を説明するためのタイムチャートであり、上から順に、ゲート線 G (1) ~ G (m)、M U X 切替制御信号 a ~ c、及び、ドライバ出力線 S ' (1) ~ S ' (z) の電圧印加状態が描写されている。また、図 6 は、第 2 実施形態の表示データ処理を説明するためのデータテーブル (上段：入力データ、下段：出力データ (S (1) ~ S (n + 1)、E N 1、E N 2) である。なお、図 5 中の「 p . c . 」はプリチャージ期間を表しており、図 6 中の「 D (i , j) (ただし、1 ≤ i ≤ m、1 ≤ j ≤ (n + 1)) 」は、座標 (i , j) に位置する液晶画素用の表示データ (またはこれに応じた電圧値) を表している。

40

【 0 0 6 2 】

k 番目のフレーム期間 F R A M E (k) において、各行の選択期間毎に、M U X 切替制御信号 a ~ c が時分割で順次ハイレベルとされる。ドライバ出力線 S ' (1) に着目すると、a 系統の選択期間 (a = H) には、ソース線 S (1) 用の P O S 電圧が印加され、b 系統の選択期間 (b = H) には、ソース線 S (3) 用の P O S 電圧が印加され、c 系統の選択期間 (c = H) には、ソース線 S (5) 用の P O S 電圧が印加される。また、ドライ

50

バ出力線 $S' (2)$ に着目すると、 a 系統の選択期間 ($a = H$) には、ソース線 $S (2)$ 用の NEG 電圧が印加され、 b 系統の選択期間 ($b = H$) には、ソース線 $S (4)$ 用の NEG 電圧が印加され、 c 系統の選択期間 ($c = H$) には、ソース線 $S (6)$ 用の NEG 電圧が印加される。その他のドライバ出力線 $S' (3) \sim S' (z)$ についても、基本的には上記と同様である。また、第 1 イネーブル信号 $EN1$ と第 2 イネーブル信号 $EN2$ の生成動作についても、先述の第 1 実施形態と同様である。

【0063】

このように、第 2 実施形態の液晶表示装置であれば、第 1 実施形態と同様の効果を楽しむことができるほか、マルチプレクサ $MUX (1) \sim MUX (z)$ を用いてソースドライバ 24 の出力系統数を削減することが可能となる。

10

【0064】

< 第 3 実施形態 >

図 7 は、本発明に係る液晶表示装置の第 3 実施形態を示すブロック図である。第 3 実施形態の液晶表示装置は、基本的には先述の第 2 実施形態と同様の構成を有しているが、マルチプレクサ $MUX (1) \sim MUX (z)$ の出力先と電圧分配処理に変更が加えられている。そこで、第 2 実施形態と同様の構成部分については、図 4 と同一の符号を付すことで重複した説明を割愛し、以下では第 3 実施形態の特徴部分について重点的な説明を行う。

【0065】

マルチプレクサ $MUX (1)$ は、ドライバ出力線 $S' (1)$ に印加される電圧をソース線 $S (1)$ 、 $S (2)$ 、 $S (3)$ に分配出力する。マルチプレクサ $MUX (2)$ は、ドライバ出力線 $S' (2)$ に印加される電圧をソース線 $S (4)$ 、 $S (5)$ 、 $S (6)$ に分配出力する。マルチプレクサ $MUX (3) \sim MUX (z)$ の電圧分配処理についても、基本的には上記と同様である。

20

【0066】

液晶表示パネル 30 は、先述の第 1 実施形態や第 2 実施形態と全く同一の構成を有している。従って、その 2 ドット反転駆動に際して、少なくとも、1 フレーム期間中には、ソース線 $S (1) \sim S (n)$ に各々印加される電圧の極性反転が生じないので、ソース線 $S (1) \sim S (n)$ に各々接続される容量成分 (画素容量、補助容量、及び、配線容量) を正→負または負→正にチャージする必要がなくなり、電力ロスを大幅に低減することが可能となる。

30

【0067】

一方、マルチプレクサ $MUX (1) \sim MUX (z)$ は、先述の第 2 実施形態と異なり、それぞれ、連続する 3 系統のソース線に接続されているので、ソース線 $S (1) \sim S (n+1)$ の引き回しが容易となる。ただし、ドット反転駆動される液晶表示パネル 30 において、連続する 3 系統のソース線に印加される電圧が全て同一の極性ということはないので、各行の選択期間中には、マルチプレクサ $MUX (1) \sim MUX (z)$ での電圧分配処理に伴い、ドライバ出力線 $S' (1) \sim S' (z)$ に印加される電圧の極性反転が生じることに留意すべきである (図 8 の符号 B を参照)。

【0068】

なお、第 3 実施形態の液晶表示装置では、先述の第 2 実施形態と同様、高温ポリシリコン型 (HTPS 型) や低温ポリシリコン型 (LTPS 型) の薄膜トランジスタを好適に用いることができる。ただし、本発明の構成はこれに限定されるものではなく、アモルファスシリコン型 (AMO 型) の薄膜トランジスタを用いることも可能である。

40

【0069】

図 8 は、第 3 実施形態の液晶駆動処理を説明するためのタイムチャートであり、上から順に、ゲート線 $G (1) \sim G (m)$ 、 MUX 切替制御信号 $a \sim c$ 、及び、ドライバ出力線 $S' (1) \sim S' (z)$ の電圧印加状態が描写されている。また、図 9 は、第 3 実施形態の表示データ処理を説明するためのデータテーブル (上段: 入力データ、下段: 出力データ ($S (1) \sim S (n+1)$ 、 $EN1$ 、 $EN2$)) である。なお、図 8 中の「p.c.」はプリチャージ期間を表しており、図 9 中の「 $D(i, j)$ 」(ただし、 $1 \leq i \leq m$ 、 $1 \leq j$

50

($n + 1$)」は、座標(i, j)に位置する液晶画素用の表示データ(またはこれに応じた電圧値)を表している。

【0070】

k番目のフレーム期間FRAME(k)において、各行の選択期間毎に、MUX切替制御信号 $a \sim c$ が時分割で順次ハイレベルとされる。ドライバ出力線 $S'(1)$ に着目すると、a系統の選択期間($a = H$)には、ソース線 $S(1)$ 用のPOS電圧が印加され、b系統の選択期間($b = H$)には、ソース線 $S(2)$ 用のNEG電圧が印加され、c系統の選択期間($c = H$)には、ソース線 $S(3)$ 用のPOS電圧が印加される。また、ドライバ出力線 $S'(2)$ に着目すると、a系統の選択期間($a = H$)には、ソース線 $S(4)$ 用のNEG電圧が印加され、b系統の選択期間($b = H$)には、ソース線 $S(5)$ 用のPOS電圧が印加され、c系統の選択期間($c = H$)には、ソース線 $S(6)$ 用のNEG電圧が印加される。その他のドライバ出力線 $S'(3) \sim S'(z)$ についても、基本的には上記と同様である。また、第1イネーブル信号EN1と第2イネーブル信号EN2の生成動作についても、先述の第1実施形態や第2実施形態と同様である。

10

【0071】

なお、マルチプレクサMUX(1) $\sim$ MUX(z)での電圧分配処理に伴うドライバ出力線 $S'(1) \sim S'(z)$ の極性反転回数をできるだけ減らすためには、図8に示したように、同一極性の電圧印加ができるだけ連続するように、マルチプレクサMUX(1) $\sim$ MUX(z)の出力系統選択順序を各行毎に入れ替えることが望ましい。

20

【0072】

このように、第3実施形態の液晶表示装置であれば、第2実施形態とほぼ同様の効果を享受することができるほか、ソース線 $S(1) \sim S(n + 1)$ の引き回しを容易に行うことも可能となる。

【0073】

<第4実施形態>

図10は、本発明に係る液晶表示装置の第4実施形態を示すブロック図である。第4実施形態の液晶表示装置は、基本的には先述の第1実施形態と同様の見地に立つものであるが、液晶表示パネル30の内部レイアウトに相違点を有するほか、ソースドライバ24の内部構成や動作についても変更が加えられている。そこで、第1実施形態と同様の構成部分については、図1と同一の符号を付すことで重複した説明を割愛し、以下では、第4実施形態の特徴部分について重点的な説明を行う。

30

【0074】

ソースドライバ24は、ラッチLAT(1) $\sim$ LAT(n)と、デジタル/アナログ変換器DAC(1) $\sim$ DAC(n)と、バッファアンプAMP(1) $\sim$ AMP(n)と、セクタSEL(1) $\sim$ SEL($n/2$)と、を含む。

【0075】

ラッチLAT(1) $\sim$ LAT(n)は、それぞれ、コントローラ22から入力される表示データを一時的に格納して、デジタル/アナログ変換器DAC(1) $\sim$ DAC(n)に出力する。

40

【0076】

デジタル/アナログ変換器DAC(1) $\sim$ DAC(n)は、それぞれに、ラッチLAT(1) $\sim$ LAT(n)から入力されるデジタル形式の表示データをアナログ電圧に変換して、バッファアンプAMP(1) $\sim$ AMP(n)に出力する。なお、奇数列のデジタル/アナログ変換器DAC(1)、DAC(3)、...、DAC($n - 1$)は、いずれも正出力(POS)とされており、また、偶数列のデジタル/アナログ変換器DAC(2)、DAC(4)、...、DAC(n)は、いずれも負出力(NEG)とされている。

【0077】

バッファアンプAMP(1) $\sim$ AMP(n)は、それぞれ、デジタル/アナログ変換器DAC(1) $\sim$ DAC(n)から入力されるアナログ電圧をバッファして、セクタSEL(1) $\sim$ SEL($n/2$)に出力する。なお、奇数列のバッファアンプAMP(1)、

50

AMP (3)、...、AMP (n - 1) は、いずれも正出力 (POS) とされており、偶数列のバッファアンプ AMP (2)、AMP (4)、...、AMP (n) は、いずれも負出力 (NEG) とされている。

【 0 0 7 8 】

セクタ SEL (1) は、バッファアンプ AMP (1) の正出力を 1 列目のソース線 S (1) に印加して、バッファアンプ AMP (2) の負出力を 2 列目のソース線 S (2) に印加する第 1 状態と、第 1 状態とは逆に、バッファアンプ AMP (1) の正出力を 2 列目のソース線 S (2) に印加して、バッファアンプ AMP (2) の負出力を 1 列目のソース線 S (1) に印加する第 2 状態とを切り換える。セクタ SEL (2) ~ SEL ((n / 2)) の切り換え動作についても、基本的には上記と同様である。

10

【 0 0 7 9 】

液晶表示パネル 30 は、m 行のゲート線 G (1) ~ G (m) と、これらに直交する n 列のソース線 S (1) ~ S (n) と、(m × n) 個の液晶画素と、を有する。なお、第 4 実施形態の液晶表示装置では、第 1 実施形態と同様、アモルファスシリコン型 (AMO 型) の薄膜トランジスタを好適に用いることができる。ただし、本発明の構成はこれに限定されるものではなく、高温ポリシリコン型 (HTPS 型) や低温ポリシリコン型 (LTPS 型) の薄膜トランジスタを用いることも可能である。

【 0 0 8 0 】

ここで、液晶表示パネル 30 の特徴的な構成として、y 列目 (ただし y = 1, 3, 5, ..., (n - 1)) のソース線 S (y) には、行走査方向に沿って y 列目の液晶画素と (y + 1) 列目の液晶画素が x 行分 (ただし、1 ≤ x ≤ (m / 2)) ずつ交互に接続されており、(y + 1) 列目のソース線には、行走査方向に沿って (y + 1) 列目の液晶画素と y 列目の液晶画素が x 行分ずつ交互に接続されており、かつ y 列目のソース線と (y + 1) 列目のソース線とは、行走査方向に沿って x 行毎に互いの敷設位置が反転されている。

20

【 0 0 8 1 】

図 1 の例に即して具体的に述べると、1 列目のソース線 S (1) には、行走査方向に沿って、まず 1 列目の液晶画素が 2 行分 (1 行目と 2 行目) だけ接続されている。一方、2 列目のソース線 S (2) には、行走査方向に沿って、まず 2 列目の液晶画素が 2 行分 (1 行目と 2 行目) だけ接続されている。そして、2 行目と 3 行目の間において、ソース線 S (1) とソース線 S (2) の敷設位置が互いに反転されている。敷設位置が反転された後、ソース線 S (1) には、行走査方向に沿って、2 列目の液晶画素が 2 行分 (3 行目と 4 行目) だけ接続されている。一方、ソース線 S (2) には、行走査方向に沿って、1 列目の液晶画素が 2 行分 (3 行目と 4 行目) だけ接続されている。そして、4 行目と 5 行目の間において、ソース線 S (1) とソース線 S (2) の敷設位置が再び反転されている。敷設位置が再反転された後、ソース線 S (1) には、行走査方向に沿って、1 列目の液晶画素が 2 行分 (5 行目と 6 行目) だけ接続されている。一方、ソース線 S (2) には、行走査方向に沿って、2 列目の液晶画素が 2 行分 (5 行目と 6 行目) だけ接続されている。図示されていない 7 行目以降についても上記と同様であり、また、ソース線 S (3) ~ S (n) についても上記と同様である。

30

【 0 0 8 2 】

上記のように液晶画素及びソース線 S (1) ~ S (n) が配列された液晶表示パネル 30 であれば、先述の第 1 実施形態と同様、その 2 ドット反転駆動に際して、少なくとも 1 フレーム期間中には、ソース線 S (1) ~ S (n) に各々印加される電圧の極性反転が生じなくなるので、ソース線 S (1) ~ S (n) に各々接続される容量成分 (画素容量、補助容量、及び、配線容量) を正 → 負または負 → 正にチャージする必要がなくなり、電力ロスを大幅に低減することが可能となる。

40

【 0 0 8 3 】

図 11 は、第 4 実施形態の液晶駆動処理を説明するためのタイムチャートであり、上から順に、ゲート線 G (1) ~ G (m)、及び、ソース線 S (1) ~ S (n) の電圧印加状態が描写されている。また、図 12 は、第 4 実施形態の表示データ処理を説明するための

50

データテーブル（上段：入力データ、下段：出力データ（ $S(1) \sim S(n)$ ）である。なお、図 11 中の「p.c.」はプリチャージ期間を表しており、図 12 中の「 $D(i, j)$ 」（ただし、 $1 \leq i \leq m$ 、 $1 \leq j \leq n$ ）は、座標（ i, j ）に位置する液晶画素用の表示データ（またはこれに応じた電圧値）を表している。

【0084】

k 番目のフレーム期間 FRAME (k) において、i 行目の選択期間（ $G(i) = H$ ）には、ソース線 $S(1)$ 、 $S(3)$ 、...、 $S(n-1)$ に POS 電圧（ $D(i, 1)$ 、 $D(i, 3)$ 、...、 $D(i, n-1)$ ）が印加され、ソース線 $S(2)$ 、 $S(4)$ 、...、 $S(n)$ に NEG 電圧（ $D(i, 2)$ 、 $D(i, 4)$ 、...、 $D(i, n)$ ）が印加される。なお、（k+1）番目のフレーム期間 FRAME (k+1) においては、正極性と負極性を反転させた上で、上記と同様の液晶駆動処理及び表示データ処理が実施される。

10

【0085】

このような構成とすることにより、先述の第 1 実施形態～第 3 実施形態と同じく、液晶表示パネル 30 の 2 ドット反転駆動に際して、少なくとも 1 フレーム期間中には、ソース線 $S(1) \sim S(n)$ に各々印加される電圧の極性反転が生じなくなるので、ソース線 $S(1) \sim S(n)$ に各々接続される容量成分（画素容量、補助容量、及び、配線容量）を正→負または負→正にチャージする必要がなくなり、電力ロスを大幅に低減することが可能となる。

【0086】

また、第 4 実施形態の液晶表示装置であれば、先述の第 1 実施形態と異なり、ソースドライバ 24 の信号系統（ラッチ、デジタル/アナログ変換器、バッファアンプ、及び、セレクト）を 1 つ余分に持つ必要がなく、また、表示データの並べ替え処理も不要となるので（図 12 を参照）、既存のソースドライバをそのまま流用することが可能となる。

20

【0087】

なお、第 4 実施形態の液晶表示装置を基本形としながら、第 2 実施形態や第 3 実施形態に倣ってマルチプレクサを追加することも当然に可能である。

【0088】

<まとめ>

上記第 1～第 4 実施形態を鑑みると、本発明に係る液晶表示パネルは、複数行のゲート線と、複数列のソース線と、複数個の液晶画素と、を有するものであって、液晶表示パネル全体として前記複数個の液晶画素に各々印加される電圧の極性がドット毎に反転されるように、かつ、前記複数列のソース線に各々印加される電圧の極性が少なくとも行走査期間にわたって反転されないように、前記複数列のソース線及び前記複数個の液晶画素がレイアウトされている構成であると言える。このような構成とすることにより、ドット反転駆動時の電力ロスを低減することが可能な液晶表示パネル、これを駆動する液晶駆動装置及び、これらを用いた液晶表示装置を提供することが可能となる。

30

【0089】

<その他の構成例>

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

40

【0090】

例えば、上記実施形態では、画素の右上部分または左上部分に TFT 回路を組み込んだ構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、画素の右下部分または左下部分に TFT 回路を組み込んだ構成としても構わない。

【産業上の利用可能性】

【0091】

本発明は、液晶表示装置の消費電力低減を図る上で有用な技術である。

50

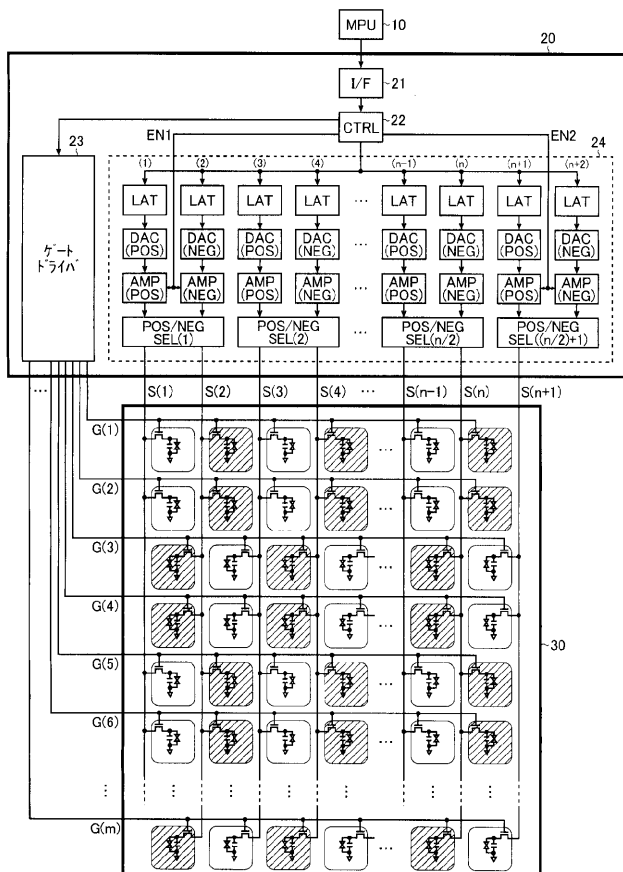
【符号の説明】

【 0 0 9 2 】

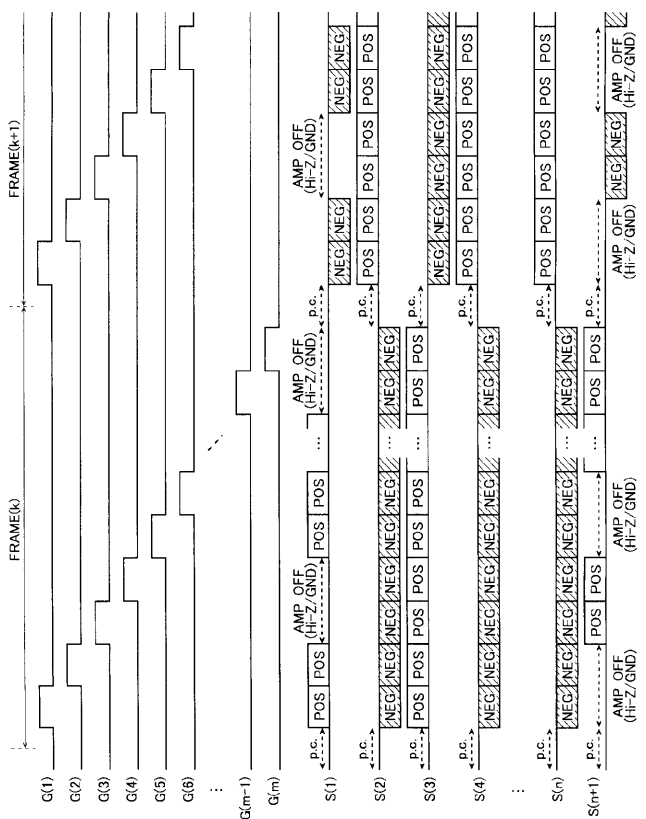
1 0	M P U
2 0	ドライバ I C (液晶駆動装置)
2 1	インタフェイス
2 2	コントローラ
2 3	ゲートドライバ
2 4	ソースドライバ
3 0	液晶表示パネル
L A T	ラッチ
D A C	デジタル / アナログ変換器 (P O S : 正出力、N E G : 負出力)
A M P	バッファアンプ (P O S : 正出力、N E G : 負出力)
S E L	セレクト
M U X	マルチプレクサ
E N 1 、 E N 2	イネーブル信号
S	ソース線
G	ゲート線
D	表示データ

10

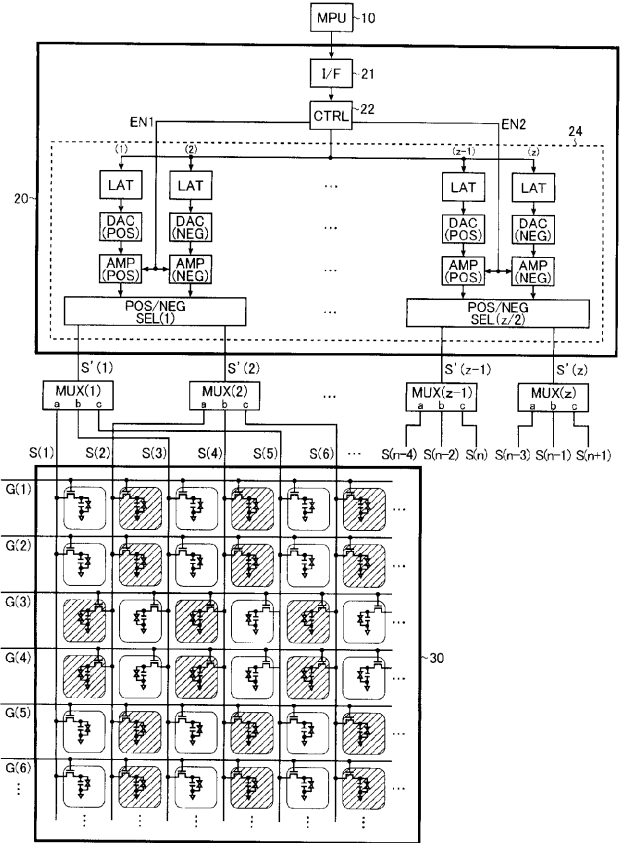
【 図 1 】



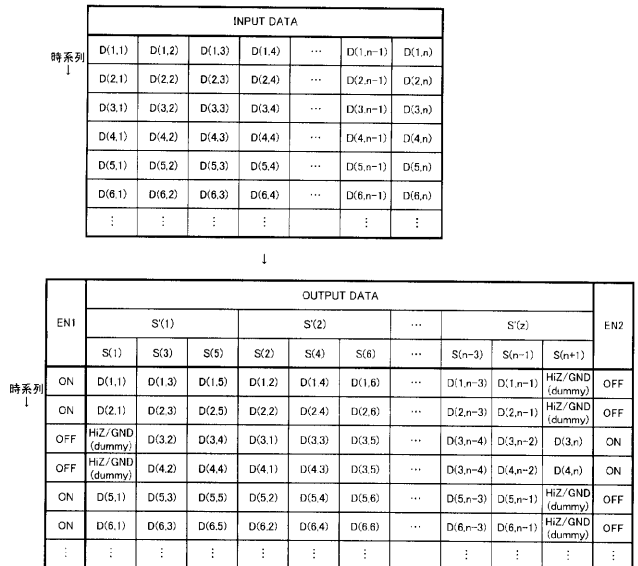
【 図 2 】



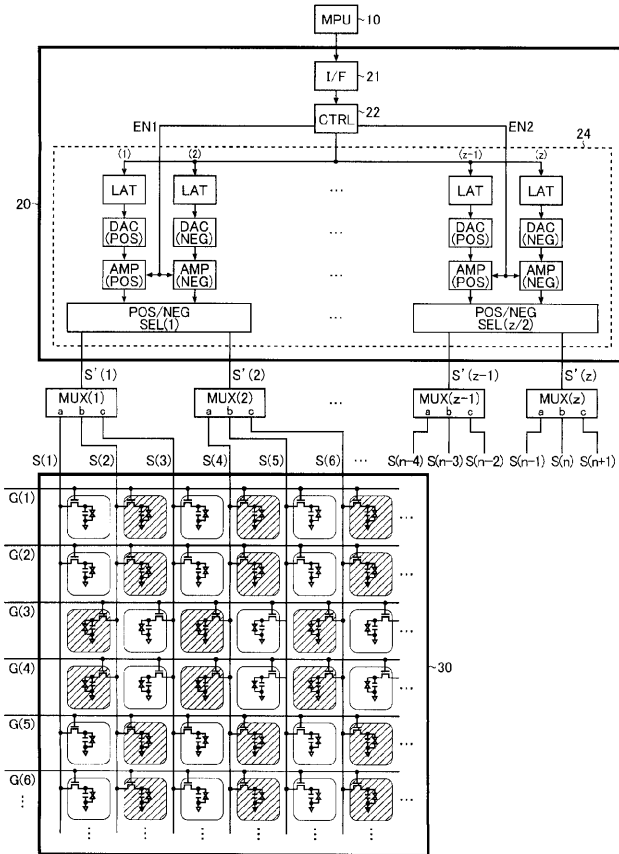
【 図 4 】



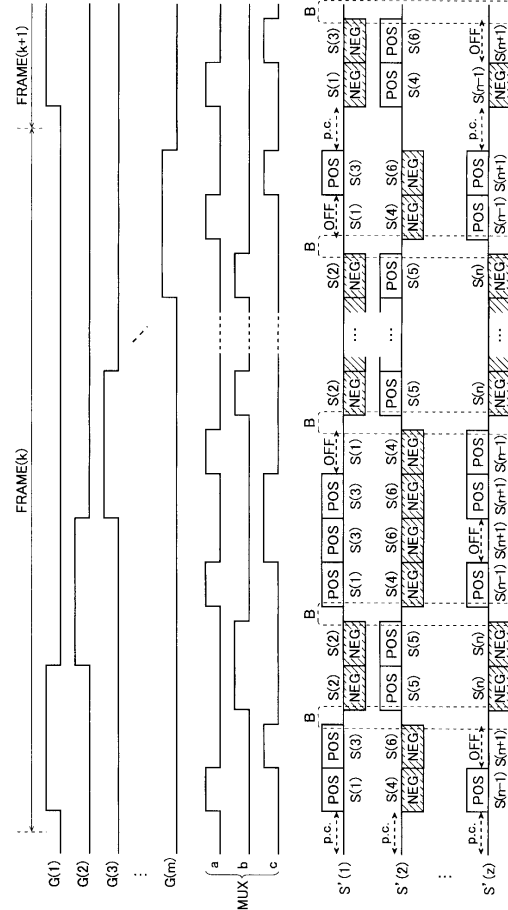
【 図 6 】



【図 7】



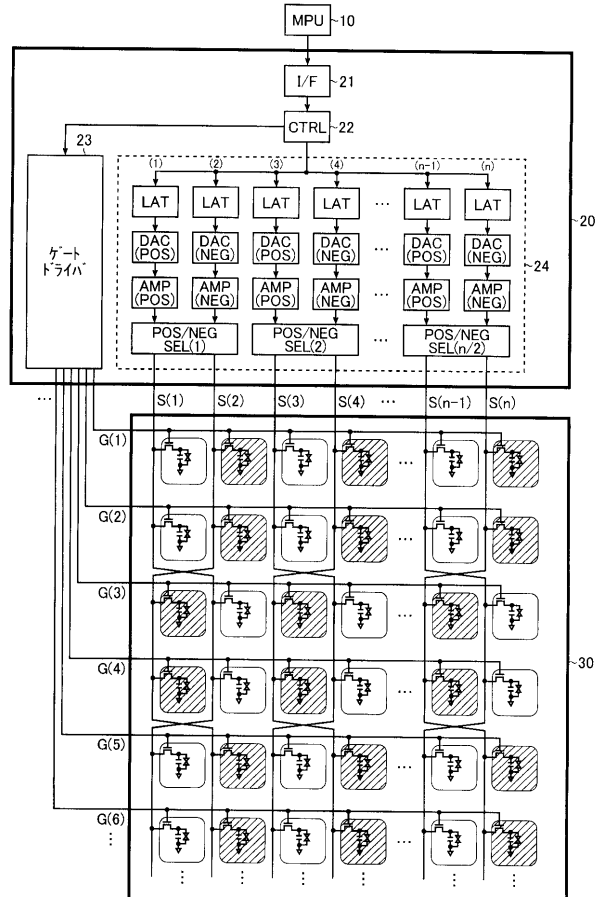
【図 8】



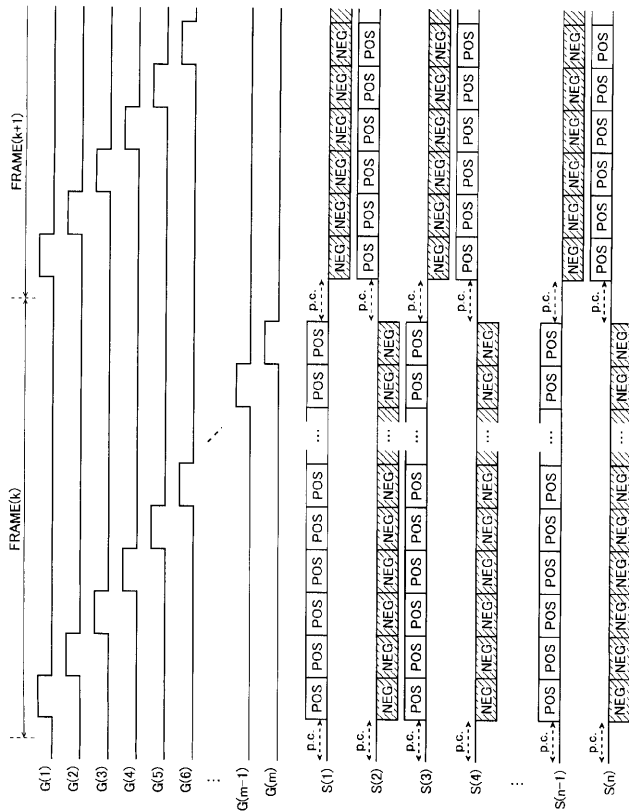
【図 9】

		INPUT DATA										
時系列 ↓	D(1,1)	D(1,2)	D(1,3)	D(1,4)	...	D(1,n-1)	D(1,n)					
	D(2,1)	D(2,2)	D(2,3)	D(2,4)	...	D(2,n-1)	D(2,n)					
	D(3,1)	D(3,2)	D(3,3)	D(3,4)	...	D(3,n-1)	D(3,n)					
	D(4,1)	D(4,2)	D(4,3)	D(4,4)	...	D(4,n-1)	D(4,n)					
	D(5,1)	D(5,2)	D(5,3)	D(5,4)	...	D(5,n-1)	D(5,n)					
	D(6,1)	D(6,2)	D(6,3)	D(6,4)	...	D(6,n-1)	D(6,n)					
⋮	⋮	⋮	⋮		⋮	⋮						
↓												
時系列 ↓	EN1	OUTPUT DATA									EN2	
		S'(1)			S'(2)			...	S'(z)			
		S(1)	S(2)	S(3)	S(4)	S(5)	S(6)	...	S(n-1)	S(n)	S(n+1)	
ON	ON	D(1,1)	D(1,2)	D(1,3)	D(1,4)	D(1,5)	D(1,6)	...	D(1,n-1)	D(1,n)	HIZ/GND (dummy)	OFF
ON	ON	D(2,1)	D(2,2)	D(2,3)	D(2,4)	D(2,5)	D(2,6)	...	D(2,n-1)	D(2,n)	HIZ/GND (dummy)	OFF
OFF	HIZ/GND (dummy)	D(3,1)	D(3,2)	D(3,3)	D(3,4)	D(3,5)	D(3,6)	...	D(3,n-2)	D(3,n-1)	D(3,n)	ON
OFF	HIZ/GND (dummy)	D(4,1)	D(4,2)	D(4,3)	D(4,4)	D(4,5)	D(4,6)	...	D(3,n-2)	D(4,n-1)	D(4,n)	ON
ON	ON	D(5,1)	D(5,2)	D(5,3)	D(5,4)	D(5,5)	D(5,6)	...	D(5,n-1)	D(5,n)	HIZ/GND (dummy)	OFF
ON	ON	D(6,1)	D(6,2)	D(6,3)	D(6,4)	D(6,5)	D(6,6)	...	D(6,n-1)	D(6,n)	HIZ/GND (dummy)	OFF
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮		⋮	⋮	⋮	

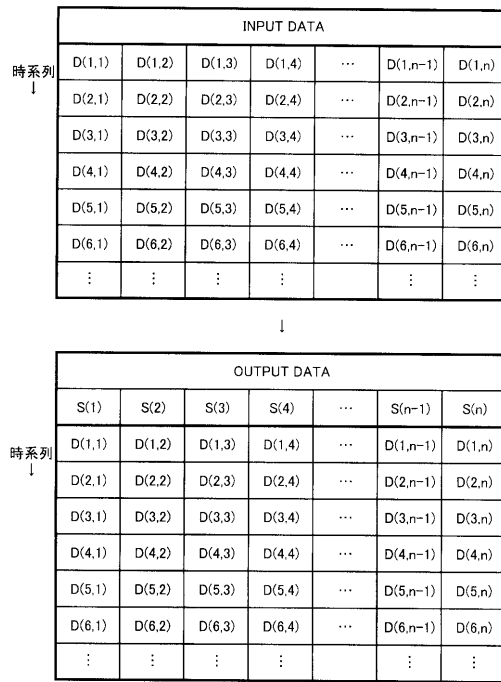
【図 10】



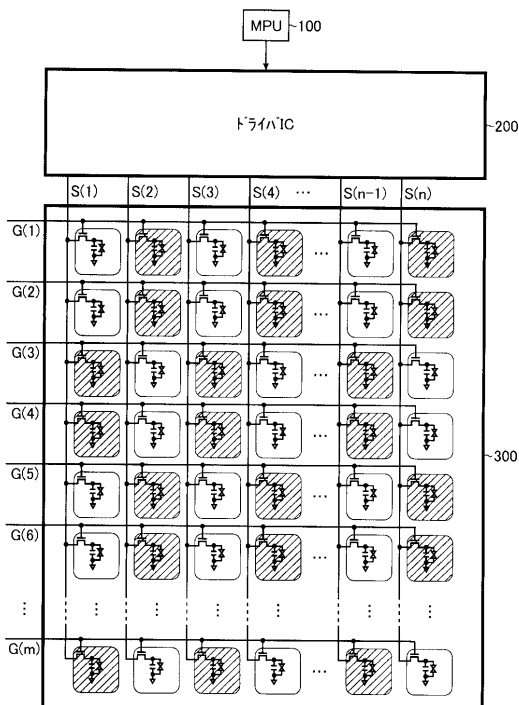
【図 1 1】



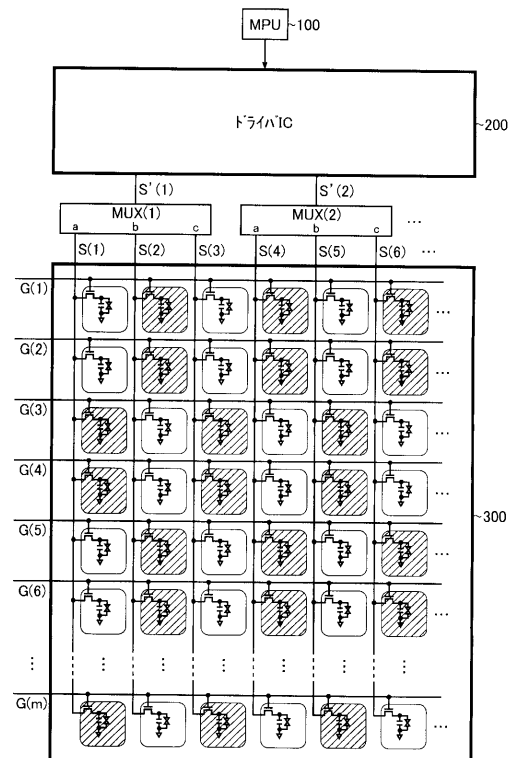
【図 1 2】



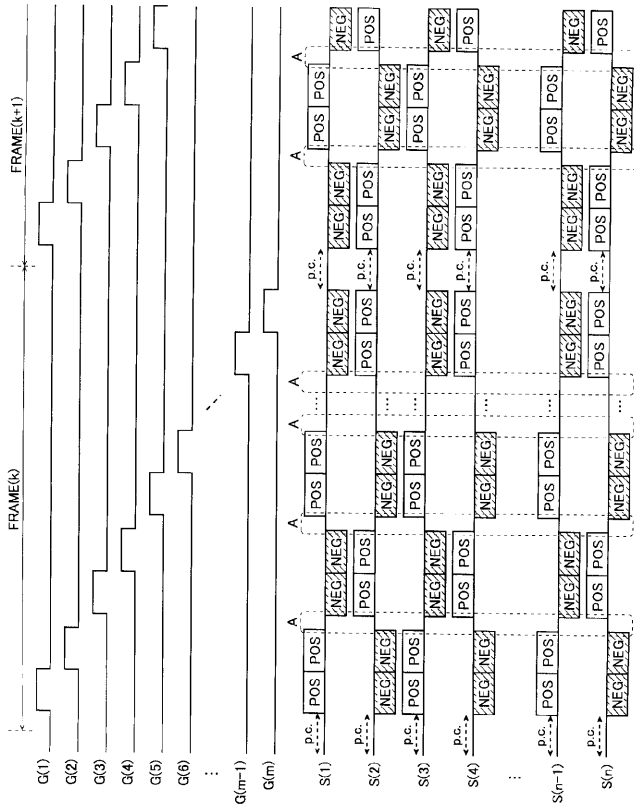
【図 1 3】



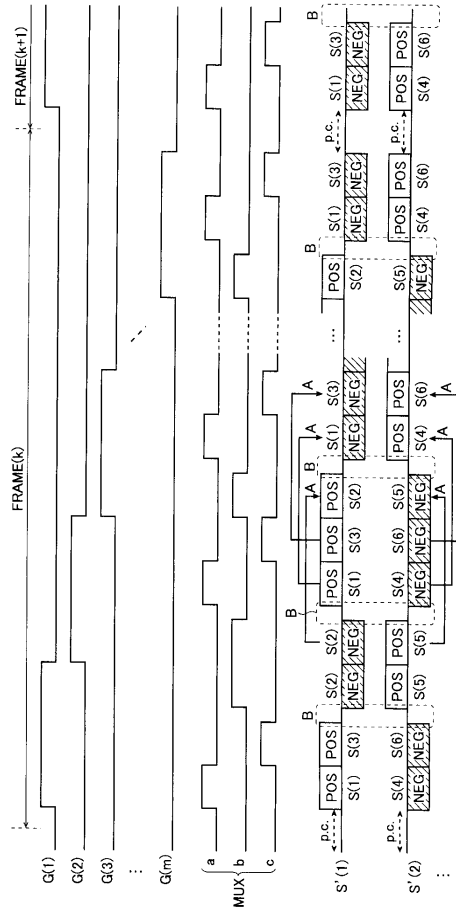
【図 1 4】



【 15 】



【 16 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 1 1 A
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/133	5 2 5

F ターム(参考) 5C006 AC21 AC26 AF59 AF71 BB16 BC03 BC06 BC16 BF24 FA37
FA47
5C080 AA10 BB05 DD26 JJ02 JJ04

专利名称(译)	液晶显示面板，液晶驱动装置，液晶显示装置		
公开(公告)号	JP2012103501A	公开(公告)日	2012-05-31
申请号	JP2010252213	申请日	2010-11-10
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	矢熊宏司 北川誠		
发明人	矢熊 宏司 北川 誠		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G02F1/136286 G09G3/3688 G09G2300/0426 G09G2310/0297 G09G2310/06		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.623.C G09G3/20.680.G G09G3/20.621.M G09G3/20.621.A G09G3/20.611.A G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H193/ZA04 2H193/ZA05 2H193/ZC05 2H193/ZC07 2H193/ZC14 2H193/ZF36 5C006/AC21 5C006/AC26 5C006/AF59 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC16 5C006/BF24 5C006/FA37 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/JJ02 5C080/JJ04		
代理人(译)	林田秀树		
外部链接	Espacenet		

摘要(译)

能够减少点反转驱动时的功率损失的液晶显示装置。液晶显示面板(30)具有多行栅极线(G)，多列源极线(S)和多个液晶像素。布置多个列，使得对于每个点，施加到像素的电压的极性反转，并且至少在行扫描时段中，施加到多列的源极线S的电压的极性不反转。布置源极线S和多个液晶像素。[选型图]图1

