

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2012-8286
(P2012-8286A)

(43) 公開日 平成24年1月12日(2012.1.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621A	5C006
G02F 1/133 (2006.01)	G09G 3/20 612L	5C080
	G09G 3/20 623P	
	G09G 3/20 623H	
審査請求 有 請求項の数 16 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2010-143187 (P2010-143187)	(71) 出願人	000005049
(22) 出願日	平成22年6月23日 (2010. 6. 23)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100078282
			弁理士 山本 秀策
		(74) 代理人	100062409
			弁理士 安村 高明
		(74) 代理人	100107489
			弁理士 大塩 竹志
		(72) 発明者	鈴木 貴光
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	小林 勝敏
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

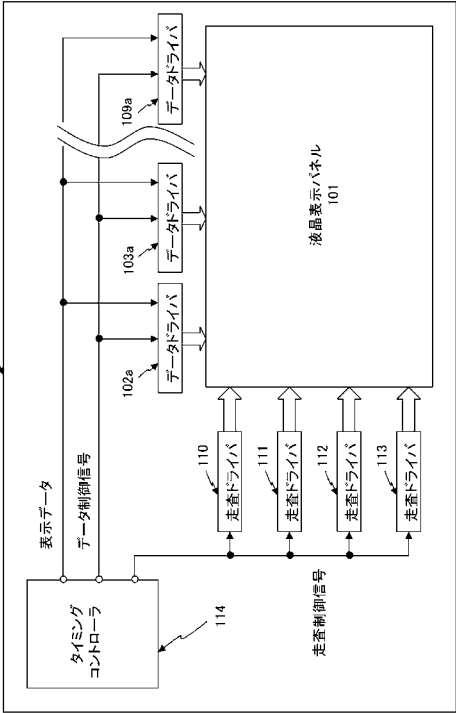
(54) 【発明の名称】 駆動回路、液晶表示装置、および電子情報機器

(57) 【要約】

【課題】液晶表示装置100において、液晶表示パネルの駆動回路から液晶表示パネルに出力される表示データの周波数成分を拡散させて、不要輻射を低減させる。

【解決手段】液晶表示パネル101を表示データおよび制御信号に基づいて駆動する駆動回路102～109において、入力された制御信号を遅延する遅延回路120を備えるとともに、入力された表示データを、遅延された制御信号が生成するタイミングで該液晶表示装置101にロードするデータロード部としてホールド回路部117、D/Aコンバータ回路部118および出力バッファ部119を備え、該遅延回路120は、該制御信号を、該表示データが該液晶表示パネルにロードされるロードタイミングが、一定周期（1水平同期期間）により決まる固定タイミングに対して変動するよう遅延させる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

表示装置を表示データおよび制御信号に基づいて駆動する駆動回路であって、
入力された制御信号を遅延する遅延回路と、
入力された表示データを、遅延された制御信号が生成するタイミングで該表示装置にロードするデータロード部とを備え、
該遅延回路は、該制御信号を、該表示データが該表示装置にロードされるロードタイミングが、一定周期により決まる固定タイミングに対して変動するよう遅延させる、駆動回路。

【請求項 2】

10

請求項 1 に記載の駆動回路において、
前記入力された制御信号は、前記一定周期で前記固定タイミングを生成する信号であり、
前記遅延回路は、前記一定周期の整数倍の期間が経過する度に、前記ロードタイミングを前記固定タイミングから一定の遅延時間だけ遅らせる前記制御信号の遅延処理を、該ロードタイミングの遅延時間の制限内で繰り返す、駆動回路。

【請求項 3】

請求項 2 に記載の駆動回路において、
前記表示データおよび前記制御信号は、前記表示装置に供給される映像信号に含まれており、
前記一定周期は該映像信号の水平同期期間に基づいたものである、
駆動回路。

20

【請求項 4】

請求項 1 に記載の駆動回路において、
前記遅延回路は、
前記入力された制御信号が生成する固定タイミングをカウントするカウント回路と、
該カウント回路のカウント出力をデコードするデコーダとを備え、
該デコーダの出力に基づいて、前記制御信号の遅延量を決定するものである、駆動回路。

【請求項 5】

30

請求項 4 に記載の駆動回路において、
前記遅延回路は、
直列接続の複数の遅延素子と、
前記デコーダの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう信号経路を切り替える複数のスイッチとを備えている、駆動回路。

【請求項 6】

請求項 1 に記載の駆動回路において、
前記遅延回路は、
前記入力された制御信号により生成される固定タイミングに基づいてシフト動作するシフトレジスタと、
直列接続の複数の遅延素子と、
該シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチとを備えている、駆動回路。

40

【請求項 7】

請求項 3 に記載の駆動回路において、
前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバと、
前記液晶表示パネルの複数の走査ラインを駆動する走査ドライバと、

50

入力された映像信号に基づいて、該データドライバに供給する前記表示データを生成するとともに、前記制御信号として、該データドライバに供給するデータ制御信号、および前記走査ドライバに供給する走査制御信号を生成するタイミングコントローラとを備え、

前記遅延回路は、該データドライバを構成するものであり、

該遅延回路は、該データドライバに入力された前記制御信号を、該データドライバから該液晶表示パネルのデータラインに前記表示データが出力されるタイミングが、水平同期信号に対して決まる固定タイミングに対して1水平走査ライン毎に変化するように遅延させるものである、駆動回路。

【請求項8】

請求項3に記載の駆動回路において、

10

前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバと、

前記液晶表示パネルの複数の走査ラインを駆動する走査ドライバと、

入力された映像信号に基づいて、該データドライバに供給する前記表示データを生成するとともに、前記制御信号として、該データドライバに供給するデータ制御信号、および前記走査ドライバに供給する走査制御信号を生成するタイミングコントローラとを備え、

前記遅延回路は、該タイミングコントローラを構成するものであり、

該遅延回路は、該タイミングコントローラで該映像信号に基づいて生成された前記制御信号を、該データドライバから該液晶表示パネルのデータラインに前記表示データが出力されるタイミングが、水平同期信号に対して決まる固定タイミングに対して1水平走査ライン毎に変化するように遅延させるものである、駆動回路。

20

【請求項9】

請求項1に記載の駆動回路において、

前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバを備え、

前記遅延回路は、該データドライバを構成し、該データドライバに入力された制御信号を遅延するものであり、

該データドライバは、

該液晶表示パネルのデータライン毎に設けられ、対応するデータラインを駆動する、複数のグループにグループ分けされた複数のドライバ回路と、

30

同一のグループのドライバ回路が、同一タイミングで前記表示データを該データラインに供給し、かつ、異なるグループのドライバ回路が、異なるタイミングで前記表示データを該データラインに供給するよう、各グループのドライバ回路に供給される制御信号を遅延する信号遅延部とを備えている、駆動回路。

【請求項10】

請求項9に記載の駆動回路において、

前記信号遅延部は、複数段に直列に接続された複数の遅延部を備え、初段の遅延部は、前記遅延回路から出力される制御信号を遅延するものであり、2段目以降の遅延部は、前段の遅延部から出力される制御信号を遅延するものである、駆動回路。

【請求項11】

40

請求項10に記載の駆動回路において、

前記信号遅延部を構成する遅延部は、それぞれ入力される制御信号を所定量だけ遅延するものである、駆動回路。

【請求項12】

請求項10に記載の駆動回路において、

前記複数の遅延部は、

前記入力された制御信号が生成する固定周期のタイミングをカウントするカウント回路と、

該カウント回路のカウント出力をデコードするデコーダとを備え、

該デコーダの出力に基づいて、前記制御信号の遅延量を決定するものである、駆動回路

50

。

【請求項 13】

請求項 12 に記載の駆動回路において、
前記複数の遅延部は、
直列接続の複数の遅延素子と、
前記デコーダの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう信号経路を切り替える複数のスイッチとを備えている、駆動回路。

【請求項 14】

請求項 10 に記載の駆動回路において、
前記遅延回路は、
前記入力された制御信号により生成される固定周期のタイミングに基づいてシフト動作するシフトレジスタと、
直列接続の複数の遅延素子と、
該シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチとを備えている、駆動回路。

【請求項 15】

液晶表示パネルを有し、映像信号に基づいて該液晶表示パネルに画像を表示する液晶表示装置であって、
該映像信号に基づいて該液晶表示パネルを駆動する駆動装置を備え、
該駆動装置は、請求項 1 ～ 14 のいずれかに記載の駆動回路を有する、液晶表示装置。

【請求項 16】

液晶表示装置を備えた電子情報機器であって、
該液晶表示装置は、請求項 15 に記載の液晶表示装置である、電子情報機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、駆動回路、液晶表示装置、および電子情報機器に関し、特に、液晶表示パネル等の表示パネルを駆動する駆動回路においてピーク電流を分散させるよう構成したもの、このような駆動回路を搭載した液晶表示装置、およびこのような液晶表示装置を含む電子情報機器に関するものである。

【背景技術】

【0002】

従来から、液晶表示装置等の平面表示装置は、液晶表示パネルなどの表示パネル、その表示パネルを駆動するドライバ、及びドライバを制御する制御回路とを備えている。

【0003】

ところで、近年、このような表示装置の大型化、高精細化、高速駆動化に伴い、表示パネルに表示データとして出力する表示信号（階調電圧）の出力周波数や、出力する表示信号の数も増大し、表示パネルの駆動用データドライバにおいては、データ出力時に発生する不要輻射が問題となってきている。

【0004】

以下、従来の表示パネルを駆動するデータドライバを挙げて具体的に説明する。

【0005】

図 14 は、従来のデータドライバの構成を説明するブロック図である。

【0006】

図 14 に示すデータドライバ 901 は、 n 本の信号出力端子 911 - 1 ～ 911 - n を有し、それぞれの出力端子から、 p 階調の表示データを示す表示信号を表示パネルのデータラインに出力可能なものである。

【0007】

10

20

30

40

50

つまり、このデータドライバ 901 は、外部からの信号を入力するための信号入力端子として、クロック入力端子 902 と、複数の階調データ入力端子 903 と、制御信号入力端子 904 と、基準電源端子 905 ~ 909 とを備えている。またデータドライバ 901 は、液晶表示パネルへの信号出力用として、 n 個の信号出力端子 911 - 1 ~ 911 - n を備えている。

【0008】

また、データドライバ 901 は、内部に設けられる回路として、基準電源補正回路 921 と、クロック信号 CLK に基づいて動作するポインタ用シフトレジスタ 923 と、表示データをサンプルラッチするラッチ回路部 924 と、サンプルラッチされた表示データをホールドラッチするホールド回路部 925 と、ホールドラッチされた表示データを DA 変換する D/A コンバータ (Digital Analog Converter) 部 926 と、DA 変換された表示データを出力する出力バッファ部 927 とを備えている。

10

【0009】

ここで、ポインタ用シフトレジスタ回路 923 は、 n 段のシフトレジスタ 923 - 1 ~ 923 - n を有している。ラッチ回路部 924 は、 n 個のラッチ回路 924 - 1 ~ 924 - n を有している。ホールド回路部 925 は、 n 個のホールド回路 925 - 1 ~ 925 - n を有している。D/A コンバータ部 926 は、 n 個の D/A コンバータ回路 926 - 1 ~ 926 - n を有している。出力バッファ部 927 は、オペアンプにより構成される n 個の出力バッファ 927 - 1 ~ 927 - n を有している。

20

【0010】

次に動作について説明する。

【0011】

このような構成のデータドライバ 901 では、このドライバ 901 を制御する制御回路 (図示せず) から表示データ DATA、データ制御信号 LOAD、およびクロック信号 CLK が入力されると、ポインタ用シフトレジスタ回路部 923 は、クロック入力端子 902 に入力されたクロック信号 CLK に応じて、ラッチ回路 924 - 1 ~ 924 - n のうち 1 つのラッチ回路を選択する。この状態で、階調データ DATA が階調データ入力端子 903 から入力されると、ラッチ回路部 924 では、選択されたラッチ回路に階調データのサンプリング値が格納される。

30

【0012】

また、ポインタ用シフトレジスタ回路 923 から出力されるラッチ回路選択信号は、クロック入力端子 902 から入力されるクロック信号により第 1 段のラッチ回路 924 - 1 から第 n 段のラッチ回路 924 - n まで順次選択する。よって、 n 個のクロックが入力された場合、全てのラッチ回路 924 - 1 ~ 924 - n に階調データを記憶させることができる。また、ラッチ回路 924 - 1 ~ 924 - n に記憶された階調データは、制御信号 LOAD により、それぞれ対応する n 個のホールド回路 925 - 1 ~ 925 - n へ転送され、D/A コンバータ 926 - 1 ~ 926 - n のデジタル入力データとなる。

【0013】

D/A コンバータ回路 926 ~ 926 - n は、上記デジタル入力データにより、入力される p 種類の階調電圧から 1 つを選択して出力する。 p 種類の階調電圧は、基準電源端子 905 ~ 909 からそれぞれ入力された基準電圧 $V_0 \sim V_4$ に基いて、基準電源補正回路 921 によって生成される。

40

【0014】

さらに、D/A コンバータ回路 926 - 1 ~ 926 - n から出力された階調電圧は、出力バッファ部 927 でインピーダンス変換されて、それぞれの信号出力端子 911 - 1 ~ 911 - n から液晶表示パネル (図示せず) の駆動信号として、該液晶表示パネルの各データ線に出力される。

【0015】

このような構成の従来のデータドライバ 901 では、上記のように、制御信号 LOAD により一括してホールド回路から D/A コンバータ回路へのデータ転送が行われるため、

50

D/Aコンバータ回路926-1~926-nから出力される階調電圧が同時に変化する。このため、データドライバ901に瞬間的に大電流が発生する。この電流は、信号出力端子911-1~911-nの個数が増加したことで、出力バッファ部927の駆動能力が増大したことにより、非常に大きな値となってきた。それゆえ、データドライバ901の消費電流が増大するだけでなく、この電流により発生する不要輻射が問題になる。

【0016】

そこで、電流集中によるピーク電流の増大を防ぐための手法として、従来から特許文献1などに開示の方法が提案されている。

【0017】

10

図15は、この文献に開示のデータドライバの構成を示している。

【0018】

このデータドライバ300は、図14に示すデータドライバにおけるホールド回路、D/Aコンバータ回路、および出力バッファに相等する回路ブロックCB1~CB4は、複数のグループCG1~CGnにグループ化されている。つまり、各グループにおける回路ブロックCB1~CB4は、それぞれ液晶表示パネルの各データラインに対応し、対応するデータラインに表示データを出力するものである。

【0019】

また、このデータドライバ300では、第1の回路グループCG1には、入力保護回路(E)30を介して入力された制御信号LOADが直接入力され、また、第2の回路グループCG2には、入力保護回路(E)30からの制御信号LOADは、第1の遅延回路31a1を介して入力され、第3の回路グループCG3には、第1および第2の遅延回路31a1および31a2を介して入力される。つまり、第nの回路グループCGnには、第1~第n-1の遅延回路31a1~31anを介して入力される。

20

【0020】

従って、このようなデータドライバを搭載した液晶表示装置では、回路グループCG間に遅延回路Dを有しているため、遅延回路Dの遅延時間だけずれて、各回路グループCGから表示出力信号(階調電圧)が出力される。

【0021】

これにより、表示出力信号が回路グループCGごとに分散されて出力されるために、高精細化や高画面化により信号数の数が増大しても電源線に流れるピーク電流が分散されて流れることになり、不要輻射も低減される。

30

【0022】

また、特許文献2にはデータドライバ間で階調データをホールド回路に取り込むタイミングを異ならせるものが開示されている。

【先行技術文献】

【特許文献】

【0023】

【特許文献1】特開平8-22267号公報

【特許文献2】特開2008-262132号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0024】

上述したように、特許文献1に記載のデータドライバでは、各回路グループCGからは表示出力信号(階調電圧)が遅延回路Dの遅延時間だけずれて出力されるが、各回路グループから表示信号が出力される周期は一定であるため、駆動信号の周波数成分の拡散が十分ではなく、表示装置が大画面化、高精細化、高速化されるにつれ、不要輻射が大きくなるという問題がある。

【0025】

また特許文献2に開示の液晶表示装置においても、特許文献1に記載のデータドライバ

50

と同様の問題がある。

【 0 0 2 6 】

本発明は、上記の問題に鑑みてなされたものであり、液晶表示装置などの表示装置を駆動する駆動信号の周波数成分を拡散させ、不要輻射を低減させることができる駆動回路、およびこのような駆動回路を搭載した液晶表示装置、並びにこのような液晶表示装置を備えた電子情報機器を得ることを目的とする。

【課題を解決するための手段】

【 0 0 2 7 】

本発明に係る駆動回路は、表示装置を表示データおよび制御信号に基づいて駆動する駆動回路であって、入力された制御信号を遅延する遅延回路と、入力された表示データを、遅延された制御信号が生成するタイミングで該表示装置にロードするデータロード部とを備え、該遅延回路は、該制御信号を、該表示データが該表示装置にロードされるロードタイミングが、一定周期により決まる固定タイミングに対して変動するよう遅延させるものであり、そのことにより上記目的が達成される。

【 0 0 2 8 】

本発明は、上記駆動回路において、前記入力された制御信号は、前記一定周期で前記固定タイミングを生成する信号であり、前記遅延回路は、前記一定周期の整数倍の期間が経過する度に、前記ロードタイミングを前記固定タイミングから一定の遅延時間だけ遅らせる前記制御信号の遅延処理を、該ロードタイミングの遅延時間の制限内で繰り返すことが好ましい。

【 0 0 2 9 】

本発明は、上記駆動回路において、前記表示データおよび前記制御信号は、前記表示装置に供給される映像信号に含まれており、前記一定周期は該映像信号の水平同期期間に基づいたものであることが好ましい。

【 0 0 3 0 】

本発明は、上記駆動回路において、前記遅延回路は、前記入力された制御信号が生成する固定タイミングをカウントするカウント回路と、該カウント回路のカウント出力をデコードするデコーダとを備え、該デコーダの出力に基づいて、前記制御信号の遅延量を決定するものであることが好ましい。

【 0 0 3 1 】

本発明は、上記駆動回路において、前記遅延回路は、直列接続の複数の遅延素子と、前記デコーダの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう信号経路を切り替える複数のスイッチとを備えていることが好ましい。

【 0 0 3 2 】

本発明は、上記駆動回路において、前記遅延回路は、前記入力された制御信号により生成される固定タイミングに基づいてシフト動作するシフトレジスタと、直列接続の複数の遅延素子と、該シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチとを備えていることが好ましい。

【 0 0 3 3 】

本発明は、上記駆動回路において、前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバと、前記液晶表示パネルの複数の走査ラインを駆動する走査ドライバと、入力された映像信号に基づいて、該データドライバに供給する前記表示データを生成するとともに、前記制御信号として、該データドライバに供給するデータ制御信号、および前記走査ドライバに供給する走査制御信号を生成するタイミングコントローラとを備え、前記遅延回路は、該データドライバを構成するものであり、該遅延回路は、該データドライバに入力された前記制御信号を、該データドライバから該液晶表示パネルのデータラインに前記表示データが出力されるタイミングが、水平同期信号に対して決まる固定タイミングに対して1水平走査ライン毎に変化するよう遅延させるものである

ことが好ましい。

【 0 0 3 4 】

本発明は、上記駆動回路において、前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバと、前記液晶表示パネルの複数の走査ラインを駆動する走査ドライバと、入力された映像信号に基づいて、該データドライバに供給する前記表示データを生成するとともに、前記制御信号として、該データドライバに供給するデータ制御信号、および前記走査ドライバに供給する走査制御信号を生成するタイミングコントローラとを備え、前記遅延回路は、該タイミングコントローラを構成するものであり、該遅延回路は、該タイミングコントローラで該映像信号に基づいて生成された前記制御信号を、該データドライバから該液晶表示パネルのデータラインに前記表示データが出力されるタイミングが、水平同期信号に対して決まる固定タイミングに対して1水平走査ライン毎に変化するように遅延させるものであることが好ましい。

10

【 0 0 3 5 】

本発明は、上記駆動回路において、前記表示装置としての液晶表示パネルの複数のデータラインを駆動するデータドライバを備え、前記遅延回路は、該データドライバを構成し、該データドライバに入力された制御信号を遅延するものであり、該データドライバは、該液晶表示パネルのデータライン毎に設けられ、対応するデータラインを駆動する、複数のグループにグループ分けされた複数のドライバ回路と、同一のグループのドライバ回路が、同一タイミングで前記表示データを該データラインに供給し、かつ、異なるグループのドライバ回路が、異なるタイミングで前記表示データを該データラインに供給するように、各グループのドライバ回路に供給される制御信号を遅延する信号遅延部とを備えていることが好ましい。

20

【 0 0 3 6 】

本発明は、上記駆動回路において、前記信号遅延部は、複数段に直列に接続された複数の遅延部を備え、初段の遅延部は、前記遅延回路から出力される制御信号を遅延するものであり、2段目以降の遅延部は、前段の遅延部から出力される制御信号を遅延するものであることが好ましい。

【 0 0 3 7 】

本発明は、上記駆動回路において、前記信号遅延部を構成する遅延部は、それぞれ入力される制御信号を所定量だけ遅延するものであることが好ましい。

30

【 0 0 3 8 】

本発明は、上記駆動回路において、前記複数の遅延部は、前記入力された制御信号が生成する固定周期のタイミングをカウントするカウント回路と、該カウント回路のカウント出力をデコードするデコーダとを備え、該デコーダの出力に基づいて、前記制御信号の遅延量を決定するものであることが好ましい。

【 0 0 3 9 】

本発明は、上記駆動回路において、前記複数の遅延部は、直列接続の複数の遅延素子と、前記デコーダの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう信号経路を切り替える複数のスイッチとを備えていることが好ましい。

40

【 0 0 4 0 】

本発明は、上記駆動回路において、前記遅延回路は、前記入力された制御信号により生成される固定周期のタイミングに基づいてシフト動作するシフトレジスタと、直列接続の複数の遅延素子と、該シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチとを備えていることが好ましい。

【 0 0 4 1 】

本発明に係る液晶表示装置は、液晶表示パネルを有し、映像信号に基づいて該液晶表示パネルに画像を表示する液晶表示装置であって、該映像信号に基づいて該液晶表示パネルを駆動する駆動装置を備え、該駆動装置は、上述した本発明に係る駆動回路を有するもの

50

であり、そのことにより上記目的が達成される。

【0042】

本発明に係る電子情報機器は、液晶表示装置を備えた電子情報機器であって、該液晶表示装置は、上述した本発明に係る液晶表示装置であり、そのことにより上記目的が達成される。

【0043】

以下、本発明の作用について説明する。

【0044】

本発明においては、入力された制御信号を遅延する遅延回路と、入力された表示データを、遅延された制御信号が生成するタイミングで表示装置にロードするデータロード部とを備え、該制御信号を、該表示データが該表示装置にロードされるロードタイミングが、一定周期により決まる固定タイミングに対して変動するよう遅延させるので、従来技術では不十分であった不要輻射低減の効果が得られる。

【0045】

本発明においては、制御信号の遅延により、固定タイミングに対する制御信号のロードタイミングを時系列に複数作り出すので、制御信号のロードタイミングを複数作り出す回路規模が大きくなり、コスト低減につながる。

【0046】

本発明においては、上記駆動回路において、制御信号のパルス立ち上がりのカウントするカウンタ回路を持つことで、1水平期間毎にロードタイミングを変化させることのできる遅延回路を回路規模を増大させることなく構成でき、コスト低減につながる。

【0047】

本発明においては、駆動回路を構成する、各データ信号線毎に対応する複数の回路ブロックを、所定数のデータ信号線を単位としてグループ化することで、固定タイミングに対する制御信号のロードタイミングを時系列で複数持つことにより、駆動回路内で発生する駆動信号の周波数成分を拡散をさせ、不要輻射を低減できるだけでなく、複数の回路グループ毎にロードするタイミングをずらすことができるため、更なる不要輻射低減が実現できる。

【発明の効果】

【0048】

以上のように、本発明によれば、液晶表示装置などの表示装置を駆動する駆動信号の周波数成分を拡散させ、不要輻射を低減させることができる駆動回路、およびこのような駆動回路を搭載した液晶表示装置、並びにこのような液晶表示装置を備えた電子情報機器を得ることができる。

【図面の簡単な説明】

【0049】

【図1】図1は、本発明の実施形態1による駆動回路を含む表示装置の構成を示す図である。

【図2】図2は、本発明の実施形態1による駆動回路であるデータドライバを示すブロック図である。

【図3】図3は、本発明の実施形態1による駆動回路（データドライバ）を構成する遅延回路を示すブロック図である。

【図4】図4は、本発明の実施形態1による遅延回路の動作を説明する図であり、遅延されたロード信号（制御信号）をタイミングチャートで示している。

【図5】図5は、本発明の実施形態2によるタイミングコントローラを含む表示装置の構成を示す図である。

【図6】図6は、本発明の実施形態2によるタイミングコントローラを示すブロック図である。

【図7】図7は、本発明の実施形態3による駆動回路を含む表示装置の構成を示す図である。

10

20

30

40

50

【図 8】図 8 は、本発明の実施形態 3 による駆動回路であるデータドライバを示すブロック図である。

【図 9】図 9 は、本発明の実施形態 3 による駆動回路（データドライバ）を構成する遅延回路を示すブロック図である。

【図 10】図 10 は、本発明の実施形態 4 による駆動回路を含む表示装置の構成を示す図である。

【図 11】図 11 は、本発明の実施形態 4 による駆動回路であるデータドライバを示すブロック図である。

【図 12】図 12 は、本発明の実施形態 4 による駆動回路（データドライバ）を構成する遅延回路を示すブロック図である。

10

【図 13】図 13 は、本発明の実施形態 5 による駆動回路（データドライバ）を示すブロック図である。

【図 14】図 14 は、従来の駆動回路の構成の一例を示すブロック図である。

【図 15】図 15 は、従来の他の駆動回路の構成の一例として特許文献 1 に開示のものを示すブロック図である。

【発明を実施するための最良の形態】

【0050】

以下、本発明の実施形態について説明する。

（実施形態 1）

図 1 は、本発明の実施形態 1 による駆動回路を含む液晶表示装置の構成を示す図である。

20

【0051】

本実施形態 1 の液晶表示装置 100 は、映像信号に基づいて画像表示を行う液晶表示パネル 101 と、液晶表示パネルのデータ信号ラインを駆動する複数のデータドライバ 102 ~ 109 と、液晶表示パネルの走査信号ラインを駆動する複数の走査ドライバ 110 ~ 113 と、映像信号から表示データ、データ制御信号、および走査制御信号を生成し、表示データおよびデータ制御信号によりデータドライバ 102 ~ 109 を制御し、走査制御信号により走査ドライバ 110 を制御するタイミングコントローラ 114 とを備えている。

【0052】

30

具体的には、データドライバ 102 ~ 109 は、液晶表示パネル 101 のデータ信号ラインに接続され、タイミングコントローラ 114 からの表示データおよびデータ制御信号に基づいてデータ信号ラインを駆動する。また、データドライバ 102 ~ 109 は、半導体集積回路で構成されたドライバチップが、COF (Chip On Film) のような実装構造としてフィルム基板上に実装されることにより構成されている。また、走査ドライバ 110 ~ 113 は、表示パネル 101 の走査信号ラインに接続され、タイミングコントローラ 114 からの走査制御信号により走査信号ラインを駆動する。この走査ドライバ 110 ~ 113 も、半導体集積回路で構成されたドライバチップが COF (Chip On Film) のような実装構造でフィルム基板上に実装されることにより構成されている。また、タイミングコントローラ 114 は、データドライバ 102 ~ 109 の内少なくとも一つ、及び走査ドライバ 110 ~ 113 の内少なくとも一つに信号線を介して接続されており、データドライバ 102 ~ 109 の内少なくとも一つ、及び走査ドライバ 110 ~ 113 の内少なくとも一つをコントロールすることにより、液晶表示パネル 101 に映像データを表示させる。つまり、タイミングコントローラ 114 と、各データドライバおよび各走査ドライバとがデータバスにより直接接続されていても、あるいはタイミングコントローラ 114 には、初段のデータドライバおよび初段の走査ドライバが接続され、次段以降のデータドライバおよび次段以降の走査ドライバには、初段のデータドライバおよび初段の走査ドライバからタイミングコントローラからの信号を伝えるようにしてもよい。

40

【0053】

50

図 2 は、上記データドライバ 102 の構成を示している。なお、データドライバ 103 ~ 109 は、データドライバ 102 と同様な構成を有しているため、その説明を省略する。

【0054】

図 2 に示すように、データドライバ 102 は、クロック信号 CLK に基づいてシフト動作するポインタ用シフトレジスタ回路部 115 と、表示データ DATA をサンプルラッチするラッチ回路部 116 と、サンプルラッチされた表示データをホールドラッチするホールド回路部 117 と、ホールドラッチされた表示データを DA 変換する D/A コンバータ部 118 と、DA 変換された表示データを出力する出力バッファ部 119 とを有している。

10

【0055】

ここで、ポインタ用シフトレジスタ回路 115 は、n 段のシフトレジスタ 115-1 ~ 115-n を有している。ラッチ回路部 116 は、n 個のラッチ回路 116-1 ~ 116-n を有している。ホールド回路部 117 は、n 個のホールド回路 117-1 ~ 117-n を有している。D/A コンバータ部 118 は、n 個の D/A コンバータ回路 118-1 ~ 118-n を有している。出力バッファ部 119 は、オペアンプにより構成される n 個の出力バッファ 119-1 ~ 119-n を有している。

【0056】

また、このデータドライバ 102 は、データ制御信号を遅延する遅延回路 120 と、入力された基準電圧 V0 ~ V4 に基づいて m 種類の階調電圧を生成する基準電源補正回路 121 とを備えている。

20

【0057】

また、データドライバ 102 は、入力端子として、クロック入力端子 122 と、表示データ入力端子 123 と、制御信号入力端子 124 と、基準電源端子 125 ~ 129 とを備えている。

【0058】

また、データドライバ 102 は、液晶表示パネル 101 への信号出力のために設けられる出力端子として、n 個の信号出力端子 130-1 ~ 130-n を備えている。これらの信号出力端子 130-1 ~ 130-n は、それぞれ前述の液晶表示パネル 101 のデータ信号ラインと個々に接続されている。

30

【0059】

ここで、クロック入力端子 122 は、ポインタ用シフトレジスタ回路 115 に与えるクロック信号 CLK を入力するために設けられている。表示データ入力端子 123 は、複数ビットの階調データの各ビットに対応した複数の信号入力端子からなる。制御信号入力端子 124 は、遅延回路 120 を介してホールド回路部 117 に接続され、データロード信号 LOAD を入力されるために設けられている。このデータロード信号は、ホールド回路部 117 がラッチ回路部 116 でラッチされた表示データを保持するための制御信号として用いられる。基準電源端子 125 ~ 129 は、それぞれ基準電圧補正回路 121 に与えられる基準電圧 V0 ~ V4 を入力するために設けられている。

【0060】

信号出力端子 130-1 ~ 130-n は、出力バッファ部 119 を構成する n 個の出力バッファ 119-1 ~ 119-n から出力された階調電圧を液晶表示パネル 101 に出力するために設けられている。

40

【0061】

次に動作について説明する。

【0062】

本実施形態 1 の液晶表示装置 100 では、外部から映像信号が入力されると、タイミングコントローラ 114 はこの映像信号から表示データ DATA、データ制御信号 LOAD、走査制御信号およびクロック信号 CLK を生成する。表示データ DATA、データ制御信号 LOAD、およびクロック信号 CLK がデータドライバ 102 ~ 109 に供給される

50

と、データドライバ102～109は、表示データおよびデータ制御信号に基づいてデータ信号ラインを駆動する。また、走査制御信号が走査ドライバ110～113に供給されると、走査ドライバ110～113は、この走査制御信号に基づいて走査信号ラインを駆動する。これにより液晶表示パネルには映像信号に応じて画像表示が行われる。

【0063】

このとき、データドライバ102では、タイミングコントローラ114からの表示データDATA、データ制御信号LOAD、およびクロック信号CLKがそれぞれの入力端子に供給されると、ポインタ用シフトレジスタ回路部115は、クロック入力端子122に入力されたクロック信号CLKを各段のシフトレジスタ115-1～115-nによってシフトさせて、各段のシフトレジスタよりラッチ回路選択信号を出力する。つまりポインタ用シフトレジスタ回路部115は、ラッチ回路選択信号によって、ラッチ回路部116を構成する1段目のラッチ回路116-1からn段目のラッチ回路116-nまでを順次選択する。

【0064】

ラッチ回路部116のn個のラッチ回路116-1～116-nは、上記ラッチ回路選択信号が入力されると、表示データ入力端子123から入力された表示データDATAを記憶可能なアクティブな状態となる。この状態では、ラッチ回路116-1～116-nにそれぞれ異なる値のデータを記憶することが可能である。よってポインタ用シフトレジスタ回路部115にクロック信号のn個のクロックが入力された場合、全てのラッチ回路116-1～116-nが各データラインに対応した表示データを記憶できる。各ラッチ回路がデータを記憶可能な状態で、表示データDATAが、表示データ入力端子123から入力されると、表示データDATAの各データラインに対応する値が、対応するラッチ回路116-1～116-nにそれぞれ選択されて格納される。

【0065】

n個のホールド回路117-1～117-nは、それぞれに対応するラッチ回路116-1～116-nに記憶されているデータを、ロード信号（データ制御信号）LOADがアクティブ（例えばHレベル）となるタイミングで一斉に取り込んで保持する。ホールド回路116-1～116-nに保持されたデータは、D/Aコンバータ118-1～118-nに入力されるデジタルデータになる。

【0066】

ここでデータ制御信号LOADは、タイミングコントローラ114から出力され、信号線を介して制御信号入力端子124から入力された後、遅延回路120を介してホールド回路部117に入力されるので、遅延回路120で所定時間だけ遅延されてホールド回路部117に入力される。

【0067】

D/Aコンバータ回路118-1～118-nは、上記デジタルデータに基づいて、基準電圧補正回路121から入力されるp種類の階調電圧から1つを選択して出力する。このようなD/Aコンバータ回路118-1～118-nの詳細については、例えば、特開2003-130921号公報に記載されているので、ここではその説明を省略する。

【0068】

出力バッファ119-1～119-nは、D/Aコンバータ118-1～118-nからそれぞれ出力された階調電圧をインピーダンス変換して出力する。出力バッファ119-1～119-nから出力された階調電圧は、それぞれ信号出力端子130-1～130-nから階調データ（駆動データ）として液晶表示パネル101の対応するデータ信号ラインに出力される。

【0069】

なお、以上説明した動作はデータドライバ102の動作であるが、その他のデータドライバ103～109もデータドライバ102と同様に動作する。

【0070】

次に、本実施形態1の駆動回路（データドライバ）120における遅延回路120につ

10

20

30

40

50

いて詳しく説明する。

【 0 0 7 1 】

図 3 は、本実施形態 1 による駆動回路（データドライバ）120 を構成する遅延回路を示すブロック図である。

【 0 0 7 2 】

この遅延回路 120 は、制御入力端子 124 に接続された 2 ビットカウンタ 131 と、カウンタ 131 の出力をデコードする 4 出力デコーダ 132 と、デコーダ 132 に接続された 4 個のスイッチ 133 と、スイッチ 133 に接続された遅延素子 De とを有している。

【 0 0 7 3 】

具体的には、この遅延回路 120 では、第 1 ～ 第 4 のスイッチ 133 - 0 ～ 133 - 3 と、3 つの遅延素子を直列接続してなる遅延部 134 a と、2 つの遅延素子を直列接続してなる遅延部 134 b と、1 つの遅延素子からなる遅延部 134 c とを有し、遅延回路 120 の入力ノード（制御入力端子 124）と、その出力ノードとの間には、入力ノード側から順に第 4 のスイッチ 133 - 3 と上記遅延部 134 a ～ 134 c が直列に接続されている。

【 0 0 7 4 】

ここで、第 3 のスイッチ 133 - 2 は、第 4 のスイッチ 133 - 3 と上記遅延部 134 a との直列接続体に並列に接続され、第 2 のスイッチ 133 - 1 は、第 4 のスイッチ 133 - 3、遅延部 134 a、および遅延部 134 b の直列接続体に並列に接続され、第 1 の

10

20

【 0 0 7 5 】

このような遅延回路 120 では、カウンタ 131 は、外部から制御入力端子 124 に入力されたパルス信号としての制御信号 LOAD（IN）（図 4 参照）のパルス数をカウントし、デコーダ 132 は、このカウント数に応じてその出力 Y0 ～ Y3 を順次アクティブ状態とする。ここで、制御信号は映像信号の水平同期信号に同期したパルス信号であり、従って、1 水平同期期間が経過する毎に、オン状態となるスイッチが、上記第 1 ～ 第 4 のスイッチ 133 - 0 ～ 133 - 3 の順次切り換わり、このスイッチの切替りは、4 水平同期期間で繰り返しされる。

30

【 0 0 7 6 】

つまり、制御信号 LOAD は、カウント数に応じて、制御信号が通過する経路が、3 つの遅延部 134 a ～ 134 c を通過する経路と、2 つの遅延部 134 b および 134 c を通過する経路と、1 つの遅延部 134 c を通過する経路と、いずれの遅延部も通過しない経路のいずれかに切替られ、カウント数に応じた経路を介してホールド回路 117 に入力される。

【 0 0 7 7 】

この時、第 1 のスイッチ 133 - 0 を通った制御信号は遅延されずに出力ノード LOAD（OUT）から出力され、第 2 のスイッチ 133 - 1 を通った制御信号は、遅延素子 De を 1 個経由して出力され、第 3 のスイッチ 133 - 2 を通った制御信号は、遅延素子 De を 3 個経由して出力され、第 4 のスイッチ 133 - 3 を通った制御信号は、遅延素子 De を 6 個経由して出力される。

40

【 0 0 7 8 】

このため、1 水平同期期間を 1 H、1 個の遅延素子 De での遅延時間を α とすると、ホールド 117 に入力される制御信号 LOAD（OUT）のパルス立ち上がりタイミングは、1 水平同期期間毎に、1 水平同期期間を基準とする固定の周期により決まるタイミングに対して遅延時間 $1H + \alpha$ 、 $1H + 2\alpha$ 、 $1H + 3\alpha$ 、0 だけ遅れたものとなる。言い換えると、制御信号における各パルスは、直前のパルス立ち上がりタイミングから時間 $1H + \alpha$ 、 $1H + 2\alpha$ 、 $1H + 3\alpha$ 、 $1H - 6\alpha$ が経過した後に立ち上がることとなり、図 4 に示すように、 $1H + \alpha$ 、 $1H + 2\alpha$ 、 $1H + 3\alpha$ 、 $1H - 6\alpha$ の 4 通りの周期を持つという

50

ことができる。

【0079】

これにより、データドライバ回路内の制御信号の周波数が拡散され、不要輻射が低減される。

【0080】

このように本実施形態1では、液晶表示パネル101を表示データおよび制御信号に基づいて駆動する駆動回路102～109において、入力された制御信号を遅延する遅延回路120を備えるとともに、入力された表示データを、遅延された制御信号が生成するタイミングで該液晶表示装置101にロードするデータロード部としてホールド回路部117、D/Aコンバータ回路部118および出力バッファ部119を備え、該遅延回路120は、該制御信号を、該表示データが該液晶表示パネルにロードされるロードタイミングが、一定周期（1水平同期期間）により決まる固定タイミングに対して変動するよう遅延させるので、駆動回路がデータをロードする出力タイミングを、一水平同期期間毎に周期的に変動させることが可能となる。これにより、液晶表示パネルに出力される表示データの周波数成分を拡散させて、不要輻射を低減させることができる。

10

【0081】

なお、上記実施形態1では、駆動回路がデータをロードする出力タイミングを、一水平同期期間毎に周期的に変動させているが、駆動回路がデータをロードする出力タイミングは、2以上の水平同期期間毎に周期的に変動させるようにしてもよい。

（実施形態2）

20

図5は、本発明の実施形態2によるタイミングコントローラを含む液晶表示装置の構成を示す図である。

【0082】

この実施形態2の液晶表示装置100aは、実施形態1の液晶表示装置100におけるタイミングコントローラ114に代えて、実施形態1の遅延回路120と同一構成の遅延回路14bを搭載したタイミングコントローラ114aを備えたものであり、この実施形態2の液晶表示装置100aでは、データドライバ102、103、109は、従来のデータドライバ901と同一構成としたものである。なお、この実施形態2の液晶表示装置におけるその他の構成は、実施形態1の液晶表示装置と同一である。

30

【0083】

図6は、本発明の実施形態2によるタイミングコントローラを示している。

【0084】

この実施形態2のタイミングコントローラ114aは、液晶表示装置100aの外部から供給される映像信号に基づいて表示データ、データ制御信号、クロック信号、および走査制御信号を生成する制御部14aと、この制御部14aから出力されたデータ制御信号LOADを遅延する遅延回路14bとを備えている。この遅延回路14bは実施形態1のデータドライバ102に含まれる遅延回路120と同一の構成を有している。

【0085】

このような構成の実施形態2の液晶表示装置100aでは、タイミングコントローラ114aを、データ制御信号を遅延する遅延回路14bを有する構成としたので、遅延回路114aから各データドライバ102～109に供給される制御信号は、該表示データが該液晶表示パネルにロードされるロードタイミングが、一定周期（1水平同期期間）により決まる固定タイミングに対して変動するよう遅延したものとなる。これにより、駆動回路がデータを液晶表示パネルにロードする出力タイミングを、一水平同期期間毎に周期的に変動させることが可能となる。これにより、液晶表示パネルに出力される表示データの周波数成分を拡散させて、不要輻射を低減させることができる。

40

（実施形態3）

図7は、本発明の実施形態3による駆動回路を含む液晶表示装置の構成を示す図であり、図8は、本発明の実施形態3による駆動回路であるソースドライバを示す図である。

【0086】

50

この実施形態 3 の液晶表示装置 100b は、実施形態 1 の液晶表示装置 100 における、遅延回路 120 を有するソースドライバ 102a ~ 109a に代えて、該遅延回路 120 とは回路構成の異なる遅延回路 120b を備えたソースドライバ 102b ~ 109b を備えたものであり、この実施形態 3 の液晶表示装置におけるその他の構成は、実施形態 1 の液晶表示装置と同一である。

【0087】

図 9 は、本発明の実施形態 3 による駆動回路（データドライバ）を構成する遅延回路 120b を示すブロック図である。

【0088】

この遅延回路 120b は、実施形態 1 のデータドライバ 102 を構成する遅延回路 120 におけるカウンタ 131 およびデコーダ 132 に代えてシフトレジスタ 132a を備えたものであり、その他の構成は、実施形態 1 の遅延回路 120 と同一である。

【0089】

つまり、この実施形態 3 のデータドライバ 102b における遅延回路 120b は、入力された制御信号 LOAD により生成される固定タイミングに基づいてシフト動作するシフトレジスタ 132a と、直列接続の複数の遅延素子 De と、前記シフトレジスタの出力に基づいて、前記制御信号が、該複数の遅延素子のうちの、直列接続の所定数の遅延素子で遅延されるよう該制御信号の信号経路を切り替える複数のスイッチ 133-0 ~ 133-3 とを備えている。ここで、遅延素子 De およびスイッチ 133-0 ~ 133-3 は、実施形態 1 の遅延回路 120 と同一のものである。

【0090】

このような構成の遅延回路 120b では、シフトレジスタ 132a は、外部から制御入力端子 124 に入力されたパルス信号としての制御信号 LOAD (IN) (図 4 参照) のパルスが立ち上がるたびに、その出力 Y0 ~ Y3 を順次アクティブ状態とする。ここで、制御信号は映像信号の水平同期信号に同期したパルス信号であり、従って、1 水平同期期間が経過する毎に、オン状態となるスイッチが、上記第 1 ~ 第 4 のスイッチ 133-0 ~ 133-3 の順次切り換わり、このスイッチの切替りは、4 水平同期期間で繰り返し行われる。

【0091】

この時、実施形態 1 の遅延回路 120 と同様に、第 1 のスイッチ 133-0 を通った制御信号は遅延されずに出力ノード LOAD (OUT) から出力され、第 2 のスイッチ 133-1 を通った制御信号は、遅延素子 De を 1 個経由して出力され、第 3 のスイッチ 133-2 を通った制御信号は、遅延素子 De を 3 個経由して出力され、第 4 のスイッチ 133-3 を通った制御信号は、遅延素子 De を 6 個経由して出力される。

【0092】

このため、1 水平同期期間を 1H、1 個の遅延素子 De での遅延時間を α とすると、ホールド 117 に入力される制御信号 LOAD (OUT) のパルス立ち上がりタイミングは、1 水平同期期間毎に、1 水平同期期間を基準とする固定の周期により決まるタイミングに対して遅延時間 $1H + \alpha$ 、 $1H + 2\alpha$ 、 $1H + 3\alpha$ 、0 だけ遅れたものとなる。

【0093】

これにより、データドライバ回路内の制御信号の周波数成分が拡散され、不要輻射が低減される。

(実施形態 4)

図 10 は、本発明の実施形態 4 による駆動回路を含む表示装置の構成を示す図である。

【0094】

この実施形態 4 の液晶表示装置 200 は、実施形態 1 の液晶表示装置 100 におけるデータドライバ 102a ~ 109a に代えて、これとは構成の異なるデータドライバ 202 ~ 209 を備えたものである。

【0095】

具体的には、この実施形態 4 のデータドライバ 202 は、実施形態 1 のデータドライバ

10

20

30

40

50

102 aの構成に加えて、n個の全データ信号ラインのうちの所定数(ここではk個)のデータ信号ライン毎に、シフトレジスタ、ラッチ回路、ホールド岐路、D/Aコンバータ回路、出力バッファを、m個のグループ20 a 1 ~ 20 a mにグループ化し、各グループの前段にグループに対応する遅延時間固定の遅延回路24 a 1 ~ 24 a mを備えたものである。

【0096】

また、この遅延回路24 a 1 ~ 24 a mは、実施形態1の遅延回路120と同一構成の遅延量可変の遅延回路220からの制御信号が順次一定時間だけ遅延するよう直列に接続されており、各グループ20 a 1 ~ 20 a kのホールド回路には、各グループの前段に設けられた遅延量固定の遅延回路24 a 1 ~ 24 a kの出力が供給されるようになっている。

10

【0097】

従って、この実施形態4の液晶表示装置200におけるタイミングコントローラ214、走査ドライバ210 ~ 213、および液晶表示パネル201は、実施形態1の液晶表示装置100におけるタイミングコントローラ114、走査ドライバ102 a ~ 109 a、および液晶表示パネル101と同一のものである。

【0098】

つまり、データドライバ202 ~ 209は、液晶表示パネル201のデータ信号ラインに接続され、データ信号ラインを駆動する。また、データドライバ202 ~ 209は、半導体集積回路で構成されたドライバチップがCOF(Chip On Film)のような実装構造でフィルム基板上に実装されることにより構成されている。走査ドライバ210 ~ 213は、表示パネル201の走査信号ラインに接続され、走査信号ラインを駆動する。また、走査ドライバ210 ~ 213は、半導体集積回路で構成されたドライバチップがCOF(Chip On Film)のような実装構造でフィルム基板上に実装されることにより構成されている。タイミングコントローラ214は、データドライバ202 ~ 209の内少なくとも一つ、及び走査ドライバ210 ~ 213の内少なくとも一つに信号線を介して接続されており、データドライバ202 ~ 209の内少なくとも一つ、及び走査ドライバ210 ~ 213の内少なくとも一つをコントロールすることにより、液晶表示パネル201に映像データを表示させる。

20

【0099】

また、図11は、本発明の実施形態4による駆動回路であるデータドライバを示すブロック図であり、データドライバ202の構成を示している。なお、データドライバ203 ~ 209については、データドライバ202と同様の構成を有するので、説明を省略する。

30

【0100】

データドライバ202は、実施形態1のデータドライバ102と同様に、ポインタ用シフトレジスタ回路部215と、ラッチ回路部216と、ホールド回路部217と、D/Aコンバータ部218と、出力バッファ部219とを有している。

【0101】

ただし、このデータドライバ202では、k本のデータ信号ライン毎に、ポインタ用シフトレジスタ回路部215を構成するシフトレジスタ215-1 ~ 215-nがグループ化されている。また、ラッチ回路部216を構成するラッチ回路216-1 ~ 216-nと、ホールド回路部217を構成するホールド回路217-1 ~ 217-nと、D/Aコンバータ部218を構成するD/Aコンバータ218-1 ~ 218-nと、出力バッファ部219を構成する出力バッファ219-1 ~ 219-nとがグループ化されている。

40

【0102】

各グループ20 a 1 ~ 20 a mは、ポインタ用シフトレジスタ回路部215を構成するシフトレジスタ215-1 ~ 215-kと、ラッチ回路部216を構成するラッチ回路216-1 ~ 216-kと、ホールド回路部217を構成するホールド回路217-1 ~ 217-kと、D/Aコンバータ部218を構成するD/Aコンバータ218-1 ~ 218

50

- k と、出力バッファ部 219 を構成する出力バッファ 219 - 1 ~ 219 - k を含んでいる。

【0103】

また、データドライバ 202 は、遅延回路 220 と、基準電源補正回路 221 とを備えている。また、データドライバ 202 は、入力端子として、クロック入力端子 222 と、表示データ入力端子 223 と、制御信号入力端子 224 と、基準電源端子 225 ~ 229 とを備えている。また、データドライバ 202 は、液晶表示パネル 201 への信号出力のために設けられる出力端子として、n 個の信号出力端子 230 - 1 ~ 230 - n を備えている。信号出力端子 230 - 1 ~ 230 - n は、それぞれ前述の液晶表示パネル 201 のデータ信号ラインと個々に接続されている。

10

【0104】

クロック入力端子 222 は、ポイント用シフトレジスタ回路 215 に与えるクロック信号 CLK を入力するために設けられている。表示データ入力端子 223 は、複数ビットの階調データの各ビットに対応した複数の信号入力端子からなる。制御信号入力端子 224 は、遅延回路 220 を介してホールド回路部 217 に接続され、制御信号を入力されるために設けられている。この制御信号は、ホールド 217 がラッチ回路部 216 でラッチされた表示データを保持するための信号として用いられる。基準電源端子 225 ~ 229 は、それぞれ基準電圧補正回路 221 に与えられる基準電圧 V0 ~ V4 を入力するために設けられている。

【0105】

20

信号出力端子 230 - 1 ~ 230 - n は、出力バッファ 219 を構成する 219 - 1 ~ 219 - n から出力された階調電圧を液晶表示パネル 201 に出力するために設けられている。

【0106】

図 12 は、本実施形態 4 による駆動回路（データドライバ）を構成する遅延回路を示すブロック図である。

【0107】

この実施形態 4 の遅延回路 220 は実施形態 1 における図 3 に示す遅延回路 120 と同一の構成を有している。

【0108】

30

この遅延回路 220 は、制御入力端子 224 に接続された 2 ビットカウンタ 231 と、カウンタ 231 に接続された 4 出力デコーダ 232 と、デコーダ 232 に接続された 4 個のスイッチ 233 と、スイッチ 233 に接続された遅延素子 De とで構成されている。ここで、2 ビットカウンタ 231、4 出力デコーダ 232、スイッチ 233、遅延素子 De を含む遅延部 134 a ~ 134 c は、実施形態 1 の遅延回路におけるものと同一である。

【0109】

次に動作について説明する。

【0110】

本実施形態 4 の液晶表示装置 200 では、外部から映像信号が入力されると、タイミングコントローラ 214 はこの映像信号から表示データ DATA、データ制御信号 LOAD、走査制御信号およびクロック信号 CLK を生成する。表示データ DATA、データ制御信号 LOAD、およびクロック信号 CLK がデータドライバ 202 ~ 209 に供給されると、データドライバ 202 ~ 209 は、表示データおよびデータ制御信号に基づいてデータ信号ラインを駆動する。また、走査制御信号が走査ドライバ 210 ~ 213 に供給されると、走査ドライバ 210 ~ 213 は、この走査制御信号に基づいて走査信号ラインを駆動する。これにより液晶表示パネルには映像信号に応じて画像表示が行われる。

40

【0111】

このとき、データドライバ 202 では、タイミングコントローラ 214 からの表示データ DATA、データ制御信号 LOAD、およびクロック信号 CLK がそれぞれの入力端子に供給されると、ポイント用シフトレジスタ回路部 215 は、クロック入力端子 222 に

50

入力されたクロック信号CLKを各段のシフトレジスタによってシフトさせて、各段のシフトレジスタ215-1~215-nよりラッチ回路選択信号を出力する。ポイント用シフトレジスタ回路部215は、ラッチ回路選択信号によって、ラッチ回路部216を構成する1段目のラッチ216-1からn段目のラッチ回路216-nまでを順次選択する。

【0112】

ラッチ回路216-1~216-nは、上記ラッチ回路選択信号が入力されると、表示データ入力端子223から入力された表示データを記憶可能なアクティブな状態とする。この状態では、ラッチ回路216-1~216-nにそれぞれ異なる値のデータを記憶することが可能である。よってポイント用シフトレジスタ回路部215にクロック信号のn個のクロックが入力された場合、全てのラッチ回路216-1~216-nが各データラインに対応した表示データを記憶できる。この状態で、表示データは、表示データ入力端子223から入力されると、対応するラッチ回路216-1~216-nにそれぞれ選択されて格納される。

10

【0113】

ホールド回路部217は、n個のホールド回路217-1~217-nによって構成され、複数(m個)のグループに分かれている。グループ分けの個数は特に限定されるものではないが、具体的には4グループや8グループなどに分けることができる。

【0114】

またホールド回路部217を構成する、グループ分けされた各グループのホールド回路には、遅延量固定の遅延回路24a1~24anが、各グループに応じて、入力される制御信号が通過する遅延量固定の遅延回路24a1~24anの個数が異なるように接続されている。これにより、制御信号を、各グループのホールド回路毎に所定の遅延時間だけ遅延させる。

20

【0115】

ホールド回路部217を構成するホールド回路217-1~217-nは、それぞれに対応するラッチ回路216-1~216-nに記憶されているデータを、複数グループ(m個)毎に設定された所定の遅延時間だけ遅延された制御信号がアクティブ(例えばHレベル)となるタイミングで複数グループ毎に取り込んで保持する。ホールド回路216-1~216-nに保持されたデータは、D/Aコンバータ218-1~218-nに入力されるデジタルデータになる。

30

【0116】

ここで制御信号は、タイミングコントローラ214から出力され、信号線を介して制御信号入力端子224から入力された後、遅延回路220を介してホールド回路に入力されるので、遅延回路220で所定時間だけ遅延されてホールド回路217に入力される。したがって、タイミングコントローラ214から出力された制御信号タイミングに対して、ホールド回路217内のデータ取り込みタイミングは、遅延量可変の遅延回路220と遅延量固定の遅延回路24a1~24anで遅延される時間の合計分だけ遅延されることになる。

【0117】

また、D/Aコンバータ回路218-1~218-nは、上記デジタルデータに基づいて、基準電圧補正回路221から入力されるp種類の階調電圧から1つを選択して出力する。D/Aコンバータ回路218-1~218-nの詳細については、例えば特開2003-130921号公報に記載されているので、ここではその説明を省略する。

40

【0118】

出力バッファ219-1~219-nは、D/Aコンバータ218-1~218-nからそれぞれ出力された階調電圧をインピーダンス変換する。出力バッファ219-1~219-nから出力された階調電圧は、それぞれ信号出力端子230-1~230-nから階調データ(駆動データ)として液晶表示パネル201に出力される。

【0119】

また、遅延回路220では、外部から制御入力端子224に入力された信号をカウンタ

50

2 3 1でカウントし、制御信号はカウント数に応じて遅延素子D eで遅延され、ホールド回路2 1 7に入力される。この時、スイッチ2 3 3 - 0を通った信号は遅延されずにL O A D (O U T)から出力され、スイッチ2 3 3 - 1を通った信号は遅延素子D eを1個経由して出力され、スイッチ2 3 3 - 2を通った信号は遅延素子D eを3個経由して出力され、スイッチ2 3 3 - 3を通った信号は、遅延素子D eを6個経由して出力されるため、1水平同期期間を1 H、1個の遅延素子D eでの遅延時間を α とすると、ホールド2 1 7に入力される信号周期は、図4に示すように、 $1 H + \alpha$ 、 $1 H + 2 \alpha$ 、 $1 H + 3 \alpha$ 、 $1 H - 6 \alpha$ の4通りの周期を持つこととなる。

【0 1 2 0】

これにより、制御信号の周波数が拡散され、更にグループ毎にデータロードタイミングが異なるため、不要輻射が低減される。

10

【0 1 2 1】

なお、実施形態4では、タイミングコントローラから出力された制御信号をデータドライバ内で遅延回路にて遅延させることにより制御信号のロードタイミングとして複数周期のタイミングを作り出し、駆動回路で発生する駆動信号の周波数成分を拡散させたが、実施形態2で説明したように、タイミングコントローラ内に遅延回路を設け、制御信号の遅延処理により、制御信号としてそのパルス立ち上がりタイミングが、一定周期で決まる固定タイミングに対して変化する信号を作り出し、このような遅延処理を施した制御信号をタイミングコントローラから出力させ、データドライバ内での遅延を行わない手法であっても良い。

20

【0 1 2 2】

また、上記実施形態4では、データドライバにおけるラッチ回路2 1 6 - 1 ~ 2 1 6 - n、ホールド回路2 1 7 - 1 ~ 2 1 7 - n、D / Aコンバータ2 1 8 - 1 ~ 2 1 8 - n、出力バッファ2 1 9 - 1 ~ 2 1 9 - nがすべてグループ分けされている構成を示したが、データドライバは、ホールド回路2 1 7 - 1 ~ 2 1 7 - nのみグループ分けしたものでもよい。

(実施形態5)

図1 3は、本発明の実施形態5による駆動回路(データドライバ)を示すブロック図である。

【0 1 2 3】

この実施形態5の駆動回路は、実施形態4のデータドライバにおける各グループに対応する遅延量固定の遅延回路を、制御信号のカウント数に基づいて遅延量を変化させる図1 2に示す遅延回路と同一の回路構成としたものであり、その他の構成は、実施形態4のデータドライバと同一である。

30

【0 1 2 4】

このような構成の実施形態5のデータドライバでは、実施形態4の効果に加えて、各グループ毎により細かく制御信号の遅延量を変化させることができる効果がある。

【0 1 2 5】

なお、上記実施形態4および5では、1つのソースドライバ内でグループ分けした複数のグループの回路間で、表示データを液晶表示パネルにロードするタイミングを異なるタイミングとしているが、複数のソースドライバの間で表示データを液晶表示パネルにロードするタイミングを異なるタイミングとしてもよい。

40

【0 1 2 6】

これにより、不要輻射を低減させた複数の駆動回路(ソースドライバ)間で、表示データのロードタイミングをずらすことにより、表示装置全体での不要輻射を更に低減できる。

【0 1 2 7】

また、上記実施形態5では、駆動回路として、実施形態4のデータドライバにおける各グループに対応する遅延量固定の遅延回路を、図1 2に示す遅延回路と同一の回路構成としたものを示したが、実施形態4のデータドライバにおける各グループに対応する遅延量

50

固定の遅延回路は、図 9 に示す遅延回路と同一の回路構成としてもよい。

また、上記実施形態 1 ~ 5 で示した駆動回路を備えた液晶表示装置は、携帯電話、パーソナルコンピュータ、テレビジョンセットなどの電子情報機器のディスプレイ装置として利用されるものである。

【 0 1 2 8 】

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

【産業上の利用可能性】

【 0 1 2 9 】

本発明は、駆動回路、液晶表示装置、および電子情報機器の分野において、駆動回路の出力タイミングを一水平同期期間毎、あるいは複数水平同期期間毎に周期的に変動させることにより、周波数を拡散させ、不要輻射を低減させることができる駆動回路、およびこのような駆動回路を搭載した液晶表示装置、並びにこのような液晶表示装置を備えた電子情報機器を提供することができる。

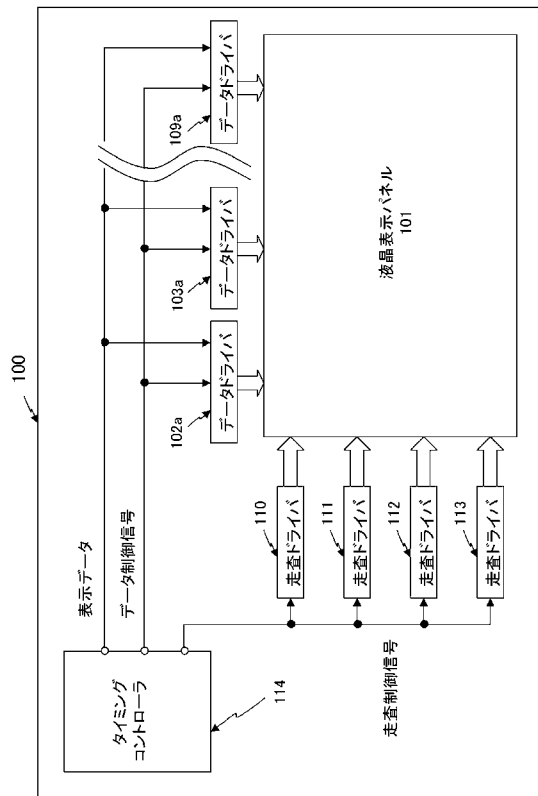
【符号の説明】

【 0 1 3 0 】

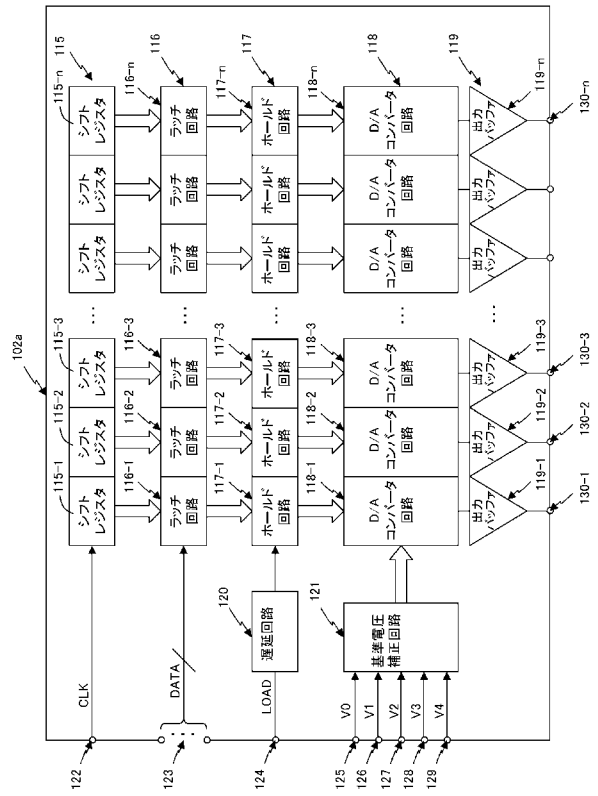
1 4 a 制御部
 1 4 b、1 2 0、1 2 0 b、2 2 0、D 遅延回路
 2 0 a 1 ~ 2 0 a m 回路ブロック
 2 4 a 1 ~ 2 4 a m、2 4 b 1 ~ 2 4 b m ブロック遅延回路
 1 0 0、1 0 0 a、1 0 0 b、2 0 0 液晶表示装置
 1 0 1、2 0 1、9 0 1 液晶表示パネル
 1 0 2、1 0 2 b、~ 1 0 9、2 0 2 ~ 2 0 9、L S 1 データドライバ
 1 1 0 ~ 1 1 3、2 1 0 ~ 2 1 3 走査ドライバ
 1 1 4、1 1 4 a、2 1 4 タイミングコントローラ
 1 1 5、2 1 5、9 2 3 シフトレジスタ部
 1 1 5 - 1 ~ 1 1 5 - n、2 1 5 - 1 ~ 2 1 5 - k シフトレジスタ
 1 1 6、2 1 6、9 2 4 ラッチ回路部
 1 1 6 - 1 ~ 1 1 6 - n、2 1 6 - 1 ~ 2 1 6 - k ラッチ回路
 1 1 7、2 1 7、9 2 5 ホールド回路部
 1 1 7 - 1 ~ 1 1 7 - n、2 1 7 - 1 ~ 2 1 7 - k ホールド回路
 1 1 8、2 1 8、9 2 6 D / A コンバータ部
 1 1 8 - 1 ~ 1 1 8 - n、2 1 8 - 1 ~ 2 1 8 - k D / A コンバータ
 1 1 9、2 1 9、9 2 7 出力バッファ部
 1 1 9 - 1 ~ 1 1 9 - n、2 1 9 - 1 ~ 2 1 9 - k 出力バッファ
 1 2 1、2 2 1 基準電圧補正回路
 1 2 2、2 2 2、9 0 2 クロック入力端子
 1 2 3、2 2 3、9 0 3 データ入力端子
 1 2 4、2 2 4、9 0 4 制御入力端子
 1 2 5 ~ 1 2 9、2 2 5 ~ 2 2 9、9 0 5 ~ 9 0 9 基準電圧入力端子
 1 3 0、2 3 0、9 1 1 出力端子部
 1 3 0 - 1 ~ 1 3 0 - n 出力端子
 1 3 1、2 3 1 カウンタ
 1 3 2、2 3 2 デコーダ
 1 3 3 - 1 ~ 1 3 0 - 4 スイッチ

1 3 4 a、1 3 4 b、 1 3 4 c 遅延部
D e 遅延素子

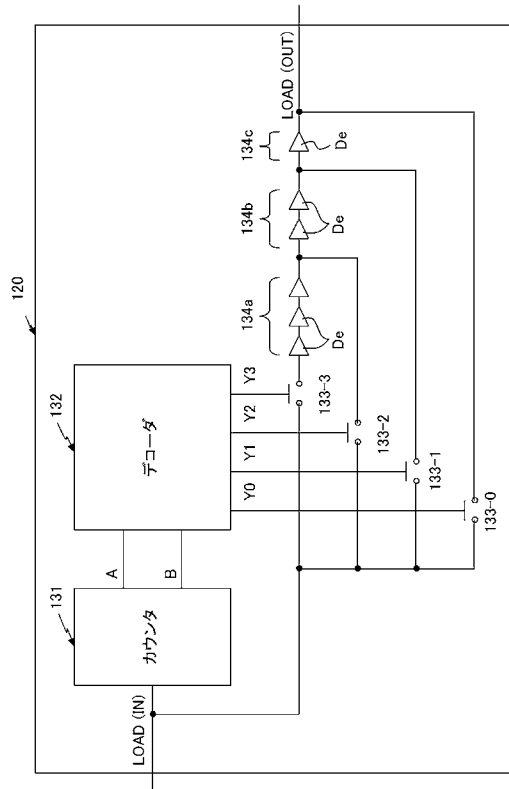
【図 1】



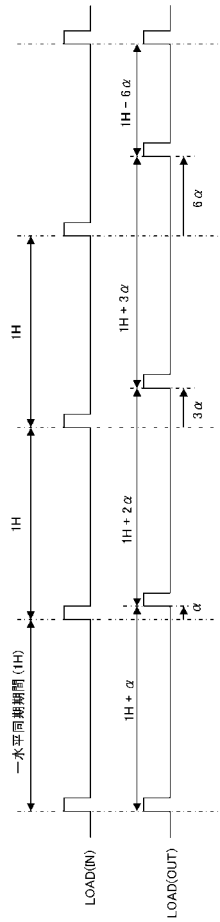
【図 2】



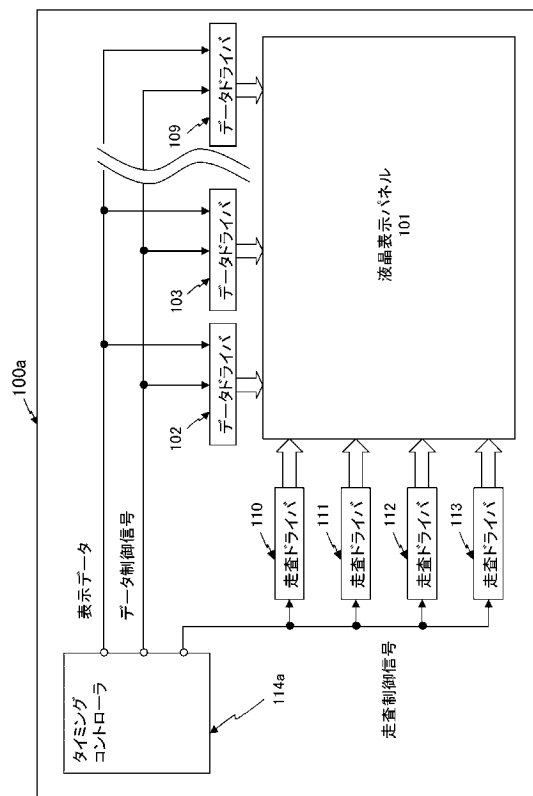
【図 3】



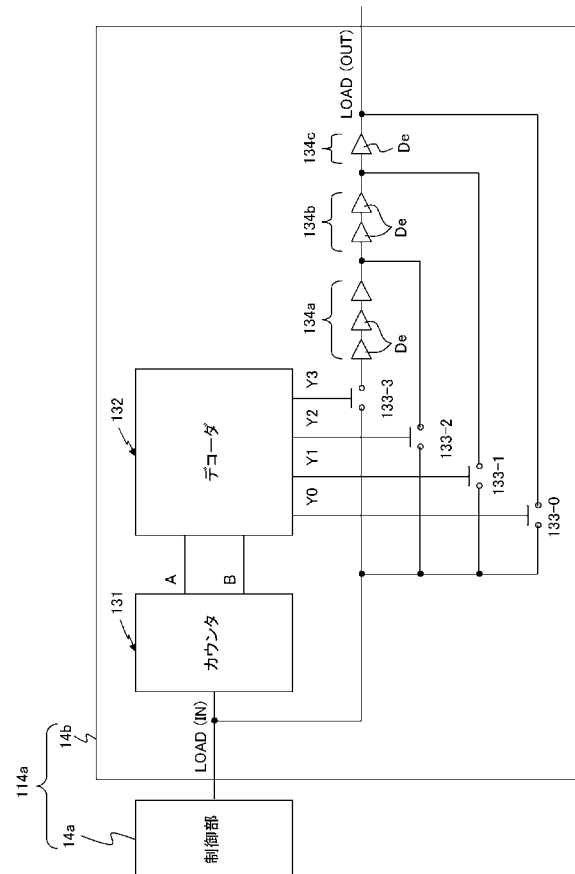
【図 4】



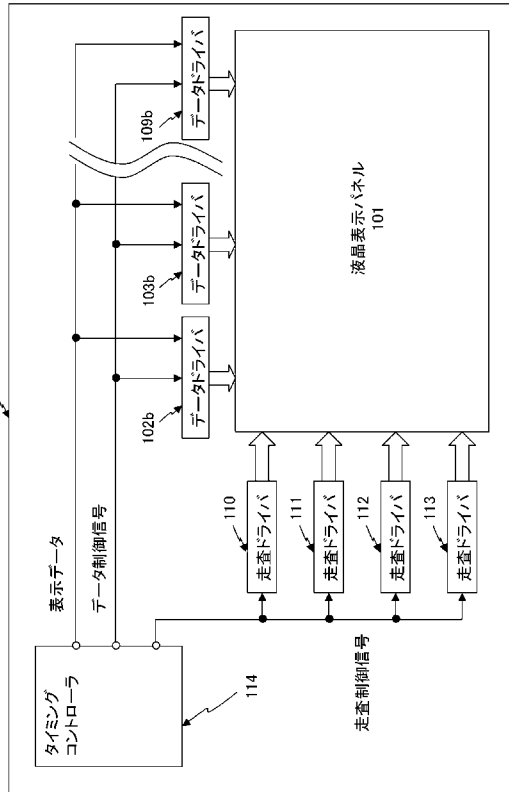
【図 5】



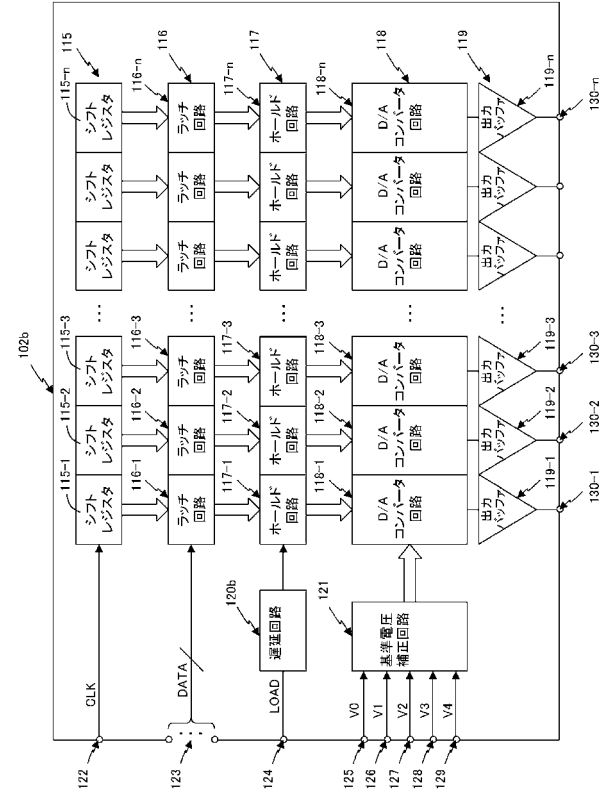
【図 6】



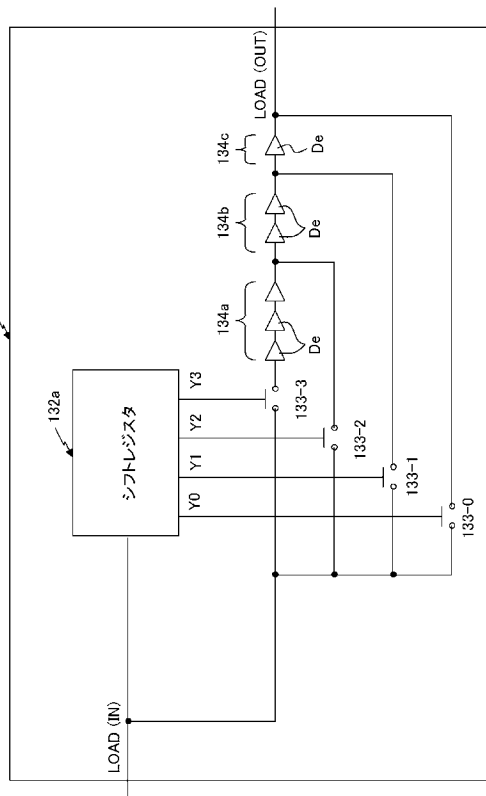
【図 7】



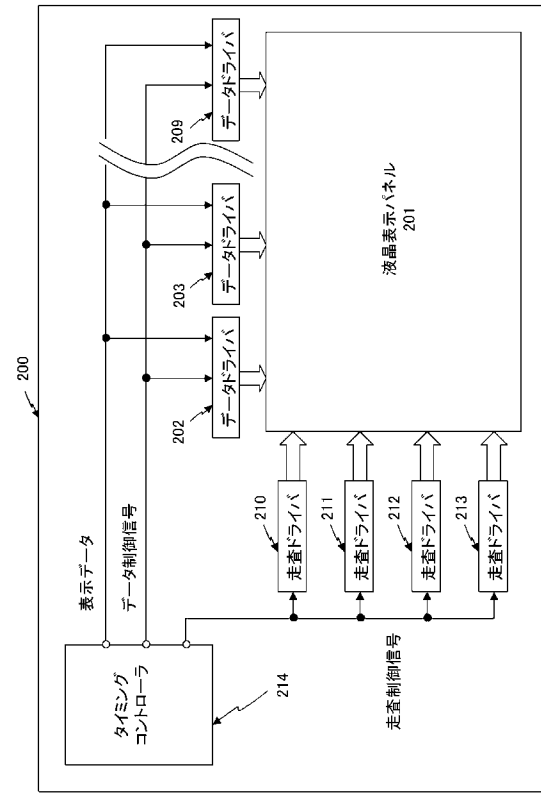
【図 8】



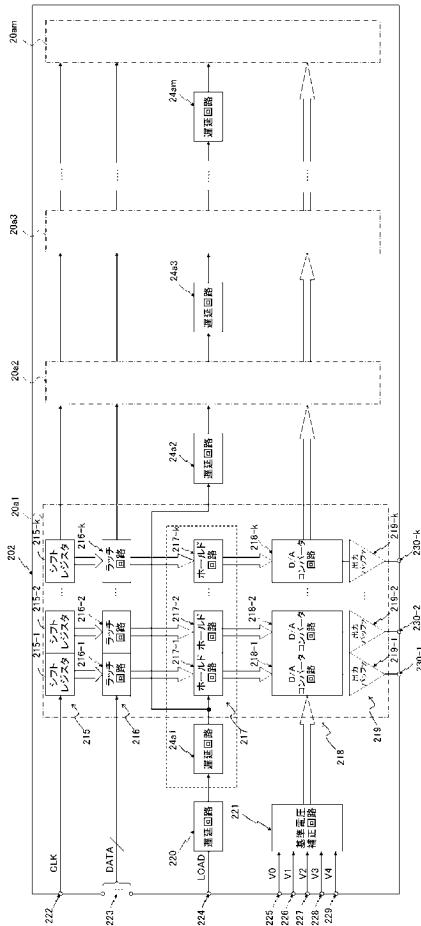
【図 9】



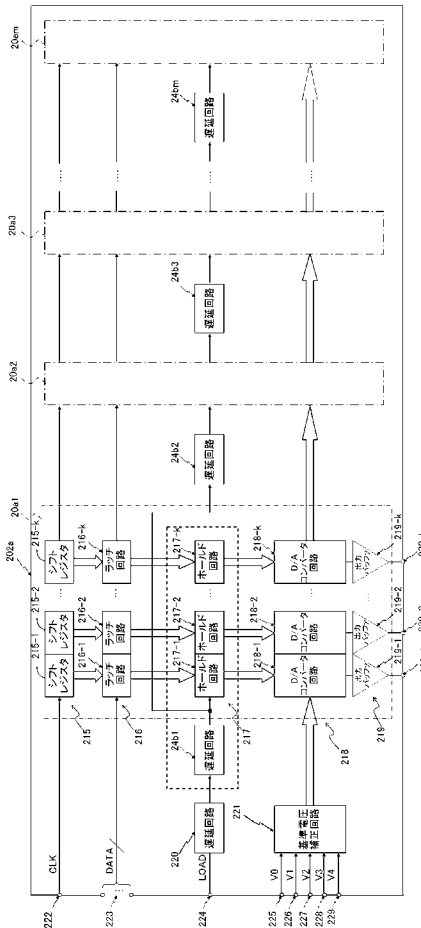
【図 10】



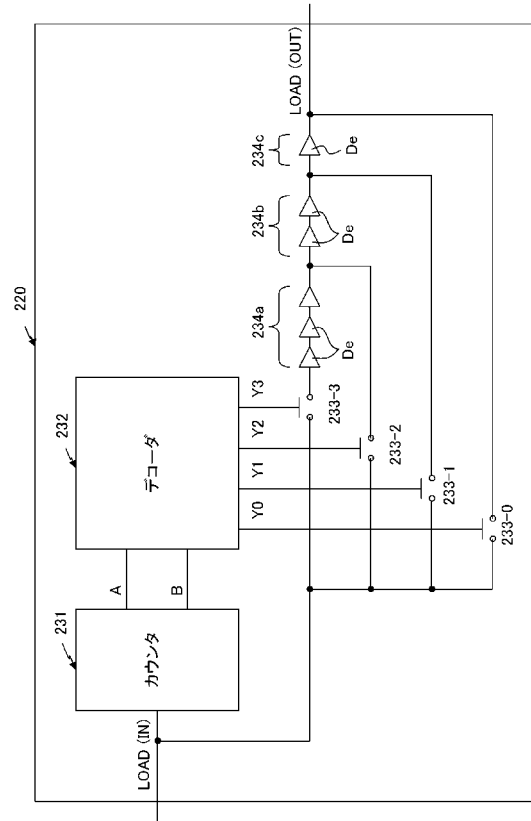
【図 1 1】



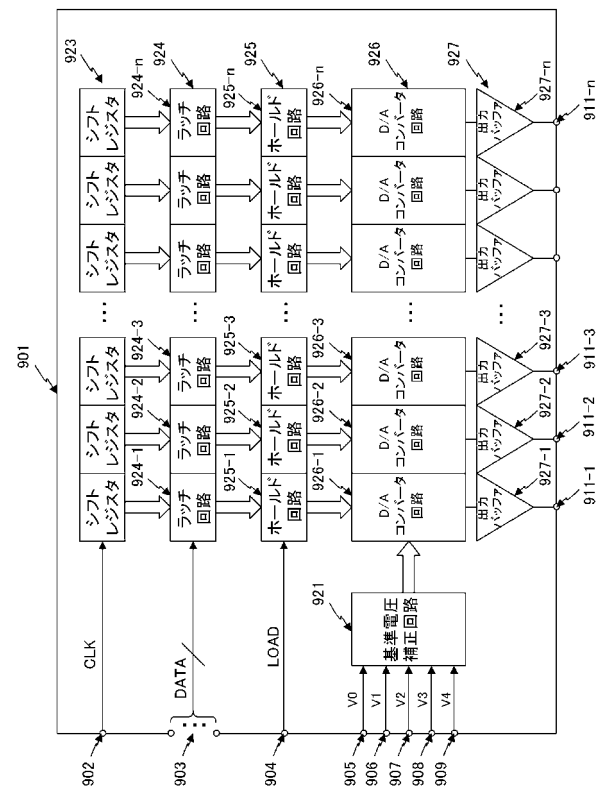
【図 1 3】



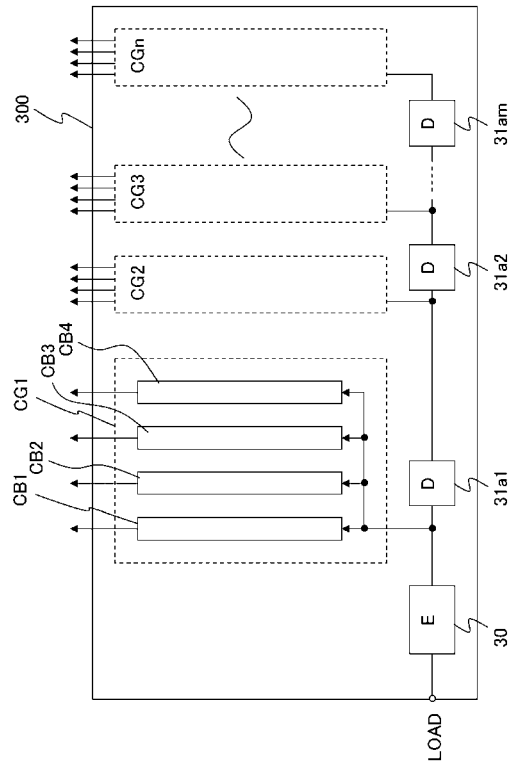
【図 1 2】



【図 1 4】



【図 15】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 3 3 E
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 5 0
G 0 9 G	3/20	6 1 1 C

F ターム(参考)	2H193	ZA01	ZB03	ZC24	ZE31	ZE40	ZF32	ZF33	ZF34	ZF35	ZH25
	ZH38	ZH79	ZJ11	ZJ20							
	5C006	AF71	AF83	BF03	BF04	BF07	BF11	BF22	FA32		
	5C080	AA10	BB05	CC06	DD07	DD08	DD12	DD22	DD27	JJ02	JJ04

专利名称(译)	驱动电路，液晶显示装置和电子信息装置		
公开(公告)号	JP2012008286A	公开(公告)日	2012-01-12
申请号	JP2010143187	申请日	2010-06-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	鈴木貴光 小林勝敏		
发明人	鈴木 貴光 小林 勝敏		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/027 G09G2310/08 G09G2330/025 G09G2330/06		
FI分类号	G09G3/36 G09G3/20.621.A G09G3/20.612.L G09G3/20.623.P G09G3/20.623.H G09G3/20.623.B G09G3/20.623.U G09G3/20.633.E G02F1/133.505 G02F1/133.550 G09G3/20.611.C		
F-TERM分类号	2H193/ZA01 2H193/ZB03 2H193/ZC24 2H193/ZE31 2H193/ZE40 2H193/ZF32 2H193/ZF33 2H193/ZF34 2H193/ZF35 2H193/ZH25 2H193/ZH38 2H193/ZH79 2H193/ZJ11 2H193/ZJ20 5C006/AF71 5C006/AF83 5C006/BF03 5C006/BF04 5C006/BF07 5C006/BF11 5C006/BF22 5C006/FA32 5C080/AA10 5C080/BB05 5C080/CC06 5C080/DD07 5C080/DD08 5C080/DD12 5C080/DD22 5C080/DD27 5C080/JJ02 5C080/JJ04		
其他公开文献	JP5457286B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过将液晶显示面板的驱动电路输出的显示数据的频率分量扩散到液晶显示装置100中的液晶显示面板来减少不必要的辐射。
 溶剂：驱动电路102-109用于基于显示数据和控制信号驱动液晶显示面板101包括：延迟电路120，用于延迟输入控制信号；保持电路部分117，D/A转换器电路部分118和输出缓冲部分119，作为数据加载部分，用于在由延迟控制信号产生的定时将输入显示数据加载到液晶显示器件101，其中延迟电路120以这样的方式延迟控制信号：显示数据加载到液晶显示板的加载定时根据由恒定周期（1个水平同步周期）确定的固定定时而变化。

