

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-242779

(P2011-242779A)

(43) 公開日 平成23年12月1日(2011.12.1)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622E	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 670J	5C080
	G09G 3/20 621A	
	G09G 3/20 622D	

審査請求 未請求 請求項の数 16 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2011-111541 (P2011-111541)  
 (22) 出願日 平成23年5月18日 (2011.5.18)  
 (31) 優先権主張番号 201010181646.6  
 (32) 優先日 平成22年5月19日 (2010.5.19)  
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507134301  
 北京京東方光電科技有限公司  
 中華人民共和国北京經濟技術開發區西環中路8號  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 ▲商▼ 廣良  
 中華人民共和国100176北京經濟技術開發區西環中路8號

最終頁に続く

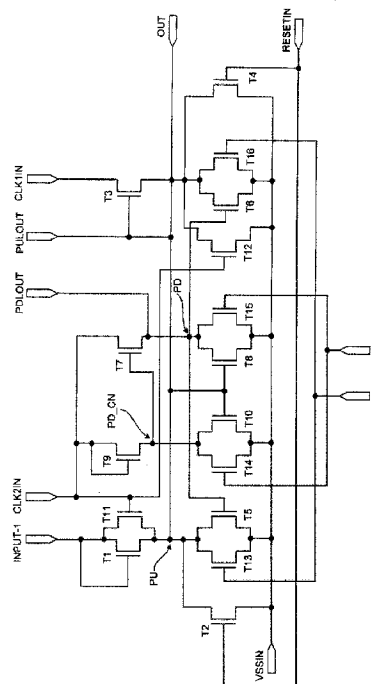
(54) 【発明の名称】 シフト・レジスタユニット、ディスプレイ用ゲート駆動装置及び液晶ディスプレイ

(57) 【要約】

【課題】 薄膜トランジスタの寿命を延長、且つシフト・レジスタユニットの安定性を向上させることを目的とする。

【解決手段】 本発明は、シフト・レジスタユニット、ディスプレイ用ゲート駆動装置ならびに液晶ディスプレイを開示している。前記シフト・レジスタユニットは、第2のクロック信号または第3のクロック信号を入力し、且つフレーム開始信号と第1のクロック信号と低電圧信号とリセット信号、及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号を入力する入力モジュールと、ゲート駆動信号を生成し、且つ少なくとも二つの薄膜トランジスタが形成した少なくとも一つの第1のノードのレベルを、入力モジュールが入力した第2のクロック信号又は第3のクロック信号がローレベルを保持するフレーム間隔においてローレベルに保持させる処理モジュールと、処理モジュールが生成したゲート駆動信号を送信する出力モジュールと、を備える。

【選択図】 図3a



## 【特許請求の範囲】

## 【請求項1】

シフト・レジスタユニットであって、

1フレーム又は複数のフレームの表示時間を備える1つのフレーム間隔において、第2のクロック信号が第1のクロック信号の反転信号と同じ、第3のクロック信号がローレベルを保持し、隣り合う次のフレーム間隔において、第3のクロック信号が第1のクロック信号と同じ、第2のクロック信号がローレベルを保持しており、第2のクロック信号または第3のクロック信号を入力し、且つフレーム開始信号、第1のクロック信号、低電圧信号、リセット信号及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号を入力する入力モジュールと、

10

前記入力モジュールに接続され、少なくとも二つの薄膜トランジスタを備え、前記入力モジュールが入力した第2のクロック信号または第3のクロック信号に基づいて、且つフレーム開始信号、第1のクロック信号、及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号に基づいて、ゲート駆動信号を生成し、且つ前記少なくとも二つの薄膜トランジスタが形成した少なくとも一つの第1のノードのレベルを、前記入力モジュールが入力した第2のクロック信号または第3のクロック信号がローレベルを保持するフレーム間隔においてローレベルに保持させる処理モジュールと、

前記処理モジュールに接続され、前記処理モジュールが生成したゲート駆動信号を送信する出力モジュールと、

を備えることを特徴とするシフト・レジスタユニット。

20

## 【請求項2】

前記処理モジュールは、

前記入力モジュールに接続され、少なくとも二つの薄膜トランジスタを備え、前記入力モジュールが入力した第2のクロック信号または第3のクロック信号に基づいて、且つフレーム開始信号、第1のクロック信号、及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号に基づいて、ゲート駆動信号を生成するゲート駆動信号生成ユニットと、

前記ゲート駆動信号生成ユニットに接続され、前記ゲート駆動信号生成ユニットの中の少なくとも二つの薄膜トランジスタが形成した少なくとも一つの第1のノードのレベルを、前記入力モジュールが入力した第2のクロック信号又は第3のクロック信号がローレベルを保持するフレーム間隔においてローレベルに保持させるレベル制御ユニットと、

30

を備えることを特徴とする請求項1に記載のシフト・レジスタユニット。

## 【請求項3】

前記入力モジュールは、

フレーム開始信号を入力する開始信号入力端と、

第1のクロック信号を入力する第1のクロック信号入力端と、

第2のクロック信号又は第3のクロック信号を入力する第2のクロック信号入力端と、

このシフト・レジスタユニットに隣り合う次のシフト・レジスタユニットが入力した第1の信号を入力する第1の信号入力端と、

このシフト・レジスタユニットに隣り合う次のシフト・レジスタユニットが入力した第2の信号を入力する第2の信号入力端と、

40

低電圧信号を入力する低電圧信号入力端と、

リセット信号を入力するリセット信号入力端と、

を備えることを特徴とする請求項1に記載のシフト・レジスタユニット。

## 【請求項4】

前記ゲート駆動信号生成ユニットは、

ドレインとゲートがいずれも開始信号入力端に接続された第1の薄膜トランジスタと、

ドレインが前記第1の薄膜トランジスタのソースに接続され、ゲートがリセット信号入力端に接続され、ソースが低電圧信号入力端に接続された第2の薄膜トランジスタと、

ドレインが第1のクロック信号入力端に接続され、ゲートが前記第1の薄膜トランジスタ

50

のソースに接続され、ソースが自身のゲートと出力モジュールとに接続された第3の薄膜トランジスタと、

ドレインが前記第3の薄膜トランジスタのソースに接続され、ゲートが前記リセット信号入力端に接続され、ソースが前記低電圧信号入力端に接続された第4の薄膜トランジスタと、

ドレインが前記第1の薄膜トランジスタのソースに接続され、ソースが前記低電圧信号入力端に接続された第5の薄膜トランジスタと、

ドレインが前記第3の薄膜トランジスタのソースに接続され、ソースが前記低電圧信号入力端に接続された第6の薄膜トランジスタと、

ソースがそれぞれ前記第5の薄膜トランジスタのゲートと前記第6の薄膜トランジスタのゲートとに接続された第7の薄膜トランジスタと、

ドレインが前記第7の薄膜トランジスタのソースに接続され、ゲートが前記第1の薄膜トランジスタのソースに接続され、ソースが前記低電圧信号入力端に接続された第8の薄膜トランジスタと、

ソースが前記第7の薄膜トランジスタのゲートに接続された第9の薄膜トランジスタと、

ドレインが前記第9の薄膜トランジスタのソースに接続され、ゲートが前記第1の薄膜トランジスタのソースに接続され、ソースが前記低電圧信号入力端に接続された第10の薄膜トランジスタと、

ドレインが前記第1の薄膜トランジスタのドレインに接続され、ソースが前記第1の薄膜トランジスタのソースに接続され、ゲートが第2のクロック信号入力端に接続された第11の薄膜トランジスタと、

ドレインが前記第3の薄膜トランジスタのソースに接続され、ソースが前記低電圧信号入力端に接続され、ゲートが第2のクロック信号入力端に接続された第12の薄膜トランジスタと、

を備えることを特徴とする請求項3に記載のシフト・レジスタユニット。

【請求項5】

第7の薄膜トランジスタのソース、第8の薄膜トランジスタのドレイン、第5の薄膜トランジスタのゲート及び第6の薄膜トランジスタのゲートが接続する箇所は第1のノードを形成することを特徴とする請求項4に記載のシフト・レジスタユニット。

【請求項6】

前記レベル制御ユニットは、

ドレインが前記第5の薄膜トランジスタのドレインに接続され、ゲートが前記第1の信号入力端に接続され、ソースが前記低電圧信号入力端に接続された第13の薄膜トランジスタと、

ドレインが前記第10の薄膜トランジスタのドレインに接続され、ゲートが前記第2の信号入力端に接続され、ソースが前記低電圧信号入力端に接続された第14の薄膜トランジスタと、

ドレインが前記第8の薄膜トランジスタのドレインに接続され、ゲートが前記第2の信号入力端に接続され、ソースが前記低電圧信号入力端に接続された第15の薄膜トランジスタと、

ドレインが前記第6の薄膜トランジスタのドレインに接続され、ゲートが前記第1の信号入力端に接続され、ソースが前記低電圧信号入力端に接続された第16の薄膜トランジスタと、

を備えることを特徴とする請求項5に記載のシフト・レジスタユニット。

【請求項7】

前記第9の薄膜トランジスタのゲートとドレイン及び第7の薄膜トランジスタのドレインが前記第1のクロック信号入力端に接続され、

または、前記第9の薄膜トランジスタのゲートとドレイン及び第7の薄膜トランジスタのドレインが前記第2のクロック信号入力端に接続されることを特徴とする請求項6に記載のシフト・レジスタユニット。

**【請求項 8】**

両端がそれぞれ前記第3の薄膜トランジスタのゲートとソースとに接続されたコンデンサを更に備えることを特徴とする請求項7に記載のシフト・レジスタユニット。

**【請求項 9】**

前記第7の薄膜トランジスタのチャネルの幅/長さ比と第8の薄膜トランジスタのチャネルの幅/長さ比との比率は1/1~1/50であって、前記第9の薄膜トランジスタのチャネルの幅/長さ比と第10の薄膜トランジスタのチャネルの幅/長さ比との比率は1/1~1/50であることを特徴とする請求項7に記載のシフト・レジスタユニット。

**【請求項 10】**

前記出力モジュールは、

10

前記第3の薄膜トランジスタのソースに接続され、前記処理モジュールが生成したゲート駆動信号を送信するゲート駆動信号出力端と、

前記第7の薄膜トランジスタのソースに接続され、第3の信号をこのシフト・レジスタユニットに隣り合う前のシフト・レジスタユニットに出力する第1の信号出力端と、

前記第3の薄膜トランジスタのゲートとソースとに接続され、第4の信号をこのシフト・レジスタユニットに隣り合う前のシフト・レジスタユニットに出力する第2の信号出力端と、

を備えることを特徴とする請求項7に記載のシフト・レジスタユニット。

**【請求項 11】**

ディスプレイ用ゲート駆動装置において、

20

順次に接続されたn+1個の請求項1に記載のシフト・レジスタユニットを備え、ここで、nが自然数であり、

1番目のシフト・レジスタユニットとn+1番目のシフト・レジスタユニット以外、各シフト・レジスタユニットの出力モジュールは、いずれも隣り合う前のシフト・レジスタユニットの入力モジュールと、隣り合う次のシフト・レジスタユニットの入力モジュールとに接続され、各シフト・レジスタユニットが出力したゲート駆動信号はいずれも隣り合う前のシフト・レジスタユニットのリセット信号として隣り合う前のシフト・レジスタユニットに送信され、各シフト・レジスタユニットが出力したゲート駆動信号はいずれも隣り合う次のシフト・レジスタユニットのフレーム開始信号として隣り合う次のシフト・レジスタユニットに送信され、

30

1番目のシフト・レジスタユニットの出力モジュールは2番目のシフト・レジスタユニットの入力モジュールに接続され、1番目のシフト・レジスタユニットが出力したゲート駆動信号は2番目のシフト・レジスタユニットのフレーム開始信号として2番目のシフト・レジスタユニットに入力され、

最後のシフト・レジスタユニットの出力モジュールはn番目のシフト・レジスタユニットの入力モジュールに接続され、最後のシフト・レジスタユニットが出力したゲート駆動信号はn番目のシフト・レジスタユニットのリセット信号としてn番目のシフト・レジスタユニットに送信され、

最後のシフト・レジスタユニットの出力モジュールは自身の入力モジュールに接続され、最後のシフト・レジスタユニットが出力したゲート駆動信号は自身のリセット信号として自身の入力モジュールに送信されることを特徴とするディスプレイ用ゲート駆動装置。

40

**【請求項 12】**

1番目のシフト・レジスタユニットと最後のシフト・レジスタユニット以外、各シフト・レジスタユニットのゲート駆動信号出力端はいずれも隣り合う前のシフト・レジスタユニットのリセット信号入力端と、隣り合う次のシフト・レジスタユニットの開始信号入力端とに接続され、

1番目のシフト・レジスタユニットのゲート駆動信号出力端は2番目のシフト・レジスタユニットの開始信号入力端に接続され、

n+1番目のシフト・レジスタユニットのゲート駆動信号出力端はそれぞれ隣り合うn番目のシフト・レジスタユニットのリセット信号入力端と、自身のリセット信号入力端とに接

50

続されることを特徴とする請求項12に記載のディスプレイ用ゲート駆動装置。

【請求項13】

1番目のシフト・レジスタユニットと $n+1$ 番目のシフト・レジスタユニット以外、各シフト・レジスタユニットの第1の信号出力端はいずれも隣り合う前のシフト・レジスタユニットの第1の信号入力端に接続され、第2の信号出力端はいずれも隣り合う前のシフト・レジスタユニットの第2の信号入力端に接続され、第1の信号入力端はいずれも隣り合う次のシフト・レジスタユニットの第1の信号出力端に接続され、第2の信号入力端はいずれも隣り合う次のシフト・レジスタユニットの第2の信号出力端に接続され、

1番目のシフト・レジスタユニットの第1の信号入力端は2番目のシフト・レジスタユニットの第1の信号出力端に接続され、第2の信号入力端は2番目のシフト・レジスタユニットの第2の信号出力端に接続され、

$n+1$ 番目のシフト・レジスタユニットの第1の信号出力端と第1の信号入力端とはいずれも $n$ 番目のシフト・レジスタユニットの第1の信号入力端に接続され、第2の信号出力端と第2の信号入力端とはいずれも $n$ 番目のシフト・レジスタユニットの第2の信号入力端に接続されることを特徴とする請求項11に記載のディスプレイ用ゲート駆動装置。

【請求項14】

$n+1$ が偶数である場合、

$i$ 番目のシフト・レジスタユニットの第1の信号入力端は $i+1$ 番目のシフト・レジスタユニットの第1の信号出力端に接続され、 $i$ 番目のシフト・レジスタユニットの第2の信号入力端は $i+1$ 番目のシフト・レジスタユニットの第2の信号出力端に接続され、ここで、 $i$ が奇数であり、 $i \in [1, n]$ 、

$i$ 番目のシフト・レジスタユニットの第1の信号出力端は $i+1$ 番目のシフト・レジスタユニットの第1の信号入力端に接続され、 $i$ 番目のシフト・レジスタユニットの第2の信号出力端は $i+1$ 番目のシフト・レジスタユニットの第2の信号入力端に接続され、

$n+1$ が奇数である場合、

$i$ 番目のシフト・レジスタユニットの第1の信号入力端は $i+1$ 番目のシフト・レジスタユニットの第1の信号出力端に接続され、 $i$ 番目のシフト・レジスタユニットの第2の信号入力端は $i+1$ 番目のシフト・レジスタユニットの第2の信号出力端に接続され、ここで、 $i$ が奇数であり、 $i \in [1, n-1]$ 、

$i$ 番目のシフト・レジスタユニットの第1の信号出力端は $i+1$ 番目のシフト・レジスタユニットの第1の信号入力端に接続され、 $i$ 番目のシフト・レジスタユニットの第2の信号出力端は $i+1$ 番目のシフト・レジスタユニットの第2の信号入力端に接続され、

$n+1$ 番目のシフト・レジスタユニットの第1の信号入力端と第1の信号出力端とはいずれも $n$ 番目のシフト・レジスタユニットの第1の信号入力端に接続され、 $n+1$ 番目のシフト・レジスタユニットの第2の信号入力端と第2の信号出力端とは $n$ 番目のシフト・レジスタユニットの第2の信号入力端に接続されることを特徴とする請求項12に記載のディスプレイ用ゲート駆動装置。

【請求項15】

$i$ 番目のシフト・レジスタユニットは、第1のクロック信号入力端が第1のクロック信号を入力することに用いられ、第2のクロック信号入力端が第2のクロック信号を入力することに用いられ、

$i+1$ 番目のシフト・レジスタユニットは、第1のクロック信号入力端が第1のクロック信号の反転信号を入力することに用いられ、第2のクロック信号入力端が第3のクロック信号を入力することに用いられることを特徴とする請求項13に記載のディスプレイ用ゲート駆動装置。

【請求項16】

液晶ディスプレイであって、請求項11に記載のディスプレイ用ゲート駆動装置を備えることを特徴とする液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

## 【0001】

本発明は、シフト・レジスタユニット、ディスプレイ用ゲート駆動装置及び液晶ディスプレイに関するものである。

## 【背景技術】

## 【0002】

表示の目標を達成するために、あるディスプレイにおいてゲート駆動装置が用いられている。

## 【0003】

液晶ディスプレイを例にして説明する。一般的には、液晶ディスプレイが画像を表示するときに、順次走査を採用する。各行のサブ画素領域の薄膜トランジスタ (Thin Film Transistor、TFTを略称とする) のオン/オフが1本のゲートラインで制御されている。各薄膜トランジスタのゲートを駆動するためのゲート駆動信号はゲート駆動装置によって生成されている。ゲート駆動装置は一般的に複数のシフト・レジスタユニットを備える。

10

## 【0004】

シフト・レジスタユニットは一般的に複数の薄膜トランジスタを備える。複数の薄膜トランジスタは、入力されたクロック信号、フレーム開始信号及びリセット信号などに基づいてゲート駆動信号を生成している。ゲート駆動信号は、アレイ基板上のサブ画素領域における薄膜トランジスタに送信される。

## 【0005】

これらの薄膜トランジスタのうち少なくとも二つは、一つのノードを形成できる。そのうち、あるノードのレベルは長時間にハイレベルを保持している。このように、ゲートがこれらのノードに接続されたある薄膜トランジスタは、長時間に、より大きいバイアス電圧に置かれるため、ゲートがこれらのノードに接続された薄膜トランジスタの寿命が低減して、シフト・レジスタユニットの安定性に影響する。

20

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

本発明は、薄膜トランジスタの寿命を延長して且つシフト・レジスタユニットの安定性を向上できるシフト・レジスタユニット、ディスプレイ用ゲート駆動装置ならびに液晶ディスプレイを提供することを目的とする。

30

## 【課題を解決するための手段】

## 【0007】

本発明が提供するシフト・レジスタユニットは、1フレーム又は複数のフレームの表示時間を備える1つのフレーム間隔において、第2のクロック信号が第1のクロック信号の反転信号と同じ、第3のクロック信号がローレベルを保持し、隣り合う次のフレーム間隔において、第3のクロック信号が第1のクロック信号と同じ、第2のクロック信号がローレベルを保持しており、第2のクロック信号または第3のクロック信号を入力し、且つフレーム開始信号、第1のクロック信号、低電圧信号、リセット信号及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号を入力する入力モジュールと、

40

## 【0008】

前記入力モジュールに接続され、少なくとも二つの薄膜トランジスタを備え、前記入力モジュールが入力した第2のクロック信号または第3のクロック信号に基づいて、且つフレーム開始信号、第1のクロック信号、及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号に基づいて、ゲート駆動信号を生成し、且つ前記少なくとも二つの薄膜トランジスタが形成した少なくとも一つの第1のノードのレベルを、前記入力モジュールが入力した第2のクロック信号または第3のクロック信号がローレベルを保持するフレーム間隔においてローレベルに保持させる処理モジュールと、

## 【0009】

前記処理モジュールに接続され、前記処理モジュールが生成したゲート駆動信号を送信する出力モジュールと、を備える。

50

## 【0010】

本発明が更に提供するディスプレイ用ゲート駆動装置は、順次に接続された $n+1$ 個の前記のシフト・レジスタユニットを備え、ここで、 $n$ が自然数であり、

## 【0011】

1番目のシフト・レジスタユニットと $n+1$ 番目のシフト・レジスタユニット以外、各シフト・レジスタユニットの出力モジュールは、いずれも隣り合う前のシフト・レジスタユニットの入力モジュールと、隣り合う次のシフト・レジスタユニットの入力モジュールとに接続され、各シフト・レジスタユニットが出力したゲート駆動信号はいずれも隣り合う前のシフト・レジスタユニットのリセット信号として隣り合う前のシフト・レジスタユニットに送信され、各シフト・レジスタユニットが出力したゲート駆動信号はいずれも隣り合う次のシフト・レジスタユニットのフレーム開始信号として隣り合う次のシフト・レジスタユニットに送信され、

10

## 【0012】

1番目のシフト・レジスタユニットの出力モジュールは2番目のシフト・レジスタユニットの入力モジュールに接続され、1番目のシフト・レジスタユニットが出力したゲート駆動信号は2番目のシフト・レジスタユニットのフレーム開始信号として2番目のシフト・レジスタユニットに入力され、

## 【0013】

最後のシフト・レジスタユニットの出力モジュールは $n$ 番目のシフト・レジスタユニットの入力モジュールに接続され、最後のシフト・レジスタユニットが出力したゲート駆動信号は $n$ 番目のシフト・レジスタユニットのリセット信号として $n$ 番目のシフト・レジスタユニットに送信され、

20

## 【0014】

最後のシフト・レジスタユニットの出力モジュールは自身の入力モジュールに接続され、最後のシフト・レジスタユニットが出力したゲート駆動信号は自身のリセット信号として自身の入力モジュールに送信される。

## 【0015】

本発明が更に提供する液晶ディスプレイは、前記のディスプレイ用ゲート駆動装置を備える。

## 【0016】

以下は、図面と実施形態を通じて本発明の技術方案をさらに詳細に説明する。

30

## 【図面の簡単な説明】

## 【0017】

【図1】本発明の実施形態に係るシフト・レジスタユニットの構造模式図。

【図2】本発明の実施形態に係るシフト・レジスタユニットの第1実施形態の構造模式図。

。

【図3a】本発明の実施形態に係るシフト・レジスタユニットの第2実施形態の構造模式図。

【図3b】図5aにおける3番目のシフト・レジスタユニット $SR_3$ の入力信号と出力信号のシーケンス図。

40

【図4】本発明の実施形態に係るディスプレイ用ゲート駆動装置の構造模式図。

【図5a】本発明の実施形態に係るディスプレイ用ゲート駆動装置の第1実施形態の構造模式図。

【図5b】図5aに示したディスプレイ用ゲート駆動装置の入力信号と出力信号のシーケンス図。

【図5c】図5bの簡略シーケンス図。

【図6a】本発明の実施形態に係るシフト・レジスタユニットの第3実施形態の構造模式図。

【図6b】図6aに示したシフト・レジスタユニットの入力信号と出力信号のシーケンス図。

。

50

【図7】本発明の実施形態に係るシフト・レジスタユニットの第4実施形態の構造模式図。

【図8】本発明の実施形態に係るディスプレイ用ゲート駆動装置の第2実施形態の構造模式図。

【図9】本発明の実施形態に係るディスプレイ用ゲート駆動装置の第3実施形態の構造模式図。

【発明を実施するための形態】

【0018】

本発明の下記各実施形態において、主に液晶ディスプレイを例として説明するが、本発明の実施形態におけるシフト・レジスタユニット及びゲート駆動装置は液晶ディスプレイに限らず、他の各種のディスプレイ、例えば有機発光ダイオード（OLED）ディスプレイに用いられている。

【0019】

図1は本発明の実施形態に係るシフト・レジスタユニットの構造ブロック模式図である。このシフト・レジスタユニットは、入力モジュール11と処理モジュール12と出力モジュール13とを備える。入力モジュール11は、第2のクロック信号または第3のクロック信号を入力して、且つフレーム開始信号、第1のクロック信号、低電圧信号、リセット信号、及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号を入力するために用いられる。一つのフレーム間隔に、第2のクロック信号は第1のクロック信号の反転信号と同じく、第3のクロック信号はローレベルを保持している。隣り合う次のフレーム間隔に、第3のクロック信号は第1のクロック信号と同じく、第2のクロック信号はローレベルを保持している。一つのフレーム間隔は1つのフレーム又は複数のフレームの表示時間を含む。処理モジュール12は、入力モジュール11に接続され、少なくとも二つの薄膜トランジスタを備え、入力モジュール11が入力した第2のクロック信号または第3のクロック信号に基づいて、且つフレーム開始信号、第1のクロック信号、及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号に基づいて、ゲート駆動信号を生成し、且つ少なくとも二つの薄膜トランジスタが形成した少なくとも一つの第1のノードのレベルを、入力モジュール11が入力した第2のクロック信号又は第3のクロック信号がローレベルを保持するフレーム間隔にローレベルに保持させる。出力モジュール13は、処理モジュール12に接続され、処理モジュール12が生成したゲート駆動信号を送信する。

【0020】

図2は本発明のシフト・レジスタユニットの第1実施形態の構造模式図である。この実施形態において、処理モジュール12はゲート駆動信号生成ユニット121とレベル制御ユニット122とを備える。ゲート駆動信号生成ユニット121は、入力モジュール11に接続され、少なくとも二つの薄膜トランジスタを備え、入力モジュール11が入力した第2のクロック信号または第3のクロック信号に基づいて、且つフレーム開始信号、第1のクロック信号、及び隣り合う次のシフト・レジスタユニットが送信した第1の信号と第2の信号に基づいて、ゲート駆動信号を生成する。レベル制御ユニット122は、ゲート駆動信号生成ユニット121に接続され、ゲート駆動信号生成ユニット121における少なくとも二つの薄膜トランジスタが形成した少なくとも一つの第1のノードのレベルを、入力モジュール11が入力した第2のクロック信号又は第3のクロック信号がローレベルを保持するフレーム間隔にローレベルに保持させる。

【0021】

図3aは本発明のシフト・レジスタユニットの第2実施形態の構造模式図である。この実施形態において、入力モジュール11は、開始信号入力端（INPUT-1）、第1のクロック信号入力端（CLK1IN）、第2のクロック信号入力端（CLK2IN）、第1の信号入力端（PDNIN）、第2の信号入力端（PUNIN）、低電圧信号入力端（VSSIN）、及びリセット信号入力端（RESET IN）を備える。開始信号入力端（INPUT-1）はフレーム開始信号を入力する。第1のクロック信号入力端（PDNIN）は第1のクロック信号を入力する。第2のクロック信号入力端（CLK2IN）は第2のクロック信号又は第3のクロック信号を入力する。第1の信号入力端（PDNIN

)はこのシフト・レジスタユニットに隣り合う次のシフト・レジスタユニットが入力した第1の信号を入力する。第2の信号入力端(PUNIN)はこのシフト・レジスタユニットに隣り合う次のシフト・レジスタユニットが入力した第2の信号を入力する。低電圧信号入力端(VSSIN)は低電圧信号を入力する。リセット信号入力端(RESETIN)はリセット信号を入力する。

【0022】

出力モジュール13は、ゲート駆動信号出力端(OUT)と、第1の信号出力端(PDLOUT)と、第2の信号出力端(PULOUT)とを備える。ゲート駆動信号出力端(OUT)は処理モジュールが生成したゲート駆動信号を送信する。第1の信号出力端(PDLOUT)は、第3の信号をこのシフト・レジスタユニットに隣り合う前のシフト・レジスタユニットに出力する。第2の信号出力端(PULOUT)は、第4の信号をこのシフト・レジスタユニットに隣り合う前のシフト・レジスタユニットに出力する。

10

【0023】

ゲート駆動信号生成ユニット121は、第1の薄膜トランジスタT1、第2の薄膜トランジスタT2、第3の薄膜トランジスタT3、第4の薄膜トランジスタT4、第5の薄膜トランジスタT5、第6の薄膜トランジスタT6、第7の薄膜トランジスタT7、第8の薄膜トランジスタT8、第9の薄膜トランジスタT9、第10の薄膜トランジスタT10、第11の薄膜トランジスタT11、第12の薄膜トランジスタT12を備える。

【0024】

第1の薄膜トランジスタT1のゲートとドレインはいずれも開始信号入力端(INPUT-1)に接続されている。第2の薄膜トランジスタT2のドレインは第1の薄膜トランジスタT1のソースに接続され、第2の薄膜トランジスタT2のゲートはリセット信号入力端(RESETIN)に接続され、第2の薄膜トランジスタT2のソースは低電圧信号入力端(VSSIN)に接続されている。第3の薄膜トランジスタT3のドレインは第1のクロック信号入力端(CLK1IN)に接続され、第3の薄膜トランジスタT3のゲートとソースとは第2の信号出力端(PULOUT)に接続され、第3の薄膜トランジスタT3のソースは自身のゲートとゲート駆動信号出力端(OUT)とも接続されている。第4の薄膜トランジスタT4のゲートはリセット信号入力端(RESETIN)に接続され、第4の薄膜トランジスタT4のドレインは第3の薄膜トランジスタT3のソースに接続され、第4の薄膜トランジスタT4のソースは低電圧信号入力端(VSSIN)に接続されている。第5の薄膜トランジスタT5のドレインは第1の薄膜トランジスタT1のソースに接続され、第5の薄膜トランジスタT5のソースは低電圧信号入力端(VSSIN)に接続されている。第6の薄膜トランジスタT6のドレインは第3の薄膜トランジスタT3のソースに接続され、第6の薄膜トランジスタT6のソースは低電圧信号入力端(VSSIN)に接続されている。第7の薄膜トランジスタT7のソースはそれぞれ第5の薄膜トランジスタT5のゲートと第6の薄膜トランジスタT6のゲートと第1の信号出力端(PDLOUT)とに接続されている。第8の薄膜トランジスタT8のゲートは第1の薄膜トランジスタT1のソースに接続され、第8の薄膜トランジスタT8のドレインは第7の薄膜トランジスタT7のソースに接続され、第8の薄膜トランジスタT8のソースは低電圧信号入力端(VSSIN)に接続されている。第9の薄膜トランジスタT9のソースは第7の薄膜トランジスタT7のゲートに接続されている。第10の薄膜トランジスタT10のゲートは第1の薄膜トランジスタT1のソースに接続され、第10の薄膜トランジスタT10のドレインは第9の薄膜トランジスタT9のソースに接続され、第10の薄膜トランジスタT10のソースは低電圧信号入力端(VSSIN)に接続されている。第11の薄膜トランジスタT11のソースは開始信号入力端(INPUT-1)に接続され、ドレインは第1の薄膜トランジスタT1のソースに接続され、ゲートは第2のクロック信号入力端(CLK2IN)に接続されている。第12の薄膜トランジスタT12のドレインは第3の薄膜トランジスタT3のソースに接続され、ソースは低電圧信号入力端(VSSIN)に接続され、ゲートは第2のクロック信号入力端(CLK2IN)に接続されている。第1の薄膜トランジスタT1のソースと第2の薄膜トランジスタT2のドレインと第5の薄膜トランジスタT5のドレインと第10の薄膜トランジスタT10のゲートと第8の薄膜トランジスタT8のゲートと第3の薄膜トランジスタT3のゲートが接続する箇所は第2のノードを形成している。本発明の各実施形態において第2のノードはPUノード

20

30

40

50

と称される。第7の薄膜トランジスタT7のソースと第8の薄膜トランジスタT8のドレインと第5の薄膜トランジスタT5のゲートと第6の薄膜トランジスタT6のゲートとが接続する箇所は第1のノードを形成している。本発明の各実施形態において第1のノードはPDノードと称される。第9の薄膜トランジスタT9のソースと第7の薄膜トランジスタT7のゲートとが接続する箇所は第3のノードを形成している。本発明の各実施形態において第3のノードはPD\_CNノードと称されている。

【0025】

図3aにおいては、レベル制御ユニット122は第13の薄膜トランジスタT13、第14の薄膜トランジスタT14、第15の薄膜トランジスタT15、及び第16の薄膜トランジスタT16を備える。

10

【0026】

第13の薄膜トランジスタT13のゲートは第1の信号入力端(PDNIN)に接続され、ドレインは第5の薄膜トランジスタT5のドレインと第1の薄膜トランジスタT1のソースとに接続され、ソースは低電圧信号入力端(VSSIN)に接続されている。第14の薄膜トランジスタT14のゲートは第2の信号入力端(PUNIN)に接続され、ドレインは第10の薄膜トランジスタT10のドレインと第9の薄膜トランジスタT9のソースとに接続され、ソースは低電圧信号入力端(VSSIN)に接続されている。第15の薄膜トランジスタT15のゲートは第2の信号入力端(PUNIN)に接続され、ドレインは第8の薄膜トランジスタT8のドレインと第7の薄膜トランジスタT7のソースとに接続され、ソースは低電圧信号入力端(VSSIN)に接続されている。第16の薄膜トランジスタT16のゲートは第1の信号入力端(PDNIN)に接続され、ドレインは第6の薄膜トランジスタT6のドレインと第3の薄膜トランジスタT3のソースとに接続され、ソースは低電圧信号入力端(VSSIN)に接続されている。

20

【0027】

図4は本発明の実施形態に係るディスプレイ用ゲート駆動装置の構造模式図である。図4に示すように、この装置は、順次に接続された $n+1$ 個のシフト・レジスタユニットを備える。この $n+1$ 個のシフト・レジスタユニットはそれぞれ $SR_1$ 、 $SR_2$ 、...、 $SR_{n+1}$ と標識される。1番目のシフト・レジスタユニット $SR_1$ と $n+1$ 番目のシフト・レジスタユニット $SR_{n+1}$ 以外に、各シフト・レジスタユニットの出力モジュール13はいずれも隣り合う前のシフト・レジスタユニットの入力モジュール11と、隣り合う次のシフト・レジスタユニットの入力モジュール11とに接続されている。これによって、各シフト・レジスタユニットが出力したゲート駆動信号はいずれも隣り合う前のシフト・レジスタユニットのリセット信号として、隣り合う前のシフト・レジスタユニットに送信されている。各シフト・レジスタユニットが出力したゲート駆動信号はいずれも隣り合う次のシフト・レジスタユニットのフレーム開始信号として隣り合う次のシフト・レジスタユニットに入力されている。1番目のシフト・レジスタユニット $SR_1$ の出力モジュール13は2番目のシフト・レジスタユニット $SR_2$ の入力モジュール11に接続され、1番目のシフト・レジスタユニット $SR_1$ が出力したゲート駆動信号は2番目のシフト・レジスタユニット $SR_2$ のフレーム開始信号として2番目のシフト・レジスタユニット $SR_2$ に送信されている。最後のシフト・レジスタユニット $SR_{n+1}$ の出力モジュール13は $n$ 番目のシフト・レジスタユニット $SR_n$ の入力モジュール11に接続され、最後のシフト・レジスタユニット $SR_{n+1}$ が出力したゲート駆動信号は $n$ 番目のシフト・レジスタユニット $SR_n$ のリセット信号として $n$ 番目のシフト・レジスタユニット $SR_n$ に送信されている。最後のシフト・レジスタユニット $SR_{n+1}$ の出力モジュール13は自身の入力モジュール11に接続され、最後のシフト・レジスタユニット $SR_{n+1}$ が出力したゲート駆動信号は自身のリセット信号として自身の入力モジュール11に送信されている。

30

40

【0028】

図5aは本発明の実施形態に係るディスプレイ用ゲート駆動装置の第1実施形態の構造模式図である。この実施形態において、 $n+1$ 個の図3aに示したシフト・レジスタユニットを備え、1番目のシフト・レジスタユニット $SR_1$ と最後のシフト・レジスタユニット $SR_{n+1}$ 以外に、各シフト・レジスタユニットのゲート駆動信号出力端(OUT)はいずれも隣り合う前のシフト・レジスタユニットのリセット信号入力端(RETSETIN)と、隣り合う次のシフ

50

ト・レジスタユニットの開始信号入力端 (INPUT-1) とに接続されている。1番目のシフト・レジスタユニットSR<sub>1</sub>のゲート駆動信号出力端 (OUT) は2番目のシフト・レジスタユニットSR<sub>2</sub>の開始信号入力端 (INPUT-1) に接続され、n+1番目のシフト・レジスタユニットSR<sub>n+1</sub>のゲート駆動信号出力端 (OUT) はそれぞれ隣り合うn番目のシフト・レジスタユニットSR<sub>n</sub>のリセット信号入力端 (RESETIN) と、自身のリセット信号入力端 (RESETIN) とに接続されている。1番目のシフト・レジスタユニットSR<sub>1</sub>と最後のシフト・レジスタユニットSR<sub>n+1</sub>以外に、各シフト・レジスタユニットの第1の信号出力端 (PDLOUT) はいずれも隣り合う前のシフト・レジスタユニットの第1の信号入力端 (PDNIN) に接続され、第2の信号出力端 (PULOUT) はいずれも隣り合う前のシフト・レジスタユニットの第2の信号入力端 (PUNIN) に接続され、第1の信号入力端 (PDNIN) はいずれも隣り合う次のシフト・レジスタユニットの第1の信号出力端 (PDLOUT) に接続され、第2の信号入力端 (PUNIN) はいずれも隣り合う次のシフト・レジスタユニットの第2の信号出力端 (PULOUT) に接続されている。1番目のシフト・レジスタユニットSR<sub>1</sub>の第1の信号入力端 (PDNIN) は2番目のシフト・レジスタユニットSR<sub>2</sub>の第1の信号出力端 (PDLOUT) に接続され、第2の信号入力端 (PUNIN) は2番目のシフト・レジスタユニットSR<sub>2</sub>の第2の信号出力端 (PULOUT) に接続されている。n+1番目のシフト・レジスタユニットSR<sub>n+1</sub>の第1の信号出力端 (PDLOUT) と第1の信号入力端 (PDNIN) とはいずれもn番目のシフト・レジスタユニットSR<sub>n</sub>の第1の信号入力端 (PDNIN) に接続され、第2の信号出力端 (PULOUT) と第2の信号入力端 (PUNIN) とはn番目のシフト・レジスタユニットSR<sub>n</sub>の第2の信号入力端 (PUNIN) に接続されている。

10

20

【0029】

図3aと図5aを結合して本発明の実施形態のディスプレイ用ゲート駆動装置における各シフト・レジスタユニットの接続関係は明らかに見ることができ。以下は、単独のシフト・レジスタユニットにおける入力信号と出力信号間のシーケンス関係、及びディスプレイ用ゲート駆動装置における入力信号と出力信号間のシーケンス関係を説明する。

【0030】

図5bは図5aに示したディスプレイ用ゲート駆動装置の入力信号と出力信号のシーケンス図である。図5bは液晶ディスプレイのゲート駆動装置の入力信号と出力信号のシーケンス図であって、他のディスプレイのゲート駆動装置の入力信号と出力信号のシーケンス図はそれと類似するので、液晶ディスプレイのゲート駆動装置の原理を参照して理解できる。STVはフレーム開始信号である。このSTV信号は1番目のシフト・レジスタユニットSR<sub>1</sub>の開始信号入力端 (INPUT-1) に入力され、他のシフト・レジスタユニットの開始信号入力端 (INPUT-1) はいずれも隣り合う前のシフト・レジスタユニットのゲート駆動信号出力端 (OUT) に接続され、即ち、他のシフト・レジスタユニットの開始信号入力端 (INPUT-1) に入力されたのは隣り合う前のシフト・レジスタユニットが出力したゲート駆動信号 (OUTPUT) である。一つのシフト・レジスタユニットが出力したゲート駆動信号は、隣り合う次のシフト・レジスタユニットのフレーム開始信号となる。図5bにおいては、INPUTは1番目のシフト・レジスタユニットSR<sub>1</sub>以外の他の各シフト・レジスタユニットの開始信号入力端 (INPUT-1) に入力された信号である。各シフト・レジスタユニットは一つのゲート駆動信号 (OUTPUT) を出力して、駆動液晶ディスプレイの一行のゲートラインに用いられている。低電圧信号 (VSS) (図5b中にはVSSを図示しない) は各シフト・レジスタユニットの低電圧信号入力端 (VSSIN) に入力され、i番目のシフト・レジスタユニットSR<sub>i</sub>の第1のクロック信号入力端 (CLK1IN) には第1のクロック信号 (CLK1) が入力され、第2のクロック信号入力端 (CLK2IN) には第2のクロック信号 (CLK2) が入力される。ただし、iは奇数である。n+1が奇数であれば、i=1、3、5、.....、n+1である。iが偶数であれば、i=1、3、5、.....、nである。i+1番目のシフト・レジスタユニットSR<sub>i+1</sub>の第1のクロック信号入力端 (CLK1IN) には第1のクロック信号の反転信号 (CLK1B) が入力され、第3のクロック信号入力端 (CLK2IN) には第3のクロック信号 (CLK3) が入力される。

30

40

【0031】

図3bは図5aにおける3番目のシフト・レジスタユニットSR<sub>3</sub>の入力信号と出力信号のシーケンス図である。図3bは液晶ディスプレイのゲート駆動装置の入力信号と出力信号のシー

50

ケンス図であって、他のディスプレイのゲート駆動装置の入力信号と出力信号のシーケンス図はそれと類似したので、液晶ディスプレイのゲート駆動装置の原理を参照して理解できる。開始信号入力端 (INPUT-1) は信号 (INPUT) を入力し、第1のクロック信号入力端 (CLKIN) は第1のクロック信号 (CLK1) を入力し、第2のクロック信号入力端 (CLK2IN) は第2のクロック信号 (CLK2) を入力し、低電圧信号入力端 (VSSIN) は低電圧信号 (VSS) を入力し、リセット信号入力端 (RESETIN) はリセット信号 (RESET) を入力し、ゲート駆動信号出力端 (OUT) はゲート駆動信号 (OUTPUT) を出力する。図3bにおいて低電圧信号 (VSS) は図示されていないが、低電圧信号 (VSS) は低電圧をずっと保持している信号である。4番目のシフト・レジスタユニットSR<sub>4</sub>の第1の信号出力端 (PDLOUT) は信号 (PDN) を出力している。この信号 (PDN) は3番目のシフト・レジスタSR<sub>3</sub>の第1の信号入力端 (PDLIN) に入力され、第1の信号と見なされることができる。4番目のシフト・レジスタSR<sub>4</sub>の第2の信号出力端 (PULOUT) は信号 (PUN) を出力している。この信号 (PUN) は3番目のシフト・レジスタSR<sub>3</sub>の第2の信号入力端 (PUNIN) に入力され、第2の信号と見なされることができる。3番目のシフト・レジスタSR<sub>3</sub>の第1の信号出力端 (PDLOUT) が出力した信号 (PDL) は2番目のシフト・レジスタSR<sub>2</sub>の第1の信号入力端 (PDNIN) に入力され、第3の信号と見なされることができる。3番目のシフト・レジスタSR<sub>3</sub>の第2の信号出力端 (PULOUT) が出力した信号 (PUL) は2番目のシフト・レジスタSR<sub>2</sub>の第2の信号入力端 (PUNIN) に入力され、第4の信号と見なされることができる。

10

#### 【0032】

3番目のシフト・レジスタSR<sub>3</sub>については、第2のクロック信号入力端 (CLK2IN) に入力されるのは第2のクロック信号 (CLK2) であるが、3番目のシフト・レジスタSR<sub>3</sub>には、4番目のシフト・レジスタSR<sub>4</sub>が生成した信号 (PDNとPUNを含む) が入力される必要があって、信号 (PDNとPUNを含む) の生成は第3のクロック信号 (CLK3) に頼るので、図3bにおいて第3のクロック信号CLK3を併せて図示している。

20

#### 【0033】

本発明の実施形態において $T_{hold}$ でフレーム間隔を表示している。フレーム間隔は一つのフレーム又は複数のフレームの表示時間を含む。つまり、フレーム間隔はフレーム開始信号 (STV) 信号の一つの立ち上がりの開始時刻から後のある立ち上がりの開始時刻までの間隔である。一般的には、 $T_{hold}$ はディスプレイの一フレームの画像を走査する時間間隔の整数倍であって、最小とも一倍、多くとも数十ないし百倍に至る。図5bから見えるように、異なるフレーム間隔において、第2のクロック信号 (CLK2) と第3のクロック信号 (CLK3) とは形状が異なる。図5bと図3bに示すように、隣り合う二つのフレーム間隔は、それぞれ $Th_1$ と $Th_2$ である。

30

#### 【0034】

図3bから見えるように、 $Th_1$ において、第2のクロック信号 (CLK2) は第1のクロック信号の反転信号 (CLK1B) と同じであって、 $Th_2$ において、第2のクロック信号 (CLK2) はローレベルを保持している。 $Th_1$ において、第3のクロック信号 (CLK3) はローレベルを保持している。 $Th_2$ において、第3のクロック信号 (CLK3) は第1のクロック信号 (CLK1) と同じである。

40

#### 【0035】

図5cは図5bの簡略シーケンス図である。図5cから、第2のクロック信号 (CLK2) と第3のクロック信号 (CLK3) とフレーム開始信号 (STV) との間の関係が明らかに見える。

#### 【0036】

以下は、図3aと3bを結合して本発明の実施形態におけるシフト・レジスタユニットの動作原理を説明する。

#### 【0037】

本発明の実施形態において、フレーム間隔は一つ又は複数のフレームの表示時間を含むことができるが、一旦フレーム間隔の長さを確定した後に、各フレーム間隔の長さは同じである。即ち、図3bにおいて $Th_1$ と $Th_2$ の長さが同じである。

#### 【0038】

50

Th1から五つの段階を取って、それぞれI-1、I-2、I-3、I-4、及びI-5と表示する。Th2から五つの段階を取って、それぞれII-1、II-2、II-3、II-4及びII-5と表示する。

【0039】

(一) Th1において

【0040】

図3aと図5aの構造を結合して分かるように、Th1の時間間隔において、第3のクロック信号(CLK3)がローレベルを保持しているため、3番目のシフト・レジスタSR<sub>3</sub>が入力した信号(PDN)はローレベルを保持して、3番目のシフト・レジスタSR<sub>3</sub>における第13の薄膜トランジスタT13と第14の薄膜トランジスタT14はオフされている。

【0041】

1、I-1段階において

【0042】

信号(INPUT)はハイレベルであって、リセット信号(RESET)はローレベルであって、第1の薄膜トランジスタT1はオンされ、PUノードの信号はハイレベル、即ち、3番目のシフト・レジスタSR<sub>3</sub>が出力した信号(PUL)はハイレベルである。PUノードの信号がハイレベルなので、第3の薄膜トランジスタT3と第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオンされている。

【0043】

信号(PUN)はローレベルであって、第15の薄膜トランジスタT15と第14の薄膜トランジスタT14はオフされている。

【0044】

第1のクロック信号(CLK1)はローレベルであって、第2のクロック信号(CLK2)はハイレベルであって、第7の薄膜トランジスタT7と第9の薄膜トランジスタT9と第11の薄膜トランジスタT11と第12の薄膜トランジスタT12はオンされている。第7の薄膜トランジスタT7のチャンネルの幅/長さ比と第8の薄膜トランジスタのチャンネルの幅/長さ比との比率、及び第9の薄膜トランジスタT9のチャンネルの幅/長さ比と第10の薄膜トランジスタのチャンネルの幅/長さ比との比率を設定することによって、PDノードの信号がローレベルにされることことができる。これによって、第5の薄膜トランジスタT5と第6の薄膜トランジスタT6がオフされる。第7の薄膜トランジスタT7のチャンネルの幅/長さ比と第8の薄膜トランジスタT8のチャンネルの幅/長さ比との比率は1/1~1/50でもいいし、第9の薄膜トランジスタT9のチャンネルの幅/長さ比と第10の薄膜トランジスタT10のチャンネルの幅/長さ比との比率は1/1~1/50でもいいのである。

【0045】

リセット信号(RESET)はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4がオフされているため、ゲート駆動信号(OUTPUT)はローレベル、信号(PDL)はローレベル、信号(PUL)はハイレベルである。

【0046】

2、I-2段階において

【0047】

信号(INPUT)はローレベルとなって、第1の薄膜トランジスタT1はオフされ、リセット信号(RESET)はローレベルであって、PUノードの信号はハイレベルを保持している。つまり、3番目のシフト・レジスタユニットSR<sub>3</sub>が出力した信号(PUL)は依然としてハイレベルである。PUノードの信号はハイレベルを保持しているため、第3の薄膜トランジスタT3と第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオンされる状態を保持している。

【0048】

信号(PUN)はハイレベルであるため、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15がオンされる。

【0049】

第2のクロック信号(CLK2)はローレベルであって、第7の薄膜トランジスタT7と第9の

10

20

30

40

50

薄膜トランジスタT9と第11の薄膜トランジスタT11と第12の薄膜トランジスタT12はオフされ、PDノードの信号はローレベルを保持している。これによって第5の薄膜トランジスタT5と第6の薄膜トランジスタT6はオフされる。

【 0 0 5 0 】

リセット信号 (RESET) はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオフされる。

【 0 0 5 1 】

第1のクロック信号 (CLK1) はハイレベルであって、第3の薄膜トランジスタT3はオンされるので、ゲート駆動信号 (OUTPUT) はハイレベルである。信号 (PUL) はハイレベルであって、信号 (PDL) はローレベルである。

【 0 0 5 2 】

3、1-3段階において

【 0 0 5 3 】

信号 (INPUT) はローレベルであって、リセット信号 (RESET) はハイレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオンされ、PUノードの信号はローレベルになる。これによって、第3の薄膜トランジスタT3と第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオフされる。

【 0 0 5 4 】

信号 (PUN) はハイレベルであって、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15はオンされる状態を保持する。

【 0 0 5 5 】

第2のクロック信号 (CLK2) はハイレベルであって、第7の薄膜トランジスタT7と第9の薄膜トランジスタT9と第11の薄膜トランジスタT11と第12の薄膜トランジスタT12はオンされているが、このときの信号 (PUN) はハイレベルであると、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15はオンされ、第9の薄膜トランジスタT9と第14の薄膜トランジスタT14の幅/長さ比の比率、及び第7の薄膜トランジスタT7と第15の薄膜トランジスタT15の幅/長さ比の比率を設定、例えば幅/長さ比の比率を1/1~1/50に設定することによって、PDノードの信号をローレベルに保持する。これによって、第5の薄膜トランジスタと第6の薄膜トランジスタはオフされる状態を保持する。

【 0 0 5 6 】

第1のクロック信号 (CLK1) はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオンされている。第2の薄膜トランジスタT2と第4の薄膜トランジスタT4のソースは低電圧信号入力端 (VSSIN) に接続されているので、ゲート駆動信号 (OUTPUT) はローレベルになる。信号 (PDL) はローレベルを保持し、信号 (PUL) はローレベルになる。

【 0 0 5 7 】

4、1-4段階において

【 0 0 5 8 】

信号 (INPUT) はローレベルであって、第1の薄膜トランジスタT1はオフされている。リセット信号 (RESET) はローレベルであって、PUノードの信号はローレベルであって、つまり、3番目のシフト・レジスタユニットSR<sub>3</sub>が出力した信号 (PUL) はローレベルである。PUノードの信号はローレベルであるので、第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオフされる。

【 0 0 5 9 】

信号 (PUN) はローレベルであって、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15はオフされる。

【 0 0 6 0 】

第2のクロック信号 (CLK2) はローレベルであって、第7の薄膜トランジスタT7と第9の薄膜トランジスタT9と第11の薄膜トランジスタT11と第12の薄膜トランジスタT12はオフされ、PDノードの信号はローレベルを保持する。これによって第5の薄膜トランジスタT5と

10

20

30

40

50

第6の薄膜トランジスタT6はオフされる。

【0061】

リセット信号 (RESET) はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオフされ、ゲート駆動信号 (OUTPUT) はローレベルを保持する。信号 (PUL) はローレベルであって、信号 (PDL) はローレベルである。

【0062】

5、1-5段階において

【0063】

信号 (INPUT) はローレベルであって、第1の薄膜トランジスタT1はオフされている。リセット信号 (RESET) はローレベルであって、PUノードの信号はローレベルを保持し、第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオフされる。

10

【0064】

信号 (PUN) はローレベルであって、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15はオフされる。

【0065】

第2のクロック信号 (CLK2) はハイレベルであって、第7の薄膜トランジスタT7と第9の薄膜トランジスタT9と第11の薄膜トランジスタT11と第12の薄膜トランジスタT12はオンされ、PDノードの信号はハイレベルである。これによって、第5の薄膜トランジスタT5と第6の薄膜トランジスタT6はオンされる。

【0066】

リセット信号 (RESET) はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオフされ、ゲート駆動信号 (OUTPUT) がローレベルを保持する。

20

【0067】

図3bはシフト・レジスタユニットの一部のシーケンス図のみを示す。ディスプレイは1フレームの画像を表示するたびに、ある一行の液晶画素を制御するシフト・レジスタユニットは一つのハイレベルのゲート駆動信号を出力し、信号 (INPUT)、リセット信号 (RESET)、第1のクロック信号 (CLK1) 及び第2のクロック信号 (CLK2) はいずれも1-1、1-2、1-3段階のシーケンスを一回繰り返す。ディスプレイは1フレームの画像を表示する時間のうち、1-1、1-2、1-3段階以外の時間において、信号 (INPUT)、リセット信号 (RESET)、第1のクロック信号 (CLK1) 及び第2のクロック信号 (CLK2) はいずれも1-4及び1-5段階と同じシーケンスを一回繰り返す。

30

【0068】

(二) Th2において

【0069】

図3aと図5aの構造を結合して見えるように、Th2において、第2のクロック信号 (CLK2) はローレベルを保持するので、第5の薄膜トランジスタT5、第6の薄膜トランジスタT6、第7の薄膜トランジスタT7、第9の薄膜トランジスタT9、第11の薄膜トランジスタT11及び第12の薄膜トランジスタT12はオフされ、PDノードの信号はローレベルを保持し、第3の薄膜トランジスタSR<sub>3</sub>が出力した信号 (PDL) もローレベルを保持する。

【0070】

1、11-1段階において

【0071】

信号 (INPUT) はハイレベルであって、リセット信号 (RESET) はローレベルであって、第1の薄膜トランジスタT1はオンされ、PUノードの信号はハイレベルである。つまり、3番目のシフト・レジスタユニットSR<sub>3</sub>が出力した信号 (PUL) はハイレベルである。PUノードの信号はハイレベルであるので、第3の薄膜トランジスタT3と第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオンされる。

40

【0072】

信号 (PUN) はローレベルであって、第15の薄膜トランジスタT15と第14の薄膜トランジスタT14はオフされる。

50

## 【 0 0 7 3 】

信号 (PDN) はローレベルであって、第13の薄膜トランジスタT13と第16の薄膜トランジスタT16はオフされる。

## 【 0 0 7 4 】

リセット信号 (RESET) はローレベルであって、第2の薄膜トランジスタT2とT4はオフされ、且つ第1のクロック信号 (CLK1) はローレベルであるので、ゲート駆動信号 (OUTPUT) はローレベルである。信号 (PDL) はローレベルであって、信号 (PUL) はハイレベルである。

## 【 0 0 7 5 】

2、II-2段階において

10

## 【 0 0 7 6 】

信号 (INPUT) はローレベルになって、第1の薄膜トランジスタT1はオフされ、リセット信号 (RESET) はローレベルであって、PUノードの信号はハイレベルを保持する。つまり、3番目のシフト・レジスタユニットSR<sub>3</sub>が出力した信号 (PUL) はハイレベルである。PUノードの信号はハイレベルを保持するので、第3の薄膜トランジスタT3と第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオンされる。

## 【 0 0 7 7 】

信号 (PUN) はハイレベルであるので、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15はオンされる。

## 【 0 0 7 8 】

20

信号 (PDN) はローレベルであって、第13の薄膜トランジスタT13と第16の薄膜トランジスタT16はオフされる。

## 【 0 0 7 9 】

リセット信号 (RESET) はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオフされる。

## 【 0 0 8 0 】

第1のクロック信号 (CLK1) はハイレベルであって、第3の薄膜トランジスタT3はオンされるので、ゲート駆動信号 (OUTPUT) はハイレベルである。信号 (PUL) はハイレベルであって、信号 (PDL) はローレベルである。

## 【 0 0 8 1 】

30

3、II-3段階において

## 【 0 0 8 2 】

信号 (INPUT) はローレベルであって、リセット信号 (RESET) はハイレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオンされ、PUノードの信号はローレベルになる。これによって、第3の薄膜トランジスタT3と第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオフされる。

## 【 0 0 8 3 】

信号 (PUN) はハイレベルであって、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15はオンされる。

## 【 0 0 8 4 】

40

信号 (PDN) はローレベルであって、第13の薄膜トランジスタT13と第16の薄膜トランジスタT16はオフされる状態を保持する。

## 【 0 0 8 5 】

第1のクロック信号 (CLK1) はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオンされている。第2の薄膜トランジスタT2と第4の薄膜トランジスタT4のソースが低電圧信号入力端 (VSSIN) に接続されているので、ゲート駆動信号 (OUTPUT) はローレベルになる。信号 (PDL) はローレベルを保持し、信号 (PUL) はローレベルになる。

## 【 0 0 8 6 】

4、II-4段階において

50

## 【 0 0 8 7 】

信号 ( INPUT ) はローレベルであって、第1の薄膜トランジスタT1はオフされる状態を保持する。リセット信号 ( RESET ) はローレベルであって、PUノードの信号はローレベルである。つまり、3番目のシフト・レジスタユニットSR<sub>3</sub>が出力した信号 ( PUL ) はローレベルである。PUノードの信号はローレベルであるので、第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオフされる。

## 【 0 0 8 8 】

信号 ( PUN ) はローレベルであって、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15はオフされる。

## 【 0 0 8 9 】

信号 ( PDN ) はハイレベルであって、第13の薄膜トランジスタT13と第16の薄膜トランジスタT16はオンされる。

## 【 0 0 9 0 】

リセット信号 ( RESET ) はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオフされ、ゲート駆動信号 ( OUTPUT ) はローレベルを保持する。信号 ( PUL ) はローレベルであって、信号 ( PDL ) はローレベルである。

## 【 0 0 9 1 】

5、11-5段階において

## 【 0 0 9 2 】

信号 ( INPUT ) はローレベルであって、第1の薄膜トランジスタT1はオフされる。リセット信号 ( RESET ) はローレベルであって、PUノードの信号はローレベルを保持し、第8の薄膜トランジスタT8と第10の薄膜トランジスタT10はオフされる。

## 【 0 0 9 3 】

信号 ( PUN ) はローレベルであって、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15はオフされる。

## 【 0 0 9 4 】

リセット信号 ( RESET ) はローレベルであって、第2の薄膜トランジスタT2と第4の薄膜トランジスタT4はオフされ、ゲート駆動信号 ( OUTPUT ) はローレベルを保持する。

## 【 0 0 9 5 】

図3bにはシフト・レジスタユニットの一部のシーケンス図のみを示す。ディスプレイは1フレームの画像を表示するたびに、ある一行の液晶画素を制御するシフト・レジスタユニットは一つのハイレベルのゲート駆動信号を出力し、信号 ( INPUT )、リセット信号 ( RESET )、第1のクロック信号 ( CLK1 ) 及び第2のクロック信号 ( CLK2 ) はいずれも11-1、11-2、11-3段階のシーケンスを一回繰り返す。ディスプレイが1フレームの画像を表示する時間のうち、11-1、11-2、11-3段階以外の時間において、信号 ( INPUT )、リセット信号 ( RESET )、第1のクロック信号 ( CLK1 ) 及び第2のクロック信号 ( CLK2 ) はいずれも11-4と11-5段階と同じシーケンスを一回繰り返す。

## 【 0 0 9 6 】

本発明の実施形態が提供したシフト・レジスタユニットは、Th2、即第2のクロック信号 CLK2がローレベルを保持するフレーム間隔において、PDノードの信号はずっとローレベルを保持する。これによってゲートがPDノードに接続された第5の薄膜トランジスタT5と第6の薄膜トランジスタT6のオン時間は短くなって、第5の薄膜トランジスタT5と第6の薄膜トランジスタT6の寿命を延長することができる。

## 【 0 0 9 7 】

図3bにおいて3番目のシフト・レジスタユニットSR<sub>3</sub>の入力信号と出力信号のシーケンス図を示す。他のシフト・レジスタユニットについては、第2のクロック信号入力端 ( CLK2IN ) に入力されたのは第3のクロック信号であると、第3のクロック信号はローレベルを保持するフレーム間隔において、PDノードの信号はローレベルを保持する。これによって、ゲートがPDノードに接続された第5の薄膜トランジスタT5と第6の薄膜トランジスタT6のオン時間は短くなって、第5の薄膜トランジスタT5と第6の薄膜トランジスタT6の寿命を延長

10

20

30

40

50

することができる。他の各シフト・レジスタユニットの入力信号と出力信号のシーケンス図は図3bに類似するので、詳細は省略する。

【0098】

図6aは本発明のシフト・レジスタユニットの第3実施形態における構造模式図である。図6bは図6aにおけるシフト・レジスタユニットの入力信号と出力信号のシーケンス図である。この実施形態が図3aに示した第2実施形態と区別するところは、コンデンサC1を追加することである。このコンデンサC1の一端は第3の薄膜トランジスタT3のソースに接続され、他端は第3の薄膜トランジスタT3のゲートに接続されている。図6bに示したシーケンス図が図3bに示したシーケンス図と区別するところは、1-2段階と11-2段階である。コンデンサC1のカップリング作用によって、図6bにおけるPUノードの信号のレベルは図3bよりも高いのである。

10

【0099】

図7は本発明の第4実施形態のシフト・レジスタユニットの構造模式図である。この実施形態が図3aに示した第2実施形態と区別するところは、図7に示した第4実施形態のシフト・レジスタユニットにおいて第9の薄膜トランジスタT9のゲートとドレイン、及び第7の薄膜トランジスタT7のドレインはいずれも第1のクロック信号入力端（CLK1IN）に接続されているが、図3aにおいて第9の薄膜トランジスタT9のゲートとドレイン、及び第7の薄膜トランジスタT7のドレインはいずれも第2のクロック信号入力端（CLK2IN）に接続されていることである。

【0100】

20

図3aに示したシフト・レジスタユニットは、1-2と第11-2段階において、第1のクロック信号（CLK）はPUノードが出力した信号と共にハイレベルであるが、第9の薄膜トランジスタT9のゲートが第2のクロック信号入力端（CLK2IN）に接続されるので、第9の薄膜トランジスタT9はオフされる。第7の薄膜トランジスタT7のゲートはPD\_CNノードに接続されているが、PD\_CNノードの信号は1-2段階においてもローレベルであるので、第7の薄膜トランジスタT7はオフされる。第8の薄膜トランジスタT8と第10の薄膜トランジスタT10は1-2段階においてオンされ、第8の薄膜トランジスタT8のソースと第10の薄膜トランジスタT10のソースがいずれも低電圧信号入力端（CLKBIN）に接続されているので、第8の薄膜トランジスタT8と第10の薄膜トランジスタT10のソースはローレベルである。1-2段階において、第2のクロック信号（CLK2）はローレベルである。これによって、第9の薄膜トランジスタT9のドレインと第10の薄膜トランジスタT10のソースはいずれもローレベルであるので、第9の薄膜トランジスタT9と第10の薄膜トランジスタT10において漏れ電流が生じなく、第7の薄膜トランジスタT7のドレインと第8の薄膜トランジスタT8のソースがいずれもローレベルであるので、第7の薄膜トランジスタT7と第8の薄膜トランジスタT8においても漏れ電流が生じないのである。これによって、シフト・レジスタユニットの消費電力を低減できる。

30

【0101】

図7に示したシフト・レジスタユニットは、1-2と11-2段階において、第1のクロック信号（CLK1）はPUノードが出力した信号と共にハイレベルであって、第7の薄膜トランジスタT7と第8の薄膜トランジスタT8と第9の薄膜トランジスタT9と第10の薄膜トランジスタT10は同時にオンされるので、漏れ電流がより大きくて、シフト・レジスタユニットの消費電力もより大きくなる。

40

【0102】

図7に示したシフト・レジスタユニットにコンデンサが追加されることができる。このコンデンサの両端はそれぞれ第3の薄膜トランジスタのゲートとソースとに接続されている。

【0103】

以下は、図5aと図5bを結合して本発明の実施形態が提供したディスプレイ用ゲート駆動装置の動作原理を説明する。

【0104】

50

液晶ディスプレイを例にして説明する。液晶ディスプレイは順次走査を用いて、同一行において液晶画素と直列に接続される薄膜トランジスタのゲートはいずれも同一のシフト・レジスタユニットに接続され、ディスプレイ用ゲート駆動装置におけるシフト・レジスタユニットは同一行における全部の薄膜トランジスタのオン/オフを制御できる。

【0105】

液晶ディスプレイパネルにおいてn行の液晶画素が存在すると、図5bに示したシーケンス図を参照して、Th1には、第1段階においてフレーム開始信号が1番目のシフト・レジスタユニットSR<sub>1</sub>の開始信号入力端（INPUT-1）に入力され、第2段階において1番目のシフト・レジスタユニットSR<sub>1</sub>のゲート駆動信号出力端（OUT）がハイレベルのゲート駆動信号（OUTPUT<sub>1</sub>）を出力するとともに、このハイレベルのゲート駆動信号（OUTPUT<sub>1</sub>）は2番目のシフト・レジスタユニットSR<sub>2</sub>の開始信号入力端（INPUT-1）に入力され、第3の段階において、2番目のシフト・レジスタユニットSR<sub>2</sub>のゲート駆動信号出力端（OUT）がハイレベルのゲート駆動信号（OUTPUT<sub>2</sub>）を出力する。これによって類推すれば、各シフト・レジスタユニットはハイレベルのゲート駆動信号を順次出力し、このシフト・レジスタユニットに接続された同一行の薄膜トランジスタのオンを制御する。その原理は第2、3段階と同じである。第4の段階において、n番目のシフト・レジスタユニットSR<sub>n</sub>はハイレベルのゲート駆動信号（OUTPUT<sub>n</sub>）を出力すると共に、n番目のシフト・レジスタユニットSR<sub>n</sub>が出力したゲート駆動信号（OUTPUT<sub>n</sub>）はn+1番目のシフト・レジスタユニットSR<sub>n+1</sub>の開始信号入力端（INPUT-1）の入力信号とされる。第5の段階において、n+1番目のシフト・レジスタユニットSR<sub>n+1</sub>はハイレベルの信号（OUTPUT<sub>n+1</sub>）を出力し、このゲート駆動信号（OUTPUT<sub>n+1</sub>）は負荷を駆動することに用いられず、即、n+1番目のシフト・レジスタユニットSR<sub>n+1</sub>は、一行の薄膜トランジスタを駆動しなく、それが出力したハイレベルの信号（OUTPUT<sub>n+1</sub>）はn番目のシフト・レジスタユニットSR<sub>n</sub>とその自身のリセット信号として用いられる。

10

20

【0106】

図5aに示したディスプレイ用ゲート駆動装置は図3a、図6aと図7に示したシフト・レジスタユニットを備える。

【0107】

図8は本発明の実施形態に係るディスプレイ用ゲート駆動装置の第2実施形態における構造模式図である。この実施形態が図5aに示した第1の実施形態と区別するところは、この実施形態における各シフト・レジスタユニットの第1の信号入力端と第1の信号出力端と第2の信号入力端と第2の信号出力端が他のシフト・レジスタユニットに接続される方式は、図5aに示した実施形態と異なる。この実施形態において、二つ毎のシフト・レジスタユニットが一組を構成し、一組における二つのシフト・レジスタユニットの各信号入力端と出力端と間に接続関係がある。具体的な接続関係は以下の通りである。

30

【0108】

i番目のシフト・レジスタユニットSR<sub>i</sub>の第1の信号入力端（PDNIN）はi+1番目のシフト・レジスタユニットSR<sub>i+1</sub>の第1の信号出力端（PDLOUT）に接続され、i番目のシフト・レジスタユニットSR<sub>i</sub>の第2の信号入力端（PUNIN）はi+1番目のシフト・レジスタユニットSR<sub>i+1</sub>の第2の信号出力端（PULOUT）に接続されている。iは奇数であって、i ∈ [1, n]である。i番目のシフト・レジスタユニットSR<sub>i</sub>の第1の信号出力端（PDLOUT）は第i-1番目のシフト・レジスタユニットSR<sub>i-1</sub>の第1の信号入力端（PDNIN）に接続され、i番目のシフト・レジスタユニットSR<sub>i</sub>の第2の信号出力端（PULOUT）はi-1番目のシフト・レジスタユニットSR<sub>i-1</sub>の第2の信号入力端（PUNIN）に接続されている。

40

【0109】

図9は本発明の実施形態に係るディスプレイ用ゲート駆動装置の第3実施形態における構造模式図である。この実施形態が図9に示した第3実施形態と区別するところは、この実施形態においてn+1が奇数であるので、最後のシフト・レジスタユニットの各信号入力端と信号出力端との接続関係は図9に示した実施形態と異なる。具体的な接続関係は以下の通りである。

50

## 【0110】

$i$  番目のシフト・レジスタユニット  $SR_i$  の第1の信号入力端 (PDNIN) は  $i+1$  番目のシフト・レジスタユニット  $SR_{i+1}$  の第1の信号出力端 (PDLOUT) に接続され、 $i$  番目のシフト・レジスタユニット  $SR_i$  の第2の信号入力端 (PUNIN) は  $i+1$  番目のシフト・レジスタユニットの第2の信号出力端 (PULOUT) に接続されている。 $i \in [1, n-1]$  である。 $i$  番目のシフト・レジスタユニット  $SR_i$  の第1の信号出力端 (PDLOUT) は  $i-1$  番目のシフト・レジスタユニット  $SR_{i-1}$  の第1の信号入力端 (PDNIN) に接続され、 $i$  番目のシフト・レジスタユニット  $SR_i$  の第2の信号出力端 (PULOUT) は  $i-1$  番目のシフト・レジスタユニット  $SR_{i-1}$  の第2の信号入力端 (PUNIN) に接続されている。 $n+1$  番目のシフト・レジスタユニット  $SR_{n+1}$  の第1の信号入力端 (PDNIN) と第1の信号出力端 (PDLOUT) はいずれも  $n$  番目のシフト・レジスタユニット  $SR_n$  の第1の信号入力端 (PDNIN) に接続され、 $n+1$  番目のシフト・レジスタユニット  $SR_{n+1}$  の第2の信号入力端 (PUNIN) と第2の信号出力端 (PULOUT) は  $n$  番目のシフト・レジスタユニット  $SR_n$  の第2の信号入力端 (PUNIN) に接続されている。

10

## 【0111】

図5a、図8と図9における  $n+1$  番目のシフト・レジスタユニット  $SR_{n+1}$  は負荷を駆動するに用いられず、余分のシフト・レジスタユニットと見做すことができる。図5a、図8と図9に示したゲート駆動装置は、一つだけの余分のシフト・レジスタユニットを備えるが、実際により多くの余分のシフト・レジスタユニットを備えてもいい。ディスプレイ用ゲート駆動装置を更に確信的にリセットするように、各余分のシフト・レジスタユニットを組み合わせることができる。

20

## 【0112】

本発明の実施形態は前記各実施形態の前記ディスプレイ用ゲート駆動装置を備える液晶ディスプレイを更に提供する。

## 【0113】

本発明の実施形態が提供したシフト・レジスタユニット、ディスプレイ用ゲート駆動装置及び液晶ディスプレイにおいて、処理モジュールは、入力モジュールが入力した第2のクロック信号または第3のクロック信号に基づいて、且つフレーム開始信号と第1のクロック信号、及び隣り合う次のシフト・レジスタユニットが送信する第1の信号と第2の信号に基づいて、ゲート駆動信号を生成するだけでなく、さらに少なくとも二つの薄膜トランジスタが形成した少なくとも一つの第1のノードのレベルを、入力モジュールが入力した第2のクロック信号又は第3のクロック信号がローレベルを保持するフレーム間隔においてローレベルに保持させることができる。これによって、第1のノードがハイレベルを保持する時間は短くなって、ゲートが第1のノードに接続された各薄膜トランジスタの寿命を延長できて、シフト・レジスタユニットの安定性を向上する。

30

## 【0114】

最後に、以下のように説明する必要がある。即ち、上記した実施形態は、本発明の技術案を説明するに用いられるものだけであり、それを制限するものではない。好適な実施形態を参照して本発明を詳細に説明したが、依然として本発明の技術案を補正し、或いは同等な取替を行うことができ、この補正又は取替が補正後の技術案の本質を本発明の各実施形態の技術案の主旨と範囲から離脱させないことは当業者にとって理解するところである。

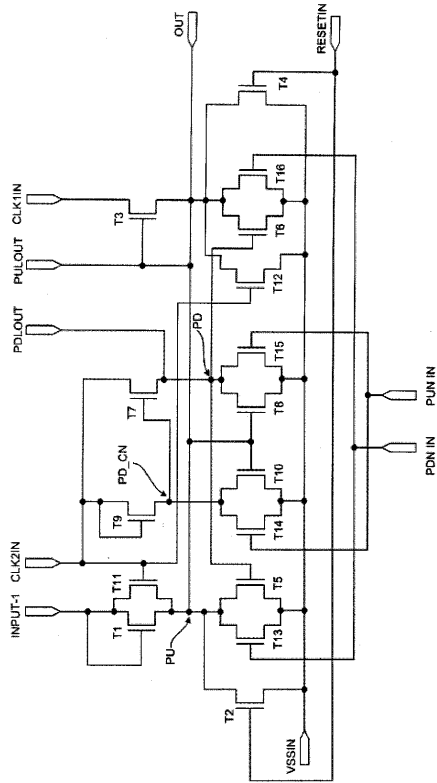
40

## 【符号の説明】

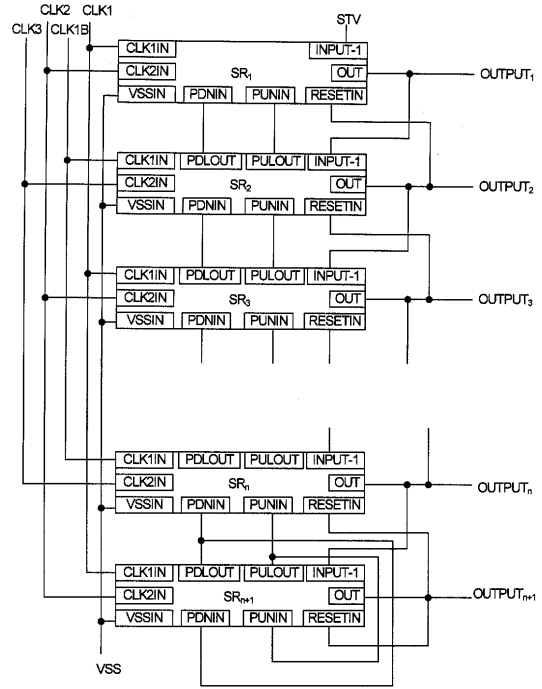
## 【0115】

- 1 1 入力モジュール
- 1 2 処理モジュール
- 1 2 1 ゲート駆動信号生成ユニット
- 1 2 2 レベル制御ユニット
- 1 3 出力モジュール

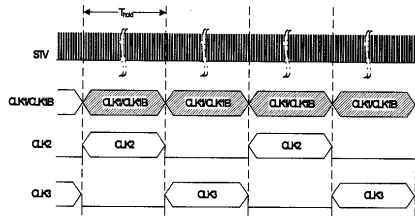
【 3 a 】



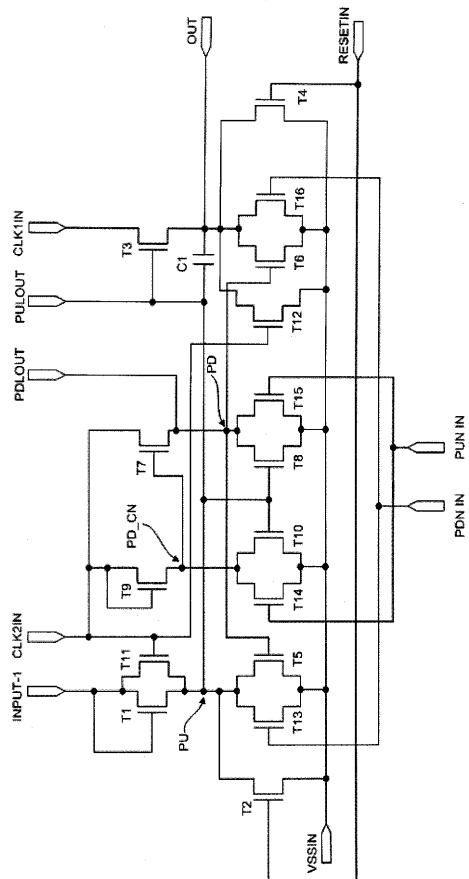
【 5 a 】



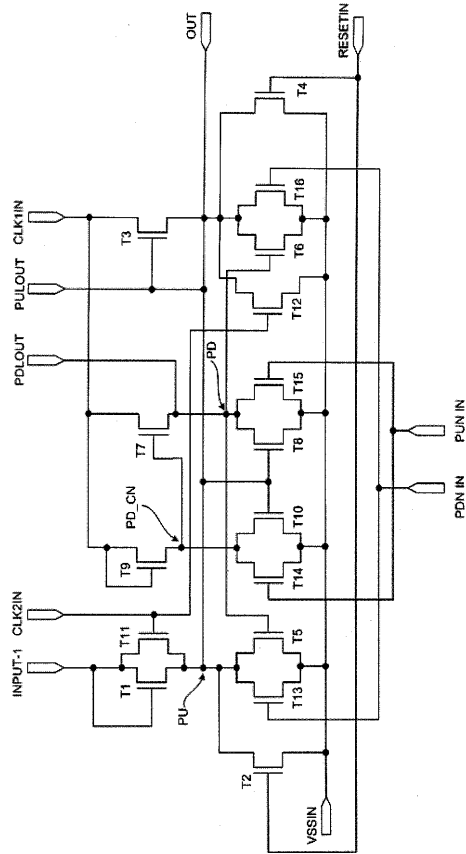
【 5 c 】



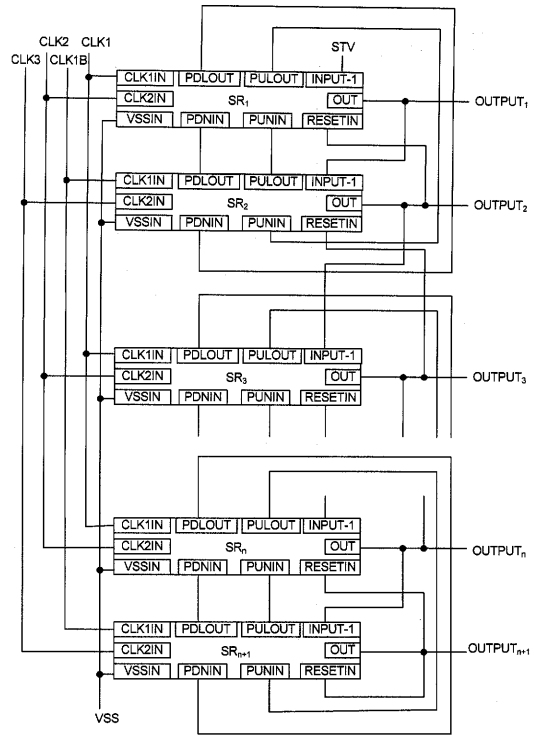
【 6 a 】



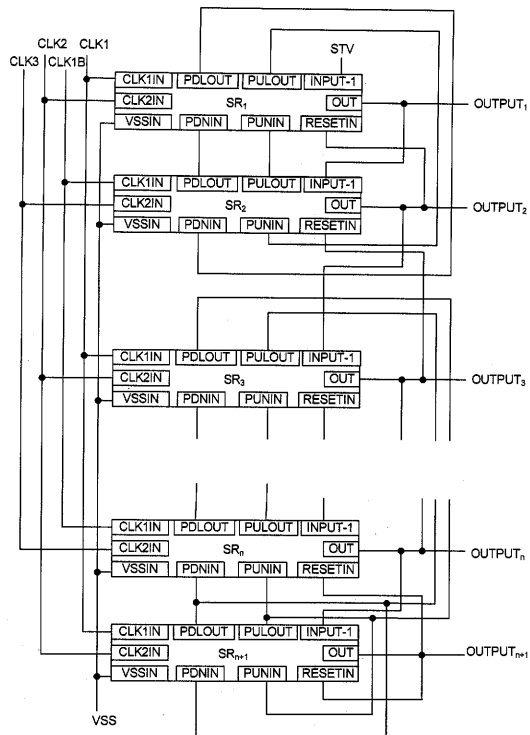
【 図 7 】



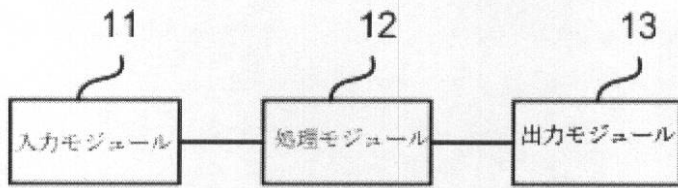
【 図 8 】



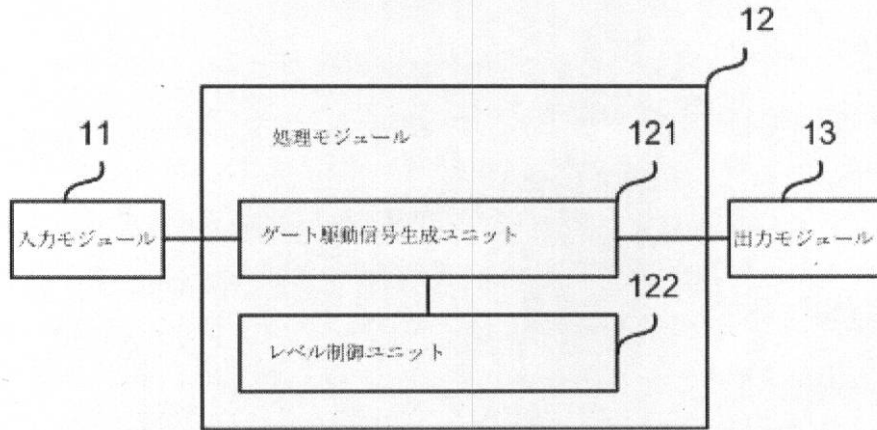
【 図 9 】



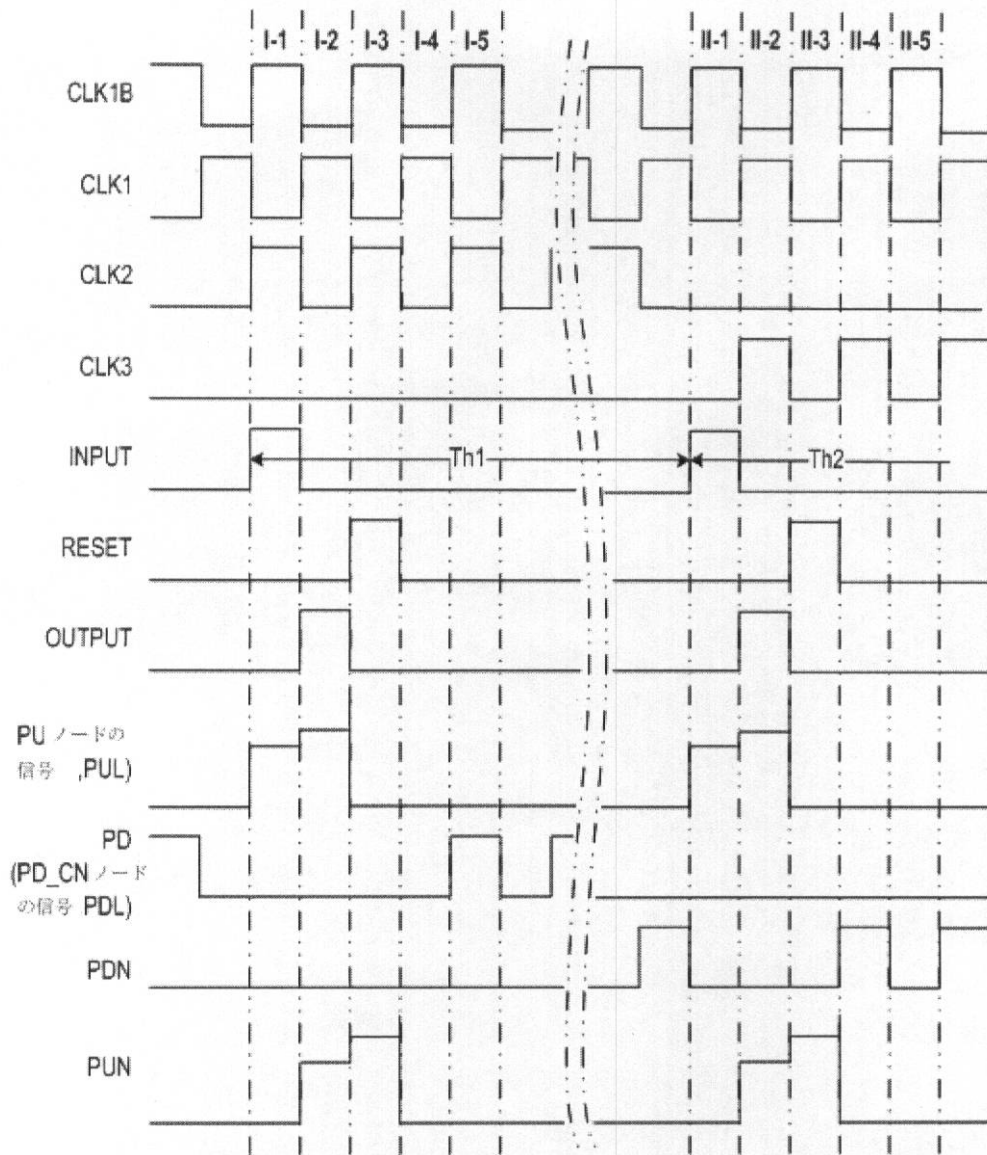
【図1】



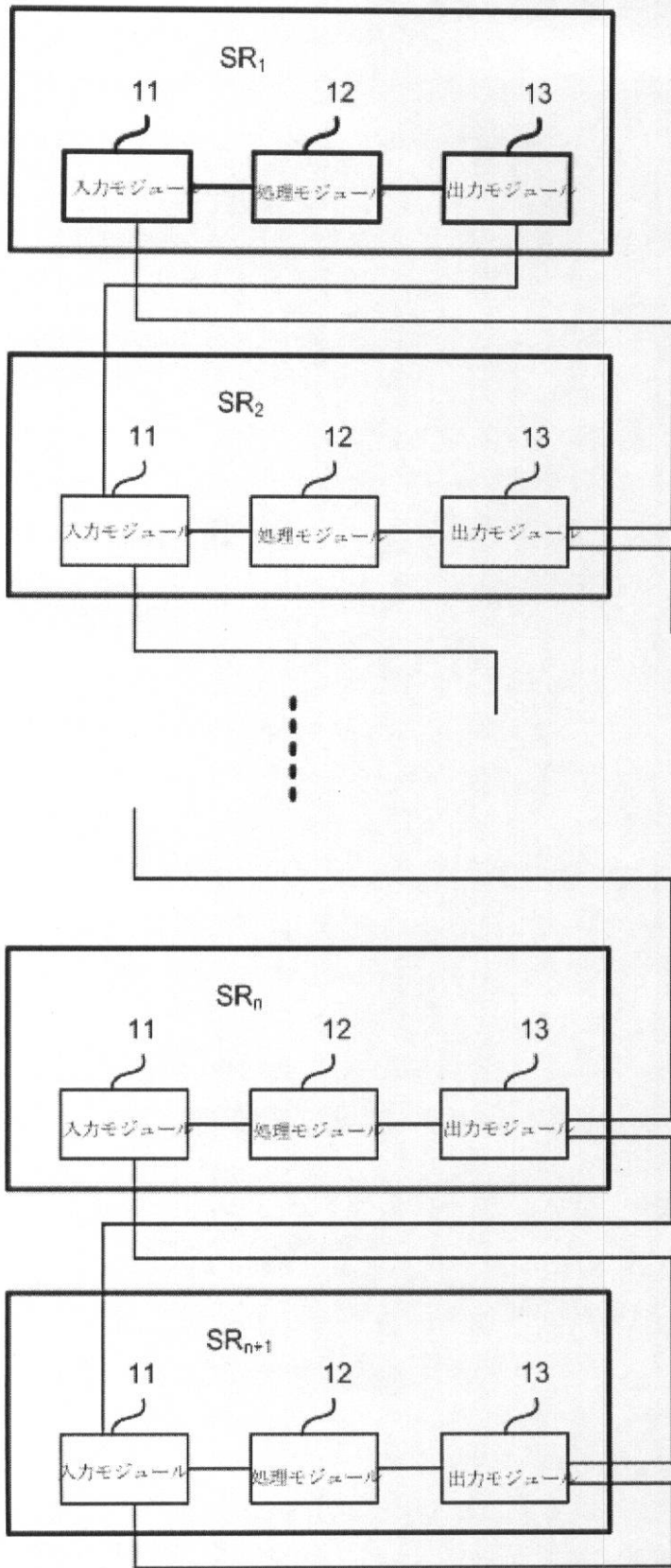
【図2】



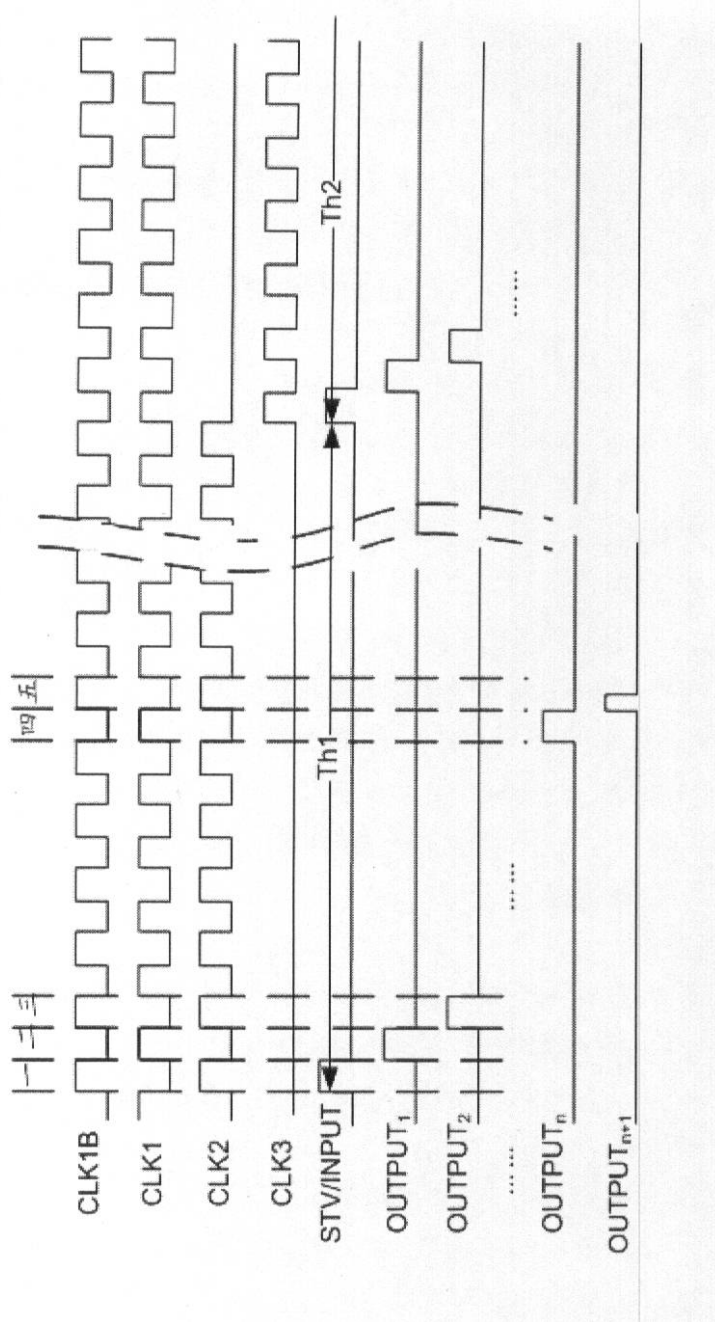
【図 3 b】



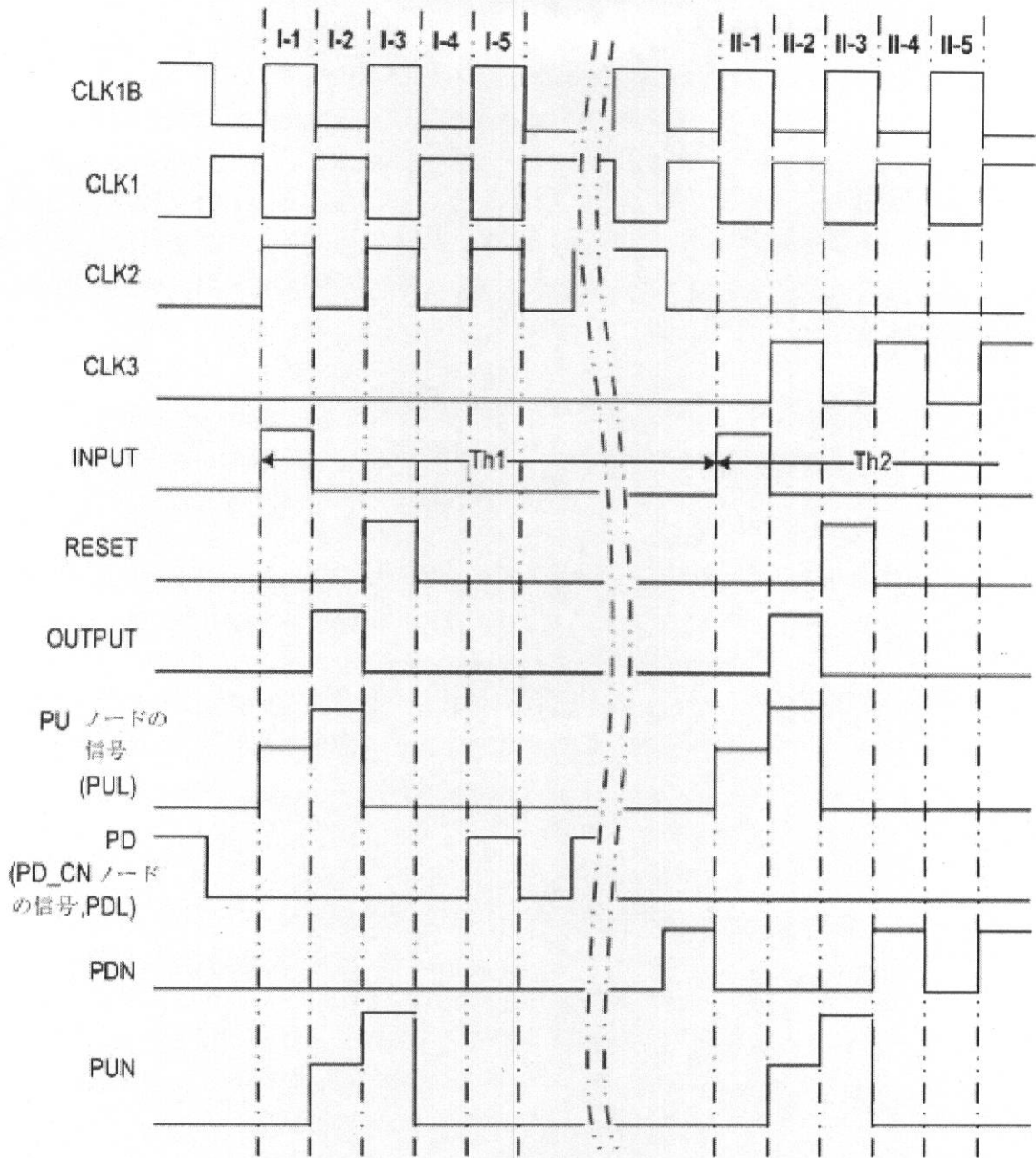
【 図 4 】



【図 5 b】



【図 6 b】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

(72)発明者 韓 承佑

中華人民共和国 1 0 0 1 7 6 北京經濟技術開發區西環中路 8 號

F ターム(参考) 2H193 ZA04 ZB02 ZC26 ZF23 ZF51

5C006 AC22 BC03 BF03 GA03

5C080 AA10 DD09 DD29 FF07 JJ02 JJ03 JJ04

专利名称(译)	移位寄存器单元，用于显示的栅极驱动单元和液晶显示器		
公开(公告)号	<a href="#">JP2011242779A</a>	公开(公告)日	2011-12-01
申请号	JP2011111541	申请日	2011-05-18
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	商廣良 韓承佑		
发明人	▲商▼ 廣良 韓 承佑		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G11C19/28 G09G3/3677 G09G2310/0286		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.670.J G09G3/20.621.A G09G3/20.622.D G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZC26 2H193/ZF23 2H193/ZF51 5C006/AC22 5C006/BC03 5C006 /BF03 5C006/GA03 5C080/AA10 5C080/DD09 5C080/DD29 5C080/FF07 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA03 5B074/AA10 5B074/CA01 5B074/DB01		
代理人(译)	村山彦 渡边 隆		
优先权	201010181646.6 2010-05-19 CN		
其他公开文献	JP5818507B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：延长薄膜晶体管的寿命并提高移位寄存器单元的稳定性。解决方案：公开了一种移位寄存器单元，用于显示器的栅极驱动装置和液晶显示器。移位寄存器单元包括：输入模块，用于输入第二时钟信号或第三时钟信号，还输入帧起始信号，第一时钟信号，低电压信号，复位信号，以及第一信号和第二信号从后续的相邻移位寄存器单元发送；处理模块，用于产生栅极驱动信号，并且在第二时钟信号或第三时钟信号的帧间隔中保持由至少两个薄膜晶体管形成的第一节点中的至少一个第一节点的电平为低电平由输入模块输入的电平保持低电平；输出模块，用于传输在处理模块中产生的栅极驱动信号。

