

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-217934

(P2010-217934A)

(43) 公開日 平成22年9月30日(2010.9.30)

(51) Int.Cl.
G02F 1/1368 (2006.01)

F I
G O 2 F 1/1368

テーマコード (参考)
2 H O 9 2

審査請求 有 請求項の数 5 O L (全 24 頁)

(21) 出願番号 特願2010-155549 (P2010-155549)
(22) 出願日 平成22年7月8日 (2010.7.8)
(62) 分割の表示 特願2005-95155 (P2005-95155)
の分割
原出願日 平成17年3月29日 (2005.3.29)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
(74) 代理人 100101214
弁理士 森岡 正樹
(72) 発明者 仲西 洋平
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通ディスプレイテクノロジーズ
株式会社内
(72) 発明者 吉田 秀史
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通ディスプレイテクノロジーズ
株式会社内

最終頁に続く

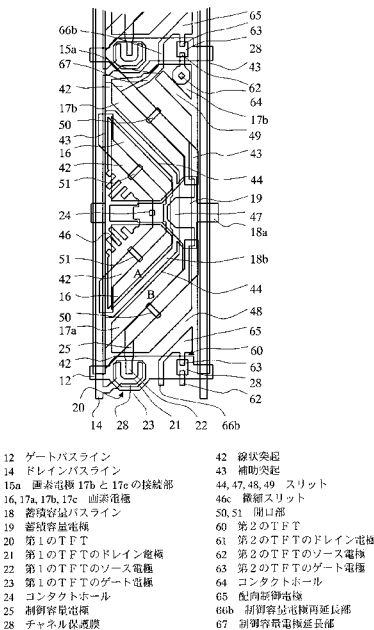
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】フローティング副画素を使用するハーフトーンタイプのMVAで焼付きを防止するためにTFTに直結する副画素とフローティング副画素の間に第2のTFTを設けた液晶表示装置においてその配向を改善し表示品位を向上させること。

【解決手段】液晶配向の伝播距離が長い画素の角の部分に、隣接画素の制御容量電極を延長して配向制御電極を設け、液晶配向の伝播距離を短くすると同時に、電圧極性の異なる電極でスリット部を形成して配向を安定させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御電極と、

前記制御電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極の間、又は一定の電位に保持され前記制御電極との間で補助容量を構成する補助容量バスラインとの間、に前記第 1 の T F T が接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第 2 の T F T を有している液晶表示装置において、

1 画素内において、副画素電極と、隣接画素の副画素電極と等電位の配向制御電極とによって形成されるスリット

を有することを特徴とする液晶表示装置。

【請求項 2】

相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御電極と、

前記制御電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極の間、又は一定の電位に保持され前記制御電極との間で補助容量を構成する補助容量バスラインとの間、に前記第 1 の T F T が接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第 2 の T F T を有している液晶表示装置において、

1 画素内において、副画素電極と、隣接画素の前記制御電極と等電位の配向制御電極とによって形成されるスリット

を有することを特徴とする液晶表示装置。

【請求項 3】

相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、

前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御電極と、

前記制御電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極の間、又は一定の電位に保持され前記制御電極との間で補助容量を構成する補助容量バスラインとの間、に前記第 1 の T F T が接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第 2 の T F T を有している液晶表示装置において、

画素電極の一部が、前記第 2 の T F T のソース電極に電氣的に接続された電極部と当該

10

20

30

40

50

画素電極とを電氣的に接続するコンタクトホールを形成し、当該画素電極の一部が、当該画素画素電極の残りの部分とで形成されるスリット

を有することを特徴とする液晶表示装置。

【請求項 4】

前記第 2 の T F T のドレイン電極と前記制御電極の延長部分が電氣的に接続されることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記制御電極の延長部分は第 1 の T F T のゲート電極の周辺で、前記画素電極の外周に沿う形で配置されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

10

【請求項 6】

前記画素電極の一部が、前記第 2 の T F T のソース電極に電氣的に接続された電極部と当該画素電極とを電氣的に接続するコンタクトホールを形成し、当該画素電極の一部が、当該画素画素電極の残りの部分とで形成される前記スリットはデータバスラインに近い側が開放されていることを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1 画素領域内に複数の副画素電極を有する液晶表示装置の液晶分子の配向改善、特に少なくとも 1 つの副画素電極が表示電圧の印加される制御電極と容量結合し、焼付き防止のため制御電極による直接駆動される副画素と第 2 の T F T によって接続された液晶表示装置に関する。

20

【背景技術】

【0002】

液晶表示装置は、C R T (C a t h o d e R a y T u b e) に比べて薄くて軽量であり、低電圧で駆動できて消費電力が小さいという利点がある。そのため、液晶表示装置は、テレビ、ノート型 P C (パーソナルコンピュータ)、デスクトップ型 P C 、P D A (携帯端末) 及び携帯電話など、種々の電子機器に使用されている。特に、各画素 (サブピクセル) 毎にスイッチング素子として T F T (T h i n F i l m T r a n s i s t o r : 薄膜トランジスタ) を設けたアクティブマトリクス型液晶表示装置は、その駆動能力の高さから C R T にも匹敵する、優れた表示特性を示し、デスクトップ型 P C やテレビなど、従来 C R T が使用されていた分野にも広く使用されるようになった。

30

【0003】

一般的に、液晶表示装置は、2 枚の基板と、これらの基板間に封入された液晶とにより構成されている。一方の基板には画素毎に画素電極及び T F T 等が形成され、他方の基板には画素電極に対向するカラーフィルタと、各画素共通のコモン (共通) 電極とが形成されている。カラーフィルタには赤色 (R)、緑色 (G) 及び青色 (B) の 3 種類があり、画素毎にいずれか 1 色のカラーフィルタが配置されている。隣接して配置された赤色 (R)、緑色 (G) 及び青色 (B) の 3 つの画素で 1 つのピクセル (P i x e l) を構成する。以下、画素電極及び T F T が形成された基板を T F T 基板と呼び、T F T 基板に対向して配置される基板を対向基板と呼ぶ。また、T F T 基板と対向基板との間に液晶を封入してなる構造物を液晶パネルという。

40

【0004】

従来は、2 枚の基板間に水平配向型液晶 (誘電率異方性が正の液晶) を封入し、液晶分子をツイスト配向させる T N (T w i s t e d N e m a t i c) 型液晶表示装置が広く使用されていた。しかし、T N 型液晶表示装置には視野角特性が悪く、画面を斜め方向から見たときにコントラストや色調が大きく変化するという欠点がある。このため、視野角特性が良好な M V A (M u l t i - d o m a i n V e r t i c a l A l i g n m e n t) 型液晶表示装置が開発され、実用化されている。

50

【 0 0 0 5 】

ところで、従来のMVA型液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。図2は、横軸に印加電圧(V)をとり、縦軸に透過率をとって、画面を正面から見たときのT-V(透過率-電圧)特性と、上60°の方向から見たときのT-V特性とを示す図である。この図2に示すように、しきい値電圧よりも若干高い電圧を画素電極に印加したとき(図中丸で囲んだ部分)には、斜め方向から見たときの透過率が正面から見たときの透過率よりも高くなる。また、印加電圧がある程度高くなると、斜め方向から見たときの透過率は、正面から見たときの透過率よりも低くなる。このため、斜め方向から見たときには赤色画素、緑色画素及び青色画素の輝度差が小さくなり、その結果前述したように画面が白っぽくなる現象が発生する。この現象は、白茶け(discolor)と呼ばれている。白茶けは、MVA型液晶表示装置だけでなく、TN型液晶表示装置でも発生する。

10

【 0 0 0 6 】

米国特許第4840460号の明細書には、1つの画素を複数の副画素に分割して、それらの副画素を容量結合することが提案されている。このような液晶表示装置では、各副画素の容量比によって電位が分割されるため、各副画素に相互に異なる電圧を印加することができる。従って、見かけ上、1つの画素にT-V特性のしきい値が異なる複数の領域が存在することになる。このように1つの画素にT-V特性のしきい値が異なる複数の領域が存在すると、正面から見たときの透過率よりも斜め方向から見たときの透過率が高くなる現象が抑制され、その結果画面が白っぽくなる現象(白茶け)も抑制される。このように1つの画素を容量結合した複数の副画素に分割して表示特性を改善する方法は、容量結合によるHT(ハーフトングレースケール)法と呼ばれる。なお、米国特許第4840460号の明細書に記載された液晶表示装置は、TN型液晶表示装置である。

20

【 0 0 0 7 】

特許第3076938号の明細書(特開平5-66412号公報)には、画素電極を複数の副画素電極に分割し、各副画素電極の下方に絶縁膜を介して制御電極をそれぞれ配置したTN型液晶表示装置が開示されている。この液晶表示装置では、TFEを介して制御電極に表示電圧が印加される。各副画素電極の大きさは相互に異なっているので、副画素電極に印加される電圧も相互に異なり、HT法による効果、すなわち白茶けを抑制する効果を得ることができる。

30

【 0 0 0 8 】

図3は、容量結合HT法を用いた従来のMVA方式の液晶表示装置の1画素の構成を示している。図3に示すように、液晶表示装置のTFE基板は、ガラス基板10(図3では図示せず)上に形成された複数のゲートバスライン12と、絶縁膜30(図3では図示せず)を介してゲートバスライン12に交差して形成された複数のドレインバスライン14とを有している。ゲートバスライン12及びドレインバスライン14の交差位置近傍には、スイッチング素子として画素毎に形成された第1のTFE20が配置されている。第1のTFE20のゲート電極23はゲートバスライン12に電氣的に接続され、ドレイン電極21はドレインバスライン14に電氣的に接続されている。また、ゲートバスライン12及びドレインバスライン14により画定された画素領域を横切って、ゲートバスライン12に並列して延びる蓄積容量バスライン18が形成されている。蓄積容量バスライン18上には、絶縁膜30を介して蓄積容量電極(中間電極)19が画素毎に形成されている。蓄積容量電極19は、制御容量電極25を介して第1のTFE20のソース電極22に電氣的に接続されている。蓄積容量バスライン18と蓄積容量電極19との間には、蓄積容量Csが形成される。

40

【 0 0 0 9 】

画素領域は、副画素Aと副画素Bとを有している。副画素Aは例えば台形状の形状を有し、画素領域の中央部左寄りに配置されている。副画素Bは、画素領域のうち副画素Aの領域を除いた上部、下部及び中央部右側端部に配置されている。副画素A、Bの配置は、蓄積容量バスライン18に対しそれぞれほぼ線対称になっている。副画素Aには画素電極

50

16が形成され、副画素Bには画素電極16から分離された画素電極17が形成されている。画素電極16は、コンタクトホール24を介して蓄積容量電極19及びTFT20のソース電極22に電氣的に接続されている。一方、画素電極17は電氣的にフローティング状態になっている。画素電極17は、保護膜31(図3では図示せず)を介して制御容量電極25に重なる領域を有し、当該領域に形成される制御容量Ccを介した容量結合によりソース電極22に間接的に接続されている。

【0010】

画素電極16、17の間には、画素領域端部に対して斜めに延びる線状のスリット(電極の抜き部)44が形成されている。スリット44は、画素電極16、17を互いに分離するとともに、液晶6(図3では図示せず)の配向を規制する配向規制用構造物としても機能する。

10

【0011】

液晶層を介しTFT基板に対向して配置された対向基板は、ガラス基板11上に形成された共通電極41(図3では図示せず)を有している。副画素Aの画素電極16と共通電極41の間には液晶容量C1c1が形成され、副画素Bの画素電極17と共通電極41の間には液晶容量C1c2が形成される。共通電極41上には、スリット44に並列して延び、配向規制用構造物として機能する線状突起42が形成されている。線状突起42は、液晶の配向方位の異なる領域を副画素A、Bでそれぞれほぼ等分するために、副画素A、Bのほぼ中央部に配置されている。ソース電極22と蓄積容量電極19とを接続する制御容量電極25は、基板面に垂直に見て線状突起42に重なって配置されている。また

20

【0012】

TFT20がオン状態になって画素電極16に電圧が印加され、副画素Aの液晶層に電圧Vpx1が印加されるとする。このとき、液晶容量C1c2と制御容量Ccとの容量比に従って電位が分割されるため、副画素Bの画素電極17には画素電極16とは異なる電圧が印加される。副画素Bの液晶層に印加される電圧Vpx2は、 $V_{px2} = (C_{c1} / (C_{1c2} + C_{c1})) \times V_{px1}$ となる。このように、図3に示した画素構造を有する液晶表示装置では、副画素Aの液晶層に印加される電圧Vpx1と、副画素Bの液晶層に印加される電圧Vpx2とを1画素内で互いに異ならせることができるため、視角特性が改善

30

【0013】

また、副画素Bの焼付きの原因となる不要蓄積電荷を放電するため、第2のTFT60が設けられている。TFT60のゲート電極はゲートバスライン12が兼ねている。ゲート電極上には動作半導体層(図示せず)が形成され、動作半導体層上にはチャネル保護膜28が形成されている。チャネル保護膜28の上には、ソース電極62とドレイン電極63が形成されている。コンタクトホール64を介して副画素Bはソース電極62に電氣的に接続され、制御容量電極25を延長した部分がドレイン電極63を構成する。第2のTFT60は、画素電極16、17各々に第1のTFT20によって所定の電圧が書き込まれる直前にONとなり、画素電極16と17が電氣的に接続される。画素電極16には第1のTFT20によって所定の電圧が書き込まれるので、画素電極17に累積的に不要電荷が蓄積されることはなくなり焼付きが抑えられる。

40

【先行技術文献】

【特許文献】

【0014】

【特許文献1】米国特許第4840460号明細書

【特許文献2】特許第3076938号明細書

【発明の概要】

【発明が解決しようとする課題】

【0015】

50

MVA方式では液晶分子に電圧を印加すると、スリットあるいは土手をきっかけに液晶分子が傾斜し、その傾斜が伝播することによって画素全体の液晶分子が所定の方向へ傾斜するように設計されている。しかし、伝播距離が長いと配向方向が伝播してくる前に伝播方向とは異なる方向に倒れる液晶分子が現れ、全体の液晶分子の配向を乱す。各画素の角の部分は特に伝播距離が長くなり配向が乱れやすい。

【0016】

図3に従来例を示す。微細スリット46aは画素の角の部分にあって特に長い。そのため微細スリット46a上の液晶分子は所定の方向とは逆方向に倒れることがある。所定の方向に液晶分子が倒れた領域と所定とは逆方向に液晶分子が倒れた領域の境界は暗線となる。この暗線は全ての液晶分子が所定の方向に再配向しないと消えないが、それには数秒以上を要することがある。液晶表示装置の一部でこのような暗線の発生した画素があると、その画素のみが僅かに暗く感じられ、残像などの表示品位低下の原因となる。

10

【0017】

また、ゲートバスラインの電位はほとんどの時間は画素電極に比べて数ボルトから十数ボルト低い状態に置かれるため、ゲートバスラインと画素電極間に大きな電位差が水平方向に発生し、液晶配向かく乱要因の一つとなっている。先に述べた第2のTF T60と副画素Aのコンタクトホール64はゲートバスライン12の近傍に設けられるが、図3に示すようにコンタクトホール64を設けた部分は微細スリットを設けることができず線状突起42からも遠いため、所定の方向とは異なる方向に傾斜する液晶分子が多くなる。液晶分子が所定の方向とは異なる方向に傾斜すると、傾斜方向によっては暗領域が発生し、あるいは液晶分子が異なる方向に傾斜した領域どうしの境界が暗線となる。液晶分子が所定の方向に再配向し、これら暗領域や暗線が消滅するまで数秒程度を要することがあり、それが残像などの表示品位低下の原因になる。

20

【0018】

本発明の目的は、フローティング副画素を使用するハーフトーン法のMVA方式で焼付きを防止するためにTF Tに直結する副画素とフローティング副画素の間に第2のTF T60を設けた液晶表示装置においてその配向を改善し表示品位を向上させることにある。

【課題を解決するための手段】

【0019】

図1に原理構成図(第一の実施例でもある)を示す。相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板に形成されたゲートバスライン12及びデータバスライン14と、前記ゲートバスライン12及び前記データバスライン14に接続された第1のTF T20と、前記ゲートバスライン12及び前記データバスライン14により区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも1つと容量結合し前記データバスライン14から前記第1のTF T20を介して表示電圧が印加される制御電極とを有する。更に、前記TF T20が接続されたゲートバスライン12とは別のゲートバスラインに流れる信号で駆動する第2のTF T60を有している。ここで、第2のTF T60は、「前記制御電極と容量結合した副画素電極」と「一定の電位に保持され前記制御電極との間で補助容量を構成する補助容量バスライン18a」との間を短絡させるか、あるいは、「前記制御電極と容量結合した副画素電極」と「前記第1のTF T20に接続した副画素電極との間」を短絡させる。そして、上記伝播距離が長いために液晶分子の配向乱れの原因になっていた各画素の角の部分に隣接する画素の制御電極を延長し配置した。

30

40

【0020】

図3における従来構造で微細スリット46aが存在していた場所に三角形の配向制御電極65を配置した。配向制御電極65は、隣接画素の副画素A、Bの間に設けられた第2のTF T60のソース電極62と電氣的に接続されている。配向制御電極65は画素電極17aとの間にスリット48を形成する。配向制御電極65の延長部66aはゲートバスライン12を横切りコンタクトホール64で画素電極17cと電氣的に接続される。

【0021】

50

第一の作用は、液晶分子の傾斜が伝播する距離を短くして、所定の方向以外に液晶分子が傾斜することを防ぐ点である。図3における従来構造では、微細スリット46aがあるもの液晶分子の傾斜が伝播する距離が長いので配向が乱れていたが、本実施形態ではスリット48を形成したことにより液晶分子の傾斜が伝播する距離が短くなり、所定の方向以外に液晶分子が傾斜することがなくなり配向が安定する。

【0022】

第二の作用は、配向制御電極65は画素電極17aとの間の横電界によって得られる。ドット反転駆動を行うとき、共通電極41を基準電位とすると配向制御電極65と画素電極17aの電位は互いに逆極性の関係となる。従って、配向制御電極65と画素電極17aの間には常に少なくとも黒電圧の2倍以上の電位差を有する横電界が発生することになる。この横電界によってスリット48上の液晶分子は基板に対して垂直方向に立った状態を維持する。所定の方向とは異なる方向に液晶分子が傾斜してもその伝播はスリット48を超えることはない。液晶分子の傾斜が伝播するには、共通電極41と画素電極16、17の間に縦電界が生じて液晶分子が傾斜する力が加わらねばならないが、横電界中の液晶分子には傾斜する力が働かないため液晶分子が傾斜せず、従って傾斜方向も伝播し得ない。特に、ゲートバスラインは通常画素電極より数ボルトから十数ボルト低い電位であるため、ゲートバスライン近傍では所定の配向方向とは異なる方向に横電界が発生し液晶分子は所定の方向とは異なる方向へ傾斜するが、その伝播はスリット48で遮蔽され、画素電極17a上の液晶分子の配向は安定する。

【0023】

このように、上記の課題は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板に形成されたゲートバスライン及びデータバスラインと、前記ゲートバスライン及び前記データバスラインに接続された第1のTF Tと、前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも1つと容量結合し前記データバスラインから前記第1のTF Tを介して表示電圧が印加される制御電極と、一定の電位に保持され前記制御電極との間で補助容量を構成する補助容量バスラインとを有し、前記制御電極と容量結合した副画素電極と前記補助容量バスラインとの間、又は前記制御電極と容量結合した副画素電極と前記第1のTF Tに接続した副画素電極との間に、前記TF Tが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第2のTF T 60を有している液晶表示装置において、第2のTF T 60と副画素電極の接続部を、上記伝播距離が長いので液晶分子の配向乱れの原因になっていた各画素の角の部分に設け、その接続部を形成する画素電極には当該接続部近傍にスリットを形成して配向制御機能を持たせることにより解決される。

【発明の効果】

【0024】

本発明によれば、良好な表示特性、特に残像のない良好な表示の得られる液晶表示装置を実現できる。

【図面の簡単な説明】

【0025】

【図1】本発明の原理説明による液晶表示装置の画素の概略構成を示す図である。

【図2】従来のMVAの正面及び上60度から見たときのT-V特性を示す図である。

【図3】従来の第2のTF Tを用いて焼付きを回避する液晶表示装置の画素の概略構成を示す図である。

【図4】本発明の第1の実施の形態による液晶表示装置の画素の概略構成を示す図である。

【図5】本発明の第1の実施の形態による液晶表示装置の断面図である。

【図6】本発明の第2の実施の形態による液晶表示装置の画素の概略構成を示す図である。

【図7】本発明の第1の実施の形態による液晶表示装置の概略構成を示す図である。

【図 8】本発明の第 3 の実施の形態による液晶表示装置の画素の一部分と暗線を模式的に示した図である。

【図 9】本発明の第 3 の実施の形態による液晶表示装置の画素の一部分と暗線を模式的に示した図である。

【発明を実施するための形態】

【0026】

〔第 1 の実施の形態〕

本発明の第 1 の実施の形態による液晶表示装置について図 4、図 5、及び図 7 を用いて説明する。図 4 は、本実施の形態による液晶表示装置の概略構成を示している。図 4 に示すように、液晶表示装置は、絶縁膜を介して互いに交差して形成されたゲートバスライン 12 及びドレインバスライン 14 と、画素毎に形成された T F T 及び画素電極とを備えた T F T 基板 2 を有している。また、液晶表示装置は、T F T 基板 2 に対向配置されて C F や共通電極が形成された対向基板 4 と、両基板 2、4 間に封止された例えば負の誘電率異方性を有する液晶 6 (図 4 では図示せず) とを備えている。T F T 基板 2 及び対向基板 4 の液晶 6 との界面には、液晶 6 を垂直配向させる垂直配向膜 (図示せず) が形成されている。

【0027】

図 7 に示すように、T F T 基板 2 には、複数のゲートバスラインを駆動するドライバ IC が実装されたゲートバスライン駆動回路 80 と、複数のドレインバスラインを駆動するドライバ IC が実装されたドレインバスライン駆動回路 82 とが接続されている。これらの駆動回路 80、82 は、制御回路 84 から出力された所定の信号に基づいて、走査信号やデータ信号を所定のゲートバスラインあるいはドレインバスラインに出力するようになっている。T F T 基板 2 の T F T 素子形成面と反対側の面には偏光板 87 が配置され、対向基板 4 の共通電極形成面と反対側の面には、偏光板 87 とクロスニコルに配置された偏光板 86 が配置されている。偏光板 87 の T F T 基板 2 と反対側の面にはバックライトユニット 88 が配置されている。

【0028】

図 4 は、本実施の形態による液晶表示装置として、容量結合 H T 法を用いた M V A 方式の液晶表示装置の 1 画素および上下の隣接する画素の一部分の構成を示している。図 5 は図 4 の X - X 線で切断した液晶表示装置の断面構成と液晶分子の配向とを示している。図 5 に示すように、液晶表示装置の T F T 基板 2 は、ガラス基板 10 上に形成され、図 4 中左右方向に延びる複数のゲートバスライン 12 と、絶縁膜 30 を介してゲートバスライン 12 に交差して形成され、図 4 中上下方向に延びる複数のドレインバスライン 14 とを有している。ゲートバスライン 12 及びドレインバスライン 14 の交差位置近傍には、スイッチング素子として画素毎に形成された第 1 の T F T 20 が配置されている。第 1 の T F T 20 のゲート電極 23 はゲートバスライン 12 に電氣的に接続されている。ゲート電極 23 上には動作半導体層 (図示せず) が形成され、動作半導体層上にはチャネル保護膜 28 が形成されている。チャネル保護膜 28 上には、棒状のソース電極 22 と、所定の間隙を介してソース電極 22 を囲む C 字状のドレイン電極 21 とが形成されている。ドレイン電極 21 はドレインバスライン 14 に電氣的に接続されている。ソース電極 22 上及びドレイン電極 21 上の基板全面には、保護膜 31 が形成されている。

【0029】

また、ゲートバスライン 12 及びドレインバスライン 14 により画定された画素領域を横切って、ゲートバスライン 12 に並列して延びる蓄積容量バスライン 18 が形成されている。蓄積容量バスライン 18 上には、絶縁膜 30 を介して蓄積容量電極 19 が画素毎に形成されている。蓄積容量電極 19 は、制御容量電極 25 を介して第 1 の T F T 20 のソース電極 22 に電氣的に接続されている。蓄積容量バスライン 18 と蓄積容量電極 19 との間には、蓄積容量 C s が形成される。

【0030】

画素領域は、副画素 A と副画素 B とを有している。副画素 A は例えば台形状の形状を有

10

20

30

40

50

し、画素領域の中央部左寄りに配置されている。副画素Bは、画素領域のうち副画素Aの領域を除いた図4中上部、下部及び中央部右側端部に配置されている。副画素A、Bの配置は、蓄積容量バスライン18に対し1画素内でそれぞれほぼ線対称になっている。副画素Aには画素電極16が形成され、副画素Bには画素電極16から分離された画素電極17が形成されている。尚、図4では便宜上画素電極17を蓄積容量バスラインより下部を17a、蓄積容量バスラインより上部を17b、コンタクトホール24が形成される17cとしている。17aと17bは電氣的に接続され、17bは15aと15bを介して17cと電氣的に接続されている。特に断りがない限り、画素電極17とは17a、17b、17c全体をさすものとする。画素電極16、17は、例えば共に透明導電膜からなり互いに同層に形成されている。画素電極16は、蓄積容量電極19上の保護膜31が開口されたコンタクトホール24を介してTFT20のソース電極22に電氣的に接続されている。一方、画素電極17は電氣的にフローティング状態になっている。画素電極17は、保護膜31を介して制御容量電極25に対向する領域を画素領域の図4中上部および下部に有している。画素電極17は、当該領域に形成される制御容量部の制御容量Ccを介した容量結合により、ソース電極22に間接的に接続されている。

10

20

30

40

50

【0031】

画素電極16、17は、台形状の画素電極16の3辺を略「く」の字状に囲むスリット44、47によって互いに分離されている。スリット44は画素領域端部に対し斜めに延び、スリット47は画素領域右側端部に沿って延びている。スリット44は、液晶6の配向を規制する配向規制用構造物としても機能する。スリット44、47の幅は、画素電極16、17が電氣的に短絡しないように十分に太くする必要がある（例えば10μm以上）。

【0032】

液晶6を介しTFT基板2に対向して配置された対向基板4は、ガラス基板11上に形成された共通電極（対向電極）41を有している。液晶6を介して対向する副画素Aの画素電極16と共通電極41の間には液晶容量C1c1が形成され、同様に副画素Bの画素電極17と共通電極41の間には液晶容量C1c2が形成される。共通電極41上には、スリット44に並列して画素領域端部に対して斜めに延び、配向規制用構造物として機能する土手状の線状突起（樹脂構造物）42が形成されている。スリット44及び線状突起42は、TFT基板2及び対向基板4を挟んで外側に配置される偏光板86、87の偏光軸に対して約45°の角度をなす方向に延びている。線状突起42は、ノボラック樹脂等のポジレジスト材料で形成されている。例えば線状突起42の高さは1.0μmであり、幅は10μmである。線状突起42は、液晶6の配向方位の異なる領域を副画素A、Bでそれぞれほぼ等分するために、副画素A、Bのそれぞれほぼ中央部に配置されている。また線状突起42は、蓄積容量バスライン18に対し1画素内でほぼ線対称に配置されている。これにより、副画素A、Bの液晶6は、1画素内で直交4方向にそれぞれほぼ均等に配向する。ソース電極22と蓄積容量電極19とを接続する制御容量電極25は、基板面に垂直に見て線状突起42に重なって配置されている。

【0033】

また、線状突起42と画素電極16、17の端部とが交差する領域近傍であって、基板面に垂直に見て線状突起42の延びる方向と画素電極16、17の端部とが鈍角をなす領域には、補助突起43が形成されている。補助突起43は例えば線状突起42と同層に形成され、ドレインバスライン14にほぼ平行に延びている。補助突起43は、画素電極16、17の端部近傍での電界の影響を打ち消すために設けられ、基板面に垂直に見て画素電極16、17の端部に重なって配置される。

【0034】

TFT20がオン状態になって画素電極16に電圧が印加され、副画素Aの液晶層に電圧 V_{px1} が印加されるとする。このとき、液晶容量C1c2と制御容量Ccとの容量比に従って電位が分割されるため、副画素Bの画素電極17には画素電極16とは異なる電圧が印加される。副画素Bの液晶層に印加される電圧 V_{px2} は、 $V_{px2} = (Cc / ($

$C1c2 + Cc) \times Vp \times 1$ となる。ここで、 $0 < (Cc / (C1c2 + Cc)) < 1$ であるため、 $Vp \times 1 = Vp \times 2 = 0$ 以外では $|Vp \times 1| > |Vp \times 2|$ となる。このように、本実施の形態による液晶表示装置では、副画素Aの液晶層に印加される電圧 $Vp \times 1$ と、副画素Bの液晶層に印加される電圧 $Vp \times 2$ とを1画素内で互いに異ならせることができる。これにより、 $T-V$ 特性の歪みが1画素内で分散されるため、斜め方向から見たときに画像の色が白っぽくなる現象を抑制でき、視角特性が改善される。

【0035】

配向改善のため、基板面に垂直に見て線状突起42に重なる領域の一部に、液晶6の配向ベクトルの特異点の位置を制御する特異点制御用の開口部50、51が形成されている。開口部50は副画素Bの画素電極17を部分的に除去して形成され、開口部51は副画素Aの画素電極16を部分的に除去して形成されている。例えば各開口部50、51の幅は約 $5\mu m$ であり、長さは約 $15\mu m$ である。開口部50、51の長手方向は、例えば線状突起42の延びる方向にほぼ直交している。開口部50は副画素Bに少なくとも1つ設けられ、開口部51は副画素Aに少なくとも1つ設けられる。

【0036】

また、副画素Bの焼付きの原因となる不要蓄積電荷を放電するため、第2のTFT60が設けられている。TFT60のゲート電極はゲートバスライン12が兼ねている。ゲート電極上には動作半導体層(図示せず)が形成され、動作半導体層上にはチャネル保護膜28が形成されている。チャネル保護膜28の上には、ソース電極62とドレイン電極63が形成されている。コンタクトホール64を介して副画素Bはソース電極62に電氣的に接続され、制御容量電極25を延長した部分がドレイン電極63を構成する。第2のTFT60は、画素電極16、17各々に第1のTFT20によって所定の電圧が書き込まれる直前にONとなり、画素電極16と17が電氣的に接続される。画素電極16には第1のTFT20によって所定の電圧が書き込まれるので、画素電極17に累積的に不要電荷が蓄積されることはなくなり焼付きが抑えられる。

【0037】

本実施の形態では、図3における従来構造で微細スリット46aが存在していた場所に三角形の配向制御電極65を配置している。配向制御電極65は、隣接画素の副画素A、Bの間に設けられた第2のTFT60のソース電極62と電氣的に接続されている。配向制御電極65は画素電極17aとの間にスリット48を形成する。配向制御電極65の延長部66aはゲートバスライン12を横切りコンタクトホール64で画素電極17cと電氣的に接続される。この配向制御電極65には2つの点で液晶分子の配向を安定させる効果がある。

【0038】

第一の効果は、液晶分子の傾斜が伝播する距離を短くして、所定の方向以外に液晶分子が傾斜することを防ぐ点である。図3における従来構造では、微細スリット46aがあるもの液晶分子の傾斜が伝播する距離が長いので配向が乱れていたが、本実施形態ではスリット48を形成したことにより液晶分子の傾斜が伝播する距離が短くなり、所定の方向以外に液晶分子が傾斜することがなくなり配向が安定する。

【0039】

第二の効果は、配向制御電極65は画素電極17aとの間の横電界によって得られる。ドット反転駆動を行うとき、共通電極41を基準電位とすると配向制御電極65と画素電極17aの電位は互いに逆極性の関係となる。従って、配向制御電極65と画素電極17aの間には常に少なくとも黒電圧の2倍以上の電位差を有する横電界が発生することになる。この横電界によってスリット48上の液晶分子は基板に対して垂直方向に立った状態を維持する。所定の方向とは異なる方向に液晶分子が傾斜してもその伝播はスリット48を超えることはない。液晶分子の傾斜が伝播するには、共通電極41と画素電極16、17の間に縦電界が生じて液晶分子が傾斜する力が加わらねばならないが、横電界中の液晶分子には傾斜する力が働かないため液晶分子が傾斜せず、従って傾斜方向も伝播し得ない。特に、ゲートバスラインは通常画素電極より数ボルトから十数ボルト低い電位であるた

10

20

30

40

50

め、ゲートバスライン近傍では所定の配向方向とは異なる方向に横電界が発生し液晶分子は所定の方向とは異なる方向へ傾斜するが、その伝播はスリット48で遮蔽され、画素電極17a上の液晶分子の配向は安定する。

【0040】

本実施の形態では、コンタクトホール64を形成する画素電極17cと画素電極17bの間にスリット49を形成する。図3に示す従来画素では、コンタクトホール64部分は線状突起42からの距離が遠く、微細スリット46cが設けられていないことが原因で、液晶の傾斜方向は大きく乱れていたが、スリット49によって液晶分子の傾斜が伝播する距離を短くし、所定の方向以外に液晶分子が傾斜することを防いだ。また、コンタクトホール64近傍の液晶分子の配向の乱れの伝播をスリット49で防ぐことができる。

10

【0041】

本実施の形態では、制御容量電極25の延長部67はゲート電極23近傍で画素電極17b内部に画素電極17bの外形に沿う形で形成され、第2のTF T60のドレイン電極63に電氣的に接続されている。制御容量電極25あるいは67は金属層で光を透過しないので、画素電極17内部に占める面積は小さいことが望ましい。一方、延長部67の近傍の画素電極17の端はゲート電極23の周辺を囲う形状をしているが、この部分が発生する電界は画素電極17b上で望まれる配向方向を実現する電界とは異なる方向である。したがって延長部67近傍では液晶分子の配向が乱れて暗線が発生する。従って、延長部67による輝度低下はほとんどない。

【0042】

20

本実施の形態では、ゲートバスライン12の配向制御電極65と画素電極17aに面する部分は凹凸がない。この効果は以下の通りである。ゲートバスライン12の凹凸に応じて液晶分子の配向が乱れるので、ゲートバスライン12はできるだけ単純な形状であることが望ましい。ところが、ゲート電極23を形成するためゲートバスライン12の幅を広げる必要があるので、ゲートバスライン12の一部分に凹凸が生じることは避けられない。一方、コンタクトホール64は一定以上（例えば10ミクロン）の大きさがあり、ゲートバスラインから離れるほど画素電極17bの面積が小さくな。そこで、コンタクトホール64の形成に必要な画素電極17cとデータバスライン12の凸部を組み合わせ、開口率低下を最小限に抑えると同時に、ゲートバスライン12の配向制御電極65に面する側を直線にすることで配向乱れを最小限に抑えることができる。

30

【0043】

〔第2の実施の形態〕

次に、本発明の第2の実施の形態による液晶表示装置について図6を用いて説明する。図6は本実施の形態による液晶表示装置の1画素およびそれに隣接する上下の画素の1部分の構成を示している。図6に示すように、本実施の形態では第1の実施の形態（図4参照）とは異なり、制御容量電極25の延長部67の再延長部66bがゲートバスライン12をまたぎ、隣接画素にある配向制御電極65と電氣的に接続されている。配向制御電極65は第2のTF T60のドレイン電極63と電氣的に接続されている。一方、コンタクトホール64は第2のTF T60のソース電極62と電氣的に接続されている。

【0044】

40

副画素A、Bは、第2のTF T60を駆動するゲートバスライン12がオフ電圧になる瞬間に、副画素A、B各々とゲートバスライン12の間の静電容量によって共に電位が低下する。その直後、副画素Aには第1のTF T20によって新たに電位が書き込まれ、第2のTF Tを駆動するゲートバスライン12の影響はほとんどなくなるが、副画素Bには制御容量電極25を介した容量分割によって新たに電位が決められるのみであって、直前に低下した電位の情報が残る。そのため、副画素Bと第2のTF T60を駆動するゲートバスライン12の間の静電容量が大きいと、副画素Aと副画素B各々の電位の振幅中心のずれが大きくなり、フリッカーや焼付きといった表示品位低下の原因となる。

【0045】

そこで、本実施形態では、コンタクトホール64を直接第2のTF Tのソース電極62

50

に電氣的に接続した。これにより延長部 6 6 a がゲートバスライン 1 2 と形成した静電容量がなくなり第 2 の T F T を駆動するゲートバスライン 1 2 と副画素 A の間の静電容量が最小となった。一方、延長部 6 6 b がゲートバスライン 1 2 との間に新たに静電容量を発生するが、延長部 6 6 b は副画素 B につながるため電位低下は第 1 の T F T の書込みによってほとんど起きない。

【 0 0 4 6 】

〔 第 3 の実施の形態 〕

次に、本発明の第 3 の実施の形態による液晶表示装置について図 8、図 9 を用いて説明する。本実施の形態では第 1 および第 2 の実施の形態とは異なり、画素電極 1 7 b と画素電極 1 7 c を接続する部分 1 5 b がなくなり、スリット 4 9 は片側が開放された形になっている。図 8 は図 6 のスリット 4 9 付近を拡大し、スリット 4 9 付近に発生する暗線を模式的に示した図、図 9 は図 1 のスリット 4 9 付近を拡大し、スリット 4 9 付近に発生する暗線を模式的に示した図である。図 8 に示す接続する部分 1 5 b が存在する画素電極形状では、暗線 7 1 a、7 1 b がうねって画素電極 1 6 内部に入り、暗領域をも発生させていたが、図 9 に示す接続する部分 1 5 b が存在しないでは暗線 7 1 a、7 1 b の形状が画素電極 1 6 に沿った単純な形になり、スリット 4 9 の内部に留まっている。その結果、配向の安定性が向上した。

【 0 0 4 7 】

以上説明した本実施の形態による液晶表示装置は、以下のようにまとめられる。

（ 付 記 1 ）

相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、
前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御電極と、
前記制御電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極の間、又は一定の電位に保持され前記制御電極との間で補助容量を構成する補助容量バスラインとの間、に前記第 1 の T F T が接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第 2 の T F T を有している液晶表示装置において、
1 画素内において、副画素電極と、隣接画素の副画素電極と等電位の配向制御電極とによって形成されるスリット
を有することを特徴とする液晶表示装置。

（ 付 記 2 ）

相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、
前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御電極と、
前記制御電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極の間、又は一定の電位に保持され前記制御電極との間で補助容量を構成する補助容量バスラインとの間、に前記第 1 の T F T が接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第 2 の T F T を有している液晶表示装置において、

１画素内において、副画素電極と、隣接画素の前記制御電極と等電位の配向制御電極とによって形成されるスリット

を有することを特徴とする液晶表示装置。

（付記３）

相互に対向して配置された第１及び第２の基板と、

前記第１及び第２の基板間に封入された液晶と、

前記第１の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、

前記ゲートバスライン及び前記データバスラインに接続された第１のＴＦＴと、

前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも１つと容量結合し、前記データバスラインから前記第１のＴＦＴを介して表示電圧が印加される制御電極と、

前記制御電極と容量結合した副画素電極と、前記第１のＴＦＴに接続した副画素電極の間、又は一定の電位に保持され前記制御電極との間で補助容量を構成する補助容量バスラインとの間、に前記第１のＴＦＴが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第２のＴＦＴを有している液晶表示装置において、

画素電極の一部が、前記第２のＴＦＴのソース電極に電氣的に接続された電極部と当該画素電極とを電氣的に接続するコンタクトホールを形成し、当該画素電極の一部が、当該画素画素電極の残りの部分とで形成されるスリット

を有することを特徴とする液晶表示装置。

（付記４）

前記第２のＴＦＴのドレイン電極と前記制御電極の延長部分が電氣的に接続されることを特徴とする付記１乃至３のいずれか１項に記載の液晶表示装置。

（付記５）

前記制御電極の延長部分は第１のＴＦＴのゲート電極の周辺で、前記画素電極の外周に沿う形で配置されていることを特徴とする付記１乃至４のいずれか１項に記載の液晶表示装置。

（付記６）

前記画素電極の一部が、前記第２のＴＦＴのソース電極に電氣的に接続された電極部と当該画素電極とを電氣的に接続するコンタクトホールを形成し、当該画素電極の一部が、当該画素画素電極の残りの部分とで形成される前記スリットはデータバスラインに近い側が開放されていることを特徴とする付記３乃至５のいずれか１項に記載の液晶表示装置。

【符号の説明】

【００４８】

２ ＴＦＴ基板

４ 対向基板

６ 液晶

８ 液晶分子

１０、１１ ガラス基板

１２ ゲートバスライン

１４ ドレインバスライン

１５ａ、１５ｂ 画素電極 １７ｂと画素電極 １７ｃの接続部

１６、１７ａ、１７ｂ、１７ｃ 画素電極

１８ａ 蓄積容量バスライン

１８ｂ 蓄積容量バスライン延長部

１９ 蓄積容量電極

２０ 第１のＴＦＴ

２１ 第１のＴＦＴのドレイン電極

２２ 第１のＴＦＴのソース電極

10

20

30

40

50

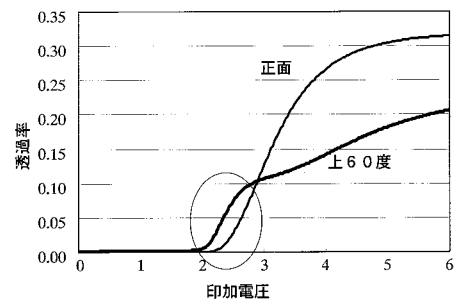
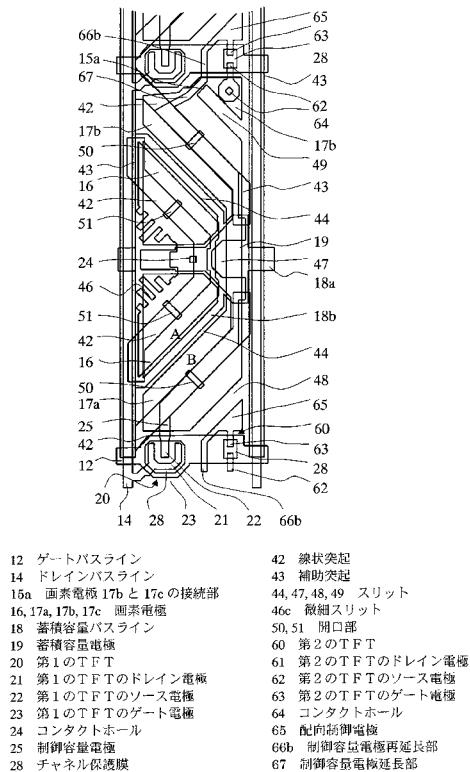
- 2 3 第 1 の T F T の ゲート 電 極
- 2 4 コ ン タ ク ト ホ ー ル
- 2 5 制 御 容 量 電 極
- 2 8 チ ャ ネ ル 保 護 膜
- 3 0 絶 縁 膜
- 3 1 保 護 膜
- 4 1 共 通 電 極
- 4 2 線 状 突 起
- 4 3 補 助 突 起
- 4 4、4 7、4 8、4 9 ス リ ッ ト
- 4 6 微 細 ス リ ッ ト
- 5 0、5 1 開 口 部
- 6 0 第 2 の T F T
- 6 2 第 2 の T F T の ド レ イ ン 電 極
- 6 3 第 2 の T F T の ソ ー ス 電 極
- 6 4 コ ン タ ク ト ホ ー ル
- 6 6 a、6 6 b 制 御 容 量 電 極 再 延 長 部
- 6 7 制 御 容 量 電 極 延 長 部
- 7 1 a、7 1 b 暗 線
- 8 0 ゲートバスライン駆動回路
- 8 2 ドレインバスライン駆動回路
- 8 4 制御回路
- 8 6、8 7 偏光板
- 8 8 バックライトユニット

10

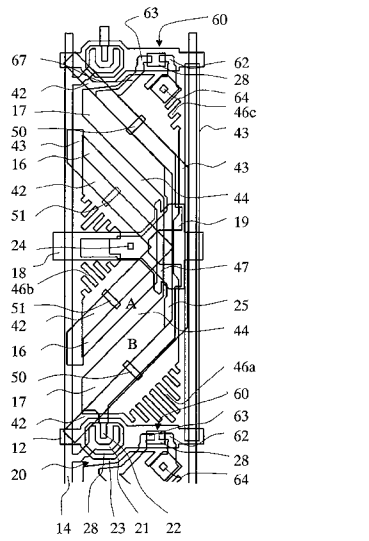
20

【 図 1 】

【 図 2 】

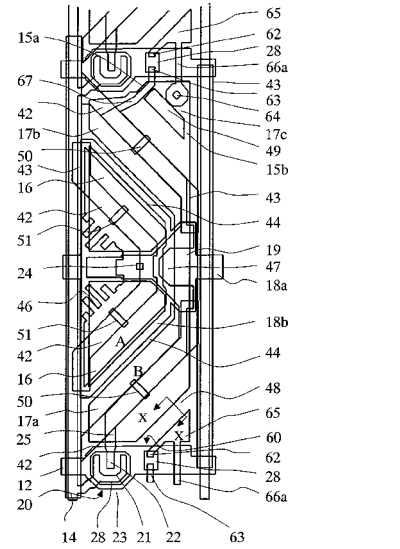


【図 3】



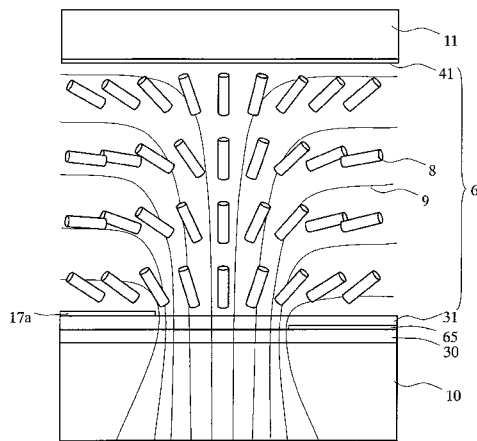
- | | |
|------------------|----------------------|
| 12 ゲートバスライン | 28 チャンネル保護膜 |
| 14 ドレインバスライン | 42 線状突起 |
| 16, 17 画素電極 | 43 補助突起 |
| 18 蓄積容量バスライン | 44, 47, 48, 49 スリット |
| 19 蓄積容量電極 | 46a, 46b, 46c 微細スリット |
| 20 第1のTFT | 50, 51 開口部 |
| 21 第1のTFTのドレイン電極 | 60 第2のTFT |
| 22 第1のTFTのソース電極 | 61 第2のTFTのドレイン電極 |
| 23 第1のTFTのゲート電極 | 62 第2のTFTのソース電極 |
| 24 コンタクトホール | 63 第2のTFTのゲート電極 |
| 25 制御容量電極 | 64 コンタクトホール |

【図 4】



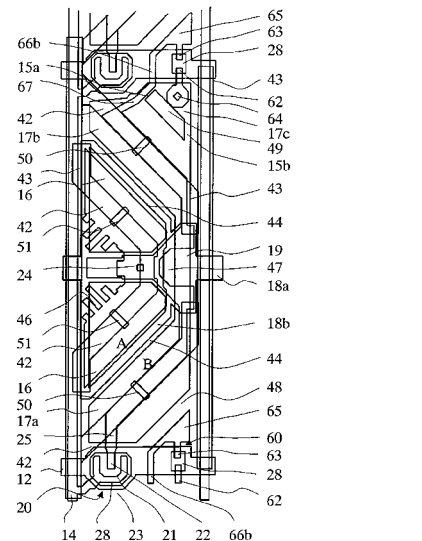
- | | |
|------------------------------|---------------------|
| 12 ゲートバスライン | 42 線状突起 |
| 14 ドレインバスライン | 43 補助突起 |
| 15a, 15b 画素電極 17b と 17c の接続部 | 44, 47, 48, 49 スリット |
| 16, 17a, 17b, 17c 画素電極 | 46c 微細スリット |
| 18 蓄積容量バスライン | 50, 51 開口部 |
| 19 蓄積容量電極 | 60 第2のTFT |
| 20 第1のTFT | 61 第2のTFTのドレイン電極 |
| 21 第1のTFTのドレイン電極 | 62 第2のTFTのソース電極 |
| 22 第1のTFTのソース電極 | 63 第2のTFTのゲート電極 |
| 23 第1のTFTのゲート電極 | 64 コンタクトホール |
| 24 コンタクトホール | 65 配向制御電極 |
| 25 制御容量電極 | 66a 制御容量電極再延長部 |
| 28 チャンネル保護膜 | 67 制御容量電極延長部 |

【図 5】



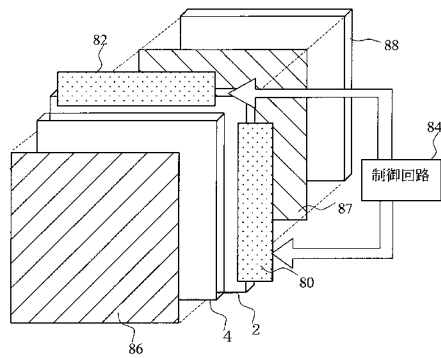
- | | |
|--------------|-----------|
| 6 液晶 | 30 絶縁膜 |
| 8 液晶分子 | 31 保護膜 |
| 9 等位線 | 41 共通電極 |
| 10, 11 ガラス基板 | 65 配向制御電極 |
| 17a 画素電極 | |

【図 6】



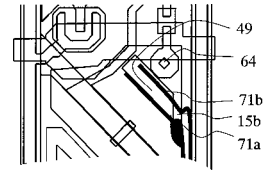
- | | |
|------------------------------|---------------------|
| 12 ゲートバスライン | 42 線状突起 |
| 14 ドレインバスライン | 43 補助突起 |
| 15a, 15b 画素電極 17b と 17c の接続部 | 44, 47, 48, 49 スリット |
| 16, 17a, 17b, 17c 画素電極 | 46c 微細スリット |
| 18 蓄積容量バスライン | 50, 51 開口部 |
| 19 蓄積容量電極 | 60 第2のTFT |
| 20 第1のTFT | 61 第2のTFTのドレイン電極 |
| 21 第1のTFTのドレイン電極 | 62 第2のTFTのソース電極 |
| 22 第1のTFTのソース電極 | 63 第2のTFTのゲート電極 |
| 23 第1のTFTのゲート電極 | 64 コンタクトホール |
| 24 コンタクトホール | 65 配向制御電極 |
| 25 制御容量電極 | 66b 制御容量電極再延長部 |
| 28 チャンネル保護膜 | 67 制御容量電極延長部 |

【図 7】



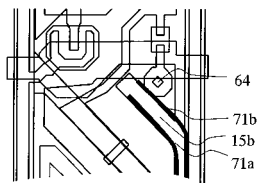
- 2 TFT基板
4 対向基板
80 ゲートバスライン駆動回路
82 ドレインバスライン駆動回路
84 制御回路
86, 87 偏光板
88 バックライトユニット

【図 8】



- 15b 画素電極 17b と 17c の接続部
49 スリット
64 コンタクトホール
71a, 71b 暗線

【図 9】



- 49 スリット
64 コンタクトホール
71a, 71b 暗線

【手続補正書】

【提出日】平成22年7月29日(2010.7.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成され、複数の副画素電極を備える画素電極と、
前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御容量電極と、
前記制御容量電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極との間に設けられ、前記第 1 の T F T が接続されたゲートバスラインに隣接するゲートバスラインに流れる信号で駆動する第 2 の T F T と、
を有している M V A 型の液晶表示装置において、
1 画素内において、当該画素の前記複数の副画素電極のいずれかと、隣接画素の前記制御容量電極と等電位の配向制御電極とによって形成されるスリットが、当該画素の角の部分に配置されていること

を特徴とする液晶表示装置。

【請求項 2】

相互に対向して配置された第 1 及び第 2 の基板と、
前記第 1 及び第 2 の基板間に封入された液晶と、
前記第 1 の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成され、複数の副画素電極を備える画素電極と、
前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御容量電極と、
前記制御容量電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極との間に設けられ、前記第 1 の T F T が接続されたゲートバスラインに隣接するゲートバスラインに流れる信号で駆動する第 2 の T F T と、
を有している M V A 型の液晶表示装置において、
前記制御容量電極と容量結合した副画素電極の一部に、前記第 2 の T F T のソース電極に電氣的に接続された電極部と当該副画素電極とを電氣的に接続するコンタクトホールを形成し、当該副画素電極の一部と、当該副画素電極の残りの部分とで形成されるスリットが、当該画素の角の部分に配置されていること

を特徴とする液晶表示装置。

【請求項 3】

前記第 2 の T F T のドレイン電極と前記制御容量電極の延長部分が電氣的に接続されることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記制御容量電極の延長部分は第 1 の T F T のゲート電極の周辺で、前記画素電極の外

周に沿う形で配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記制御容量電極と容量結合した副画素電極の一部に、前記第 2 の TFT のソース電極に電氣的に接続された電極部と当該副画素電極とを電氣的に接続するコンタクトホールを形成し、当該副画素電極の一部と、当該副画素電極の残りの部分とで形成されるスリットはデータバスラインに近い側が開放されていることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の液晶表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、1 画素領域内に複数の副画素電極を有する液晶表示装置の液晶分子の配向改善、特に少なくとも 1 つの副画素電極が表示電圧の印加される制御容量電極と容量結合し、焼付き防止のため制御容量電極による直接駆動される副画素と第 2 の TFT によって接続された液晶表示装置に関する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

特許第 3076938 号の明細書（特開平 5 - 66412 号公報）には、画素電極を複数の副画素電極に分割し、各副画素電極の下方に絶縁膜を介して制御容量電極をそれぞれ配置した TN 型液晶表示装置が開示されている。この液晶表示装置では、TFT を介して制御容量電極に表示電圧が印加される。各副画素電極の大きさは相互に異なっているので、副画素電極に印加される電圧も相互に異なり、HT 法による効果、すなわち白茶けを抑制する効果を得ることができる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

図 1 に原理構成図（第一の実施例でもある）を示す。相互に対向して配置された第 1 及び第 2 の基板と、前記第 1 及び第 2 の基板間に封入された液晶と、前記第 1 の基板に形成されたゲートバスライン 12 及びデータバスライン 14 と、前記ゲートバスライン 12 及び前記データバスライン 14 に接続された第 1 の TFT 20 と、前記ゲートバスライン 12 及び前記データバスライン 14 により区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも 1 つと容量結合し前記データバスライン 14 から前記第 1 の TFT 20 を介して表示電圧が印加される制御容量電極とを有する。更に、前記 TFT 20 が接続されたゲートバスライン 12 とは別のゲートバスラインに流れる信号で駆動する第 2 の TFT 60 を有している。ここで、第 2 の TFT 60 は、「前記制御容量電極と容量結合した副画素電極」と「一定の電位に保持され前記制御容量電極との間で補助容量を構成する補助容量バスライン 18a」との間を短絡させるか、あるいは、「前記制御容量電極と容量結合した副画素電極」と「前記第 1 の TFT 20 に接続した副画素電極との間」を短絡させる。そして、上記伝播距離が長いために液晶分子の配向乱れの原因になっていた各画素の角の部分に隣接する画素の制御容量電極を延長し配置

した。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

このように、上記の課題は、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板に形成されたゲートバスライン及びデータバスラインと、前記ゲートバスライン及び前記データバスラインに接続された第1のTFTと、前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記複数の副画素電極のうちの少なくとも1つと容量結合し前記データバスラインから前記第1のTFTを介して表示電圧が印加される制御容量電極と、一定の電位に保持され前記制御容量電極との間で補助容量を構成する補助容量バスラインとを有し、前記制御容量電極と容量結合した副画素電極と前記補助容量バスラインとの間、又は前記制御容量電極と容量結合した副画素電極と前記第1のTFTに接続した副画素電極との間に、前記TFTが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第2のTFT60を有している液晶表示装置において、第2のTFT60と副画素電極の接続部を、上記伝播距離が長いために液晶分子の配向乱れの原因になっていた各画素の角の部分に設け、その接続部を形成する画素電極には当該接続部近傍にスリットを形成して配向制御機能を持たせることにより解決される。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

以上説明した本実施の形態による液晶表示装置は、以下のようにまとめられる。

(付記1)

相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板間に封入された液晶と、
前記第1の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインに接続された第1のTFTと、
前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、
前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記第1のTFTを介して表示電圧が印加される制御容量電極と、
前記制御容量電極と容量結合した副画素電極と、前記第1のTFTに接続した副画素電極の間、又は一定の電位に保持され前記制御容量電極との間で補助容量を構成する補助容量バスラインとの間、に前記第1のTFTが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第2のTFTを有している液晶表示装置において、
1画素内において、副画素電極と、隣接画素の副画素電極と等電位の配向制御電極とによって形成されるスリット
を有することを特徴とする液晶表示装置。

(付記2)

相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板間に封入された液晶と、
前記第1の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、

前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、

前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御容量電極と、

前記制御容量電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極の間、又は一定の電位に保持され前記制御容量電極との間で補助容量を構成する補助容量バスラインとの間、に前記第 1 の T F T が接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第 2 の T F T を有している液晶表示装置において、

1 画素内において、副画素電極と、隣接画素の前記制御容量電極と等電位の配向制御電極とによって形成されるスリット

を有することを特徴とする液晶表示装置。

(付記 3)

相互に対向して配置された第 1 及び第 2 の基板と、

前記第 1 及び第 2 の基板間に封入された液晶と、

前記第 1 の基板に形成されたゲートバスライン及び前記ゲートバスラインと概垂直方向に配置されるデータバスラインと、

前記ゲートバスライン及び前記データバスラインに接続された第 1 の T F T と、

前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、

前記複数の副画素電極のうちの少なくとも 1 つと容量結合し、前記データバスラインから前記第 1 の T F T を介して表示電圧が印加される制御容量電極と、

前記制御容量電極と容量結合した副画素電極と、前記第 1 の T F T に接続した副画素電極の間、又は一定の電位に保持され前記制御容量電極との間で補助容量を構成する補助容量バスラインとの間、に前記第 1 の T F T が接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第 2 の T F T を有している液晶表示装置において、

画素電極の一部が、前記第 2 の T F T のソース電極に電氣的に接続された電極部と当該画素電極とを電氣的に接続するコンタクトホールを形成し、当該画素電極の一部が、当該画素画素電極の残りの部分とで形成されるスリット

を有することを特徴とする液晶表示装置。

(付記 4)

前記第 2 の T F T のドレイン電極と前記制御容量電極の延長部分が電氣的に接続されることを特徴とする付記 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

(付記 5)

前記制御容量電極の延長部分は第 1 の T F T のゲート電極の周辺で、前記画素電極の外周に沿う形で配置されていることを特徴とする付記 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

(付記 6)

前記画素電極の一部が、前記第 2 の T F T のソース電極に電氣的に接続された電極部と当該画素電極とを電氣的に接続するコンタクトホールを形成し、当該画素電極の一部が、当該画素画素電極の残りの部分とで形成される前記スリットはデータバスラインに近い側が開放されていることを特徴とする付記 3 乃至 5 のいずれか 1 項に記載の液晶表示装置。

【手続補正 7】

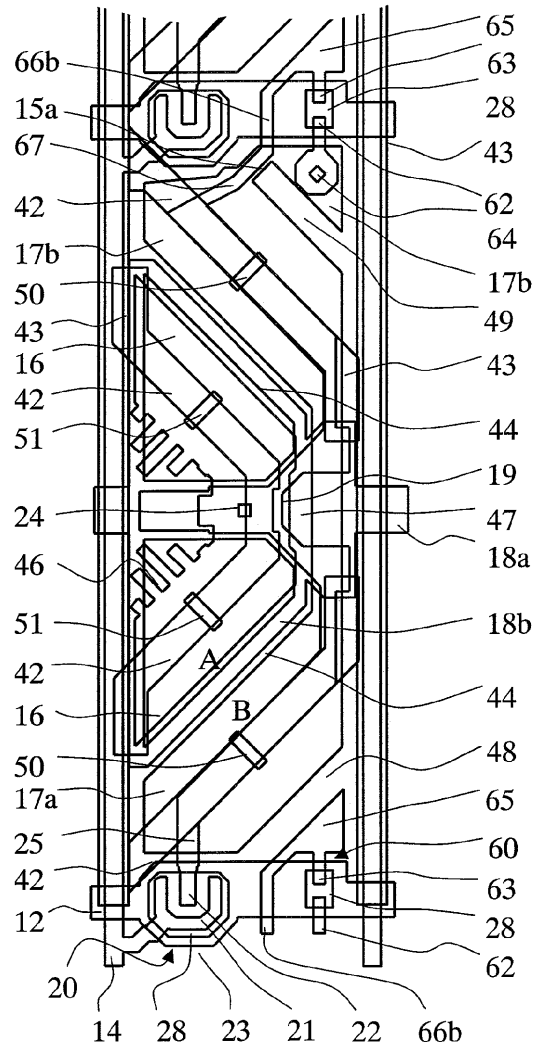
【補正対象書類名】図面

【補正対象項目名】図 1

【補正方法】変更

【補正の内容】

【図 1】



- | | |
|-------------------------|---------------------|
| 12 ゲートバスライン | 42 線状突起 |
| 14 ドレインバスライン | 43 補助突起 |
| 15a 画素電極 17b と 17c の接続部 | 44, 47, 48, 49 スリット |
| 16, 17a, 17b, 17c 画素電極 | 46c 微細スリット |
| 18 蓄積容量バスライン | 50, 51 開口部 |
| 19 蓄積容量電極 | 60 第2のTFT |
| 20 第1のTFT | 61 第2のTFTのドレイン電極 |
| 21 第1のTFTのドレイン電極 | 62 第2のTFTのソース電極 |
| 22 第1のTFTのソース電極 | 63 第2のTFTのゲート電極 |
| 23 第1のTFTのゲート電極 | 64 コンタクトホール |
| 24 コンタクトホール | 65 配向制御電極 |
| 25 制御容量電極 | 66b 制御容量電極再延長部 |
| 28 チャンネル保護膜 | 67 制御容量電極延長部 |

【手続補正 8】

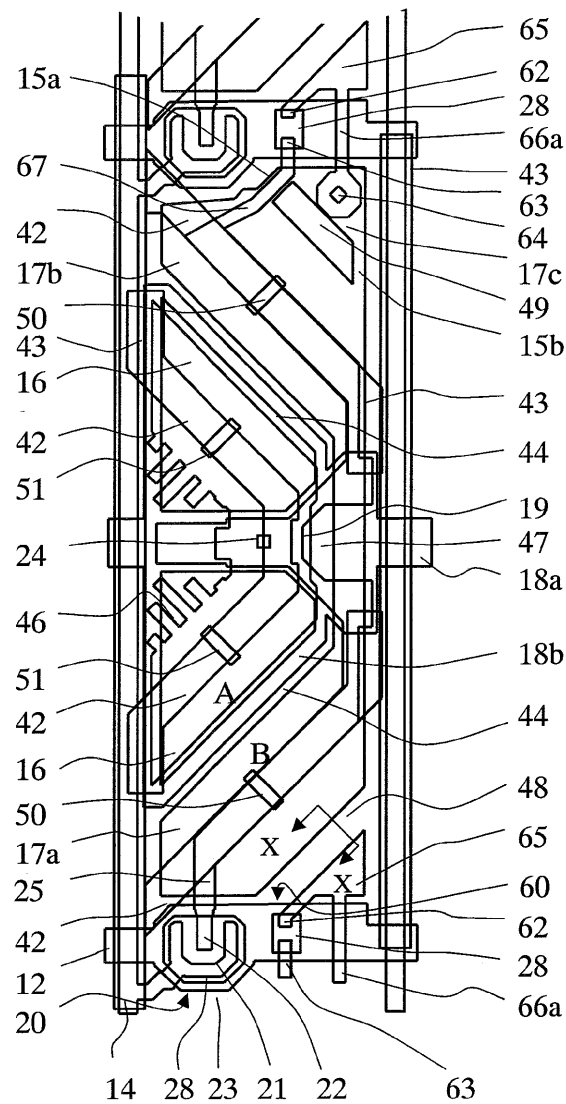
【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正の内容】

【図 4】



- | | |
|------------------------------|---------------------|
| 12 ゲートバスライン | 42 線状突起 |
| 14 ドレインバスライン | 43 補助突起 |
| 15a, 15b 画素電極 17b と 17c の接続部 | 44, 47, 48, 49 スリット |
| 16, 17a, 17b, 17c 画素電極 | 46c 微細スリット |
| 18 蓄積容量バスライン | 50, 51 開口部 |
| 19 蓄積容量電極 | 60 第2のTFT |
| 20 第1のTFT | 61 第2のTFTのドレイン電極 |
| 21 第1のTFTのドレイン電極 | 62 第2のTFTのソース電極 |
| 22 第1のTFTのソース電極 | 63 第2のTFTのゲート電極 |
| 23 第1のTFTのゲート電極 | 64 コンタクトホール |
| 24 コンタクトホール | 65 配向制御電極 |
| 25 制御容量電極 | 66a 制御容量電極再延長部 |
| 28 チャンネル保護膜 | 67 制御容量電極延長部 |

【手続補正 9】

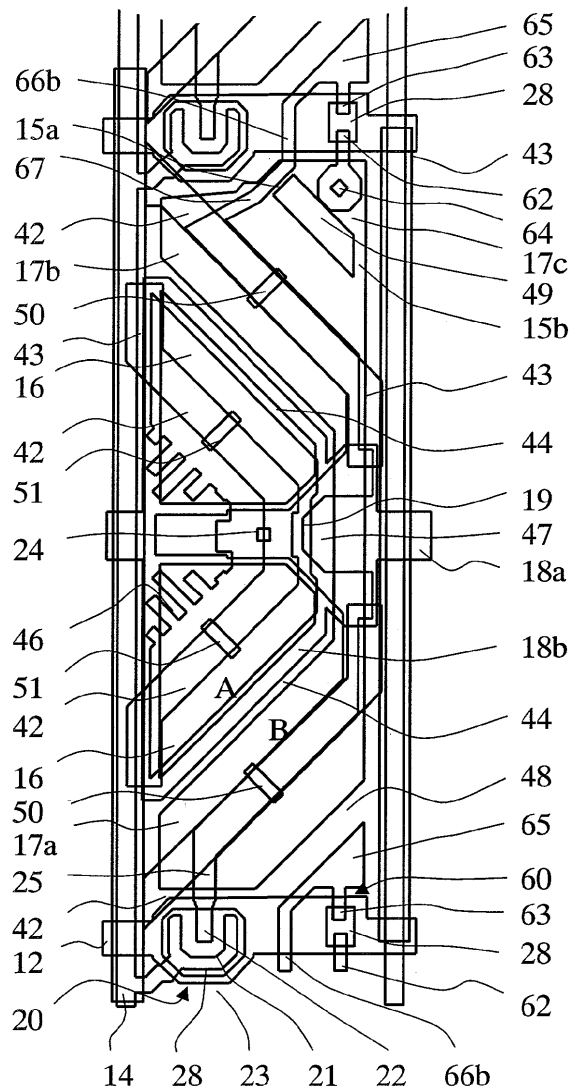
【補正対象書類名】図面

【補正対象項目名】図 6

【補正方法】変更

【補正の内容】

【図 6】



- | | | | |
|-------------------|---------------------|----------------|---------------|
| 12 | ゲートバスライン | 42 | 線状突起 |
| 14 | ドレインバスライン | 43 | 補助突起 |
| 15a, 15b | 画素電極 17b と 17c の接続部 | 44, 47, 48, 49 | スリット |
| 16, 17a, 17b, 17c | 画素電極 | 46c | 微細スリット |
| 18 | 蓄積容量バスライン | 50, 51 | 開口部 |
| 19 | 蓄積容量電極 | 60 | 第2のTFT |
| 20 | 第1のTFT | 61 | 第2のTFTのドレイン電極 |
| 21 | 第1のTFTのドレイン電極 | 62 | 第2のTFTのソース電極 |
| 22 | 第1のTFTのソース電極 | 63 | 第2のTFTのゲート電極 |
| 23 | 第1のTFTのゲート電極 | 64 | コンタクトホール |
| 24 | コンタクトホール | 65 | 配向制御電極 |
| 25 | 制御容量電極 | 66b | 制御容量電極再延長部 |
| 28 | チャンネル保護膜 | 67 | 制御容量電極延長部 |

フロントページの続き

(72)発明者 田坂 泰俊

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

Fターム(参考) 2H092 GA15 GA21 HA04 JA26 JB05 JB22 JB31 JB43 JB45 JB69

NA01 QA09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010217934A	公开(公告)日	2010-09-30
申请号	JP2010155549	申请日	2010-07-08
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	仲西洋平 吉田秀史 田坂泰俊		
发明人	仲西 洋平 吉田 秀史 田坂 泰俊		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368 G02F1/1337.505 G02F1/1343		
F-TERM分类号	2H092/GA15 2H092/GA21 2H092/HA04 2H092/JA26 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB43 2H092/JB45 2H092/JB69 2H092/NA01 2H092/QA09 2H192/AA24 2H192/BA24 2H192/BA25 2H192/BC23 2H192/BC31 2H192/BC51 2H192/CB05 2H192/CB71 2H192/CC04 2H192/CC14 2H192/DA12 2H192/DA72 2H192/GD14 2H192/JA13 2H290/AA34 2H290/BB24 2H290/BB42 2H290/BB44 2H290/BB73 2H290/CA46		
代理人(译)	盛冈正树		
其他公开文献	JP4818451B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：改进对准以提高液晶显示装置的显示质量，其中在直接连接到TFT的子像素和浮动子像素之间提供第二TFT，以防止使用浮动子的半色调型MVA中的燃烧像素。解决方案：通过延伸相邻像素的控制电容电极形成的对准控制电极设置在具有液晶取向传播距离的长像素的拐角部分，以缩短液晶取向的传播距离，同时，狭缝部分形成有具有不同电压极性的电极以稳定对准。 2

