

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-211086

(P2010-211086A)

(43) 公開日 平成22年9月24日(2010.9.24)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
H01L 29/786 (2006.01)	H01L 29/78 618E	5F110
	H01L 29/78 618C	
	H01L 29/78 616T	
審査請求 未請求 請求項の数 7 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2009-58905 (P2009-58905)	(71) 出願人	502356528
(22) 出願日	平成21年3月12日 (2009.3.12)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100075959
			弁理士 小林 保
		(72) 発明者	松本 克巳
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		Fターム(参考)	2H092 GA25 GA30 JA24 JA28 JA37
			JA40 JA42 JB54 KA04 KA05
			PA13
			5C094 AA02 BA03 BA43 CA19 DA09
			DA13 EA10 FA01 FA02 FB12
			FB14
		最終頁に続く	

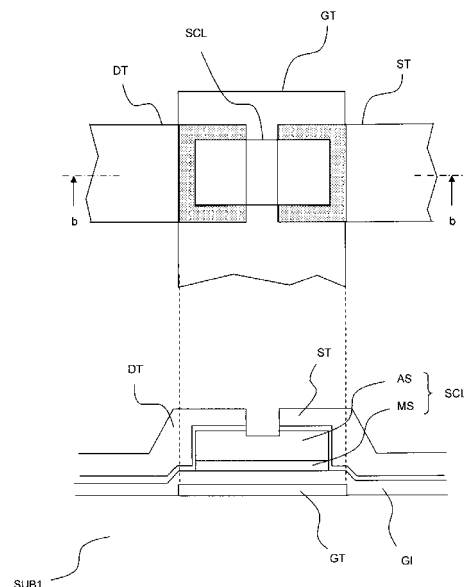
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】 バックライトによるフォトリークを抑制させた液晶表示装置の提供。

【解決手段】 液晶表示パネルとバックライトとを備え、バックライト側の基板に薄膜トランジスタが形成されている液晶表示装置であって、前記薄膜トランジスタは、前記基板側から、ゲート電極GTとゲート絶縁膜GIと、その上面に形成された半導体層と、前記半導体層の上面に互に対向して配置された一対の電極DT、STとを備えて構成され、前記半導体層は、前記基板側から、微結晶半導体層MSと非晶質半導体層ASの順次積層体からなり、前記ゲート電極の形成領域の内部に島状に形成され、前記一対の電極DT、STのそれぞれは、他方の電極と対向する辺を除いた他の辺が前記半導体層よりも外方にはみ出すように形成され、前記半導体層よりも外方にはみ出した部分は、少なくとも前記半導体層の周辺において前記ゲート電極と重畳している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶を挟持して対向配置される一対の基板を有する液晶表示パネルと、この液晶表示パネルの一方の側の面に配置されるバックライトとを備え、前記一対の基板のうちバックライト側の基板の液晶側の面に薄膜トランジスタが形成されている液晶表示装置であって、

前記薄膜トランジスタは、前記基板側から、ゲート電極と、前記ゲート電極を被って形成されたゲート絶縁膜と、前記ゲート絶縁膜の上面に形成された半導体層と、前記半導体層の上面に互いに対向して配置された一対の電極とを備えて構成され、

前記半導体層は、前記基板側から、微結晶半導体層と非晶質半導体層の順次積層体からなり、平面的に観て、前記ゲート電極の形成領域の内部に島状に形成され、

前記一対の電極のそれぞれは、平面的に観て、他方の電極と対向する辺を除いた他の辺が前記半導体層よりも外方にはみ出すように形成され、前記半導体層よりも外方にはみ出した部分は、少なくとも、前記半導体層の周辺において前記ゲート電極と重畳していることを特徴とする液晶表示装置。

【請求項 2】

前記半導体層は、平面的に観た場合、前記微結晶半導体層と前記非晶質半導体層が全域的に重畳して形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記半導体層は、平面的に観た場合、前記非晶質半導体層が前記微結晶半導体層よりもはみ出して、あるいは一部はみ出して形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記半導体層は、平面的に観た場合、前記微結晶半導体層が前記非晶質半導体層よりもはみ出して、あるいは一部はみ出して形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記表示部は、複数の画素の集合体から構成され、前記画素のそれぞれに前記薄膜トランジスタが備えられていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記表示部の周辺に前記表示部の各画素を駆動する回路が形成され、前記回路に前記薄膜トランジスタが備えられていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記表示部は、複数の画素の集合体から構成されるとともに、カラー表示用の各色を担当する複数の隣接する画素をカラー表示用の単位画素とし、

各単位画素における同色を担当する画素毎に、順次、映像信号を切り替えて供給する時分割駆動回路が備えられて構成され、

前記時分割駆動回路に前記薄膜トランジスタが備えられていることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に、バックライトを備える液晶表示装置に関する。

【背景技術】

【0002】

液晶表示パネルは、その各画素の光透過量を独立に制御するように形成されているため、該液晶表示パネルの背面にバックライトを備えて構成されるのが通常である。

【0003】

また、液晶表示パネルは、いわゆるアクティブ・マトリックス方式によって各画素が駆動されるものが用いられ、少なくとも、各画素には薄膜トランジスタが備えられて構成されている。この薄膜トランジスタはいわゆる M I S (Metal Insulator Semiconductor) 型

10

20

30

40

50

トランジスタであって画素選択用のスイッチング素子として機能するようになっている。

【0004】

そして、該薄膜トランジスタは、液晶を挟持して対向配置される一对の基板のうちバックライト側の基板の液晶側の面に、ゲート電極が半導体層よりも下層側に位置づけられるいわゆるボトムゲート型と称される構造で構成される場合がある。

【0005】

このような構成の薄膜トランジスタは、その半導体層として、たとえば非晶質半導体層（たとえばアモルファスシリコン）が用いられたものが多くみられる。しかし、下記特許文献1に示すように、ゲート電極側から多結晶半導体層（たとえばポリシリコン）および非晶質半導体層の順次積層体としたものも知られるに至っている。このように構成した薄膜トランジスタは、初期特性の一つであるいわゆるS値（スイングファクタ）を小さくできるとともに、しきい値電圧の径時的な変動を小さく抑えることができる効果を奏する。

【0006】

さらに、近年において、前記特許文献1に示す構成において、多結晶半導体層の代わりに、微結晶半導体層（たとえば微結晶シリコン）を用いたものも知られるに至っている。微結晶半導体層は、多結晶半導体層よりも移動度は高くないものの、多結晶半導体層よりも簡単な製造で形成できることから注目を浴びている。

【0007】

図7は、ボトムゲート型の構造であって、半導体層が、微結晶半導体層および非晶質半導体層の順次積層体によって構成された薄膜トランジスタTFETを示している。図7（a）は平面図、図7（b）は図7（a）のb-b線における断面図である。概略を示すと、基板SUB1の上面にゲート電極GTが形成され、このゲート電極GTをも被って絶縁膜（ゲート絶縁膜）GIが形成されている。絶縁膜GIの上面に前記ゲート電極GTを跨ぐようにして半導体層SCLが形成されている。この半導体層SCLは微結晶半導体層MS（たとえば微結晶シリコン）と非晶質半導体層AS（たとえばアモルファスシリコン）との順次積層体から構成されている。半導体層SCLの上面には、互いに対向して配置されたドレイン電極DTおよびソース電極STが形成され、それぞれの電極は、一方の電極と対向する側と反対側の端部において半導体層SCLからはみ出して前記絶縁膜GI上を延在するように形成されている。ドレイン電極DTおよびソース電極STの下層には高濃度の不純物がドーパされた非晶質半導体層がコンタクト層CNとして形成されている。

【0008】

なお、図7は本発明の実施例である図1に対応させて描いた図であることから、図7に示す構成の説明は上述した範囲に止める。他の詳細な構成については図1における説明を参照されたい。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2005-167051号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかし、図7に示す薄膜トランジスタは、バックライトからの光（図中矢印で示す）が、ゲート電極GTからはみ出して形成された半導体層SCLに照射され、また、前記半導体層SCLのうちゲート電極GT側に形成された微結晶半導体層MSの存在によって、フォトリークが生じる問題が生じた。

【0011】

このフォトリークは、液晶を駆動させる画素電極に書き込んだ信号電圧が、バックライトの光による光電変換によってオフ電流を生じさせることになる。図8は、図7に示した薄膜トランジスタのオフ電流の発生量を曲線αで示したグラフである。該グラフの横軸はバックライトからの輝度（cd/m²）を示し、縦軸はオフ電流（pA）を示している

10

20

30

40

50

。図 8 では、比較のために、半導体層がアモルファスシリコンのみで構成し、他の構成は同じとした薄膜トランジスタの場合のオフ電流の発生量を曲線 β で示している。このグラフによれば、図 7 に示した薄膜トランジスタのオフ電流の発生量が極めて多くなることが判明する。このフォトリークの発生は、バックライトからの光によって、非晶質半導体層内で発生する光電子と正孔が微結晶半導体層内で効率よく分離されてしまからだと考えられる。

【0012】

本発明の目的は、バックライトによるフォトリークを抑制させた薄膜トランジスタを備える液晶表示装置を提供することにある。

【課題を解決するための手段】

10

【0013】

本発明の液晶表示装置では、薄膜トランジスタの半導体層にバックライトからの光が照射されるのを極力回避させる工夫をすることにより、フォトリークの抑制を図ったものである。

【0014】

本発明の構成は、たとえば、以下のようなものとすることができる。

【0015】

(1) 本発明の液晶表示装置は、液晶を挟持して対向配置される一对の基板を有する液晶表示パネルと、この液晶表示パネルの一方の側の面に配置されるバックライトとを備え、前記一对の基板のうちバックライト側の基板の液晶側の面に薄膜トランジスタが形成されている液晶表示装置であって、

20

前記薄膜トランジスタは、前記基板側から、ゲート電極と、前記ゲート電極を被って形成されたゲート絶縁膜と、前記ゲート絶縁膜の上面に形成された半導体層と、前記半導体層の上面に互いに対向して配置された一对の電極とを備えて構成され、

前記半導体層は、前記基板側から、微結晶半導体層と非晶質半導体層の順次積層体となり、平面的に観て、前記ゲート電極の形成領域の内部に島状に形成され、

前記一对の電極のそれぞれは、平面的に観て、他方の電極と対向する辺を除いた他の辺が前記半導体層よりも外方にはみ出すように形成され、前記半導体層よりも外方にはみ出した部分は、少なくとも、前記半導体層の周辺において前記ゲート電極と重畳していることを特徴とする。

30

【0016】

(2) 本発明の液晶表示装置は、(1)において、前記半導体層は、平面的に観た場合、前記微結晶半導体層と前記非晶質半導体層が全域的に重畳して形成されていることを特徴とする。

【0017】

(3) 本発明の液晶表示装置は、(1)において、前記半導体層は、平面的に観た場合、前記非晶質半導体層が前記微結晶半導体層よりもはみ出して、あるいは一部はみ出して形成されていることを特徴とする。

【0018】

(4) 本発明の液晶表示装置は、(1)において、前記半導体層は、平面的に観た場合、前記微結晶半導体層が前記非晶質半導体層よりもはみ出して、あるいは一部はみ出して形成されていることを特徴とする。

40

【0019】

(5) 本発明の液晶表示装置は、(1)において、前記表示部は、複数の画素の集合体から構成され、前記画素のそれぞれに前記薄膜トランジスタが備えられていることを特徴とする。

【0020】

(6) 本発明の液晶表示装置は、(1)において、前記表示部の周辺に前記表示部の各画素を駆動する回路が形成され、前記回路に前記薄膜トランジスタが備えられていることを特徴とする。

50

【0021】

(7) 本発明の液晶表示装置は、(1)において、前記表示部は、複数の画素の集合体から構成されるとともに、カラー表示用の各色を担当する複数の隣接する画素をカラー表示用の単位画素とし、

各単位画素における同色を担当する画素毎に、順次、映像信号を切り替えて供給する時分割駆動回路が備えられて構成され、

前記時分割駆動回路に前記薄膜トランジスタが備えられていることを特徴とする。

【0022】

なお、上記した構成はあくまで一例であり、本発明は、技術思想を逸脱しない範囲内で適宜変更が可能である。また、上記した構成以外の本発明の構成の例は、本願明細書全体の記載または図面から明らかにされる。

【発明の効果】

【0023】

上述した液晶表示装置によれば、バックライトによるフォトリークを抑制させた薄膜トランジスタを備えるものが得られる。

【0024】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【図面の簡単な説明】

【0025】

【図1】本発明の液晶表示装置に形成される薄膜トランジスタの実施例1を示す構成図である。

【図2】本発明の液晶表示装置の実施例1を分解した状態で示す平面図である。

【図3】本発明の液晶表示装置の表示部における等価回路を示した図である。

【図4】本発明の液晶表示装置の表示部における画素の構成を示した図である。

【図5】本発明の液晶表示装置の実施例2を示す図で、薄膜トランジスタの半導体層を平面的に観た図を示している。

【図6】本発明の液晶表示装置の実施例3を示す図で、液晶表示装置に周辺回路あるいは時分割駆動回路が備えられていることを示す図である。

【図7】従来の液晶表示装置に形成される薄膜トランジスタの例を示す構成図である。

【図8】図7に示す薄膜トランジスタにおいてフォトリークが多く発生することを示すグラフである。

【発明を実施するための形態】

【0026】

本発明の実施例を図面を参照しながら説明する。なお、各図および各実施例において、同一または類似の構成要素には同じ符号を付し、説明を省略する。

【実施例1】

【0027】

(液晶表示装置の概略構成)

図2は、本発明の液晶表示装置の実施例1を分解した状態で示す平面図である。

【0028】

液晶表示装置は、観察者側(紙面表側)から、液晶表示パネルPNL、光学シートOS、およびバックライトBLの順で配置されている。

【0029】

液晶表示パネルPNLは、液晶を挟持して対向配置される基板SUB1と基板SUB2とで外圍器を構成するようになっている。基板SUB1と基板SUB2は、これら基板SUB1と基板SUB2の周辺に形成される環状のシール材SLによって固着され、該シール材SLは前記液晶を封入する機能をも有している。シール材SLによって囲まれた領域は表示部ARを構成し、この表示部ARにおける基板SUB1と基板SUB2のそれぞれの液晶側の面には、該液晶LCを一構成要素とする画素(図示せず)がマトリックス状に複数形成されている。これら画素は、それぞれ独立に光透過率が制御されるようになって

10

20

30

40

50

いる。

【0030】

光学シートOSは、たとえばプリズムシート、拡散シート、あるいはこれらプリズムシートおよび拡散シートを重ね合わせたものが用いられ、後述のバックライトBLからの光を集光あるは拡散させた後に液晶表示パネルPNL側に導くようになっている。

【0031】

バックライトBLは、液晶表示パネルPNLと平行な平面内に、複数（図ではたとえば5個）の並設された冷陰極蛍光ランプFLを備えて構成されている。それぞれの冷陰極蛍光ランプFLは、その管軸をたとえば図中x方向に一致づけ、図中y方向にたとえば等間隔に並設されている。それぞれの冷陰極蛍光ランプFLは、液晶表示パネルPNLと対向して配置されるフレーム（筐体）FRMに図示しない支持具を介して支持され、両端に形成されている電極（図示せず）から電源が供給されて発光するようになっている。また、冷陰極蛍光ランプFLの図中下方であってフレームFRMの表面には反射シートRS（図1（b）参照）が該フレームFRMを被って配置され、この反射シートRSによって、冷陰極蛍光ランプFLからフレームFRM側へ照射される光を液晶表示パネルPNL側へ反射させるようになっている。

10

【0032】

なお、この実施例では、バックライトBLを上述した構成としたものであるが、たとえば、少なくとも、液晶表示パネルPNLに対向して配置される導光板、および、該導光板の一辺における側壁面に配置させた光源とで構成したバックライトを用いるようにしてもよい。

20

【0033】

上述した液晶表示パネルPNL、光学シートOS、およびバックライトBLは、たとえば、図示しない上フレーム、中フレーム、前記フレームFRM（下フレーム）を用いてモジュール化され、液晶表示装置を構成するようになっている。

【0034】

〈表示部ARの等価回路〉

図3は、前記表示部ARの等価回路を示した図である。図2に示す等価回路は、液晶表示パネルPNLの基板SUB1の液晶側の面に形成されるようになっている。

【0035】

図3において、基板SUB1上に、図中x方向に延在しy方向に並設されるゲート信号線GLと、図中y方向に延在しx方向に並設されるドレイン信号線DLが形成されている。一对の隣接するゲート信号線GLと一对の隣接するドレイン信号線DLとで囲まれる領域は、画素PIXの領域（図中点線枠内）を構成し、これら画素の領域が集合されて表示領域ARを構成するようになっている。

30

【0036】

各画素PIXには、ゲート信号線GLからの信号（走査信号）によってオンされる薄膜トランジスタTFT、このオンされた薄膜トランジスタTFTを通してドレイン信号線DLからの信号（映像信号）が供給される画素電極PX、この画素電極PXと対をなし、コモン信号線CLを通して基準信号（映像信号に対して基準となる信号）が供給される対向電極CTを備えている。当該画素の液晶の分子は、画素電極PXと対向電極CTの間の電位差に応じた電界によって駆動されるようになっている。

40

【0037】

〈画素PIXの構成〉

図4（a）は、基板SUB1上に形成された前記画素PIXを示す平面図である。また、図4（b）は、図4（a）のb-b線における断面を示す図である。

【0038】

まず、図4（a）において、基板SUB1の液晶側の面に、図中x方向に延在しy方向に並設されるゲート信号線GLが形成されている。このゲート信号線GLは当該画素の領域側に延在する突起部を有し、この突起部は後述の薄膜トランジスタTFTのゲート電極

50

G Tとして機能するようになっている。基板S U B 1の表面には、ゲート信号線G Lをも被って絶縁膜G Iが形成されている。この絶縁膜G Iは薄膜トランジスタT F Tの形成領域において当該薄膜トランジスタT F Tのゲート絶縁膜として機能するようになっている。

【0039】

絶縁膜G Iの上面であって前記ゲート電極G Iに重畳する領域内に半導体層S C Lが形成されている。この半導体層S C Lは薄膜トランジスタT F Tの半導体層となるものである。半導体層S C Lの上面に互いに対向して配置されるドレイン電極D Tおよびソース電極S Tが形成されることにより、ボトムゲート型のM I S (Metal Insulator Semiconductor) 型トランジスタからなる薄膜トランジスタT F Tが形成されることになる。なお、この薄膜トランジスタT F Tの構成は後に詳述する。

10

【0040】

ドレイン電極D Tは、図中y方向に延在されx方向に並設されるドレイン信号線D Lの形成の際に該ドレイン信号線D Lと一体に形成されるようになっている。また、ソース電極S Tは、ドレイン電極D Tの形成の際に同時に形成されるようになっている。また、ソース電極S Tは、画素領域側に延在され、比較的広い面積を有するパッド部P Dを有する。このパッド部P Dは後述の画素電極P Xと電気的な接続を図らんがために設けられる。

【0041】

なお、薄膜トランジスタT F Tのドレイン電極D Tおよびソース電極S Tはバイアスの印加の状態に入れ替わるものであるが、この明細書では、説明の便宜上、ドレイン信号に接続される側をドレイン電極D T、画素電極P Xと接続される側をソース電極S Tと称する。

20

【0042】

絶縁膜G Iの上面には、保護膜P A Sが形成されている。この保護膜P A Sは、薄膜トランジスタT F Tの液晶との直接の接触を回避する膜で、たとえば、無機材料膜および有機材料膜の順次積層体から構成されている。有機材料膜として塗布により形成できる樹脂膜を選定することにより、表面が平坦な保護膜P A Sを形成することができる。

【0043】

保護膜P A Sの表面には、たとえばI T O (Indium Tin Oxide) の透明導電膜からなる対向電極C Tが形成されている。この対向電極C Tは画素領域の大部分を被って形成される面状の電極からなり、たとえば、図中x方向に隣接する他の画素領域の対向電極C Tとドレイン信号線D Lを跨いで相互に接続されている。これにより、図3に示したコモン信号線C Lをも透明導電膜で形成した構成となっている。

30

【0044】

保護膜P A Sの表面には、対向電極C Tをも被って層間絶縁膜I Nが形成され、この層間絶縁膜I Nの表面の画素領域には、画素電極P Xが形成されている。画素電極P Xは、たとえば図中y方向に延在しx方向に並設される複数(図では2個)の線状の電極からなり、対向電極C Tに重畳されて形成されている。画素電極P Xの線状の各電極は薄膜トランジスタT F T側において互いに接続され、この接続部において、層間絶縁膜I Nおよび保護膜P A Sに形成されたスルーホールT Hを通して前記薄膜トランジスタT F Tのソース電極S T(パッド部P D)に電気的に接続されている。この場合、前記対向電極C Tは、画素電極P Xとの電気的短絡を回避させるため、前記スルーホールT Hの近傍に切り欠き(あるいは孔)C Sが形成されている。

40

【0045】

画素電極P Xと対向電極C Tの間には、基板S U B 1の面と平行な成分を含む電界が発生し、このような電界によって液晶を駆動させるようになっている。このような構成の液晶表示装置は、I P S (In Plane Switching) 型と称される。なお、この発明にあっては、画素の構成としてI P S型に限定されることはなく、たとえばT N (Twisted Nematic) 型のような他の構成であってもよい。

【0046】

50

<薄膜トランジスタの構成>

図1(a)は、図4(a)に示した薄膜トランジスタTFETの部分(図中点線枠内)を拡大して示した平面図である。また、図1(b)は、図1(a)のb-b線における断面を示した図である。

【0047】

図1(a)、(b)において、基板SUB1の上面にゲート電極GTが形成されている。このゲート電極GTはたとえば導電性の良好な金属で形成されている。基板SUB1の上面にはゲート電極GTをも被って絶縁膜GIが形成されている。この絶縁膜GIはゲート絶縁膜として機能するようになっている。この絶縁膜GIは、その膜厚がたとえば300nm以下(たとえば100nm)に設定されるのが好ましい。

【0048】

絶縁膜GIの上面であって、平面的に観て、前記ゲート電極GTの形成領域の内部に半導体層SCLが島状に形成されている。これにより、半導体層SCLはゲート電極GTと重なって形成され、ゲート電極GTは半導体層SCLの周囲において該半導体層SCLからはみ出して形成されている。また、半導体層SCLは、前記ゲート電極GTの側から、微結晶半導体層MS(たとえば微結晶シリコン)および非晶質半導体層AS(たとえば非晶質シリコン)が順次積層され、平面的に観た場合、微結晶半導体層MSと非晶質半導体層ASが全域的に重畳するようになっている。微結晶半導体層MSの膜厚はたとえば50nm、非晶質半導体層ASの膜厚は150~200nmに設定するのが好ましい。

【0049】

半導体層SCLの上面(非晶質半導体ASの上面)には、互いに対向して配置されたドレイン電極DTおよびソース電極STが形成されている。ドレイン電極DTおよびソース電極STのそれぞれは、平面的に観て、他方の電極と対向する辺を除いた他の辺が前記半導体層SCLよりも外方にはみ出すように形成され、前記半導体層SCLよりも外方にはみ出した部分(図中、濃淡の濃い部分)は、少なくとも、前記半導体層SCLの周辺において前記ゲート電極GTと重畳するように形成されている。

【0050】

そして、ドレイン電極DTおよびソース電極STの下層には高濃度の不純物がドーピングされた非晶質半導体層(高濃度半導体層)がコンタクト層CNとして形成されている。

【0051】

なお、前記コンタクト層CNは、高濃度半導体層、ドレイン電極DTおよびソース電極STとなる金属層を順次形成し、一回のフォトリソグラフィ技術によって、前記金属層、高濃度半導体層の順次エッチングによって形成することができる。

【0052】

このように構成された薄膜トランジスタTFETは、その半導体層SCLが、平面的に観て、ゲート電極GTの形成領域の内部に島状に形成されている。このため、基板SUB1を通過して照射されるバックライトBLの光は、ゲート電極GTによって遮光され、半導体層SCLに照射することのない構成とすることができる。また、ゲート電極GTは、平面的に観て、半導体層SCLの周囲において該半導体層SCLからはみ出して形成されていることによって、バックライトBLからの光の回り込みによる半導体層SCLへの照射を防止することができる。したがって、バックライトBLの光の半導体層SCLへの照射はゲート電極GTによって信頼性よく確実に遮光できるようになる。

【0053】

上述したように、半導体層SCLが微結晶半導体層MSと非晶質半導体層ASの積層体で構成されている場合、光の照射によって、非晶質半導体層AS内で発生する光電子と正孔が微結晶半導体層MS内で効率よく分離され、フォトリークが多く発生してしまうことから、上述した構成は極めて効果的となる。

【0054】

そして、ドレイン電極DTおよびソース電極STのそれぞれは、平面的に観て、他方の電極と対向する辺を除いた他の辺が前記半導体層SCLよりも外方にはみ出すように形成

10

20

30

40

50

されている。これにより、半導体層 S C L は、基板 S U B 2 側からの光（太陽等の外光）に対しても、ドレイン電極 D T およびソース電極 S T によって遮光されるようになる。

【0055】

なお、薄膜トランジスタ T F T の基板 S U B 2 側からの光は、通常、該基板 S U B 2 の液晶側の面に形成したブラックマトリックス（遮光膜）によって遮光される構成となっている。しかし、光の回り込みによる薄膜トランジスタ T F T の半導体層 S C L への光の照射を考慮した場合、ドレイン電極 D T およびソース電極 S T の上述したパターンは、回り込みによる光に対して信頼性よく遮光するようにできる。このことは、薄膜トランジスタ T F T への信頼性ある遮光を行うためにブラックマトリックスの面積を増大させないで済む効果を奏する。

【実施例 2】

【0056】

実施例 1 に示した薄膜トランジスタ T F T は、その半導体層 S C L が、微結晶半導体層 M S と非晶質半導体層 A S が全域的に重畳して形成されたものである。

【0057】

しかし、図 5（a）に示すように、半導体層 S C L を平面的に観た場合、非晶質半導体層 A S が微結晶半導体層 M S よりもはみ出して形成されていてもよい。また、図 5（b）に示すように、非晶質半導体層 A S が微結晶半導体層 M S よりも一部はみ出して形成されていてもよい。

【0058】

さらに、図 5（c）に示すように、半導体層 S C L を平面的に観た場合、微結晶半導体層 M S が非晶質半導体層 A S よりもはみ出して形成されていてもよい。また、図 5（d）に示すように、微結晶半導体層 M S が非晶質半導体層 A S よりも一部はみ出して形成されていてもよい。

【0059】

このような構成の半導体層 S C L を備える薄膜トランジスタ T F T においても、光が照射されることによって、フォトリークが多く発生してしまい、本発明を適用することによって該フォトリークを大幅に抑制できるからである。

【実施例 3】

【0060】

上述の実施例で示した薄膜トランジスタ T F T は、表示部 A R を構成する各画素 P I X 内に形成される薄膜トランジスタ（画素選択用のスイッチング素子）について説明したものである。

【0061】

しかし、液晶表示装置は、たとえば、図 6（a）に示すように、基板 S U B 1 の表示部 A R の周辺において、各ゲート信号線 G L に走査信号を供給する走査信号駆動回路 V、各ドレイン信号線 D L に映像信号を供給する映像信号駆動回路 H e を備え、これら走査信号駆動回路 V、映像信号駆動回路 H e は、各画素 P I X 内に形成される薄膜トランジスタの形成と並行して形成される薄膜トランジスタを備えたものがある。このような液晶表示装置において、走査信号駆動回路 V、あるいは映像信号駆動回路 H e 内の薄膜トランジスタに実施例 1 に示した構成の薄膜トランジスタ T F T を適用させることができることはいうまでもない。

【0062】

また、カラー表示用の液晶表示装置であって、たとえば、図 6（b）に示すように、R、G、B の各色を担当する 3 個の隣接（たとえば図中 x 方向に隣接）する画素をカラー表示用の単位画素として構成し、映像信号駆動回路 H e と各ドレイン信号線 D L との間に、R G B 時分割駆動回路を設けたものがある。R G B 時分割駆動回路は、各単位画素における同色を担当する画素毎に、順次、映像信号を切り替えて供給するように構成され、その切り替えを行うスイッチング素子として薄膜トランジスタが用いられている。本発明はこのような薄膜トランジスタにも適用することができることはいうまでもない。

10

20

30

40

50

【0063】

以上、本発明を実施例を用いて説明してきたが、これまでの各実施例で説明した構成はあくまで一例であり、本発明は、技術思想を逸脱しない範囲内で適宜変更が可能である。また、それぞれの実施例で説明した構成は、互いに矛盾しない限り、組み合わせて用いてもよい。

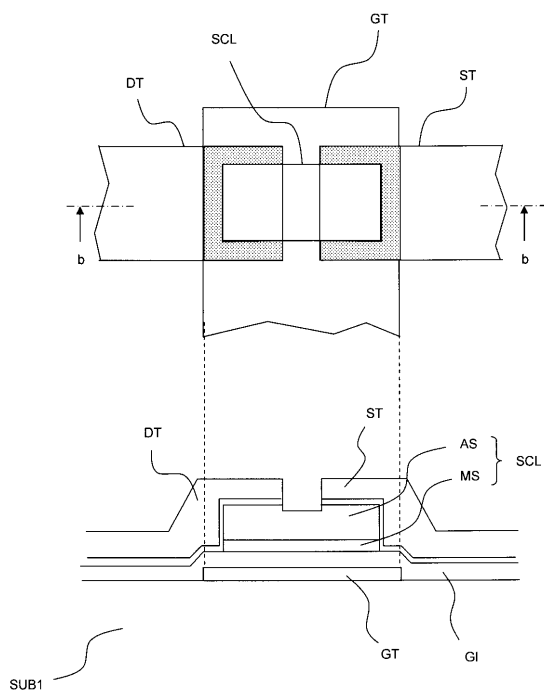
【符号の説明】

【0064】

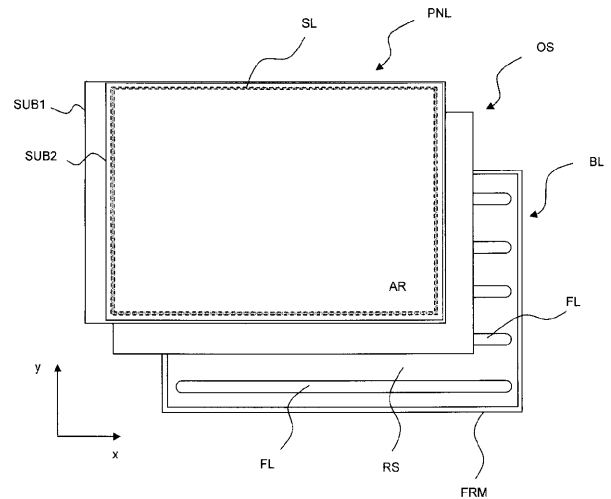
P N L …… 液晶表示パネル、S U B 1、S U B 2 …… 基板、S L …… シール材、A R …… 表示部、O S …… 光学シート、B L …… バックライト、F L …… 冷陰極蛍光ランプ、R S …… 反射シート、F R M …… フレーム、G L …… ゲート信号線、D L …… ドレイン信号線、C L …… コモン信号線、T F T …… 薄膜トランジスタ、P X …… 画素電極、C T …… 対向電極、P I X …… 画素、G I …… 絶縁膜、P A S …… 保護膜、I N …… 層間絶縁膜、G T …… ゲート電極、D T …… ドレイン電極、S T …… ソース電極、P D …… パッド部、T H …… スルーホール、S C L …… 半導体層、M S …… 微結晶半導体層、A S …… 非晶質半導体層、V …… 走査信号駆動回路、H e …… 映像信号駆動回路、H P C …… R G B 時分割駆動回路。

10

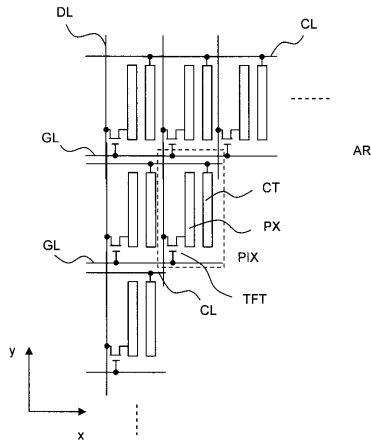
【図 1】



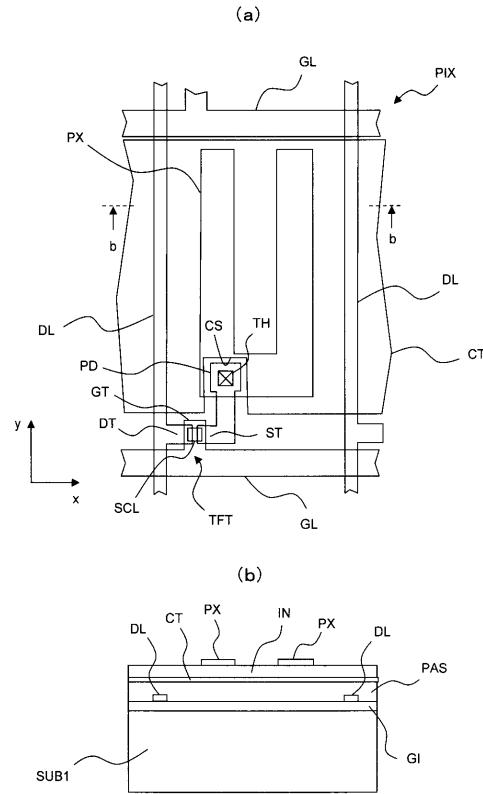
【図 2】



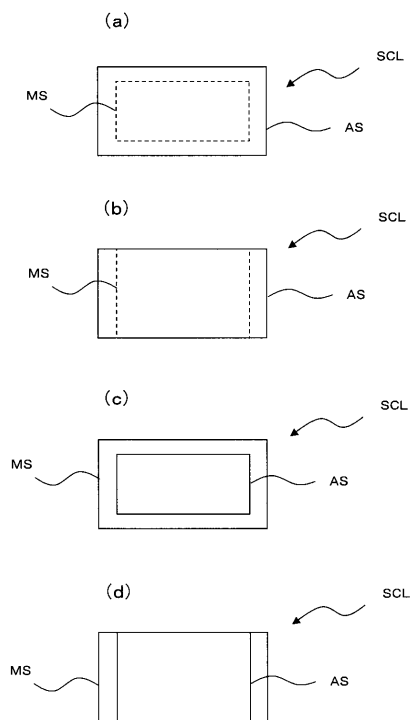
【図 3】



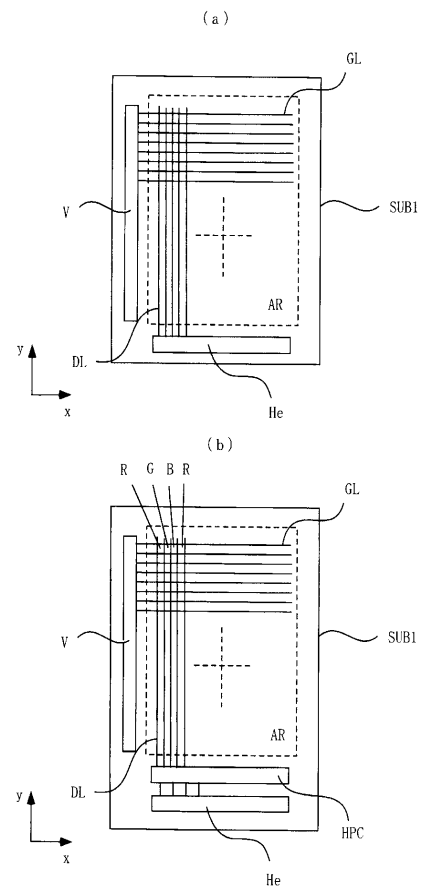
【図 4】

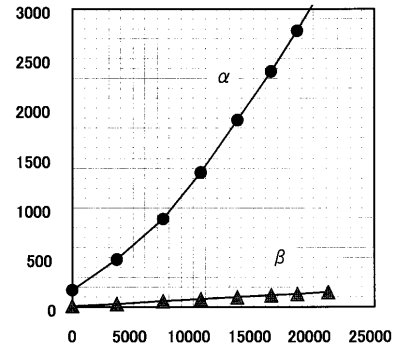


【図 5】



【図 6】





フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 29/78 6 1 2 B

Fターム(参考) 5F110 AA06 BB02 CC07 GG02 GG14 GG15 GG19 GG23 GG24 GG26
HK02 HK09 HK16 HK21 HL07 HM04 HM05 NN03 NN27 NN36
QQ19

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010211086A	公开(公告)日	2010-09-24
申请号	JP2009058905	申请日	2009-03-12
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	松本克巳		
发明人	松本 克巳		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786		
CPC分类号	H01L27/1214 G02F1/136209 G02F1/1368 G02F2202/103 G02F2202/104 H01L29/04 H01L29/78696		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.618.E H01L29/78.618.C H01L29/78.616.T H01L29/78.612.B		
F-TERM分类号	2H092/GA25 2H092/GA30 2H092/JA24 2H092/JA28 2H092/JA37 2H092/JA40 2H092/JA42 2H092/JB54 2H092/KA04 2H092/KA05 2H092/PA13 5C094/AA02 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/EA10 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5F110/AA06 5F110/BB02 5F110/CC07 5F110/GG02 5F110/GG14 5F110/GG15 5F110/GG19 5F110/GG23 5F110/GG24 5F110/GG26 5F110/HK02 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HL07 5F110/HM04 5F110/HM05 5F110/NN03 5F110/NN27 5F110/NN36 5F110/QQ19 2H192/AA24 2H192/BB13 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CB56 2H192/CC02 2H192/CC42 2H192/EA04 2H192/EA22 2H192/EA74 2H192/FB15 2H192/GD47 2H192/GD61 2H192/JA06 2H192/JA32		
代理人(译)	小林 保		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，其中抑制了由于背光引起的光泄漏。液晶显示装置具备液晶显示面板和背光源，在背光源侧的基板上形成有薄膜晶体管，该薄膜晶体管从基板侧起具有栅电极GT和栅极绝缘膜GI。并且，在其上表面上形成有半导体层，以及在半导体层的上表面上以从基板侧彼此相对的方式配置的一对电极DT，ST微晶。半导体层MS和非晶半导体层AS在岛状电极的形成区域内依次层叠形成为岛状，一对电极DT，ST分别具有与另一个电极相对的一侧。另一侧形成为突出到半导体层的外侧，并且突出到半导体层的外侧的部分至少在半导体层的周围与栅电极重叠。[选型图]图1

