

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6498772号
(P6498772)

(45) 発行日 平成31年4月10日 (2019. 4. 10)

(24) 登録日 平成31年3月22日 (2019. 3. 22)

(51) Int. Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/20 (2006.01)	G09G 3/20	6 2 2 E
G02F 1/133 (2006.01)	G09G 3/20	6 1 2 K
G 1 1 C 19/28 (2006.01)	G09G 3/20	6 2 1 F
	G02F 1/133	5 5 0
請求項の数 15 (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2017-534676 (P2017-534676)
 (86) (22) 出願日 平成27年1月12日 (2015. 1. 12)
 (65) 公表番号 特表2018-507431 (P2018-507431A)
 (43) 公表日 平成30年3月15日 (2018. 3. 15)
 (86) 国際出願番号 PCT/CN2015/070533
 (87) 国際公開番号 W02016/106830
 (87) 国際公開日 平成28年7月7日 (2016. 7. 7)
 審査請求日 平成29年7月31日 (2017. 7. 31)
 (31) 優先権主張番号 201410856556.0
 (32) 優先日 平成26年12月31日 (2014. 12. 31)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 515203228
 深▲せん▼市華星光電技術有限公司
 中華人民共和国廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 (74) 代理人 100143720
 弁理士 米田 耕一郎
 (74) 代理人 100080252
 弁理士 鈴木 征四郎
 (72) 発明者 曹尚操
 中華人民共和国廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 GOA回路及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数のカスケード接続されたGOAユニットからなるGOA回路であって、
 そのうち、第nステージGOAユニットは、表示領域第nステージ水平走査線を充電させ、また、

前記第nステージGOAユニットは、プルアップ制御回路と、プルアップ回路と、トランスファ回路と、第一プルダウン制御回路と、第一プルダウン回路と、第二プルダウン制御回路と、第二プルダウン回路と、メインプルダウン回路と、からなり、

そのうち、nは正の整数であり、

前記プルアップ制御回路は、第n-2ステージGOAユニットが出力するn-2ステージのステージトランスファ信号ST(n-2)を受信するとともに、前記n-2ステージのステージトランスファ信号ST(n-2)に基づき、プルアップ制御信号Q(n)を出力し、

前記プルアップ回路は、直流高電圧信号VDD及び前記プルアップ制御信号Q(n)を受信するとともに、前記直流高電圧信号VDD及び前記プルアップ制御信号Q(n)に基づき、走査駆動信号G(n)を出力し、

前記トランスファ回路は、クロック信号CK(n)及び前記プルアップ制御信号Q(n)を受信するとともに、前記クロック信号CK(n)及び前記プルアップ制御信号Q(n)に基づき、nステージのステージトランスファ信号ST(n)を出力し、

前記第一プルダウン制御回路は、第一低周波信号LC1及び第n+2ステージGOAユ

10

20

ニットが出力する第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記第一低周波信号 $LC1$ 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、第一プルダウン制御信号 $P(n)$ を出力し、

前記第一プルダウン回路は、前記第一プルダウン制御信号 $P(n)$ 及び直流低電圧信号 V_{SS} を受信するとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 V_{SS} に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をし、さらに、前記走査駆動信号 $G(n)$ にプルダウン処理を行い、

前記第二プルダウン制御回路は、第二低周波信号 $LC2$ 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記第二低周波信号 $LC2$ 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、第二プルダウン制御信号 $K(n)$ を出力し、

10

前記第二プルダウン回路は、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 V_{SS} を受信するとともに、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 V_{SS} に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をし、さらに、前記走査駆動信号 $G(n)$ にプルダウン処理を行い、

前記メインプルダウン回路は、前記直流低電圧信号 V_{SS} 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記直流低電圧信号 V_{SS} 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、前記プルアップ制御信号 $Q(n)$ 及び前記走査駆動信号 $G(n)$ にプルダウン処理を行い、

前記第一プルダウン制御回路は、さらに、前記直流高電圧信号 V_{DD} 及び前記第二低周波信号 $LC2$ を受信するとともに、前記第一低周波信号 $LC1$ と、前記直流高電圧信号 V_{DD} と、前記第二低周波信号 $LC2$ と、前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ とに基づき、前記第一プルダウン制御信号 $P(n)$ を出力する

20

ことを特徴とする GOA 回路。

【請求項 2】

請求項 1 に記載の GOA 回路において、

前記第二プルダウン制御回路は、さらに、前記直流高電圧信号 V_{DD} 及び前記第一低周波信号 $LC1$ を受信するとともに、前記第一低周波信号 $LC1$ と、前記直流高電圧信号 V_{DD} と、前記第二低周波信号 $LC2$ と、前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ とに基づき、前記第二プルダウン制御信号 $K(n)$ を出力する

30

ことを特徴とする GOA 回路。

【請求項 3】

請求項 1 に記載の GOA 回路において、

前記第一低周波信号 $LC1$ 及び前記第二低周波信号 $LC2$ の位相は、逆であることを特徴とする GOA 回路。

【請求項 4】

請求項 1 に記載の GOA 回路において、

前記 GOA 回路は、さらに、プルアップ保持回路を備え、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{SS} を受信するとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{SS} に基づき、前記第一プルダウン制御信号 $P(n)$ 及び前記第二プルダウン制御信号 $K(n)$ にプルダウン処理をし、

40

前記プルアップ回路及び前記トランスファ回路が、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ を、それぞれ出力し続けることができるようにする

ことを特徴とする GOA 回路。

【請求項 5】

請求項 1 に記載の GOA 回路において、

前記プルアップ制御回路は、前記直流高電圧信号 V_{DD} を受信するとともに、前記 $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ 及び前記直流高電圧信号 V_{DD} に基づき、前記プルアップ制御信号 $Q(n)$ を出力する

50

ことを特徴とするGOA回路。

【請求項6】

請求項4に記載のGOA回路において、

前記プルアップ制御回路は、第一薄膜トランジスタ(T11)からなり、前記第一薄膜トランジスタ(T11)の制御端には、前記n-2ステージのステージトランスファ信号ST(n-2)が入力され、前記第一薄膜トランジスタ(T11)の第一端には、前記直流高電圧信号VDDが入力され、第一薄膜トランジスタ(T11)の第二端は、プルアップ制御信号点Qに接続されるとともに、前記n-2ステージのステージトランスファ信号ST(n-2)及び前記直流高電圧信号VDDに基づき、前記プルアップ制御信号Q(n)を出力する

10

ことを特徴とするGOA回路。

【請求項7】

請求項6に記載のGOA回路において、

前記プルアップ回路は、第二薄膜トランジスタ(T21)からなり、前記第二薄膜トランジスタ(T21)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第二薄膜トランジスタ(T21)の第一端には、前記直流高電圧信号VDDが入力され、前記第二薄膜トランジスタ(T21)の第二端は、水平走査線Gに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流高電圧信号VDDに基づき、走査駆動信号G(n)を出力する

ことを特徴とするGOA回路。

20

【請求項8】

請求項6に記載のGOA回路において、

前記トランスファ回路は、第三薄膜トランジスタ(T22)からなり、前記第三薄膜トランジスタ(T22)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第三薄膜トランジスタ(T22)の第一端には、前記クロック信号CK(n)が入力され、第三薄膜トランジスタ(T22)の第二端は、前記n-2ステージのステージトランスファ信号ST(n-2)及び前記直流高電圧信号VDDに基づき、前記ステージトランスファ信号ST(n)を出力する

ことを特徴とするGOA回路。

30

【請求項9】

請求項7に記載のGOA回路において、

前記第一プルダウン回路は、第七薄膜トランジスタ(T42)と、第八薄膜トランジスタ(T32)と、からなり、

前記第七薄膜トランジスタ(T42)の制御端は、第一プルダウン制御信号点Pに接続されるとともに、前記第一プルダウン制御信号P(n)を受信し、前記第七薄膜トランジスタ(T42)の第二端には、直流低電圧信号Vssが入力され、前記第七薄膜トランジスタ(T42)の第一端は、前記プルアップ制御信号点Qに接続されるとともに、前記第一プルダウン制御信号P(n)及び前記直流低電圧信号Vssに基づき、前記プルアップ制御信号Q(n)にプルダウン処理を行い、

前記第八薄膜トランジスタ(T32)の制御端は、前記第一プルダウン制御信号点Pに接続されるとともに、前記第一プルダウン制御信号P(n)を受信し、前記第八薄膜トランジスタ(T32)の第二端には、前記直流低電圧信号Vssが入力され、前記第八薄膜トランジスタ(T32)の第一端は、前記水平走査線Gに接続されるとともに、前記第一プルダウン制御信号P(n)及び前記直流低電圧信号Vssに基づき、前記走査駆動信号G(n)にプルダウン処理を行う

40

ことを特徴とするGOA回路。

【請求項10】

請求項9に記載のGOA回路において、

前記第二プルダウン回路は、第十二薄膜トランジスタ(T43)と、第十三薄膜トランジスタ(T33)と、からなり、

50

前記第十二薄膜トランジスタ (T 4 3) の制御端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を受信し、前記第十二薄膜トランジスタ (T 4 3) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十二薄膜トランジスタ (T 4 3) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第二プルダウン制御信号 K (n) 及び前記直流低電圧信号 V s s に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理を行い、

前記第十三薄膜トランジスタ (T 3 3) の制御端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を受信し、前記第十三薄膜トランジスタ (T 3 3) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十三薄膜トランジスタ (T 3 3) の第一端は、前記水平走査線 G に接続されるとともに、前記第二プルダウン制御信号 K (n) 及び前記直流低電圧信号 V s s に基づき、前記走査駆動信号 G (n) にプルダウン処理を行う

ことを特徴とする G O A 回路。

【請求項 1 1】

請求項 7 に記載の G O A 回路において、

前記メインプルダウン回路は、第十四薄膜トランジスタ (T 4 1) と、第十五薄膜トランジスタ (T 3 1) と、からなり、

前記第十四薄膜トランジスタ (T 4 1) の制御端には、前記第 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第十四薄膜トランジスタ (T 4 1) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十四薄膜トランジスタ (T 4 1) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第 n + 2 ステージのステージトランスファ信号 S T (n + 2) 及び前記直流低電圧信号 V s s に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理を行い、

前記第十五薄膜トランジスタ (T 3 1) の制御端には、前記第 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第十五薄膜トランジスタ (T 3 1) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十五薄膜トランジスタ (T 3 1) の第一端は、前記水平走査線 G に接続されるとともに、前記第 n + 2 ステージのステージトランスファ信号 S T (n + 2) 及び前記直流低電圧信号 V s s に基づき、前記走査駆動信号 G (n) にプルダウン処理を行う

ことを特徴とする G O A 回路。

【請求項 1 2】

請求項 1 0 に記載の G O A 回路において

前記プルアップ保持回路は、第十六薄膜トランジスタ (T 5 2) と、第十七薄膜トランジスタ (T 5 6) と、第十八薄膜トランジスタ (T 6 2) と、第十九薄膜トランジスタ (T 6 6) と、第二十薄膜トランジスタ (T 5 5) と、からなり、

前記第十六薄膜トランジスタ (T 5 2) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 Q (n) を受信し、前記第十六薄膜トランジスタ (T 5 2) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十六薄膜トランジスタ (T 5 2) の第一端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記プルアップ制御信号 Q (n) 及び前記直流低電圧信号 V s s に基づき、前記第一プルダウン制御信号 P (n) にプルダウン処理を行い、

前記第十七薄膜トランジスタ (T 5 6) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 Q (n) を受信し、前記第十七薄膜トランジスタ (T 5 6) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十七薄膜トランジスタ (T 5 6) の第一端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記プルアップ制御信号 Q (n) 及び前記直流低電圧信号 V s s に基づき、前記プルダウン制御信号 P (n) にプルダウン処理を行い、

前記第十八薄膜トランジスタ (T 6 2) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 Q (n) を受信し、前記第十八薄膜トランジスタ (T 6 2) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十八薄膜ト

10

20

30

40

50

ランジスタ (T 6 2) の第一端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記プルアップ制御信号 Q (n) 及び前記直流低電圧信号 V s s に基づき、前記プルダウン制御信号 K (n) にプルダウン処理を行い、

前記第十九薄膜トランジスタ (T 6 6) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 Q (n) を受信し、前記第十九薄膜トランジスタ (T 6 6) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十九薄膜トランジスタ (T 6 6) の第一端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記プルアップ制御信号 Q (n) 及び前記直流低電圧信号 V s s に基づき、前記プルダウン制御信号 K (n) にプルダウン処理を行い、

前記第二十薄膜トランジスタ (T 5 5) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 Q (n) を受信し、前記第二十薄膜トランジスタ (T 5 5) の第二端は、前記第二プルダウン制御信号点 K に接続され、前記第二十薄膜トランジスタ (T 5 5) の第一端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記プルアップ制御信号 Q (n) に基づき、前記第一プルダウン制御信号 P (n) 及び前記第二プルダウン制御信号 K (n) が同じ電位を保持するように制御することを特徴とする G O A 回路。

【請求項 1 3】

請求項 8 に記載の G O A 回路において、

前記トランスファ回路は、さらに、ブーストコンデンサ (C) を備え、前記ブーストコンデンサ (C) は、前記第三薄膜トランジスタ (T 2 2) の制御端及び第二端に接合されるとともに、前記プルアップ制御信号 Q (n) を引き上げることを特徴とする G O A 回路。

【請求項 1 4】

請求項 1 に記載の G O A 回路において、

前記第一プルダウン制御回路は、第四薄膜トランジスタ (T 5 1) と、第五薄膜トランジスタ (T 5 3) と、第六薄膜トランジスタ (T 5 4) と、第二十一薄膜トランジスタ (T 1 0) と、からなり、

前記第四薄膜トランジスタ (T 5 1) の制御端及び第一端には、前記第一低周波信号 L C 1 が入力され、

前記第五薄膜トランジスタ (T 5 3) の制御端は、前記第四薄膜トランジスタ (T 5 1) の第二端に接続され、前記第五薄膜トランジスタ (T 5 3) の第一端には、前記第一低周波信号 L C 1 が入力され、

前記第六薄膜トランジスタ (T 5 4) の制御端には、前記第二低周波信号 L C 2 が入力され、前記第六薄膜トランジスタ (T 5 4) の第一端には、前記第一低周波信号 L C 1 が入力され、

前記第二十一薄膜トランジスタ (T 1 0) の制御端には、前記第 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第二十一薄膜トランジスタ (T 1 0) の第一端には、前記直流高電圧信号 V D D が入力され、

前記第四薄膜トランジスタ (T 5 1) と、前記第五薄膜トランジスタ (T 5 3) と、前記第二十一薄膜トランジスタ (T 1 0) と、前記第六薄膜トランジスタ (T 5 4) の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を出力する

ことを特徴とする G O A 回路。

【請求項 1 5】

請求項 1 に記載の G O A 回路において、

前記第二プルダウン制御回路は、第九薄膜トランジスタ (T 6 1) と、第十薄膜トランジスタ (T 6 3) と、第十一薄膜トランジスタ (T 6 4) と、第二十二薄膜トランジスタ (T 1 2) と、からなり、

前記第九薄膜トランジスタ (T 6 1) の制御端及び第一端には前記第二低周波信号 L C 2 が入力され、

10

20

30

40

50

前記第十薄膜トランジスタ(T63)の制御端は、前記第九薄膜トランジスタ(T61)の第二端に接続され、前記第十薄膜トランジスタ(T63)の第一端には前記第二低周波信号LC2が入力され、

前記第十一薄膜トランジスタ(T64)の制御端には、前記第一低周波信号LC1が入力され、その第一端に前記第二低周波信号LC2が入力され、

前記第二十二薄膜トランジスタ(T12)の制御端には、前記第n+2ステージのステージトランスファ信号ST(n+2)が入力され、前記第二十二薄膜トランジスタ(T12)の第一端には、前記直流高電圧信号VDDが入力され、

前記第九薄膜トランジスタ(T61)と前記第十薄膜トランジスタ(T63)と前記第二十二薄膜トランジスタ(T12)と前記第十一薄膜トランジスタ(T64)の第二端は、第二プルダウン制御信号点Kに接続されるとともに、前記第二プルダウン制御信号K(n)を出力する

10

ことを特徴とするGOA回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2014年12月31日に提出した申請番号201410856556.0・発明名称「GOA回路及び液晶表示装置」の先願優先権を要求し、前記先願の内容は引用の方法で本文中に合併される。

【0002】

20

本発明は、液晶表示技術に関し、特にGOA回路及び液晶表示装置に関する。

【背景技術】

【0003】

液晶表示装置は、軽く薄くて、省エネであり、放射能の数値も全体的にCRT(Cathode Ray Tube、ブラウン管)より低いという長所があり、徐々にCRT表示装置に代わって各種電子製品において、広く応用されている。現在アクティブ液晶表示パネルの水平走査線の駆動は、主にパネルに外接したICによって行われ、外接したICは、各ステージの水平走査線のステージに応じて充電及び放電を制御することができる。GOA(Gate Driver on Array、アレイ基板行走駆動)技術は、TFT(Thin-film transistor、薄膜トランジスタ)を用いて、液晶表示装置の配列工程内で、Gate行走駆動信号回路を配列基板に設けることで、Gateに逐一走査駆動をさせることができ、それゆえ、液晶表示パネルに元々ある工程を用いて、表示領域の周りの基板に水平走査線の駆動回路を設けることができる。GOA技術は、外接したICのバインディング工程を減らすことができ、また、生産能率を上げるとともに、生産コストを下げる事ができ、さらに、薄型フレームまたはノーフレームのディスプレイ装置を製造しやすくすることを可能にする。

30

【0004】

GOA回路の主な構造は、プルアップ回路と、プルアップ制御回路と、トランスファ回路と、プルダウン回路と、プルダウン保持回路と、電位を上昇させる役割のBoast(ブースト)コンデンサと、からなる。従来の技術において、GOA回路のトランスファ回路及びプルアップ回路の内、主にCK(クロック信号)を走査駆動信号及びステージトランスファ信号の出力ソースとしていたが、CKがCOF(Chip On Film、チップオンフィルム)からGOAまでのルートを通じた後、その元々の信号がひどく遅延してしまい、GOAステージトランスファに影響するだけでなく、走査駆動信号の出力品質にも影響し、一定の充電率を犠牲にしなければならない。CK遅延を緩和するために、よくCKの幅を厚くする方法が用いられるが、このようにすると、液晶表示装置のフレームの幅が厚くなる。

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

50

本発明の実施例は、G O A回路内のG O Aユニットのステージトランスファ効率を高め、走査駆動信号の出力品質及び液晶表示管の充電率を高めることができ、さらに、走査駆動信号のプルダウン速度を早くすることができるG O A回路及び液晶表示装置を提供する。

【課題を解決するための手段】

【0006】

本発明の実施例は、G O A回路及び液晶表示装置を提供する。前記回路は、複数のカスケード接続されたG O Aユニットからなり、その内第 n ステージG O Aユニットは、表示領域の第 n ステージ水平走査線に充電させる。前記第 n ステージG O Aユニットは、プルアップ制御回路と、プルアップ回路と、トランスファ回路と、第一プルダウン制御回路と、第一プルダウン回路と、第二プルダウン制御回路と、第二プルダウン回路と、メインプルダウン回路と、からなり、その内 n は正の整数である。

10

【0007】

前記プルアップ制御回路は、第 $n - 2$ ステージG O Aユニットが出力する $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ を受信するとともに、前記 $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ に基づき、プルアップ制御信号 $Q(n)$ を出力する。

【0008】

前記プルアップ回路は、直流高電圧信号 VDD 及び前記プルアップ制御信号 $Q(n)$ を受信するとともに、前記直流高電圧信号 VDD 及び前記プルアップ制御信号 $Q(n)$ に基づき、走査駆動信号 $G(n)$ を出力する。

20

【0009】

前記トランスファ回路は、クロック信号 $CK(n)$ 及び前記プルアップ制御信号 $Q(n)$ を受信するとともに、前記クロック信号 $CK(n)$ 及び前記プルアップ制御信号 $Q(n)$ に基づき、 n ステージのステージトランスファ信号 $ST(n)$ を出力する。

【0010】

前記第一プルダウン制御回路は、第一低周波信号 $LC1$ 及び第 $n + 2$ ステージG O Aユニットが発生させる第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記第一低周波信号 $LC1$ 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、第一プルダウン制御信号 $P(n)$ を出力する。

30

【0011】

前記第一プルダウン回路は、前記第一プルダウン制御信号 $P(n)$ 及び直流低電圧信号 Vss を受信するとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をし、さらに、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にプルダウン処理を行う。

【0012】

前記第二プルダウン制御回路は、第二低周波信号 $LC2$ 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記第二低周波信号 $LC2$ 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、第二プルダウン制御信号 $K(n)$ を出力する。

40

【0013】

前記第二プルダウン回路は、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 Vss を受信するとともに、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をし、さらに、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にプルダウン処理を行う。

【0014】

前記メインプルダウン回路は、前記直流低電圧信号 Vss 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記直流低電圧信号 Vs

50

s 及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、前記プルアップ制御信号 $Q(n)$ 及び前記走査駆動信号 $G(n)$ にプルダウン処理を行う。

【0015】

その内、前記第一プルダウン制御回路は、さらに、前記直流高電圧信号 VDD 及び前記第二低周波信号 $LC2$ を受信するとともに、前記第一低周波信号 $LC1$ と、前記直流高電圧信号 VDD と、前記第二低周波信号 $LC2$ と、前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ とに基づき、前記第一プルダウン制御信号 $P(n)$ を出力する。

【0016】

その内、前記第二プルダウン制御回路は、さらに、前記直流高電圧信号 VDD 及び前記第一低周波信号 $LC1$ を受信するとともに、前記第一低周波信号 $LC1$ と、前記直流高電圧信号 VDD と、前記第二低周波信号 $LC2$ と、前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ とに基づき、前記第二プルダウン制御信号 $K(n)$ を出力する。

10

【0017】

その内、前記第一低周波信号 $LC1$ 及び前記第二低周波信号 $LC2$ の位相は逆である。

【0018】

その内、前記 GOA 回路は、さらに、プルアップ保持回路を備え、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 Vss を受信するとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 Vss に基づき、前記第一プルダウン制御信号 $P(n)$ 及び前記第二プルダウン制御信号 $K(n)$ にプルダウン処理をし、前記プルアップ回路及び前記トランスファ回路が、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ を、それぞれ出力し続けることができるようにする。

20

【0019】

その内、前記プルアップ制御回路は、前記直流高電圧信号 VDD を受信するとともに、前記 $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ 及び前記直流高電圧信号 VDD に基づき、前記プルアップ制御信号 $Q(n)$ を出力する。

【0020】

その内、前記プルアップ制御回路は、第一薄膜トランジスタ ($T11$) と、第二薄膜トランジスタ ($T21$) と、からなる。前記第一薄膜トランジスタ ($T11$) の制御端には、前記 $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ が入力され、前記第一薄膜トランジスタ ($T11$) の第一端には、前記直流高電圧信号 VDD が入力され、前記第一薄膜トランジスタ ($T11$) の第二端は、プルアップ制御信号点 Q に接続されるとともに、前記 $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ 及び前記直流高電圧信号 VDD に基づき、前記プルアップ制御信号 $Q(n)$ を出力する。第二薄膜トランジスタ ($T21$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第二薄膜トランジスタ ($T21$) の第一端には、前記直流高電圧信号 VDD が入力され、前記第二薄膜トランジスタ ($T21$) の第二端には、水平走査線 G が接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流高電圧信号 VDD に基づき、走査駆動信号 $G(n)$ を出力する。

30

40

【0021】

その内、前記トランスファ回路は、第三薄膜トランジスタ ($T22$) からなり、前記第三薄膜トランジスタ ($T22$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、また、前記第三薄膜トランジスタ ($T22$) の第一端には、前記クロック信号 $CK(n)$ が入力され、前記第三薄膜トランジスタ ($T22$) の第二端は、前記 $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ 及び前記直流高電圧信号 VDD に基づき、前記ステージトランスファ信号 $ST(n)$ を出力する。

【0022】

その内、前記第一プルダウン制御回路は、第四薄膜トランジスタ ($T51$) と、第五薄

50

膜トランジスタ (T 5 3) と、第六薄膜トランジスタ (T 5 4) と、からなる。前記第四薄膜トランジスタ (T 5 1) の制御端及び第一端には、前記第一低周波信号 L C 1 が入力される。前記第五薄膜トランジスタ (T 5 3) の制御端には、前記第四薄膜トランジスタ (T 5 1) の第二端を接続させ、その第一端には前記第一低周波信号 L C 1 が入力される。前記第六薄膜トランジスタ (T 5 4) の制御端には、前記第 $n + 2$ ステージのステージトランスファ信号 S T ($n + 2$) が入力され、前記第六薄膜トランジスタ (T 5 4) の第一端には、前記第一低周波信号 L C 1 が入力される。前記第四薄膜トランジスタ (T 5 1) と、前記第五薄膜トランジスタ (T 5 3) と、前記第六薄膜トランジスタ (T 5 4) の第二端は、第一プルダウン制御信号点 P と接続させるとともに、前記第一プルダウン制御信号 P (n) を出力する。

10

【 0 0 2 3 】

その内、前記第一プルダウン回路は、第七薄膜トランジスタ (T 4 2) と、第八薄膜トランジスタ (T 3 2) と、からなる。前記第七薄膜トランジスタ (T 4 2) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を受信し、前記第七薄膜トランジスタ (T 4 2) の第二端には、直流低電圧信号 V s s が入力され、前記第七薄膜トランジスタ (T 4 2) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第一プルダウン制御信号 P (n) 及び前記直流低電圧信号 V s s に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理を行う。前記第八薄膜トランジスタ (T 3 2) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を受信し、前記第八薄膜トランジスタ (T 3 2) の第二端には、前記直流低電圧信号 V s s が入力され、前記第八薄膜トランジスタ (T 3 2) の第一端は、前記水平走査線 G に接続されるとともに、前記第一プルダウン制御信号 P (n) 及び前記直流低電圧信号 V s s に基づき、前記走査駆動信号 G (n) にプルダウン処理を行う。

20

【 0 0 2 4 】

その内、前記第二プルダウン制御回路は、第九薄膜トランジスタ (T 6 1) と、第十薄膜トランジスタ (T 6 3) と、第十一薄膜トランジスタ (T 6 4) と、からなる。前記第九薄膜トランジスタ (T 6 1) の制御端及び第一端に前記第二低周波信号 L C 2 が入力される。前記第十薄膜トランジスタ (T 6 3) の制御端は、前記第九薄膜トランジスタ (T 6 1) の第一端に接続され、前記第十薄膜トランジスタ (T 6 3) の第一端には、前記第二低周波信号 L C 2 が入力される。前記第十一薄膜トランジスタ (T 6 4) の制御端には、前記第 $n + 2$ ステージのステージトランスファ信号 S T ($n + 2$) が入力され、前記第十薄膜トランジスタ (T 6 3) の第一端には、前記第二低周波信号 L C 2 が入力される。前記第九薄膜トランジスタ (T 6 1) と、前記第十薄膜トランジスタ (T 6 3) と、前記第十一薄膜トランジスタ (T 6 4) の第二端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を出力する。

30

【 0 0 2 5 】

その内、前記第二プルダウン回路は、第十二薄膜トランジスタ (T 4 3) と、第十三薄膜トランジスタ (T 3 3) と、からなる。前記第十二薄膜トランジスタ (T 4 3) の制御端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を受信し、前記第十二薄膜トランジスタ (T 4 3) の第二端には、前記直流低電圧信号 V s s が入力され、また、前記第十二薄膜トランジスタ (T 4 3) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第二プルダウン制御信号 K (n) 及び前記直流低電圧信号 V s s に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理を行う。前記第十三薄膜トランジスタ (T 3 3) の制御端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を受信し、前記第十三薄膜トランジスタ (T 3 3) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十三薄膜トランジスタ (T 3 3) の第一端は、前記水平走査線 G に接続されるとともに、前記第二プルダウン制御信号 K (n) 及び前記直流低電圧信号 V s s に基づき、前記走査駆動信号 G (n) にプルダウン処理を行う。

40

50

【 0 0 2 6 】

その内、前記メインプルダウン回路は、第十四薄膜トランジスタ (T 4 1) と、第十五薄膜トランジスタ (T 3 1) と、からなる。前記第十四薄膜トランジスタ (T 4 1) の制御端には、前記第 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ が入力され、前記第十四薄膜トランジスタ (T 4 1) の第二端には、前記直流低電圧信号 $V s s$ が入力され、前記第十四薄膜トランジスタ (T 4 1) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ 及び前記直流低電圧信号 $V s s$ に基づき、前記プルアップ制御信号 $Q (n)$ にプルダウン処理を行う。前記第十五薄膜トランジスタ (T 3 1) の制御端には、前記第 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ が入力され、前記第十五薄膜トランジスタ (T 3 1) の第二端には、前記直流低電圧信号 $V s s$ が入力され、前記第十五薄膜トランジスタ (T 3 1) の第一端は、前記水平走査線 G に接続されるとともに、前記第 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ 及び前記直流低電圧信号 $V s s$ に基づき、前記走査駆動信号 $G (n)$ にプルダウン処理を行う。

10

【 0 0 2 7 】

その内、前記プルアップ保持回路は、第十六薄膜トランジスタ (T 5 2) と、第十七薄膜トランジスタ (T 5 6) と、第十八薄膜トランジスタ (T 6 2) と、第十九薄膜トランジスタ (T 6 6) と、第二十薄膜トランジスタ (T 5 5) と、からなる。前記第十六薄膜トランジスタ (T 5 2) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q (n)$ を受信し、前記第十六薄膜トランジスタ (T 5 2) の第二端には、前記直流低電圧信号 $V s s$ が入力され、前記第十六薄膜トランジスタ (T 5 2) の第一端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記プルアップ制御信号 $Q (n)$ 及び前記直流低電圧信号 $V s s$ に基づき、前記プルダウン制御信号 $P (n)$ にプルダウン処理を行う。前記第十七薄膜トランジスタ (T 5 6) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q (n)$ を受信し、前記第十七薄膜トランジスタ (T 5 6) の第二端には、前記直流低電圧信号 $V s s$ が入力され、前記第十七薄膜トランジスタ (T 5 6) の第一端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記プルアップ制御信号 $Q (n)$ 及び前記直流低電圧信号 $V s s$ に基づき、前記プルダウン制御信号 $P (n)$ にプルダウン処理を行う。前記第十八薄膜トランジスタ (T 6 2) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q (n)$ を受信し、前記第十八薄膜トランジスタ (T 6 2) の第二端には、前記直流低電圧信号 $V s s$ が入力され、また、前記第十八薄膜トランジスタ (T 6 2) の第一端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記プルアップ制御信号 $Q (n)$ 及び前記直流低電圧信号 $V s s$ に基づき、前記プルダウン制御信号 $K (n)$ にプルダウン処理を行う。前記第十九薄膜トランジスタ (T 6 6) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q (n)$ を受信し、前記第十九薄膜トランジスタ (T 6 6) の第二端には、前記直流低電圧信号 $V s s$ が入力され、また、前記第十九薄膜トランジスタ (T 6 6) の第一端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記プルアップ制御信号 $Q (n)$ 及び前記直流低電圧信号 $V s s$ に基づき、前記プルダウン制御信号 $K (n)$ にプルダウン処理を行う。前記第二十薄膜トランジスタ (T 5 5) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q (n)$ を受信し、前記第二十薄膜トランジスタ (T 5 5) の第二端は、前記第二プルダウン制御信号点 K に接続され、前記第二十薄膜トランジスタ (T 5 5) の第一端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記プルアップ制御信号 $Q (n)$ に基づき、前記第一プルダウン制御信号 $P (n)$ 及び前記第二プルダウン制御信号 $K (n)$ が同じ電位を保持するように制御する。

20

30

40

【 0 0 2 8 】

その内、前記トランスファ回路は、さらに、ブーストコンデンサ (C) を備え、前記ブーストコンデンサ (C) を、前記第三薄膜トランジスタ (T 2 2) の制御端及び第二端に

50

接合させ、前記プルアップ制御信号 $Q(n)$ を引き上げる。

【0029】

その内、前記第一プルダウン制御回路は、第四薄膜トランジスタ ($T51$) と、第五薄膜トランジスタ ($T53$) と、第六薄膜トランジスタ ($T54$) と、第二十一薄膜トランジスタ ($T10$) と、からなる。前記第四薄膜トランジスタ ($T51$) の制御端及び第一端には、前記第一低周波信号 $LC1$ が入力される。前記第五薄膜トランジスタ ($T53$) の制御端は、前記第四薄膜トランジスタ ($T51$) の第二端に接続され、前記第五薄膜トランジスタ ($T53$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第六薄膜トランジスタ ($T54$) の制御端には、前記第二低周波信号 $LC2$ が入力され、前記第六薄膜トランジスタ ($T54$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第二十一薄膜トランジスタ ($T10$) の制御端には、前記第 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第二十一薄膜トランジスタ ($T10$) の第一端には、前記直流高電圧信号 VDD が入力される。前記第四薄膜トランジスタ ($T51$) と、前記第五薄膜トランジスタ ($T53$) と、前記第二十一薄膜トランジスタ ($T10$) と、前記第六薄膜トランジスタ ($T54$) の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を出力する。

10

【0030】

その内、前記第二プルダウン制御回路は、第九薄膜トランジスタ ($T61$) と、第十薄膜トランジスタ ($T63$) と、第十一薄膜トランジスタ ($T64$) と、第二十二薄膜トランジスタ ($T12$) と、からなる。前記第九薄膜トランジスタ ($T61$) の制御端及び第一端には、前記第二低周波信号 $LC2$ が入力される。前記第十薄膜トランジスタ ($T63$) の制御端は、前記第九薄膜トランジスタ ($T61$) の第二端に接続され、前記第十薄膜トランジスタ ($T63$) の第一端には、前記第二低周波信号 $LC2$ が入力される。前記第十一薄膜トランジスタ ($T64$) の制御端には、前記第一低周波信号 $LC1$ が入力され、前記第十一薄膜トランジスタ ($T64$) の第一端には、前記第二低周波信号 $LC2$ が入力される。前記第二十二薄膜トランジスタ ($T12$) の制御端には、前記第 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第二十二薄膜トランジスタ ($T12$) の第一端には、前記直流高電圧信号 VDD が入力される。前記第九薄膜トランジスタ ($T61$) と、前記第十薄膜トランジスタ ($T63$) と、前記第二十二薄膜トランジスタ ($T12$) と、前記第十一薄膜トランジスタ ($T64$) の第二端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ を出力する。

20

30

【0031】

その内、前記プルアップ制御回路は、第一薄膜トランジスタ ($T11$) からなり、前記第一薄膜トランジスタ ($T11$) の制御端及び第一端には、前記 $n-2$ ステージのステージトランスファ信号 $ST(n-2)$ が入力され、また、前記第一薄膜トランジスタ ($T11$) の第二端は、及び前記プルアップ制御信号点 Q に接続されるとともに、前記 $n-2$ ステージのステージトランスファ信号 $ST(n-2)$ に基づき、前記プルアップ制御信号 $Q(n)$ を出力する。

【0032】

対応して、本発明はさらに、上記の液晶表示に使われる GOA 回路からなる液晶表示装置を提供する。

40

【発明の効果】

【0033】

本発明の実施例は、直流高電圧信号を GOA ユニット内のプルアップ回路の入力ソースとするとともに、クロック信号をステージトランスファ信号だけのための入力ソースとすることで、クロック信号の遅延が GOA のステージトランスファ効率に影響するのを防ぐことができ、それにより、 GOA ユニットのステージトランスファ効率を高めることができ、さらに、走査駆動信号の出力品質を高め、液晶表示管の充電率も高めることができる。

50

【図面の簡単な説明】

【0034】

本発明の実施例の技術考案についてさらに詳しく説明するため、以下では実施例の説明において用いられる図について簡単な説明を行う。以下において示す図は、本発明の一実施例に過ぎず、本領域の一般的な技術者は、創作ではない前提のもと、さらに図に基づきその他の図を得ることができる。

【図1】本発明の実施例が提供するGOA回路の構造概略図である。

【図2】本発明の実施例が提供するもう一つのGOA回路の構造概略図である。

【図3】本発明の実施例が提供するまた別のGOA回路の構造概略図である。

【図4】本発明の実施例が提供するさらに別のGOA回路の構造概略図である。

【図5】本発明の実施例が提供するさらに別のGOA回路の構造概略図である。

【図6】本発明の実施例が提供するGOA回路の各キーノードの波形概略図である。

【発明を実施するための形態】

【0035】

以下では、本発明の実施例内の図を用いて、本発明の実施例内の技術考案についての詳しい説明を行う。説明する実施例は、本発明のうち一部分の実施例であって、すべての実施例ではない。本発明内の実施例に基づき、本領域の一般的な技術者は、創作によらない前提のもとで得られたすべてのその他実施例も、すべて本発明の保護範囲に含まれるものとする。

【0036】

以下では、図1から図6を参照しつつ本発明の実施例が提供するGOA回路及び液晶表示装置について具体的に説明する。

【0037】

図1を参照する。図1は、本発明の実施例が提供するGOA回路の構造概略図である。図が示すように、GOA回路は少なくとも、プルアップ制御回路100と、プルアップ回路200と、トランスファ回路300と、第一プルダウン制御回路400と、第一プルダウン回路500と、第二プルダウン制御回路600と、第二プルダウン回路700と、メインプルダウン回路800と、からなる。

【0038】

前記プルアップ制御回路100は、第 $n - 2$ ステージGOA (Gate Driver on Array、アレイ基板行走査駆動)ユニットが出力する $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ を受信するとともに、前記 $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ に基づき、プルアップ制御信号 $Q(n)$ を出力する。

【0039】

前記プルアップ回路200は、前記プルアップ制御回路100と電氣的に接続されるとともに、直流高電圧信号VDD及び前記プルアップ制御信号 $Q(n)$ を受信し、前記直流高電圧信号VDD及び前記プルアップ制御信号 $Q(n)$ に基づき、走査駆動信号 $G(n)$ を出力する。

【0040】

前記トランスファ回路300は、前記プルアップ制御回路100及び前記プルアップ回路200と、電氣的に接続され、クロック信号 $CK(n)$ 及び前記プルアップ制御信号 $Q(n)$ を受信するとともに、前記クロック信号 $CK(n)$ 及び前記プルアップ制御信号 $Q(n)$ に基づき、 n ステージのステージトランスファ信号 $ST(n)$ を出力する。

【0041】

前記第一プルダウン制御回路400は、第一低周波信号LC1及び第 $n + 2$ ステージGOAユニットが発生する第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記第一低周波信号LC1及び前記第 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、第一プルダウン制御信号 $P(n)$ を出力する。

【0042】

前記第一プルダウン回路500は、前記第一プルダウン制御回路400と電氣的に接続

10

20

30

40

50

され、前記第一プルダウン制御信号 $P(n)$ 及び直流低電圧信号 V_{ss} を受信するとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理し、さらに、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にプルダウン処理をする。

【0043】

前記第二プルダウン制御回路 600 は、第二低周波信号 $LC2$ 及び前記第 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ を受信するとともに、前記第二低周波信号 $LC2$ 及び前記第 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ に基づき、第二プルダウン制御信号 $K(n)$ を出力する。

【0044】

前記第二プルダウン回路 700 は、前記プルアップ制御回路 100 と、前記プルアップ回路 200 と、前記トランスファ回路 300 と、前記第二プルダウン制御回路 600 と電氣的に接続され、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 V_{ss} を受信するとともに、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理し、さらに前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にプルダウン処理をする。

【0045】

前記主プルダウン回路 800 は、前記プルアップ制御回路 100 と、前記プルアップ回路 200 と、前記トランスファ回路 300 と電氣的に接続され、前記直流低電圧信号 V_{ss} 及び前記第 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ を受信するとともに、前記直流低電圧信号 V_{ss} 及び前記第 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ に基づき、前記プルアップ制御信号 $Q(n)$ 及び前記走査駆動信号 $G(n)$ にプルダウン処理をする。

【0046】

実施例のオプションの内、前記 GOA 回路は、さらに、プルアップ保持回路 900 を備えており、前記プルアップ保持回路 900 は、前記プルアップ制御回路 100 と、前記第一プルダウン制御回路 400 と、前記第一プルダウン回路 500 と、前記第二プルダウン制御回路 600 と、前記第二プルダウン回路 700 と電氣的に接続され、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} を受信するとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記第一プルダウン制御信号 $P(n)$ 及び前記第二プルダウン制御信号 $K(n)$ にプルダウン処理をし、前記プルアップ回路 200 及び前記トランスファ回路 300 に前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ をそれぞれ出力し続ける。

【0047】

本発明の実施例は、直流高電圧信号を GOA ユニット内のプルアップ回路の入力ソースとするとともに、クロック信号をステージトランスファ信号だけのための入力ソースとすることによって、クロック信号の遅延が GOA のステージトランスファ効率に影響するのを防ぐことができ、 GOA ユニットのステージトランスファ効率を高めることができ、ひいては走査駆動信号の出力品質を高めるとともに、液晶表示管の充電率をも高めることができる。

【0048】

図 2 を参照する。図 2 は、本発明の実施例が提供するもう一つの GOA 回路の構造概略図である。図 1 が示す GOA 回路の構造概略図と合わせると、図 2 が示す GOA 回路は、プルアップ制御回路 100 と、プルアップ回路 200 と、トランスファ回路 300 と、第一プルダウン制御回路 400 と、第一プルダウン回路 500 と、第二プルダウン制御回路 600 と、第二プルダウン回路 700 と、メインプルダウン回路 800 と、プルアップ保持回路 900 と、からなる。本実施例内で、説明しやすくするため、また上記各回路及び各回路内に含まれるトランジスタ間の接続関係はいずれも図において示すため、明細書においては記載を省略する。

10

20

30

40

50

【 0 0 4 9 】

その内、前記プルアップ制御回路 1 0 0 は、具体的に、第一薄膜トランジスタ (T 1 1) からなり、前記第一薄膜トランジスタ (T 1 1) の制御端には、前記 n - 2 ステージのステージトランスファ信号 S T (n - 2) が入力される。第一薄膜トランジスタ (T 1 1) の第一端には、前記直流高電圧信号 V D D が入力され、また、第一薄膜トランジスタ (T 1 1) の第二端は、プルアップ制御信号点 Q に接続されるとともに、前記 n - 2 ステージのステージトランスファ信号 S T (n - 2) 及び前記直流高電圧信号 V D D に基づき、前記プルアップ制御信号 Q (n) を出力する。

【 0 0 5 0 】

前記プルアップ回路 2 0 0 は、具体的に、第二薄膜トランジスタ (T 2 1) からなり、前記第二薄膜トランジスタ (T 2 1) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 Q (n) を受信し、また、前記第二薄膜トランジスタ (T 2 1) の第一端には、前記直流高電圧信号 V D D が入力され、さらに、第二薄膜トランジスタ (T 2 1) の第二端は、水平走査線 G に接続されるとともに、前記プルアップ制御信号 Q (n) 及び前記直流高電圧信号 V D D に基づき、走査駆動信号 G (n) を出力する。

10

【 0 0 5 1 】

前記トランスファ回路 3 0 0 は、具体的に、第三薄膜トランジスタ (T 2 2) からなり、前記第三薄膜トランジスタ (T 2 2) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 Q (n) を受信し、前記第三薄膜トランジスタ (T 2 2) の第一端には、前記クロック信号 C K (n) が入力され、第三薄膜トランジスタ (T 2 2) の第二端は、前記 n - 2 ステージのステージトランスファ信号 S T (n - 2) 及び前記直流高電圧信号 V D D に基づき、前記のステージトランスファ信号 S T (n) を出力する。

20

【 0 0 5 2 】

前記第一プルダウン制御回路 4 0 0 は、具体的に、第四薄膜トランジスタ (T 5 1) と、第五薄膜トランジスタ (T 5 3) と、第六薄膜トランジスタ (T 5 4) と、からなる。前記第四薄膜トランジスタ (T 5 1) の制御端及び第一端には、前記第一低周波信号 L C 1 が入力される。また、前記第五薄膜トランジスタ (T 5 3) の制御端は、前記第四薄膜トランジスタ (T 5 1) の第一端に接続され、前記第五薄膜トランジスタ (T 5 3) の第一端には、前記第一低周波信号 L C 1 が入力される。さらに、前記第六薄膜トランジスタ (T 5 4) の制御端には、前記第 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第六薄膜トランジスタ (T 5 4) の第一端には、前記第一低周波信号 L C 1 が入力される。前記第四薄膜トランジスタ (T 5 1) と、前記第五薄膜トランジスタ (T 5 3) と、前記第六薄膜トランジスタ (T 5 4) の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を出力する。

30

【 0 0 5 3 】

前記第一プルダウン回路 5 0 0 は、具体的に、第七薄膜トランジスタ (T 4 2) と、第八薄膜トランジスタ (T 3 2) と、からなる。前記第七薄膜トランジスタ (T 4 2) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を受信し、前記第七薄膜トランジスタ (T 4 2) の第二端には、直流低電圧信号 V s s が入力され、前記第七薄膜トランジスタ (T 4 2) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第一プルダウン制御信号 P (n) 及び前記直流低電圧信号 V s s に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理をする。前記第八薄膜トランジスタ (T 3 2) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を受信し、前記第八薄膜トランジスタ (T 3 2) の第二端には、前記直流低電圧信号 V s s が入力され、前記第八薄膜トランジスタ (T 3 2) の第一端は、前記水平走査線 G に接続されるとともに、前記第一プルダウン制御信号 P (n) 及び前記直流低電圧信号 V s s に基づき、前記走査駆動信号 G (n) にプルダウン処理する。

40

50

【0054】

前記第二プルダウン制御回路600は、具体的に、第九薄膜トランジスタ(T61)と、第十薄膜トランジスタ(T63)と、第十一薄膜トランジスタ(T64)と、からなる。前記第九薄膜トランジスタ(T61)の制御端及び第一端には、前記第二低周波信号LC2が入力される。前記第十薄膜トランジスタ(T63)の制御端は、前記第九薄膜トランジスタ(T61)の第一端に接続され、前記第十薄膜トランジスタ(T63)の第一端には、前記第二低周波信号LC2が入力される。前記第十一薄膜トランジスタ(T64)の制御端には、前記第n+2ステージのステージトランスファ信号ST(n+2)が入力され、前記第十一薄膜トランジスタ(T64)の第一端には、前記第二低周波信号LC2が入力される。前記第九薄膜トランジスタ(T61)と、前記第十薄膜トランジスタ(T63)と、前記第十一薄膜トランジスタ(T64)の第二端は、第二プルダウン制御信号点Kに接続されるとともに、前記第二プルダウン制御信号K(n)を出力する。

10

【0055】

前記第二プルダウン回路700は、具体的に、第十二薄膜トランジスタ(T43)と、第十三薄膜トランジスタ(T33)と、からなる。前記第十二薄膜トランジスタ(T43)の制御端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記第二プルダウン制御信号K(n)を受信し、前記第十二薄膜トランジスタ(T43)の第二端には、前記直流低電圧信号Vssが入力され、また、前記第十二薄膜トランジスタ(T43)の第一端は、前記プルアップ制御信号点Qに接続されるとともに、前記第二プルダウン制御信号K(n)及び前記直流低電圧信号Vssに基づき、前記プルアップ制御信号Q(n)にプルダウン処理をする。前記第十三薄膜トランジスタ(T33)の制御端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記第二プルダウン制御信号K(n)を受信し、前記第十三薄膜トランジスタ(T33)の第二端には、前記直流低電圧信号Vssが入力され、また、前記第十三薄膜トランジスタ(T33)の第一端は、前記水平走査線Gに接続されるとともに、前記第二プルダウン制御信号K(n)及び前記直流低電圧信号Vssに基づき、前記走査駆動信号G(n)にプルダウン処理をする。

20

【0056】

前記メインプルダウン回路800は、具体的に、第十四薄膜トランジスタ(T41)と、第十五薄膜トランジスタ(T31)と、からなる。前記第十四薄膜トランジスタ(T41)の制御端には、前記第n+2ステージのステージトランスファ信号ST(n+2)が入力され、前記第十四薄膜トランジスタ(T41)の第一端には、前記直流低電圧信号Vssが入力され、また、前記第十四薄膜トランジスタ(T41)の第二端は、前記プルアップ制御信号点Qに接続されるとともに、前記第n+2ステージのステージトランスファ信号ST(n+2)及び前記直流低電圧信号Vssに基づき、前記プルアップ制御信号Q(n)にプルダウン処理をする。前記第十五薄膜トランジスタ(T31)の制御端には、前記第n+2ステージのステージトランスファ信号ST(n+2)が入力され、前記第十五薄膜トランジスタ(T31)の第二端には、前記直流低電圧信号Vssが入力され、また、前記第十五薄膜トランジスタ(T31)の第一端は、前記水平走査線Gに接続されるとともに、前記第n+2ステージのステージトランスファ信号ST(n+2)及び前記直流低電圧信号Vssに基づき、前記走査駆動信号G(n)にプルダウン処理をする。

30

40

【0057】

前記プルアップ保持回路900は、具体的に、第十六薄膜トランジスタ(T52)と、第十七薄膜トランジスタ(T56)と、第十八薄膜トランジスタ(T62)と、第十九薄膜トランジスタ(T66)と、第二十薄膜トランジスタ(T55)と、からなる。前記第十六薄膜トランジスタ(T52)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第十六薄膜トランジスタ(T52)の第二端には、前記直流低電圧信号Vssが入力され、また、前記第十六薄膜トランジスタ(T52)の第一端は、前記第一プルダウン制御信号点Pに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流低電圧信号Vssに基づき、前記プルダウン制御信号P(n)にプルダウン処理をする。前記第十七薄膜トランジスタ(T56)

50

の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第十七薄膜トランジスタ(T56)の第二端には、前記直流低電圧信号V_{ss}が入力され、前記第十七薄膜トランジスタ(T56)の第一端は、前記第一プルダウン制御信号点Pに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流低電圧信号V_{ss}に基づき、前記プルダウン制御信号P(n)にプルダウン処理をする。前記第十八薄膜トランジスタ(T62)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第十八薄膜トランジスタ(T62)の第二端には、前記直流低電圧信号V_{ss}が入力され、前記第十八薄膜トランジスタ(T62)の第一端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流低電圧信号V_{ss}に基づき、前記プルダウン制御信号K(n)にプルダウン処理をする。前記第十九薄膜トランジスタ(T66)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第十九薄膜トランジスタ(T66)の第二端には前記直流低電圧信号V_{ss}が入力され、前記第十九薄膜トランジスタ(T66)の第一端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流低電圧信号V_{ss}に基づき、前記プルダウン制御信号K(n)にプルダウン処理をする。前記第二十薄膜トランジスタ(T55)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第二十薄膜トランジスタ(T55)の第二端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記第二十薄膜トランジスタ(T55)の第一端は、前記第一プルダウン制御信号点Pに接続されるとともに、前記プルアップ制御信号Q(n)に基づき、前記第一プルダウン制御信号P(n)及び前記第二プルダウン制御信号K(n)が同じ電位を保持するように制御する。

【0058】

その内、前記第二十薄膜トランジスタ(T55)は、前記プルアップ制御信号Q(n)を受信したときオンになり、第一プルダウン制御信号P(n)及び前記第二プルダウン制御信号K(n)が同じ電位を保持するようにするとともに、前記第二十薄膜トランジスタ(T55)は、さらに前記第一プルダウン制御信号P(n)及び前記第二プルダウン制御信号K(n)の放電経路を増やすことができる。例えば、前記第二十薄膜トランジスタ(T55)に接続しているプルアップ信号点Pに入力しているプルアップ制御信号P(n)がハイレベルである時、前記第二十薄膜トランジスタ(T55)はオンになり、もしこの時前記第一低周波信号LC1がハイレベルであれば、前記プルダウン制御回路は、前記第一プルダウン制御信号点Pを充電し、前記第一プルダウン制御信号P(n)をハイレベルにさせ、また、この時第十一薄膜トランジスタ(T64)の制御端に入力されている第n+2ステージのステージトランスファ信号ST(n+2)はハイレベルであり、前記第二低周波信号LC2はローレベルであり、さらに、第十一薄膜トランジスタ(T64)をオンにさせ、プルダウン制御信号点Kが出力する前記第二プルダウン制御信号K(n)はローレベルであり、第一プルダウン制御信号点Pが出力する第一プルダウン制御信号P(n)が第二プルダウン制御信号点Kに放電できるようにする。

【0059】

本発明の実施例は、直流高電圧信号をGOAユニット内のプルアップ回路の入力ソースとするとともに、クロック信号をステージトランスファ信号の入力ソースとすることで、GOAユニットのステージトランスファ効率及び走査駆動信号の出力の品質を高めることができるのみならず、プルアップ保持回路の保持のステージトランスファ信号及び走査駆動信号の出力を増加させることによって、ステージトランスファ信号及び走査駆動信号の安定性をも高めることができる。

【0060】

図3を参照する。図3は、本発明の実施例が提供するさらに別のGOA回路の構造概略図である。図3の実施例及び図2の実施例の主な相違点は、プルアップ制御回路100である。簡潔にするため、図2に示す本実施例内で重複する部分は記載を省略する。

【 0 0 6 1 】

図 3 に示す G O A 回路のプルアップ制御回路 1 0 0 の内、第一薄膜トランジスタ (T 1 1) の制御端及び第一端には、前記 $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ が入力され、第一薄膜トランジスタ (T 1 1) の第二端は、プルアップ制御信号点 Q に接続されるとともに、前記 $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ に基づき、前記プルアップ制御信号 Q (n) を出力する。

【 0 0 6 2 】

本発明の実施例は、G O A ユニットのステージトランスファ効率及び走査駆動信号の出力品質を高めることができるのみならず、さらにステージトランスファ信号及び走査駆動信号出力の安定性を保持できる。プルアップ制御回路内の第一薄膜トランジスタ (T 1 1) の第一端に入力させた直流高電圧信号 V D D を $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ に変えることによって、第一薄膜トランジスタ (T 1 1) の電圧の圧力を減少させることができ、第一薄膜トランジスタ (T 1 1) の使用寿命を長くすることができる。

【 0 0 6 3 】

図 4 を参照する。図 4 は、本発明の実施例が提供するさらに別の G O A 回路の構造概略図である。図 4 が示す実施例及び図 2 が示す実施例の主な相違点は第一プルダウン制御回路 4 0 0 及び第二プルダウン制御回路 6 0 0 である。簡潔にするために、重複する部分は記載を省略する。

【 0 0 6 4 】

図 4 が示す G O A 回路の第一プルダウン制御回路 4 0 0 は、第四薄膜トランジスタ (T 5 1) と、第五薄膜トランジスタ (T 5 3) と、第六薄膜トランジスタ (T 5 4) と、第二十一薄膜トランジスタ (T 1 0) と、からなる。

【 0 0 6 5 】

前記第四薄膜トランジスタ (T 5 1) の制御端及び第一端には、前記第一低周波信号 L C 1 が入力される。

【 0 0 6 6 】

前記第五薄膜トランジスタ (T 5 3) の制御端は、前記第四薄膜トランジスタ (T 5 1) の第二端に接続され、前記第五薄膜トランジスタの第一端には、前記第一低周波信号 L C 1 が入力される。

【 0 0 6 7 】

前記第六薄膜トランジスタ (T 5 4) の制御端には、前記第二低周波信号 L C 2 が入力され、前記第六薄膜トランジスタ (T 5 4) の第一端には、前記第一低周波信号 L C 1 が入力される。

【 0 0 6 8 】

前記第二十一薄膜トランジスタ (T 1 0) の制御端には、前記 第 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ が入力され、前記第二十一薄膜トランジスタ (T 1 0) の第一端には、前記直流高電圧信号 V D D が入力される。

【 0 0 6 9 】

前記第四薄膜トランジスタ (T 5 1) と、前記第五薄膜トランジスタ (T 5 3) と、前記第二十一薄膜トランジスタ (T 1 0) と、前記第六薄膜トランジスタ (T 5 4) の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を出力する。

【 0 0 7 0 】

図 4 が示す G O A 回路の第二プルダウン制御回路 6 0 0 は、第九薄膜トランジスタ (T 6 1) と、第十薄膜トランジスタ (T 6 3) と、第十一薄膜トランジスタ (T 6 4) と、第二十二薄膜トランジスタ (T 1 2) と、からなる。

【 0 0 7 1 】

前記第九薄膜トランジスタ (T 6 1) の制御端及び第一端には、前記第二低周波信号 L C 2 が入力される。

10

20

30

40

50

【 0 0 7 2 】

前記第十薄膜トランジスタ (T 6 3) の制御端は、前記第九薄膜トランジスタ (T 6 1) の第二端に接続されるとともに、前記第十薄膜トランジスタ (T 6 3) の第一端には、前記第二低周波信号 L C 2 が入力される。

【 0 0 7 3 】

前記第十一薄膜トランジスタ (T 6 4) の制御端には、前記第一低周波信号 L C 1 が入力され、前記第十一薄膜トランジスタ (T 6 4) の第一端には、前記第二低周波信号 L C 2 が入力される。

【 0 0 7 4 】

前記第二十二薄膜トランジスタ (T 1 2) の制御端には、前記第 $n + 2$ ステージのステージトランスファ信号 S T ($n + 2$) が入力され、前記第二十二薄膜トランジスタ (T 1 2) の第一端には、前記直流高電圧信号 V D D が入力される。

10

【 0 0 7 5 】

前記第九薄膜トランジスタ (T 6 1) と、前記第十薄膜トランジスタ (T 6 3) と、前記第二十二薄膜トランジスタ (T 1 2) と、前記第十一薄膜トランジスタ (T 6 4) の第二端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を出力する。

【 0 0 7 6 】

本発明の実施例は、G O A ユニットの ステージトランスファ 効率及び走査駆動信号の出力品質を高めることができるのみならず、ステージトランスファ 信号及び走査駆動信号出力の安定性を保持することができ、さらに第一プルダウン制御回路及び第二プルダウン制御回路内に、それぞれ第二十一薄膜トランジスタ (T 1 0) 及び第二十二薄膜トランジスタ (T 1 2) を増やし、その第一端に直流高電圧信号 V D D が入力され、その制御端に 第 $n + 2$ ステージ のステージトランスファ信号が入力され、その第二端を第一プルダウン制御信号点 P 及び第二プルダウン制御信号点 K にそれぞれ接続させることで、プルダウン第一プルダウン制御信号 P (n) 及び第二プルダウン制御信号 K (n) のプルダウン速度を早くすることができる。

20

【 0 0 7 7 】

図 5 を参照する。本発明の実施例が提供するもう一つの G O A 回路の構造概略図である。図 5 が示す実施例と、図 4 が示す実施例の主な相違点は、第一プルダウン回路 5 0 0 及び第二プルダウン回路 7 0 0 及びメインプルダウン回路 8 0 0 である。簡潔にするため、重複する部分は記載を省略する。

30

【 0 0 7 8 】

図 5 が示す G O A 回路の内、第一プルダウン回路 5 0 0 は、第七薄膜トランジスタ (T 4 2) と、第八薄膜トランジスタ (T 3 2) と、からなる。

【 0 0 7 9 】

前記第七薄膜トランジスタ (T 4 2) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を受信し、前記第七薄膜トランジスタ (T 4 2) の第二端には、第一直流低電圧信号 V s s 1 が入力され、また、前記第七薄膜トランジスタ (T 4 2) の第二端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第一プルダウン制御信号 P (n) 及び前記第一直流低電圧信号 V s s 1 に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理をする。

40

【 0 0 8 0 】

前記第八薄膜トランジスタ (T 3 2) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を受信し、前記第八薄膜トランジスタ (T 3 2) の第二端には、第二直流低電圧信号 V s s 2 が入力され、前記第八薄膜トランジスタ (T 3 2) の第一端は、前記水平走査線 G に接続されるとともに、前記第一プルダウン制御信号 P (n) 及び前記第二直流低電圧信号 V s s 2 に基づき、前記走査駆動信号 G (n) にプルダウン処理をする。

【 0 0 8 1 】

50

図5が示すGOA回路内の、第二プルダウン回路500は、第十二薄膜トランジスタ(T43)と、第十三薄膜トランジスタ(T33)と、からなる。

【0082】

前記第十二薄膜トランジスタ(T43)の制御端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記第二プルダウン制御信号K(n)を受信し、前記第十二薄膜トランジスタ(T43)の第二端には、前記第一直流低電圧信号Vss1が入力され、また、前記第十二薄膜トランジスタ(T43)の第一端は、前記プルアップ制御信号点Qに接続されるとともに、前記第二プルダウン制御信号K(n)及び前記第一直流低電圧信号Vss1に基づき、前記プルアップ制御信号Q(n)にプルダウン処理をする。

【0083】

前記第十三薄膜トランジスタ(T33)の制御端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記第二プルダウン制御信号K(n)を受信し、前記第十三薄膜トランジスタ(T33)の第二端には、前記第二直流低電圧信号Vss2が入力され、前記第十三薄膜トランジスタ(T33)の第一端は、前記水平走査線Gに接続されるとともに、前記第二プルダウン制御信号K(n)及び前記第二直流低電圧信号Vss2に基づき、前記走査駆動信号G(n)にプルダウン処理をする。

【0084】

図5が示すGOA回路内の、メインプルダウン回路800は、第十四薄膜トランジスタ(T41)と、第十五薄膜トランジスタ(T31)と、からなる。

【0085】

前記第十四薄膜トランジスタ(T41)の制御端には、前記第n+2ステージのステージトランスファ信号ST(n+2)が入力され、前記第十四薄膜トランジスタ(T41)の第二端には、前記第一直流低電圧信号Vss1が入力され、また、前記第十四薄膜トランジスタ(T41)の第一端は、前記プルアップ制御信号点Qに接続されるとともに、前記第n+2ステージのステージトランスファ信号ST(n+2)及び前記第一直流低電圧信号Vss1に基づき、前記プルアップ制御信号Q(n)にプルダウン処理をする。

【0086】

前記第十五薄膜トランジスタ(T31)の制御端には、前記第n+2ステージのステージトランスファ信号ST(n+2)が入力され、前記第十五薄膜トランジスタ(T31)の第二端には、前記第二直流低電圧信号Vss2が入力され、また、前記第十五薄膜トランジスタ(T31)の第二端は、前記水平走査線Gに接続されるとともに、前記第n+2ステージのステージトランスファ信号ST(n+2)及び前記第二直流低電圧信号Vss2に基づき、前記走査駆動信号G(n)にプルダウン処理をする。

【0087】

本発明の実施例は、GOAユニットのステージトランスファ効率及び走査駆動信号の出力品質を高めることができるだけでなく、ステージトランスファ信号及び走査駆動信号出力の安定性を保持することができる。さらに本実施例は、二本の低電圧直流信号を採用し、第一プルダウン制御信号P(n)及び第二プルダウン制御信号K(n)のプルダウンソースとする。その内、VSS1はVss2より大きく、それにより、第二薄膜トランジスタ(T21)の制御端及び第二端の間の電圧は0より小さくなることで、漏電を減らすことができる。

【0088】

図6を参照する。図6は、本発明の実施例が提供するGOA回路の各キーノードの波形概略図である。波形概略図は、直流高電圧信号VDDと、クロック信号CK(n)と、nステージのステージトランスファ信号ST(n)と、第n+2ステージのステージトランスファ信号ST(n+2)と、走査駆動信号G(n)と、第一プルダウン制御信号P(n)と、第一低周波信号LC1と、第二低周波信号LC2及n-2ステージのステージトランスファ信号ST(n-2)と、からなる。その内、第一低周波信号LC1と第二低周波信号LC2は逆方向である。

【0089】

10

20

30

40

50

波形図から見て分かるように、 $ST(n-2)$ 電位が高電位である時、 VDD は Q 点に対して充電させ、 $Q(n)$ 点は高電位に変わり、 $P(n)$ が低電位に変わる。この時、クロック信号 $CK(n)$ は低電位であり、 $ST(n)$ は低電位であり、 $G(n)$ は高電位である。 $ST(n-2)$ 電位が低電位である時、 $Q(n)$ 点は高電位に変わり、 $CK(n)$ は高電位であり、 $ST(n)$ は高電位であり、 C との連結において、 $Q(n)$ は更に高電位にさせられ、 $G(n)$ は高電位である。 ST_{n+2} が高電位である時、 $CK(n)$ は低電位であり、 $Q(n)$ 及び $G(n)$ は、低電位に変わる。

【0090】

本発明の実施例は、さらに対応して、上記図2から図5内の各実施例が示す液晶表示に用いられるGOA回路からなる液晶表示装置を提供する。

10

【0091】

本発明の実施例は、直流高電圧信号をGOAユニット内のプルアップ回路の入力ソースとするとともに、クロック信号をステータランスファ信号だけのための入力ソースすることで、クロック信号の遅延がGOAのステータランスファ効率に影響するのを防ぐことができ、GOAユニットのステータランスファ効率を高めることができるだけでなく、走査駆動信号の出力品質、ひいては提高液晶表示管の充電率を高めることができる。

【0092】

以上は、本発明の実施例が示すGOA回路及び液晶表示装置についての詳細な説明である。上記において説明した内容は、本発明についての実施例に過ぎず、当然これにより本発明の権利保護範囲を限定するものではなく、それゆえ、本発明の権利請求に基づきなされる同様の変更も、やはり本発明の保護範囲に含まれるものとする。

20

【符号の説明】

【0093】

100	プルアップ制御回路	
200	プルアップ回路	
300	トランスファ回路	
400	第一プルダウン制御回路	
500	第一プルダウン回路	
600	第二プルダウン制御回路	
700	第二プルダウン回路	
800	メインプルダウン回路	
900	プルアップ保持回路	
$ST(n)$	ステータランスファ信号	
$ST(n-2)$	ステータランスファ信号	
$ST(n+2)$	ステータランスファ信号	
VDD	直流高電圧信号	
$Q(n)$	プルアップ制御信号	
$G(n)$	走査駆動信号	
$CK(n)$	クロック信号	
$P(n)$	第一プルダウン制御信号	
$K(n)$	第二プルダウン制御信号	
Vss	直流低電圧信号	
T11	第一薄膜トランジスタ	
T21	第二薄膜トランジスタ	
T22	第三薄膜トランジスタ	
T51	第四薄膜トランジスタ	
T53	第五薄膜トランジスタ	
T54	第六薄膜トランジスタ	
T42	第七薄膜トランジスタ	
T32	第八薄膜トランジスタ	

30

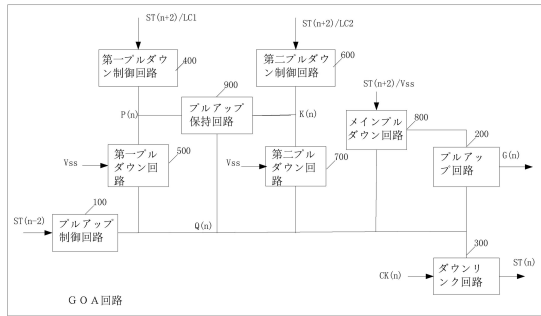
40

50

- T 6 1 第九薄膜トランジスタ
- T 6 3 第十薄膜トランジスタ
- T 6 4 第十一薄膜トランジスタ
- T 4 3 第十二薄膜トランジスタ
- T 3 3 第十三薄膜トランジスタ
- T 4 1 第十四薄膜トランジスタ
- T 3 1 第十五薄膜トランジスタ
- T 5 2 第十六薄膜トランジスタ
- T 5 6 第十七薄膜トランジスタ
- T 6 2 第十八薄膜トランジスタ
- T 6 6 第十九薄膜トランジスタ
- T 5 5 第二十薄膜トランジスタ
- T 1 0 第二十一薄膜トランジスタ
- T 1 2 第二十二薄膜トランジスタ
- L C 1 第一低周波信号
- L C 2 第二低周波信号

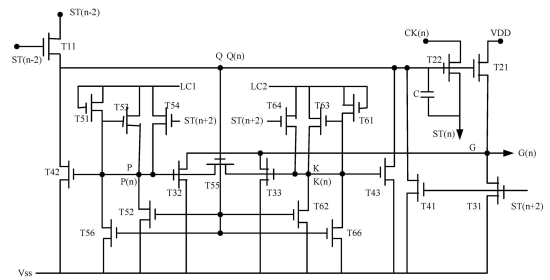
【図1】

【図1】



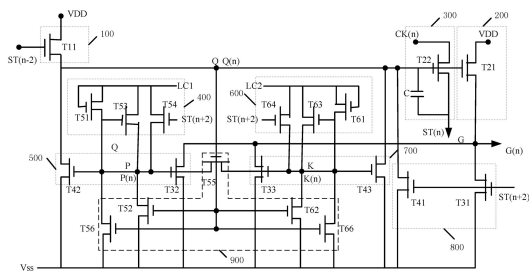
【図3】

【図3】

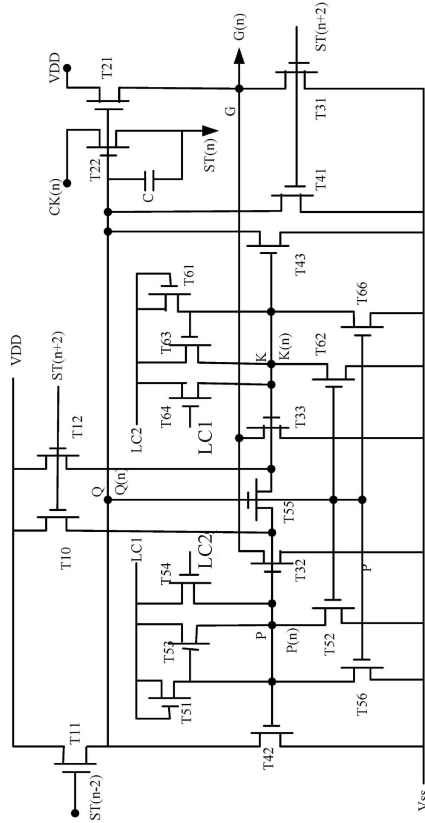


【図2】

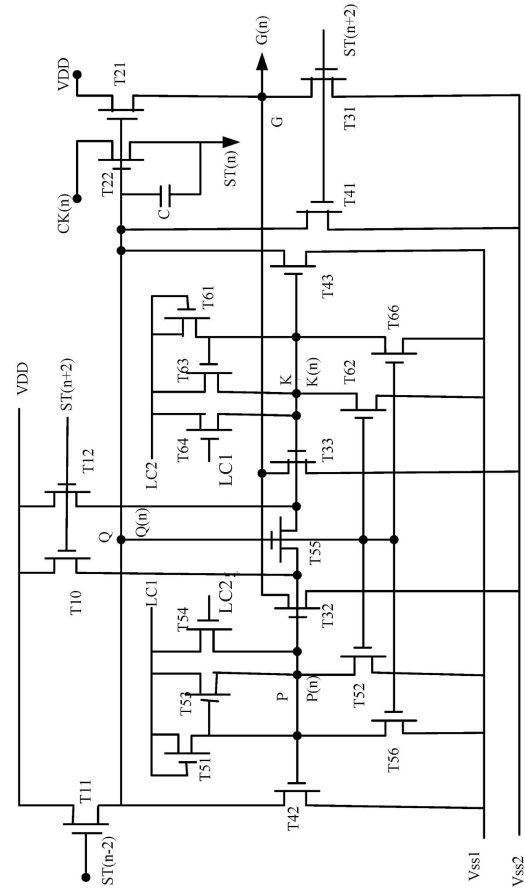
【図2】



【 4 】



【 5 】

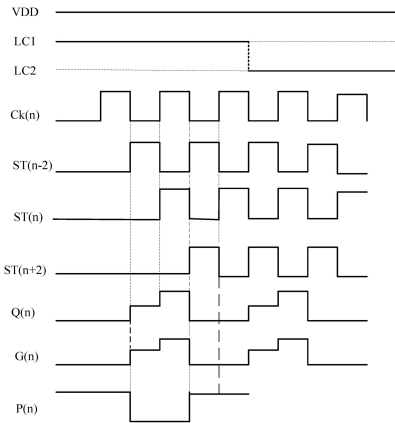


【 4 】

【 5 】

【 6 】

【 6 】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 19/28 2 3 0

(56)参考文献 特開2011-204343(JP,A)
中国特許出願公開第104008740(CN,A)
中国特許出願公開第103745700(CN,A)
韓国公開特許第10-2011-0123459(KR,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 4 5
G 0 2 F 1 / 1 3 6 8
G 1 1 C 1 9 / 2 8

专利名称(译)	GOA电路和液晶显示器件		
公开(公告)号	JP6498772B2	公开(公告)日	2019-04-10
申请号	JP2017534676	申请日	2015-01-12
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
当前申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	曹尚操		
发明人	曹尚操		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C19/28		
CPC分类号	G09G3/3677 G09G3/36 G09G2310/0251 G09G2310/0267 G09G2310/0286 G09G2310/06 G09G2310/08 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.K G09G3/20.621.F G02F1/133.550 G11C19/28.230		
代理人(译)	铃木 征四郎		
优先权	201410856556.0 2014-12-31 CN		
其他公开文献	JP2018507431A		
外部链接	Espacenet		

摘要(译)

本发明提供一种GOA电路和液晶显示装置，能够提高GOA电路中GOA单元的级传输效率。GOA电路和液晶显示装置包括多个连接的GOA单元，其中第n级GOA单元对显示区域第n级水平扫描线和第n级GOA单元充电，上拉控制电路，上拉电路，下行电路，第一下拉控制电路，第一下拉电路，第二下拉控制电路，第二下拉电路和主下拉电路。其中，n是正整数。根据本发明，可以提高GOA电路的级传输效率，可以提高扫描驱动信号的输出质量和液晶显示管的充电速率，并且可以提高扫描驱动信号的下拉速度。[选择图]图2

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6498772号 (P6498772)
(45) 発行日 平成31年4月10日(2019.4.10)	(24) 登録日 平成31年3月22日(2019.3.22)	
(51) Int. Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/20 (2006.01)	G09G 3/20	622E
G02F 1/133 (2006.01)	G09G 3/20	612K
G11C 19/28 (2006.01)	G09G 3/20	621F
	G02F 1/133	550
	請求項の数 15 (全 23 頁) 最終頁に続く	
(21) 出願番号 特願2017-534676(P2017-534676)	(73) 特許権者 515203228 深▲せん▼市華星光電技術有限公司	
(86) (22) 出願日 平成27年1月12日(2015.1.12)	中華人民共和國廣東省深▲せん▼市光明新區塘明大道9-2號518132	
(65) 公表番号 特表2018-507431(P2018-507431A)	(74) 代理人 100143720 弁理士 米田 耕一郎	
(43) 公表日 平成30年3月15日(2018.3.15)	(74) 代理人 100080252 弁理士 鈴木 征四郎	
(86) 国際出願番号 PCT/CN2015/070533	(72) 発明者 曹尚操	
(87) 国際公開番号 W02016/106830	中華人民共和國廣東省深▲せん▼市光明新區塘明大道9-2號518132	
(87) 国際公開日 平成28年7月7日(2016.7.7)	審査官 西島 篤宏	
審査請求日 平成28年7月31日(2017.7.31)		
(31) 優先権主張番号 201410856556.0		
(32) 優先日 平成26年12月31日(2014.12.31)		
(33) 優先権主張国 中国(CN)		
		最終頁に続く
(54) 【発明の名称】 GOA回路及び液晶表示装置		